

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 1 日(01.11.2012)



(10) 国際公開番号
WO 2012/147472 A1

- (51) 国際特許分類:
H01L 21/304 (2006.01) *B28D 5/04* (2006.01)
B24B 27/06 (2006.01) *C30B 29/40* (2006.01)
- (21) 国際出願番号: PCT/JP2012/059157
- (22) 国際出願日: 2012 年 4 月 4 日(04.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-099605 2011 年 4 月 27 日(27.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 藤原 新也 (FUJIWARA, Shinya) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目 1 番 1 号 住友電気工業株式会社伊丹製作所内 Hyogo (JP). 藤永 利裕 (FUJINAGA, Toshihiro) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目 1 番 1 号 住友電気工業株式会社伊丹製作所内 Hyogo (JP). 杉本 勝俊 (SUGIMOTO,

Masatoshi) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目 1 番 1 号 住友電気工業株式会社伊丹製作所内 Hyogo (JP).

(74) 代理人: 中田 元己, 外 (NAKATA, Motomi et al.); 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

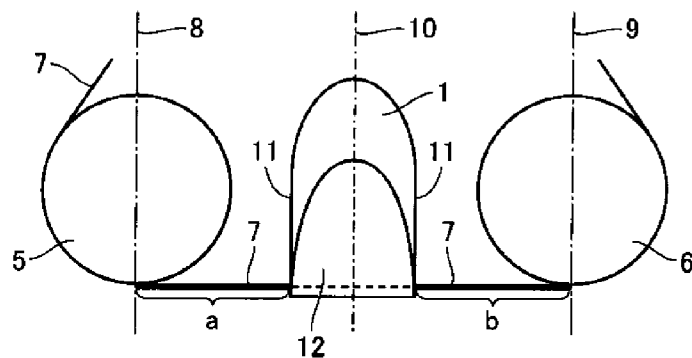
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: COMPOUND SEMICONDUCTOR SINGLE CRYSTAL SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 化合物半導体単結晶基板およびその製造方法

[図4]



(57) Abstract: Provided is a method for manufacturing a compound semiconductor single crystal substrate by which a compound semiconductor substrate having sufficient thinness can be obtained at low cost from an ingot formed using a horizontal boat method, and also provided is this compound semiconductor single crystal substrate. The method for manufacturing a compound semiconductor single crystal substrate is provided with a step for preparing a single crystal ingot (1) formed from a compound semiconductor that has been formed in the (111) orientation using a horizontal boat method, a step for fixing that ingot (1) in a jig, and a step for slicing the ingot (1) fixed by the jig using a wire saw by raising the ingot (1) fixed in the jig in a direction orthogonal to the back and forth direction of the wire (7) while moving the wire (7) of the wire saw back and forth in the (01-1) direction at a planar orientation of (100) ± 7° or (511) ± 7°.

(57) 要約:

[続葉有]



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

水平ポート法を用いて形成されたインゴットから十分な薄さの化合物半導体基板を低コストで得ることが可能な化合物半導体単結晶基板の製造方法および当該化合物半導体単結晶基板を提供する。化合物半導体単結晶基板の製造方法は、 $(1\ 1\ 1)$ 方向に水平ポート法を用いて形成された化合物半導体からなる単結晶インゴット 1 を準備する工程と、当該インゴット 1 を治具により固定する工程と、治具により固定されたインゴット 1 を、ワイヤソーを用いて $(1\ 0\ 0) \pm 7^\circ$ または $(5\ 1\ 1) \pm 7^\circ$ の面方位で、ワイヤソーのワイヤ 7 を $(0\ 1\ -1)$ 方向に往復に送りながら、治具により固定されたインゴット 1 をワイヤ 7 の往復方向と直行する方向に上昇させて、ワイヤ 7 を用いてスライスする工程とを備える。

明 細 書

発明の名称：化合物半導体単結晶基板およびその製造方法

技術分野

[0001] この発明は、化合物半導体単結晶基板およびその製造方法に関し、より特定のには、水平ポート法を用いて形成されたインゴットから製造される化合物半導体単結晶基板およびその製造方法に関する。

背景技術

[0002] 従来、化合物半導体単結晶基板を製造するために、半導体からなるインゴットをスライス加工する方法としてワイヤソーを用いた加工方法が知られている（たとえば、特開2007-54909号公報（特許文献1）参照）。特許文献1では、被加工物の切断面における面精度（たとえば平面度や面粗さなど）の低下を抑制するため、ワイヤソーのたわみ量を低減する技術が提案されている。具体的には、2つのローラの間には掛け渡されたワイヤソーについて、被加工物の表面とローラとの間に位置するワイヤソーの長さを短くする（つまり、2つのローラの間の中間点から被加工物の配置を一方のローラ側にずらす）ことにより、最大たわみ量を小さくすることが提案されている。

[0003] 一方、水平ポート法（例えば水平ブリッジマン法など）を用いて形成されたインゴット（たとえばGaAsなどのIII-V族化合物半導体単結晶インゴット）については、加工スペースの制約などにより、当該インゴットをスライスして基板を得るために内周刃切断機やバンドソーを用いることが一般的である。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-54909号公報

発明の概要

発明が解決しようとする課題

[0005] 例えば、以下に説明するような水平ボート法によりインゴットを形成することができる。図15は水平ボート法により化合物半導体のインゴットを形成する工程を説明するための模式図である。図15に示すように、水平ボート法では、たとえば石英製のボート31の内部に化合物半導体の原料を入れ、ヒータ32によって当該ボート31内の原料を融点以上に加熱して原料を融解する。その後、ボート31の長手方向に沿って温度勾配を形成することで、ボート31の端部に配置した種結晶33側から化合物半導体の単結晶34を成長させる。温度勾配の形成方法としては、ボート31の長手方向に並んで配置されるヒータ32の出力を局所的に変更する（たとえば、図15の種結晶33側のヒータ32は低出力とし、反対側（融液35側）に配置されたヒータ32を高出力としてもよい。このような温度条件で、たとえばヒータ32に対してボート31を種結晶33側に徐々に移動させることにより、種結晶33側から融液35が固化し単結晶34が成長する（単結晶34と融液35との固液界面36が徐々に種結晶33から離れる方向に移動する）。このようにして得られたインゴットは、図15からも分かるようにボート31の内周表面に沿った曲面状の表面部分と、平坦なフリー面とを有する。

[0006] 上述した水平ボート法を用いて形成されたインゴットをスライスするために、たとえば内周刃切断機を用いた場合、得られる基板の厚みを薄くすることには限界がある。たとえば内周刃切断機により300 μ m以下の厚みの基板を切り出すことは難しかった。これは、このような薄い基板を、内周刃切断機を用いて切り出す場合には、インゴットの切断中に基板の欠けや割れが発生するケースが多いためである。特に、シリコンドープのIII-V族化合物半導体インゴットでキャリア濃度が高いもの（例えばキャリア濃度が 1.0×10^{18} 以上）を切り出すことは難しかった。これは、シリコンのドーピング量が高くなるほど結晶の異方性が強く劈開性が大きくなるためだと考えられる。

[0007] また、当該インゴットを薄くスライスするために、特許文献1に開示されるようなワイヤソーを用いる方法は従来適用されていなかった。これは、図

15からも分かるように、水平ポート法を用いて形成されたインゴットが、チョコラルスキー法を用いて形成されたシリコンインゴットのような円柱状といった単純な形状ではないことも一因であると考えられる。つまり、従来は水平ポート法を用いて形成されたインゴットを十分薄くスライスすることは困難であった。さらに、上記のような内周刃切断機などを用いてインゴットをスライスする場合、切り代がワイヤソーなどを用いた場合より大きくなる。すなわち、同じ大きさのインゴットから切り出せる基板の枚数が、ワイヤソーより内周刃切断機などを用いた場合の方が少なくなる。この結果、製造コストが増大することになっていた。

[0008] 一方、近年は材料コストの低減が要求されるため、基板の厚みを減少することや、切り出し時の切り代の低減が求められている。

[0009] この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、水平ポート法を用いて形成されたインゴットから十分な薄さの化合物半導体単結晶基板を低コストで得ることが可能な化合物半導体単結晶基板の製造方法および当該化合物半導体単結晶基板を提供することである。

課題を解決するための手段

[0010] この発明に従った化合物半導体単結晶基板の製造方法は、(111)方向に水平ポート法を用いて形成された化合物半導体からなる単結晶インゴットを準備する工程と、当該インゴットを治具により固定する工程と、治具により固定された前記インゴットを、ワイヤソーを用いて(100)±7°または(511)±7°の面方位で、ワイヤソーのワイヤを(01-1)方向に往復に送りながら、治具により固定されたインゴットをワイヤの往復方向と直行する方向に上昇させてスライスする工程とを備える。

[0011] このように、水平ポート法を用いて形成されたインゴットを治具で固定することにより、ワイヤソーを用いて当該インゴットをスライスすることができるので、従来より薄い化合物半導体単結晶基板を得ることができる。また、ワイヤソーを用いてインゴットをスライスするため、従来の内周刃切断機

などを用いた場合より切り代を小さくできる。このため、1つのインゴットから切り出せる化合物半導体単結晶基板の枚数を増やすことができるので、当該化合物半導体単結晶基板の製造コストを低減できる。

[0012] この発明に従った化合物半導体単結晶基板は、前記化合物半導体単結晶基板の製造方法を用いて製造されたものである。この化合物半導体単結晶基板は、従来よりも厚みが薄く、低コストで製造できる。

発明の効果

[0013] 本発明によれば、従来より薄く、低コストの化合物半導体単結晶基板を得ることができる。

図面の簡単な説明

[0014] [図1]本発明による化合物半導体単結晶基板の製造方法を示すフローチャートである。

[図2]本発明の実施の形態である化合物半導体単結晶基板の製造方法において、インゴットを固定用治具で固定した状態を示す模式図である。

[図3]本発明の実施の形態である化合物半導体単結晶基板の製造方法において、インゴットを固定用治具で固定した状態を示す模式図である。

[図4]本発明によるスライス工程を説明するための模式図である。

[図5]本発明によるスライス工程を説明するための模式図である。

[図6]本発明によるスライス工程を説明するための模式図である。

[図7]本発明による化合物半導体単結晶基板の製造方法により得られた化合物半導体単結晶基板を示す斜視模式図である。

[図8]本発明の変更例に関し、インゴットに取り付けられる他の補助部材を示す模式図である。

[図9]本発明の比較例である化合物半導体単結晶基板の製造方法において、インゴットを固定用治具で固定した状態を示す模式図である。

[図10]本発明の比較例である化合物半導体単結晶基板の製造方法において、インゴットを固定用治具で固定した状態を示す模式図である。

[図11]本発明の比較例によるスライス工程を説明するための模式図である。

[図12]本発明の比較例によるスライス工程を説明するための模式図である。

[図13]本発明の比較例によるスライス工程を説明するための模式図である。

[図14]実験例の結果を示すグラフである。

[図15]水平ポート法により化合物半導体のインゴットを形成する工程を説明するための模式図である。

発明を実施するための形態

[0015] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

[0016] 図1を参照して、本発明による化合物半導体単結晶基板の製造方法を説明する。

図1に示すように、本発明による化合物半導体単結晶基板の製造方法は、インゴットを準備する工程(S10)、治具で固定する工程(S20)及びインゴットをスライスする工程(S30)を含む。

[0017] インゴットを準備する工程(S10)において、まず、水平ポート法によって(111)方向に成長させた化合物半導体を得る。得られた化合物半導体を、たとえば面方位(100)±7°または(511)±7°で、2箇所切断することにより単結晶インゴットを得ることができる。このインゴットは、好ましくは、GaAsからなるインゴットであり、さらに好ましくはキャリア濃度が 0.1×10^{17} 以上 5.0×10^{18} 以下のシリコンドープGaAsインゴットである。

図2を参照して、インゴットを準備する工程(S10)で得られるインゴット1の外形について説明する。インゴット1は、平坦なフリー面13と、このフリー面13に連なり、互いに対向する1組の端面12と、この端面12の間をつなぐ曲面状の側壁11とからなる。端面12は、(100)±7°または(511)±7°の面方位を有していることが望ましい。また、対向する2つの端面12は、同じ面方位を有していてもよいし、異なる面方位であってもよいが、望ましくは同じ面方位を有する。端面12において、フ

リ一面 1 3 との境界部は直線状の外周線を有しており、側壁 1 1 との境界部である外周部は曲線状になっている。側壁 1 1 は端面 1 2 に対して傾斜した方向に延びている。

[0018] 次に、インゴットを治具で固定する工程（S 2 0）を実施する。図 2 は、インゴット 1 を、治具を用いて固定した状態を示す模式図であり、図 3 は、図 2 の I I I - I I I 線の断面を模式的に示し、インゴット 1 とこれを固定する治具（以下、固定用治具という場合がある）を示す。

[0019] 固定用治具は、それによりインゴット 1 を固定することができれば特に限定されないが、好ましくは、支持部材 2 と、その上部表面上に下部補助板 3 および側面補助板 4 を含む。具体的には、支持部材 2 の上部表面上に下部補助板 3 が配置される。下部補助板 3 はインゴット 1 のフリー面 1 3 とほぼ同じ幅である。そして、インゴット 1 の 1 組の端面 1 2 を支持部材 2 の上部表面に対して垂直に配置するとともに、フリー面 1 3 が支持部材 2 の上部表面と対向するように配置する。この場合、下部補助板 3 の上部表面は、傾斜したフリー面 1 3 に沿った方向に延びるように形成されている。下部補助板 3 の上部表面は、インゴット 1 のフリー面 1 3 と接続固定されている。このようにすることで、切り出された化合物半導体単結晶基板がスライス後にばらばらになることを防止できる。

[0020] また、側面補助板 4 は、インゴット 1 を端面 1 2 側から挟むように、また端面 1 2 に接触するように配置されている。側面補助板 4 の下部は、下部補助板 3 の側面と接触している。図 2 から分かるように、側面補助板 4 の幅はインゴット 1 の端面 1 2 の幅とほぼ同じになっている。このように、支持部材 2 の上部表面上に配置された下部補助板 3 および側面補助板 4 によりインゴット 1 が固定される。なお、側面補助板 4 は、ワイヤ 7 の断線対策として重要である。なお、側面補助板 4 は図 3 から分かるように、下部補助板 3 側での厚みが相対的に厚く、上部に向かうほどその厚みが薄くなる。つまり、側面補助板 4 はテーパ状の外周側面を有し、かつ、側面補助板 4 におけるインゴット 1 側の内周側面は支持部材 2 の上部表面に対して垂直に延びてい

る。

[0021] 次に、固定したインゴットをスライスする工程（S30）を実施する。具体的には、図4～図6に示すように、ワイヤソーを用いてインゴット1をスライスすることにより、図7に示すような化合物半導体単結晶基板20を得る。

[0022] 前記ワイヤソーとしては、たとえば加工対象物上昇型のワイヤソーを用いることができる。ワイヤソーは、インゴット1を切断するためのワイヤ7と、ワイヤ7を掛け渡してワイヤ7の位置決めを行なうとともにワイヤ7に張力を付加するための1組のガイドローラ5、6と、ガイドローラ5、6を駆動するための駆動部（図示せず）と、加工対象物であるインゴットをワイヤ7に対して相対的に移動させるための移動機構（図示せず）とを備える。

インゴット1は、図4および図5に示すように、ガイドローラ5、6の間に張られたワイヤ7によって切断される。このとき、ガイドローラ5の中心線8と、もう一方のガイドローラ6の中心線9との間の中間点にインゴット1の中心軸10が位置するように、インゴット1を配置する。インゴット1のフリー面13（図3参照）と端面12との境界を示す境界線（図4のインゴット1の下端）は、ガイドローラ5、6の間に位置するワイヤ7の延びる方向と平行に配置されている。また、異なる観点から言えば、1対のガイドローラ5、6の間の中間点を通るとともにワイヤ7の延在方向に対して垂直な方向に伸びる平面（中心軸10を含む図4の紙面に垂直な平面）を対称面とした面对称にインゴット1の外形がなるように、インゴット1は配置されている。

[0023] このようにすれば、図4に示すように、インゴット1のスライス時において、インゴット1の表面と、ガイドローラ5側のワイヤ7がガイドローラ5の表面から離れる位置（すなわち上述した中心線8の位置）との間の距離a（すなわちインゴット1のガイドローラ5側にあるワイヤ7の長さ）は、インゴット1の表面と、ガイドローラ6の表面からワイヤ7が離れる位置（すなわち中心線9の位置）との間の距離b（インゴット1のガイドローラ6側

にあるワイヤ7の長さ)と同じになる。そして、上記のようにインゴット1の位置がワイヤ7に対して設定されていることから、上記のようなインゴット1の左右におけるワイヤ7の長さの関係はスライスする工程の間維持される。

[0024] たとえば、図5に示すように、スライスする工程の別の時点において、図4に示した距離aに対応する図5の距離cと、図4の距離bに対応する図5の距離dは同じになる。

以上のように、インゴット1を挟んで左右に位置するワイヤ7のたわみ量が左右で大きく異ならず、ほぼ同じになるので、切り出された化合物半導体単結晶基板20の形状精度や面精度を良好に保つことができる。

[0025] 図6に示すように、インゴット1をその上方(スライス時のインゴット1の移動経路の終点側)から見た場合に、インゴット1の側壁11の形状は、図4や図5に示した中心軸10を中心としてワイヤ7の延在方向において対称になっている。そのため、図6に示すようにインゴット1を一度に複数枚の基板へとスライスする場合に、インゴット1をスライスしている各ワイヤ7について上述のような関係が成り立つ。具体的には、図4に示した距離aに対応する図6の距離eと、図4の距離bに対応する図6の距離fとは同じに保たれる。また、同様に図6の距離gと距離hも同じに保たれる。

[0026] このようにすれば、1回のスライスする工程(S30)により、複数の、良好な形状精度を実現した化合物半導体単結晶基板20を得ることができる。あるいは、上述したスライスする工程(S30)を実施した後、得られた各化合物半導体単結晶基板について端面処理や表面の研磨処理、洗浄処理などを行なうことにより、本発明による化合物半導体単結晶基板20を得ることができる。

化合物半導体単結晶基板20の厚みはたとえば $300\mu\text{m}$ 以下であり、そり量はたとえば $15\mu\text{m}$ 以下である。ここで化合物半導体単結晶基板20のそり量とは、ろ波最大うねり W_{CM} (JIS B 0610に規定される)のことを指す。この化合物半導体単結晶基板は赤外LEDなどの製造に用いること

ができる。

[0027] 以下、本発明の変更例について説明する。本発明の変更例によると、治具により固定する工程（S20）において、インゴット1に追加の補助部材を取り付けてもよい。

前記追加の補助部材とは、たとえば図8（図8は図3に対応する）で示すように、インゴット1上に取り付けられる上部補助板15であってもよい。この上部補助板15は、インゴット1の側壁11の上部（つまりワイヤ7が最初に接触するインゴット1の表面）に配置される。

さらに、スライスする工程（S30）において、ワイヤ7は、インゴット1より先に、上部補助板15の表面に接触する。上部補助板15の前記表面（図8において上面）は、ワイヤ7の延在方向に沿うとともにワイヤ7のインゴットに対する移動方向（図8中矢印）に対して垂直な面と平行になっている。また、上部補助板15のその表面は、インゴット1の上部に配置したときに、支持部材2の上部表面と平行になる（すなわち水平方向に延びる）ように形成されている。

上部補助板15の、側壁11と対向する面は、当該側壁11と同じ方向に延びるような傾斜面となっている。

[0028] 図3に示すように、インゴット1に上部補助板15を備えない場合、ワイヤ7は、傾斜した側壁11に最初に切込み、その切込み時にワイヤ7の位置がずれることがある（ワイヤ7がうねることがある）。これは、ワイヤ7の切込み方向（図3の下向き方向）に対して、側壁11の方向が傾斜している（たとえば54.7°だけ傾斜している）ため、ワイヤ7がうまく側壁11に噛み込めないために起こる。しかし、本発明の変更例によると、上部補助板15を取り付けることにより、切り込み時のワイヤ7の位置のずれを防ぐことができる。

[0029] なお、下部補助板3、側面補助板4、上部補助板15はそれぞれ任意の材料で形成することができるが、好ましくはカーボンを用いることができる。カーボンは、価格が安くまた加工が容易であるためこのような治具の材料と

して適している。

[0030] 図9、及び図9のX-X線断面模式図である図10により比較例を示すことにより、本発明の実施形態の化合物半導体単結晶基板の製造方法の効果を説明する。前記比較例では、ワイヤソーの切断方向に対してインゴットの向きを、本発明の実施形態のインゴットの位置から90°回転させた。

比較例において、インゴットを準備する工程(S10)では、本発明の実施形態と同様の形状であるインゴット101を準備する。

治具に固定する工程(S20)として、当該インゴット101を、治具により固定する。このとき、支持部材102の上部表面上には直方体状の下部補助板103が配置され、この下部補助板103上に当該インゴット101が配置されている。インゴット101は、そのフリー面113が、下部補助板103の上部表面に対して垂直な方向に延びるように、配置されている。つまり、インゴット101は、その側壁が下部補助板103の上部表面に接触するように配置されている。そして、このインゴット101の2つの端面112を挟むように、2つの側面補助板104が配置されている。

[0031] 次に、スライスする工程(S30)として、インゴット101をワイヤソーを用いて切断する。この場合、図11および図12に示すように、固定用治具により固定したインゴット101の、切断時にワイヤ7が延びる方向に沿った方向での中心軸110(具体的には、図9に示したインゴット101の幅方向の中央を通り、支持部材102の上部表面に垂直な線分)を考える。図4～図6に示した本発明による化合物半導体単結晶基板の製造方法の場合と同様に、中心軸110が、ガイドローラ5、6の中心線8、9の間の中間点を通るようにインゴット101を配置する。この場合、図11に示すように、インゴット101の切断時にインゴット101の表面と、ガイドローラ5側のワイヤ7がガイドローラ5の表面から離れる位置(すなわち上述した中心線8の位置)との間の距離a(すなわちインゴット101のガイドローラ5側に位置するワイヤ7の長さ)は、インゴット101の表面と、ガイドローラ6の表面からワイヤ7が離れる位置(すなわち中心線9の位置)と

の間の距離 b （インゴット 101 のガイドローラ 6 側に位置するワイヤ 7 の長さ）と比較してインゴット 101 の切断時においてほとんどの場合その長さが異なった状態となる。たとえば、図 12 に示すように、インゴット 101 をスライスする工程の別の時点においても、図 11 に示した距離 a に対応する図 12 の距離 c と、図 11 の距離 b に対応する図 12 の距離 d とは異なっている。つまり、前記距離 a と距離 b との比（ a/b ）または距離 c と距離 d との比（ c/d ）は、インゴット 101 の切断が進むにつれて変わっていく。

[0032] このようにインゴット 101 の左右側で露出しているワイヤ 7 の部分の長さ（たとえば図 11 の距離 a および距離 b ）が異なると、切断された基板の表面形状に悪影響を及ぼす。すなわち、インゴット 101 の左右側で露出しているワイヤ 7 の部分の長さが長いほどワイヤ 7 のたわみが大きくなり得る。そして、図 11 に示すようにインゴット 101 の左右側において露出しているワイヤ 7 の部分の長さ（図 11 中距離 a と距離 b 、図 12 中距離 c と距離 d ）が異なるということは、インゴット 101 の左右におけるワイヤ 7 とインゴット 101 との接触部における接触角度や圧力条件などが異なることを意味する。さらに、図 11 と図 12 とを比較すればわかるように、インゴット 101 の切断が進むにつれて、インゴット 101 の左右側における露出したワイヤ 7 の長さ（図 11 の距離 a および距離 b ）が変化することから、上述した接触角度や圧力条件なども切断が進むにつれて変化することになる。この結果、切り出された基板の表面性状やそりなどの特性がばらつくことになる。

[0033] また、図 13 に示すように、比較例において、一度にインゴット 101 を複数の基板へスライスする場合、得られる複数の基板の間で、そりや表面状態が異なる。これは、インゴット 101 の左右側に露出したワイヤ 7 の長さの比が、複数の基板において異なるからである。具体的には、図 13 のインゴット 101 の厚み方向における、任意の基板に関する距離 e と距離 f の比と、当該厚み方向における他の基板に関する距離 g と距離 h との比は異なる

ことに起因する。

[0034] 一方、本発明による化合物半導体単結晶基板の製造方法によれば、図4～図7を参照して説明したように良好な形状精度の化合物半導体単結晶基板20を得ることができる。

[0035] 以下、上述した実施の形態と一部重複する部分もあるが、本発明の特徴的な構成を列挙する。

[0036] この発明に従った化合物半導体単結晶基板の製造方法は、水平ポート法を用いて形成された化合物半導体単結晶からなるインゴット1を準備する工程(S10)と、当該インゴット1を治具により固定する工程(S20)と、治具により固定されたインゴット1を、ワイヤソーを用いてスライスする工程(S30)とを備える。

インゴットを準備する工程(S10)では、水平ポート法により(111)方向で形成された化合物半導体を得て、これを、望ましくは(100)±7°または(511)±7°の面方位で2箇所切断することにより、単結晶インゴットを得る。

治具により固定する工程(S20)において、固定用治具(支持部材2、下部補助板3、側面補助板4)により単結晶インゴットを固定する。

スライスする工程(S30)では、治具により固定されたインゴット1を、ワイヤソーを用いて、(100)±7°または(511)±7°の面方位でスライスする。これは、ワイヤソーのワイヤ7をインゴット1の(011)方向に往復に送りながら、治具により固定されたインゴット1をワイヤ7の往復方向と直行する方向に上昇させることにより行われる。

[0037] このようにすれば、水平ポート法を用いて形成されたインゴット1を、支持部材2、下部補助板3、側面補助板4などの治具により固定したうえで、ワイヤソーを用いて当該インゴット1をスライスするので、従来より薄い化合物半導体単結晶基板20を得ることができる。また、ワイヤソーを用いてインゴット1をスライスするため、従来の内周刃切断機などを用いた場合より切り代を小さくできる。このため、1つのインゴットから切り出せる化

物半導体単結晶基板 20 の枚数を増やすことができるので、当該化合物半導体単結晶基板 20 の製造コストを低減できる。

[0038] 化合物半導体単結晶基板 20 の製造方法において、スライスする工程（スライス工程（S30））では、1 対のローラ（ガイドローラ 5、6）の間に張られたワイヤソー（ワイヤ 7）を用いてもよい。さらに、スライスする工程（S30）では、インゴット 1 は、1 対のガイドローラ 5、6 の間の中間点を通るとともにワイヤソー（ワイヤ 7）の延在方向に対して垂直な方向に伸びる平面（図 4 において中心軸 10 を通り紙面に垂直な平面）を対称面として、面对称にインゴット 1 の外形になるように配置された後、スライスされてもよい。

[0039] この場合、1 対のガイドローラ 5、6 とインゴット 1 との間において、インゴット 1 の左右側にあるワイヤ 7 の部分の長さ（図 4 の距離 a および距離 b）を同じにできるので、当該ワイヤ 7 の部分におけるたわみ量もインゴット 1 の左右側においてほぼ同じにすることができる。この結果、インゴット 1 から切り出された化合物半導体単結晶基板 20 の、ワイヤソーのたわみに起因する形状不良（たとえば、そり）を低減することができる。

[0040] 前記化合物半導体単結晶基板の製造方法において、治具により固定する工程（S20）では、スライスする工程（S30）の開始時点において、ワイヤソー（図 8 のワイヤ 7）と対向するインゴット 1 の表面上に補助部材（上部補助板 15）が配置されてもよい。また、スライスする工程（S30）において、上部補助板 15 においてワイヤ 7 と最初に接触する面は、ワイヤ 7 の延在方向に沿うとともにワイヤ 7 の移動方向（図 8 における下向き方向）に対して垂直な面と平行になっていてもよい。

[0041] この場合、スライスする工程（S30）の開始時に、当該上部補助板 15 にワイヤ 7 が接触したときに、ワイヤ 7 が上部補助板 15 の表面において位置ずれすることなく切り込むことができる。このため、ワイヤ 7 の切り込み時における位置ずれに起因する化合物半導体単結晶基板 20 の形状不良（たとえば化合物半導体単結晶基板 20 の厚みのばらつきやそり）の発生を抑制

できる。

[0042] 前記化合物半導体単結晶基板の製造方法において、インゴット 1 は、結晶成長時に容器と接触しないフリー面 13 を含んでいてもよい。この場合、スライスする工程（S30）において、図 2～図 5 に示すように、インゴット 1 は、当該フリー面 13 がワイヤソー（ワイヤ 7）の延在方向に沿った方向に伸びるように配置されていてもよい。この場合、厚みのばらつきやそりの発生が少ない化合物半導体単結晶基板 20 を得ることができる。

[0043] この発明に従った化合物半導体単結晶基板 20 は、前記化合物半導体単結晶基板の製造方法を用いて製造されたものである。このようにすれば、従来よりも厚みが薄く、低コストで化合物半導体単結晶基板 20 を実現できる。

[0044] 前記化合物半導体単結晶基板 20 は、厚みが 300 μm 以下であってもよい。従来のように内周刃切断機を用いてインゴット 1 をスライスすることにより得られる化合物半導体単結晶基板よりその厚みを薄くできるので、1 つのインゴットから得られる化合物半導体単結晶基板の数を従来より多くできる。つまり、低コストで化合物半導体単結晶基板 20 が得られる。

[0045] 上記化合物半導体単結晶基板 20 は、そりが 15 μm 以下であってもよい。この場合、良好な平坦性を有するために、その主表面に高品質な半導体層をエピタキシャル成長させることが可能となる。

[0046] （実験例）

本発明の効果を確認するため以下のような実験を行なった。

[0047] （サンプル）

本発明による化合物半導体単結晶基板の製造方法の実施例として、図 2 および図 3 に示すように GaAs 結晶のインゴットを支持部材 2、下部補助板 3、側面補助板 4 により固定した。なお、当該インゴットのサイズは、図 3 に示したインゴットの端面 12 の高さが 70 mm であり、図 2 に示したインゴットの幅が 75 mm である。

[0048] また、比較例として、同じ形状およびサイズの GaAs 結晶からなるインゴットを準備し、これを図 9 および図 10 に示すように支持部材 102、下

部補助板 103、側面補助板 104 により固定した。

[0049] (実験条件)

上述した固定用治具により固定されたインゴットを、ワイヤソーを用いてスライスした。なお、ワイヤソーによるスライスの条件は、以下の通りである。すなわち、設備としては株式会社安永製の U400 を用い、ワイヤ（ソーワイヤ）としてはブラスめっき直径 $120\text{ }\mu\text{m}$ ソーワイヤを用いた。また、スラリー（砥液）の組成については、含有される砥粒が GC # 1200、オイルが油性オイル、砥粒とオイルとの配合比がオイル 1 リットルに対して砥粒 1.111 kg とした。また、加工速度を $150\text{ }\mu\text{m}/\text{min}$ 、ワイヤ送り量を $15\text{ m}/\text{min}$ 、ワイヤ平均線速を $320\text{ m}/\text{min}$ とした。

[0050] そして、スライスして得られた基板のそり量を測定した。なお、そり量の測定方法は、JIS B 0610 に規定するろ波最大うねり W_{CM} の測定方法に従った。

[0051] (結果)

測定結果を図 14 に示す。図 14 に示したグラフの横軸はインゴットにおいて基板が採取された位置（インゴット位置）を示しており、縦軸は基板のそり量（単位： μm ）を示している。また、グラフ中の丸印が本発明の実施例のサンプルに関するデータであり、四角印が比較例のサンプルに関するデータである。なお、横軸のインゴット位置は、図 3 に示したインゴット 1（または図 10 に示したインゴット 101）の一方の端面 12（図 10 に示した端面 112）の位置を図 14 中（a）とし、他方の端面 12（または端面 112）を図 14 中（b）とし、インゴットの厚み方向における（a）から（b）で採取される複数の基板について反り量を測定した。

[0052] 図 14 からわかるように、本発明の実施例のサンプルに関するそりの値は、全体として比較例のサンプルに関するそりの値より小さくなっていることがわかる。つまり、本発明による化合物半導体単結晶基板の製造方法によれば、得られた基板のそりがインゴットの位置のほぼ全体にわたって比較例の方法よりも低減されている。

[0053] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0054] 本発明は、特に水平ポート法により形成されたインゴットを用いた化合物半導体単結晶基板の製造方法に特に有利に適用される。

符号の説明

[0055] 1, 101 インゴット、2, 102 支持部材、3, 103 下部補助板、4, 104 側面補助板、5, 6 ガイドローラ、7 ワイヤ、8, 9 中心線、10, 110 中心軸、11 側壁、12, 112 端面、13, 113 フリー面、15 上部補助板、20 化合物半導体単結晶基板。

請求の範囲

- [請求項1] (1 1 1) 方向に水平ポート法を用いて形成された化合物半導体からなる単結晶インゴットを準備する工程と、
前記インゴットを治具により固定する工程と、
前記治具により固定された前記インゴットを、ワイヤソーを用いて (1 0 0) $\pm 7^\circ$ または (5 1 1) $\pm 7^\circ$ の面方位で、前記ワイヤソーのワイヤを (0 1 - 1) 方向に往復に送りながら、前記治具により固定された前記インゴットを前記ワイヤの往復方向と直行する方向に上昇させて、スライスする工程とを備える、化合物半導体単結晶基板の製造方法。
- [請求項2] 前記スライスする工程では、1 対のローラの上に張られた前記ワイヤを用い、さらに、前記1 対のローラの上の間接点を通る平面であって、前記ワイヤの延在方向に対して垂直な方向に伸びる平面を対称面とした面対称に前記インゴットの外形がなるように、前記インゴットが配置される、請求項1に記載の化合物半導体単結晶基板の製造方法。
- [請求項3] 前記治具により固定する工程で、前記インゴットの表面に補助部材が配置され、前記インゴットの前記表面は、前記インゴットがスライスされる直前に前記ワイヤと対向する表面であって、
前記スライスする工程において、前記ワイヤは、前記インゴットより先に、前記補助部材の表面に接触し、前記補助部材の前記表面は前記ワイヤの延在方向に沿うとともに前記ワイヤの前記インゴットに対する移動方向に対して垂直な面と平行になっている、請求項1または2に記載の化合物半導体単結晶基板の製造方法。
- [請求項4] 前記インゴットは、結晶成長時に容器と接触しないフリー面を含み、
前記スライスする工程において、前記インゴットの前記フリー面が前記ワイヤソーの延在方向に沿った方向に伸びるように、前記インゴ

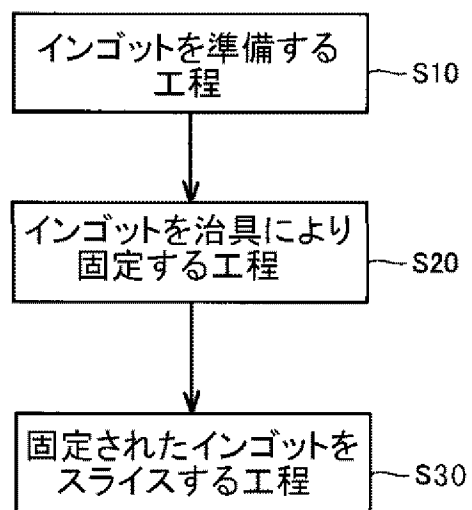
ットが配置されている、請求項 1 ～ 3 のいずれか 1 項に記載の化合物半導体単結晶基板の製造方法。

[請求項5] 請求項 1 に記載の化合物半導体単結晶基板の製造方法を用いて製造された化合物半導体単結晶基板。

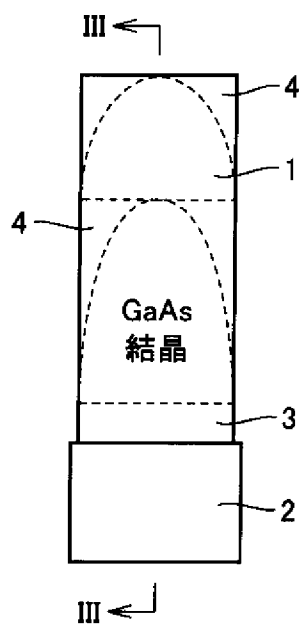
[請求項6] 厚みが 3 0 0 μ m 以下である、請求項 5 に記載の化合物半導体単結晶基板。

[請求項7] そりが 1 5 μ m 以下である、請求項 5 または 6 に記載の化合物半導体単結晶基板。

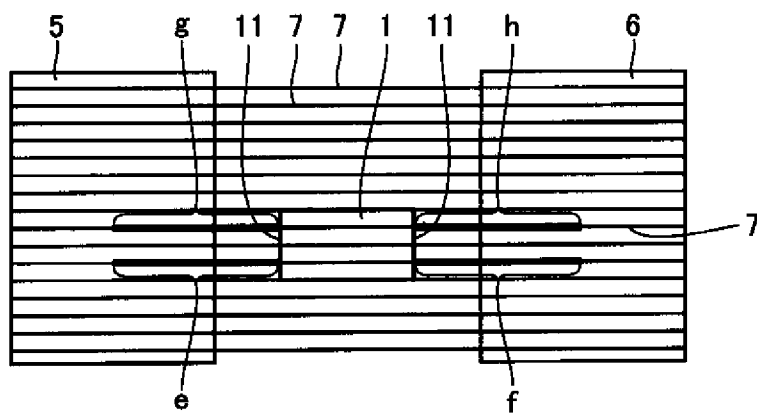
[図1]



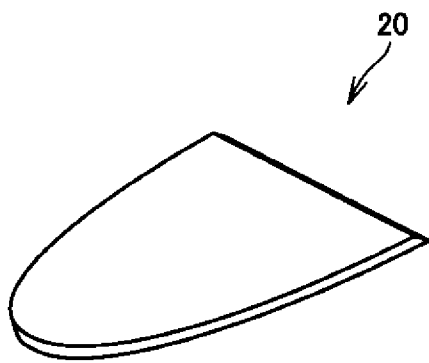
[図2]



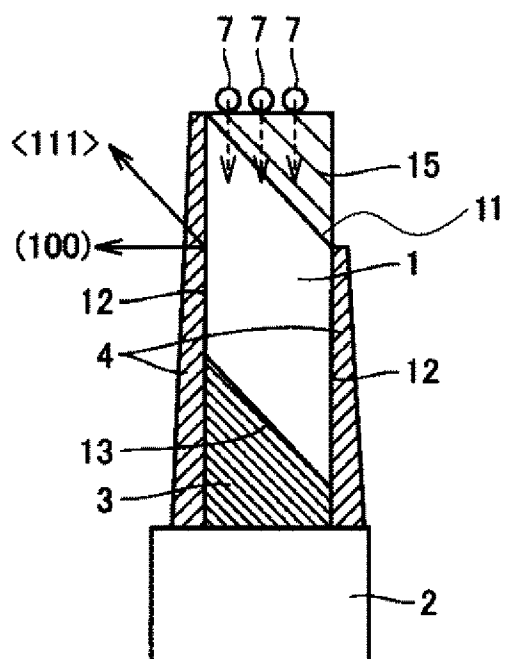
[図6]



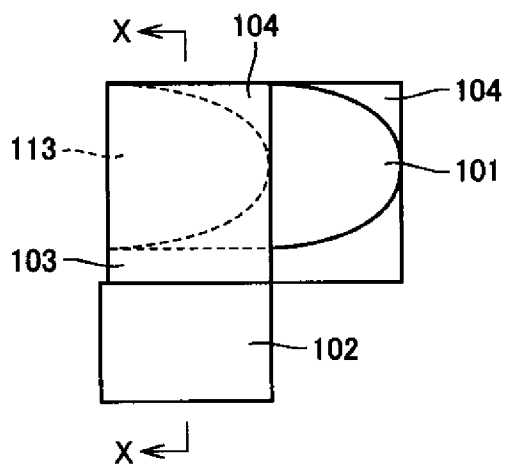
[図7]



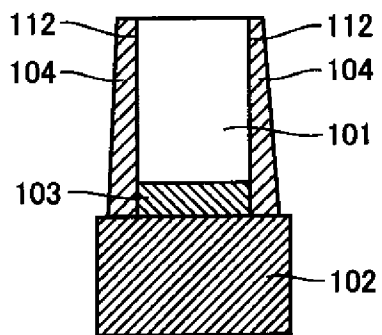
[図8]



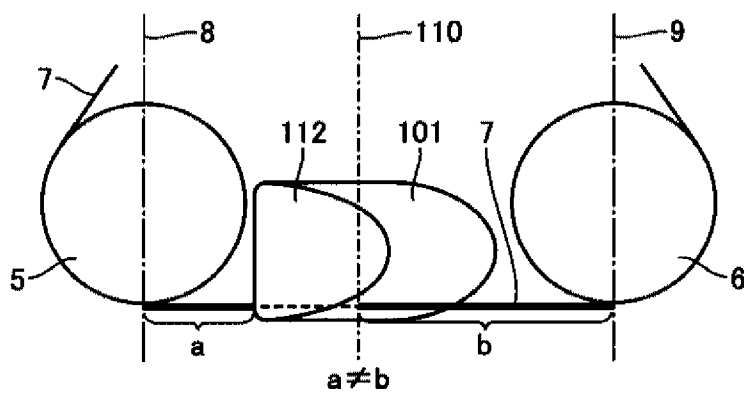
[図9]



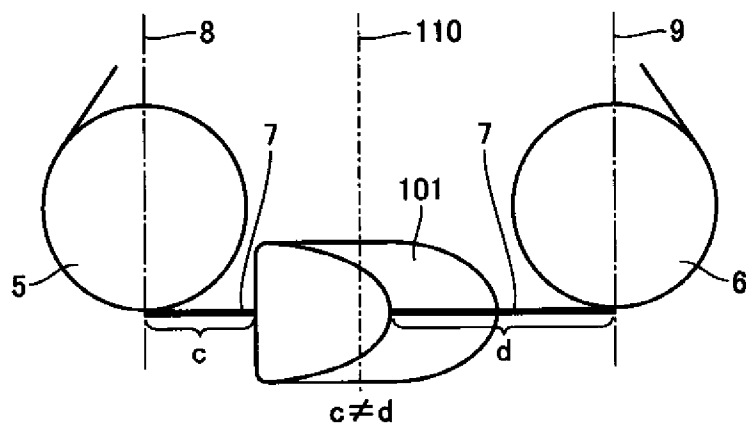
[図10]



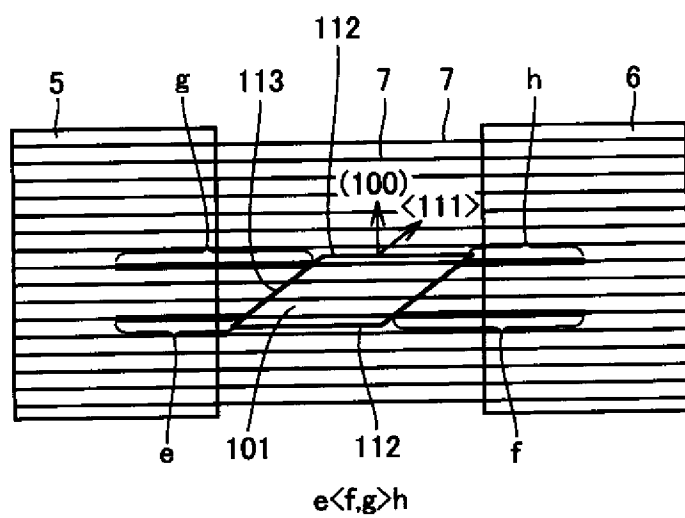
[図11]



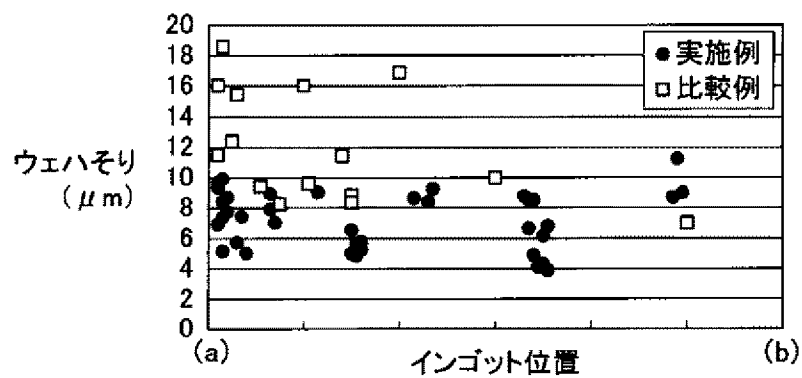
[図12]



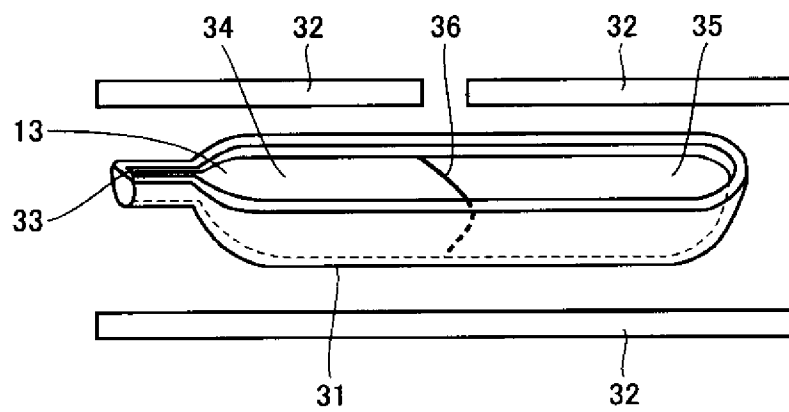
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059157

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/304(2006.01)i, B24B27/06(2006.01)i, B28D5/04(2006.01)i, C30B29/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/304, B24B27/06, B28D5/04, C30B29/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 3-133607 A (Sumitomo Electric Industries, Ltd.), 06 June 1991 (06.06.1991), page 4, upper right column, line 17 to lower left column, line 16; fig. 7 (Family: none)	1-2, 5-7 3-4
Y A	JP 64-33091 A (The Furukawa Electric Co., Ltd.), 02 February 1989 (02.02.1989), page 2, lower left column, line 1 to page 3, upper right column, line 3; fig. 1, 3, 6 (Family: none)	1-2, 5-7 3-4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 May, 2012 (01.05.12)Date of mailing of the international search report
22 May, 2012 (22.05.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/059157

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 56-105638 A (Sumitomo Electric Industries, Ltd.), 22 August 1981 (22.08.1981), page 2, lower left column, line 6 to lower right column, line 6, fig. 5 & US 4488930 A	1-2, 5-7 3-4
Y A	JP 59-72730 A (Sumitomo Electric Industries, Ltd.), 24 April 1984 (24.04.1984), page 3, upper right column, line 18 to page 4, upper right column, line 9; fig. 1, 12 (Family: none)	1-2, 5-7 3-4
Y	JP 2000-61800 A (Mitsubishi Materials Silicon Corp.), 29 February 2000 (29.02.2000), paragraph [0014]; fig. 1, 3 (Family: none)	2
Y	JP 2000-309016 A (Mitsubishi Materials Silicon Corp.), 07 November 2000 (07.11.2000), paragraph [0013]; fig. 1 (Family: none)	2

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/304(2006.01)i, B24B27/06(2006.01)i, B28D5/04(2006.01)i, C30B29/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/304, B24B27/06, B28D5/04, C30B29/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 3-133607 A (住友電気工業株式会社) 1991.06.06, 4 ページ右上欄第 17 行-左下欄第 16 行, 第 7 図 (ファミリーなし)	1-2, 5-7 3-4
Y A	JP 64-33091 A (古河電気工業株式会社) 1989.02.02, 2 ページ左下欄第 1 行-3 ページ右上欄第 3 行, 第 1, 3, 6 図 (ファミリーなし)	1-2, 5-7 3-4
Y A	JP 56-105638 A (住友電気工業株式会社) 1981.08.22, 2 ページ左下欄第 6 行-右下欄第 6 行, 第 5 図 & US 4488930 A	1-2, 5-7 3-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01.05.2012

国際調査報告の発送日

22.05.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山本 健晴

3 P

3431

電話番号 03-3581-1101 内線 3364

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 59-72730 A (住友電気工業株式会社) 1984.04.24, 3 ページ右上 欄第 18 行-4 ページ右上欄第 9 行, 第 1, 12 図 (ファミリーなし)	1-2, 5-7 3-4
Y	JP 2000-61800 A (三菱マテリアルシリコン株式会社) 2000.02.29, 段落【0014】, 図 1, 3 (ファミリーなし)	2
Y	JP 2000-309016 A (三菱マテリアルシリコン株式会社) 2000.11.07, 段落【0013】, 図 1 (ファミリーなし)	2