发明名称
具有非晶硅 MONOS 存储单元结构的半导体器件及其制造方法

摘要
一种具有非晶硅 (a-Si) 金属-氧化物-半导体 (MONOS) 存储单元结构的半导体器件。该器件包括：基片；覆盖基片的电介质层；以及嵌入电介质层中的一个或多个源区或漏区，其中 n 型 a-Si 和电介质层有共面表面。另外，该器件包括 p-i-n a-Si 二极管结。该器件还包括覆盖 a-Si 的 p-i-n 二极管结的氧化物-半导体-氧化物 (ONO) 电荷捕获层和覆盖 ONO 层的金属控制栅。提供了一种制造 a-Si MONOS 存储单元结构的方法并且可以重复该方法以便三维地扩展所述结构。
1. 一种制造非晶硅(a-Si)金属-氧化物-氮化物-氧化物半导体(MONOS)存储单元结构的方法，该方法包括：
   提供基片；
   在所述基片上形成第一绝缘层；
   在所述第一绝缘层上形成一个或多个源区或漏区，所述一个或多个源区或漏区的每一个与第一表面相关并且包括 n 型 a-Si 层、势垒层和传导层，所述 n 型 a-Si 层在所述势垒层上，所述势垒层覆盖所述传导层，所述第一表面由 n 型 a-Si 组成；
   在所述第一绝缘层上形成第二绝缘层，所述第二绝缘层与第二表面相关，所述第二表面基本上与所述第一表面共面；
   形成覆盖所述第一表面和所述第二表面的 i 型 a-Si 层；
   形成覆盖所述 i 型 a-Si 层的 p 型 a-Si 层；
   形成覆盖所述 p 型 a-Si 层的 ONO(氧化物-氮化物-氧化物)层；
   形成覆盖所述 ONO 层的金属层；以及
   通过图案化所述金属层来形成至少一个控制栅。

2. 权利要求 1 的方法，其中在所述第一绝缘层上形成一个或多个源区或漏区的方法进一步包括：
   在所述第一绝缘层上沉积所述传导层；
   沉积覆盖所述传导层的所述势垒层；
   沉积覆盖所述势垒层的所述 n 型 a-Si 层；以及
   图案化所述 n 型 a-Si 层、所述势垒层和所述传导层以便形成包括所述第一表面的约束区。

3. 权利要求 2 的方法，其中所述传导层是包括 TiSi₂ 的金属硅化物。

4. 权利要求 2 的方法，其中所述势垒层是包括 TiN 的金属氮化物。

5. 权利要求 1 的方法，其中所述第一绝缘层包括二氧化硅。

6. 权利要求 1 的方法，其中在所述第一绝缘层上形成第二绝缘层进一步包括：
沉积所述第二绝缘层以便覆盖所述第一绝缘层上的一个或多个源区
或漏区；以及

执行 CMP 和/或蚀刻工艺以便形成所述第二表面，所述第二表面
基本上与所述第一表面共面。

7. 权利要求 6 的方法，其中所述第二绝缘层包括通过高密度等离子体辅
助的化学气相沉积来沉积的氧化硅。

8. 权利要求 6 的方法，其中所述第二绝缘层包括 TEOS 沉积的氧化硅。

9. 权利要求 1 的方法，其中所述 p 型 a-Si 层基本上包括本征硅材料。

10. 权利要求 1 的方法，其中覆盖所述 i 型 a-Si 层的所述 p 型 a-Si 层能够
在所述第一表面形成非晶硅 PIN 二极管结。

11. 权利要求 1 的方法，其中覆盖所述 i 型 a-Si 层的所述 p 型 a-Si 层能
够形成连接所述 n 型 a-Si 源区和 n 型 a-Si 漏区的 p 沟道。

12. 权利要求 1 的方法，其中形成所述非晶硅层进一步包括：在 450 摄氏
度下利用低压气相沉积(LP-CVD)方法通过 Si₂H₆ 或者利用等离子体 CVD
通过 SiH₄ 或者利用原子层沉积(ALD)方法通过 SiH₄ 或 Si₂H₆ 来沉积非晶
硅层。

13. 权利要求 1 的方法，其中形成所述 ONO 层进一步包括：

在所述 p 型 a-Si 层上沉积氧化硅隧道层；
沉积覆盖所述氧化硅隧道层的氮化硅层；以及
沉积覆盖所述氮化硅层的氧化硅阻挡层。

14. 权利要求 12 的方法，其中通过使用原子层沉积(ALD)技术来执行形
成所述 ONO 层。

15. 权利要求 1 的方法，其中覆盖所述 ONO 层的金属层包括铝材料。

16. 权利要求 1 的方法，其中覆盖所述 ONO 层的金属层包括钛材料。

17. 权利要求 1 的方法，其中所述控制栅设置在至少一个源区和一个漏区
之上。

18. 权利要求 1 的方法还包括：重复所述过程步骤以便三维地堆叠所述存
储单元结构。
19. 一种具有非晶硅(a-Si)金属-氧化物-氮化物-氧化物半导体(MONOS)存储单元结构的器件，该器件包括：
  基片；
  在所述基片上的电介质层，所述电介质层与第一表面相关；
  嵌入在所述电介质层中一个或多个源区或漏区，所述一个或多个源区或漏区的每一个与第二表面相关并且包括 n 型 a-Si 层、扩散势垒层和传导层，所述 n 型 a-Si 层位于所述扩散势垒层上，所述扩散势垒层覆盖所述传导层，所述第二表面由 n 型 a-Si 组成并且基本上与所述第一表面共面；
  覆盖所述第一表面和所述第二表面的本征(i 型)a-Si 层；
  覆盖所述 i 型 a-Si 层的 p 型 a-Si 层；
  覆盖所述 p 型 a-Si 层的氧化物-氮化物-氧化物(ONO)层；以及
  覆盖所述 ONO 层的至少一个控制栅。
20. 权利要求 19 的器件，其中所述绝缘层包括氧化硅。
21. 权利要求 19 的器件，其中所述传导层是包括 TiSi₂ 的金属硅化物。
22. 权利要求 21 的器件，其中所述金属硅化物层能够与存储器阵列位线电耦合。
23. 权利要求 19 的器件，其中所述扩散势垒层是包括 TiN 的金属氮化物。
24. 权利要求 19 的器件，其中覆盖所述 i 型 a-Si 层的所述 p 型 a-Si 层能够在所述第二表面形成非晶硅 p-i-n 二极管结。
25. 权利要求 19 的器件，其中所述 ONO 层包括用于电荷捕获的氮化硅层，所述氮化硅层被上氧化硅阻挡层和下氧化硅隧道层夹在中间。
26. 权利要求 19 的器件，其中所述控制栅由覆盖所述 ONO 层的金属层图案来赋予特征。
27. 权利要求 26 的器件，其中所述金属层包括钛。
28. 权利要求 26 的器件，其中所述金属层包括铝。
29. 权利要求26的器件，其中所述金属层与存储器阵列字线电耦合。
30. 权利要求26的器件，其中所述控制栅设置在至少一个源区和一个漏区之上。
具有非晶硅 MONOS 存储单元结构的半导体器件及其制造方法

技术领域

本发明涉及用于半导体器件制造的集成电路及其处理。更具体地，本发明提供一种具有存储单元的半导体器件和一种制造该器件的方法。仅作为实例，本发明已应用于三维(3D)非晶硅(a-Si)金属-氧化物-氮化物-氧化物半导体(MONOS)存储单元结构和一种用于制造该存储单元结构的方法。但是应该认识到本发明拥有更宽广的可应用范围。例如，本发明可以应用于诸如动态随机存取存储器器件、静态随机存取存储器器件、闪速存储器器件等等的各种器件中。

背景技术

集成电路或 “IC” 已从制造在单片硅上的少数相互连接的器件发展到数百万的器件。当前的 IC 提供了远超过最初所想象的性能和复杂性。为了实现在复杂性和电路密度（即能够封装在给定芯片面积上的器件数目）上的改进，最小器件特征尺寸，也称为器件 “几何形状（geometry）”, 已随着每一代 IC 而变得越来越小。现在半导体器件正以小于四分之一微米宽的特征来制造。

增加电路密度不仅改善了 IC 的复杂性和性能，而且还向消费者提供了较低成本的零件。IC 制造设备可花费数亿或甚至数十亿美元。每一制造设备将有某种晶片生产量，并且每一晶片在其上将有特定数量的 IC。因此，通过使 IC 的单个器件更小，可在每一晶片上制造更多的器件，从而增加制造设备的产量。使器件更小是很有挑战性的，因为用于 IC 制造的每个工艺是有限度的。也就是说，一个给定工艺典型地只作用到某一特征尺寸，然后需要改变工艺或器件布局。

在过去，减少存储器件一直是一项有挑战性的任务。举例来说，对于非易失性存储器件，由于无力在不减少每单位面积上的存储容量的情况下
下减小存储单元的尺寸，这阻碍了高密度存储器的发展。在过去，已经针对减小尺寸的存贮单元开发了各种传统技术。遗憾的是，这些传统技术通常是不充分的。

因此，可以看出需要一种用于存储单元结构的改善的器件设计和技术。

发明内容

本发明涉及用于半导体器件制造的集成电路及其处理。更具体地，本发明提供一种具有存储单元的半导体器件以及该器件的制造方法。仅作为实例，本发明已应用于三维(3D)非晶硅(a-Si)金属-氧化物-氮化物-氧化物半导体(MONOS)存储单元结构和一种用于制造该存储单元结构的方法。但是应该认识到本发明拥有更宽广的可应用范围。例如，本发明可以应用于诸如动态随机存取存储器器件、静态随机存取存储器器件、闪速存储器器件等等的各种器件中。

在一个特定实施例中，本发明提供一种具有a-Si MONOS存贮单元结构的器件。该器件包括基片、基片上的绝缘层以及嵌入在电介质层中的一个或多个源区或漏区。一个或多个源区或漏区中的每一个包括n型a-Si层、扩散势垒层和传导层。与电介质层有共面表面的n型a-Si层位于扩散势垒层上。扩散势垒层覆盖传导层。另外，该器件包括覆盖n型a-Si层和电介质层的共面表面的本征型(i型)a-Si层。此外，该器件包括覆盖i型a-Si层的p型a-Si层。该器件还包括覆盖p型a-Si层的氧化物-氮化物-氧化物(ONO)层和覆盖ONO层的至少一个控制栅。

在一个选中的特定实施例中，本发明提供一种制造a-Si MONOS存贮单元结构的方法。该方法包括提供基片、在基片上形成第一绝缘层以及在第一绝缘层上形成一个或多个源区或漏区。一个或多个源区或漏区中的每一个与第一表面相关并且包括n型a-Si层、势垒层和传导层。n型a-Si层位于势垒层上。势垒层覆盖传导层。另外，该方法包括在第一绝缘层上形
成第二绝缘层。第二绝缘层与基本上与第一表面共面的第二表面相关。该方法还包括：形成覆盖第一表面和第二表面的 i 型 a-Si 层以及形成覆盖 i 型 a-Si 层的 p 型 a-Si 层。此外，该方法包括：形成覆盖 p 型 a-Si 层的氧化物-氮化物-氧化物(ONO)层。该方法还包括形成覆盖 ONO 层的金属层和通过图案化金属层来形成至少一个控制栅。

在另一个特定实施例中，覆盖 i 型 a-Si 层的 p 型 a-Si 能够在 n 型 a-Si 表面上形成 p-i-n 二极管结。这个 p-i-n 二极管结可以作为每个存储比特的存取器件，具有改善的信噪比和减小的缩放限制。在另一个特定实施例中，n 型 a-Si 源区、p 型 a-Si 沟道层以及下一 n 型 a-Si 漏区的组合能够形成薄膜晶体管(TFT)。TFT 可以作为存储单元的替代存取器件。另外，单元结构化设计的简单性提供了以 3D 的形式堆叠的能力。例如，整个存储单元结构可以以交叉点存储器体系结构的形式来实施，其中 ONO 层内的每个存储器存储元件可以夹在正交字线和位线阵列之间。

除了能够 3D 堆叠以外，通过本发明还可以获得很多胜过传统技术的益处。根据某些实施例，本发明结合了 ONO 电荷捕获存储器存储设计的高可靠性、使用 p-i-n 二极管作为存取器件的小几何单元尺寸以及在存储单元容忍的温度内掺杂剂活化与制造的低热量预热的优点。另外，本发明提供一种不必对传统设备和工艺进行实质修改而与传统 CMOS 生产工艺技术兼容的易于使用的过程。在一些实施例中，该方法提供通过满足 3D 存储单元结构的可堆叠性和热预算约束的 a-Si 薄膜的低温沉积来形成 p-i-n 二极管结的工艺。根据该实施例，可以获得这些益处中的一个或多个。这些益处以及其它益处将在本说明书书中尤其是在以下进行更详细描述。

参考详细的说明书和随后的附图可以更完整地理解本发明的各个附加的目的、特征和优点。

附图说明

图 1 是根据本发明一个实施例的 a-Si MONOS 存储单元的简化侧视
图；

图 2 是示出根据本发明一个实施例的制造 a-Si MONOS 存储单元结构的简化示图；

图 3A 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而在基片上形成第一绝缘层的方法的简化示图；

图 3B 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而按顺序形成传导层、扩散势垒层和 n 型 a-Si 层的方法的简化示图；

图 3C 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而形成源自区或漏区的方法的简化示图；

图 3D 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而在源自区或漏区周围形成第二绝缘层的方法的简化示图；

图 3E 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而形成源区或漏区与第二绝缘层的共面表面的方法的简化示图；

图 3F 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而形成 p-i-n 二极管接的方法的简化示图；

图 3G 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而形成 ONO 层的方法的简化示图；

图 3H 是示出根据本发明一个实施例的用于制造 a-Si MONOS 存储单元结构而在 ONO 层上形成金属控制栅的方法的简化示图；

图 3I 是示出根据本发明一个实施例的用于制造三维 a-Si MONOS 存储单元结构而形成层间电介质的方法的简化示图。

具体实施方式

本发明涉及用于半导体器件制造的集成电路及其处理。更具体地，

本发明提供一种具有存储单元的半导体器件和一种制造该器件的方法。仅
作为实例，本发明已应用于三维 (3D) 非晶硅 (a-Si) 金属-氧化物-氮化物-氧化

9
物半导体(MONOS)存储单元结构和一种用于制造该存储单元结构的方法。但是应该认识到本发明拥有更宽广的可应用范围。例如，本发明可以应用于诸如动态随机存取存储器器件、静态随机存取存储器器件、闪速存储器器件等等的各种器件中。

如上所述，各种传统技术已经涉及减小尺寸的存储单元。根据传统技术之一，以堆叠的栅结构来实现存储单元。例如，堆叠结构利用通过源区和沟道区的一个或多个沟道热电子而被编程并且然后通过Fowler-Norheim隧道效应来擦除。

遗憾的是，堆叠的栅单元结构是二维阵列类型，通常随着单元尺寸缩小，每单位面积存储容量就变小。一个可行的解决方案是在包含CMOS支持电路的a-Si基片之上堆叠三维的若干层存储器阵列。根据各个实施例，本发明提供三维存储单元结构。例如，本发明的某些实施例提供在存储单元中制造可堆叠存储器件的能力。这要求改善存储单元结构设计，使其能够满足下列属性中的一个或多个，这些属性包括：堆叠能力、小几何形状、低泄漏电流、双向可操作、易于集成到低温后端CMOS流中、成本效率、效率等等。因此，本发明的各个实施例提供了一种非晶硅金属氧化物-氮化物-氧化物半导体(a-Si MONOS)存储单元结构。应该理解，术语"a-Si MONOS"是指一类存储单元结构并且是广义定义的。例如，"a-Si MONOS"可以根据图1来说明。

图1是具有能够被三维堆叠的a-Si MONOS存储单元结构的半导体器件100的简化示图。该示图仅是实例，其不应过度地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替换和修改。器件100包括以下组件：

1. 基片10；
2. 电介质层20；
3. 传导层30；
4. 扩散势垒层35；
5. 一个或多个 n 型 a-Si 源区或漏区 40；
6. i 型 a-Si 中间层 50；
7. p 型 a-Si 层 60；
8. 氧化物-氮化物-氧化物(ONO)层 70；及
9. 金属栅区 80。

虽然上面已经示出了对于器件 100 使用选定组的组件，但是也可以有许多替换、修改和变化。例如，某些组件可以被扩展和/或组合。其它组件可以插入到上面指出的那些组件中。根据该实施例，组件的布置可以与替换的其他组件互换。在本说明书各处特别是在下面可找到这些组件进一步的细节。

在一个实施例中，基片 10 由半导体材料制造。例如，半导体材料是硅。在另一实施例中，基片 10 包括多个半导体器件，如利用电介质钝化的 a-Si MONOS 存储器阵列。

电介质层 20 位于基片 10 上。在一个实施例中，电介质层 20 的至少一部分由在硅基片上通过热氧化处理形成的二氧化硅组成。在另一个实施例中，电介质层 20 是由高密度等离子体(HDP)辅助的化学气相沉积所沉积的氧化硅或者 TEOS 沉积的氧化硅。

在电介质层 20 中嵌入一个或多个约束区。这些约束区每个都包含传导层、扩散势垒层以及半导体源区或漏区。在如图 1 所示的典型约束区内，传导层 30 位于底部并且扩散势垒层 35 覆盖传导层 30，接着是 n 型 a-Si 层 40。n 型 a-Si 层 40 有与电介质层 20 的表面共面的表面。n 型 a-Si 层 40 能够形成器件 100 的源区或漏区。n 型源区或漏区 40 通过扩散势垒层 35 传导地连接到传导层 30。传导层 30 能够与存储器线位(图 1 中未示出)电耦合以便执行对存储单元的编程或擦除功能。在一个实施例中，传导层 30 是包含金属的材料或者金属合金材料。例如，材料是硅化钛。在另一个实施例中，扩散势垒层 35 是氮化钛。

参见图 1，n 型 a-Si 源区或漏区 40 包含无氢非晶硅，所述无氢非
晶硅位于嵌入在电介质区域 20 中的约束区域的顶部。在一个实施例中，
非晶硅与 n 型掺杂剂(例如 As、P 等)掺杂以便以电子作为其主要载流子而
具有传导性。如图 1 中所看到的，在另一个实施例中，n 型 a-Si 源区或漏
区 40 具有与电介质层 20 共面的表面。

再次参考图 1，i 型 a-Si 层 50 位于 n 型 a-Si 源区或漏区 40 和电介
质层 20 的共面表面上。i 型 a-Si 层 50 是没有杂质掺杂的本征半导体。在
一个实施例中，i 型 a-Si 层 50 至少部分地与 n 型 a-Si 源区或漏区 40 直接
接触。另外，p 型 a-Si 层 60 位于 i 型 a-Si 层 50 上。在一个实例中，p 型
a-Si 层以 p 型掺杂剂(例如 B、Ga 等)掺杂，以空穴作为其主要载流子。参
见图 1，在另一个实施例中，p 型 a-Si 层 60 和覆盖约束 n 型 a-Si 源区或漏
区 40 的 i 型 a-Si 层 50 在器件 100 中形成 a-Si p-i-n 二极管结。在另一个实
施例中，位于两个相邻 n 型 a-Si 源区或漏区 40 上的 p 型 a-Si 层 60 能够形
成 p 沟道薄膜晶体管(TFT)。a-Si p-i-n 二极管结或 p 沟道 TFT 都可以用作
器件 100 的存储器存取器件。

参见图 1，ONO 层 70 位于 p 型 a-Si 层 60 上。ONO 层 70 包括覆
盖 p 型 a-Si 层 60 的下氧化物层 72，接着是覆盖下氧化物层 72 的氮化物
层 75，以及覆盖氮化物层 75 的上氧化物层 78。例如，下氧化物层 72 和
上氧化物层 78 由原子层沉积的二氧化硅制成。氮化物层 75 由原子层沉积
的氮化硅制成。在一个实施例中，下氧化物层 72 是器件 100 的隧道氧化
物，用于使热载流子注入到电荷捕获氮化物层 75 中以便进行存储器存储。
在另一个实施例中，上氧化物层 78 是用于阻挡电荷从电荷捕获氮化物层
75 泄漏的阻挡电介质或栅绝缘层。ONO 层 70 可以被修改以便优化某些器
件设计要求。例如，可以调整氮化硅层中的组成以及隧道氧化物和阻挡电
介质的厚度以便为存储器件提供增强的性能。在另一实例中，可以精细调
整和控制在氮化硅层中捕获的电荷量以使每一单元储存 4 个或者更多比特。

再来参考图 1，器件 100 还包括至少一个金属栅区 80 作为控制栅。
通过将一金属层图案化来形成金属栅区 80，该金属层形成为覆盖 ONO 层 70。图案化的金属栅区 80 至少位于形成 p-i-n a-Si 二极管结的 n 型 a-Si 源区或漏区 40 之上。金属栅区 80 的图案几何形状未在图 1 中特别示出，其只是一个实例并且本领域普通技术人员将认识到金属栅区 80 的许多变化、替换和修改以及它们的相互联系。例如，金属栅区 80 可以电耦合到存储器阵列字线(未示出)，存储器阵列字线可以与电耦合到传导层 30 的存储器位线正交。在一个实施例中，作为存储单元的控制栅的金属栅区 80 可以用具有高功函数的材料制成以便抑制寄生的栅擦除电流。在一个实施例中，金属栅区 80 包括钛材料。在另一实施例中，金属栅区 80 包括铝材料。

根据本发明的一个实施例，具有 a-Si MONOS 存储单元结构的器件 100 可以在侧向上复制以形成一个存储器阵列。存储器阵列还可以用具有到栅、源区或漏区的多个金属互连和/或接触的层间电介质来钝化。在另一个实施例中，钝化层可以进一步被平坦化以便再次形成用于堆叠多个器件 100 的基片。在另一个实施例中，本发明提供一种能够以多层堆叠以形成三维存储器阵列的 a-Si MONOS 存储单元结构。

图 2 是示出根据本发明实施例的用于制造 a-Si MONOS 存储单元结构的方法的简化示图。该示图仅是实例，其不应该过度限制此处的权利要求的范围。方法 2000 包括以下过程：

1. 用于在基片上形成第一绝缘层的过程 2100；
2. 用于形成 n 型 a-Si 源区或漏区的过程 2200；
3. 用于形成覆盖 i 型 a-Si 层的 p 型 a-Si 层的过程 2300；
4. 用于形成 ONO 层的过程 2400；
5. 用于形成金属控制栅的过程 2500；以及
6. 用于形成层间电介质的过程 2600。

上述一系列过程提供了根据本发明一个实施例的一种方法。也可以提供其它替换方案，在其中增加了一些过程、删除了一个或多个过程或者按照不同的顺序提供一个或多个过程等等，而不背离此处的权利要求范
围。例如，具有通过方法 2000 制成的 a-Si MONOS 存储单元结构的半导体器件是器件 100。本发明的更多细节可以在本说明书各处并且特别是在以下找到。

在过程 2100，在基片上形成绝缘层。图 3A 示出了一种根据本发明实施例的用于制造具有 a-Si MONOS 存储单元结构的半导体器件而形成绝缘层的简化方法。该示图仅是实例，其不应该过度限制权利要求的范围。本领域普通技术人员将认识到许多变化、替换和修改。

如图 3A 中所示，提供了起动基片 110。例如，基片 110 包括硅。在另一个实例中，基片 110 包括多个半导体器件，所述半导体器件包括利用钝化嵌入在层间电介质中的多个 CMOS 存储器件。在基片 110 上，形成第一绝缘层 120。在一个实施例中，第一绝缘层 120 包括二氧化硅。例如，通过热氧化过程形成二氧化硅。在另一个实例中，通过使用高密度等离子体化学气相沉积 (HDP-CVD) 技术来沉积二氧化硅层。

参考图 2，在过程 2200，形成一个或多个 n 型 a-Si 源区或漏区。图 3B、3C、3D 和 3E 示出了一种根据本发明实施例的用于制造具有 a-Si MONOS 存储单元结构的半导体器件而形成一个 n 型 a-Si 源区或漏区的简化方法。这些示图仅是实例，其不应该过度限制权利要求的范围。本领域普通技术人员应该认识到许多变化、替换和修改。例如，可以执行过程 2200 来制造器件 100。

如图 3B 中所示，在第一绝缘层 120 上顺序地形成导电层 130、扩散势垒层 135 和 n 型 a-Si 层 140。在一个实施例中，导电层 130 由金属硅化物材料制成。金属硅化物能够形成用于电耦合的接触垫。例如，导电层 130 可以与沿着特定方向嵌入在第一绝缘层 120 中的存储器阵列位线 (未示出) 电耦合。在另一个实例中，导电层 130 是硅化钛 (TiSi2)。在另一个实施例中，TiSi2 层可以通过包括蒸发、溅射或 CVD 在内的各种沉积技术来形成。例如，TiSi2 层通过使用 SiH4 和 TiCl4 等的气体混合物的热 CVD 和随后的 600-800°C 热退火来形成。
在又一个实施例中，为了减少金属相互扩散问题，半导体层形成之前沉积覆盖传导层 130 的扩散势垒层 135。例如，扩散势垒层 135 由氮化钛(TiN)材料制成。在另一个实施例中，利用低压化学气相沉积(LPCVD)或物理气相沉积(PVD)来沉积 TiN 层。再次参考图 3B，在扩散势垒层 135 上形成 n 型 a-Si 层 140。在另一个实施例中，通过利用 SiH₄ / PH₃ / H₂ 气体混合物的流动的低温(< 400°C)等离子体增强的 CVD 来沉积 n 型 a-Si 层 140，其中磷是 n 型掺杂剂杂质。可以使用诸如 LPCVD 和原子层沉积(ALD)技术的其它替换方法来形成 n 型 a-Si 层 140。显然，本领域普通技术人员将认识到包括其掺杂剂的 n 型 a-Si 形成的许多其它替换。

在过程 2200，参考图 3C，根据本发明的一个实施例，对于连续的层 130、135 和 140 执行图案化和蚀刻。在一个实施例中，利用光致抗蚀剂层的使用以及接着在图案化光掩模下的 UV 曝光来执行图案化。对光致抗蚀剂层进行显影以及对曝光的抗蚀剂材料进行剥离清洗产生由部分露出的 n 型 a-Si 层 140 和仍然由抗蚀剂层覆盖的一个或多个约束区组成的表面。此外，执行等离子体蚀刻来去除未遮蔽的层 130、135 和 140 直到露出第一绝缘层 120。刻蚀过程是各向异性的因此保留了抗蚀剂层图案所覆盖的区域。在去除抗蚀剂层之后，如图 3C 中所示形成一个或多个约束区 150。在一个实施例中，一个或多个约束区 150 的每一个都包括约束部分 n 型 a-Si 层 140a、扩散势垒层 135a 和传导层 130a。约束 n 型 a-Si 层 140a 位于覆盖约束传导层 130a 的约束扩散势垒层 135a 上。

另外在过程 2200，增加了第二绝缘层 160 以便完全覆盖所形成的一个或多个约束区 150 以及第一绝缘层 120 的暴露区域，如图 3D 所示。在一个实施例中，第二绝缘层 160 包括氧化硅。例如，氧化硅利用高密度等离子体(HDP)化学气相沉积来沉积。在另一实施例中，氧化硅是原硅酸四乙酯 TEOS 沉积的氧化硅。

参见图 3E，仍然在过程 2200，执行化学机械平坦化(CMP)过程以便去除第二绝缘层 160 的额外量直到露出约束区 150 中的 n 型 a-Si 层 140a
并且形成共面表面形成为止，CMP 平坦化的表面至少部分包括区域 140a 中 n 型 a-Si 层的第一表面 141，并且部分包括第二绝缘层 160 的第二表面 161。在另一个实施例中，CMP 过程和干刻蚀过程的组合或者干刻蚀过程单独可用于去除第二绝缘层 160 的额外量。在另一个实施例中，第二绝缘层 160 沉积在约束区 150（如图 3C 所示）周围绕到第二绝缘层 160 的第二表面 161 与区域 140a 中的 n 型 a-Si 的第一表面 141 基本上共面。一个或多个约束区 150 的每一个内的 n 型 a-Si 层 140a 嵌入在有共面表面的第二绝缘层 160 中并且能够形成存储器件的源区或漏区。例如，存储器件是器件 100。

回来参考图 2，过程 2300，形成 i 型 a-Si 和 p 型 a-Si 的顺序层。图 3F 示出了根据本发明一个实施例的用于制造具有 a-Si MONOS 存储单元的半导体器件而形成覆盖 i 型 a-Si 层的 p 型 a-Si 层的简化方法。该示意图仅是实例，其不应该过度地限制权利要求的范围。本领域普通技术人员应该认识到许多变化、替换和修改。

如图 3F 所示，本征或者无掺杂的 (即 i 型) a-Si 层 170 形成，覆盖约束区 150 中的 n 型 a-Si 层 140a 的表面 141 和第二绝缘层 160 的表面 161。在一个实施例中，i 型 a-Si 层 170 至少部分地接触约束区 150 中的 n 型 a-Si 层 140a 的表面 141。在另一个实施例中，i 型 a-Si 层 170 通过利用 SiH₄/H₂ 气体混合物的流动的低温 (＜400°C) 等离子体增强 CVD 来沉积。在另一实施例中，i 型 a-Si 层 170 通过利用在 450°C 之下的 LPCVD 使用 Si₂H₆ 来沉积非晶硅而形成。也可以使用其它替换方法，例如用 ALD 方法使用 SiH₄ 或者 Si₂H₆。

另外在过程 2300，p 型 a-Si 层 180 被沉积，覆盖 i 型 a-Si 层 170。例如，p 型 a-Si 层 180 通过利用 SiH₄/H₂ 气体混合物的流动的低温 (＜400°C) 等离子体增强 CVD 工艺来沉积。可以使用诸如 LPCVD 和 ALD 技术的其它替换方法来形成 p 型 a-Si 层 180。当然，本领域普通技术人员将认识到包括其掺杂剂的 p 型 a-Si 形成的许多其它替换。在一个特定实施例中，
在约束 n 型 a-Si 层 140a 之上，存在 i 型 a-Si 和 p 型 a-Si 的顺序层，其能够形成 a-Si p-i-n 二极管结。a-Si p-i-n 二极管结可以用作存储单元的存取器件。在另一个特定实施例中，约束区 150 中的约束 n 型 a-Si 层 140a 形成源区并且相邻区域 150 中的约束 n 型 a-Si 层 140a 形成漏区。在两个区域 150 上，i 型 a-Si 层 170 上的 p 型 a-Si 层 180 形成将 n 型源区连接到 n 型漏区的薄膜晶体管沟道。根据本发明的一个实施例，包括 a-Si p 沟道薄膜晶体管在内的这样一个结构也可以作为存储单元的存取器件。

再次参考图 2，在过程 2400，形成 ONO 层。图 3G 是示出根据本发明一个实施例的用于制造具有 a-Si MONOS 存储单元结构的半导体器件而形成 ONO 层的简化方法。该示图仅是实例，其不应该过度地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替换和修改。

参见图 3G，ONO 层 190 形成，覆盖 p 型 a-Si 层 180 层。ONO 层是被下氧化物层 192 和上氧化物层 198 夹在中间的氮化物层 195。氮化物层 195 可以用作用于存储器存储的电荷捕获绝缘层。例如，氮化物层 195 是通过 ALD 技术沉积的氮化硅。在另一实例中，氮化物是富硅氮化物。下氧化物层 192 是把氮化物层 195 与 p 型 a-Si 层 180 分隔开来的隧道氧化物，其中来自 n 型 a-Si 层漏区 140a 的热电子通过编程场而注到到氮化物层 195 中。上氧化物层 198 是阻挡氧化物或者栅绝缘层，设置高的势垒层以便使得电荷保留在氮化物层 195 中。在一个实例中，下氧化物层 192 和上氧化物层 198 都由二氧化硅制成。在另一实例中，通过 ALD 技术生长二氧化硅。在一个实施例中，上氧化物层 198 比下氧化物层 192 厚。

在过程 2500，形成金属控制栅。图 3H 示出根据本发明一个实施例的用于制造具有 a-Si MONOS 存储单元结构的半导体器件而形成金属控制栅的简化方法。该示图仅是实例，其不应该过度地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替换和修改。例如，执行本发明方法的过程 2500 来制造器件 100 的金属控制栅。

如图 3H 所示，沉积金属层 200，其覆盖 ONO 层 190。在一个实施
例中，金属层 200 覆盖上氧化物层 198。金属层 200 包括具有高功函数的材料。在一个实例中，金属层 200 由铝材料制成。在另一实例中，金属层 200 包括钛材料。可以通过包括蒸发、溅射和电化学沉积 (ECD) 的各种技术来进行金属沉积。

根据本发明的一个实施例，可以通过图案化位于在过程 2300 形成的 a-Si p-i-n 二极管结之上的 ONO 层 190 上的金属层 200 来形成控制栅。在另一个实施例中，图案化的控制栅设置于在过程 2300 可替换地形成的 p 沟道 TFT 之上。在另一实施例中，双金属栅可以形成在每个存储单元内。用于形成每个控制栅的图案化和蚀刻过程包括：施加光致抗蚀剂层、遮蔽、曝光、显影抗蚀剂、剥离曝光的抗蚀剂残余、金属蚀刻以及抗蚀剂层去除等等。

在另一个实施例中，每一个图案化的控制栅可以与存储器阵列字线电耦合。存储器阵列字线可以配置为与其存储器阵列的位线方向正交。当然控制栅的详细图案化几何形状未在图 3H 中明确提出，但是本领域普通技术人员将认识到栅结构的许多变化、选择和修改，其不应该过度地限制权利要求的范围。在过程 2500 的结尾，控制栅的形成完成了 a-Si MONOS 存储单元结构的形成。例如，器件 100 的阵列通过包括从过程 2100 到过程 2500 的顺序过程在内的方式 2000 而制成。

回来参考图 2，在过程 2600，形成层间电介质。图 31 示出了形成层间电介质 210 的简化方法，层间电介质 210 覆盖在过程 2500 结尾形成的具有 a-Si MONOS 存储单元结构的器件。该示意图仅是实例，其不应该过度地限制权利要求的范围。本领域普通技术人员将认识到许多变化、选择和修改。例如，在层间电介质 210 的形成之前可以在过程 2500 结尾形成具有 a-Si MONOS 存储单元结构的多个器件。另外，金属互连 (未示出) 可以嵌入在层间电介质 210 中用于存储器阵列的位线或字线。在另一个特定实施例中，通过过程 2100 到 2600 形成的 a-Si MONOS 存储单元结构是三维可堆叠的。例如，层间电介质可以通过 CMP 或回蚀刻工艺来平坦化。
电介质的平坦化表面可以用作基片。然后可以重复方法 2000 的一系列过程(2100 一直到 2500)以便形成另一层存储单元阵列。

如图 31 所示，在一个特定实施例中，本发明提供具有 a-Si MONOS 存储单元结构的器件。该器件包括基片、基片上的电介质层以及嵌入在电介质层中的一个或多个源区或漏区。所述一个或多个源区或漏区的每一个包括 n 型 a-Si 层、扩散势垒层和传导层。与电介质层有一共面表面的 n 型 a-Si 层位于扩散势垒层上。扩散势垒层覆盖传导层。另外，该器件包括覆盖 n 型 a-Si 层和电介质层的共面表面的本征型(i 型)a-Si 层。此外，该器件包括覆盖 i 型 a-Si 层的 p 型 a-Si 层。该器件还包括覆盖 p 型 a-Si 层的氧化物-氮化物-氧化物(ONO)层和覆盖 ONO 层的至少一个控制栅。

用于制造具有 a-Si MONOS 存储单元结构的半导体器件的上述过程仅是实例，其不应该过度地限制此处权利要求的范围。对于本领域普通技术人员来说还可以有许多替换、修改和变化。例如，某些过程可以扩展和/或组合。其它过程可以插入到上面指出的那些过程中。根据一个特定实施例，方法 2000 直接提供具有相同结构的器件 100 的一种二维存储单元阵列。根据另一个特定实施例，可以重复方法 2000 以便以多层的形式堆叠存储单元结构，从而可以制成三维存储单元结构阵列。n 型 a-Si 源区或漏区、a-Si p-i-n 二极管结或者 p 沟道 TFT 以及跟着金属控制栅的 ONO 电荷捕获层的形成的简单性提供了容易的 3D 可堆叠性。例如，具有 a-Si MONOS 存储单元结构的器件 100 可以三维地嵌入在较大的芯片中并且在竖直方向上每单位面积的存储密度提高。

本发明具有各种优点。本发明的某些实施例提供了一种能用于 3D 堆叠的 a-Si MONOS 存储单元。本发明的某些实施例提供了存储单元中的 a-Si p-i-n 二极管结作为存储器存取器件。例如，用低温(<450°C) CVD 过程形成 a-Si p-i-n 二极管结，所述过程满足 3D 存储单元的可堆叠性和热预算约束。本发明的某些实施例可以降低晶体管泄漏电流并且改善存储单元的电荷保留时间。本发明的某些实施例使用与已建立的 CMOS 技术完全
兼容的工艺来提供一种简单的制造 3D 存储单元的方法。

还应该理解，在此所描述的实例和实施例只是为了说明的目的并且本领域技术人员能够想到受其启发的各种修改和改变，并且这些修改和改变将包括在本申请的精神和范围以及所附权利要求的范围内。
图1
图2

2000

2100

2200

2300

2400

2500

2600

在基片上形成第一绝缘层

形成n型a-Si源区或漏区

形成覆盖i型a-Si层的p型a-Si层

形成ONO层

形成控制栅

形成层间电介质
图31