



(21) 申請案號：111113425 (22) 申請日：中華民國 111 (2022) 年 04 月 08 日

(51) Int. Cl. : *H01L21/56 (2006.01)* *H01L21/768 (2006.01)*  
*H01L23/50 (2006.01)* *H01L23/538 (2006.01)*  
*H01L29/92 (2006.01)*

(30) 優先權：2021/04/22 美國 17/237,828

(71) 申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)  
美國

(72) 發明人：崔 智弘 CHOI, JIHONG (US)；娜拉帕帝 吉里德爾 NALLAPATI, GIRIDHAR (IN)；斯托內 威廉 STONE, WILLIAM (US)；徐 建文 XU, JIANWEN (US)；金 鐘海 KIM, JONGHAE (US)；曲丹巴瑞 派瑞安南 CHIDAMBARAM, PERIANNAN (US)；賽義德 艾哈默 SYED, AHMER (US)

(74) 代理人：李世章

申請實體審查：無 申請專利範圍項數：39 項 圖式數：13 共 78 頁

## (54) 名稱

採用電容器嵌入式重分佈層 (RDL) 基板以將 (諸) IC 晶片對接到封裝基板的積體電路 (IC) 封裝以及相關方法

## (57) 摘要

積體電路 (IC) 封裝採用電容器嵌入式重分佈層 (RDL) 基板和相關製造方法。嵌入式電容器可被耦合到功率分配網路 (PDN) 以提供解耦電容來減少電流電阻 (IR) 下降。RDL 基板被佈置在 (諸) IC 晶片和封裝基板之間以最小化 (諸) 嵌入式電容器和 (諸) IC 晶片之間的距離來減少 PDN 中的寄生電感，從而減少 PDN 雜訊。在 RDL 基板被佈置在封裝基板和 (諸) IC 晶片之間的情況下，RDL 基板需要支援封裝基板和 (諸) IC 晶片之間的貫穿互連。就此而言，RDL 基板包括毗鄰於 (諸) IC 晶片的外部 RDL 層以支援小節距金屬互連以及提供扇出能力。這提供了與較高密度晶粒互連 IC 晶片的增強的連通性相容性，同時亦支援 PDN 中位置更靠近的嵌入式電容器。

Integrated circuit (IC) packages employing a capacitor-embedded, redistribution layer (RDL) substrate and related fabrication methods. The embedded capacitor can be coupled to a power distribution network (PDN) to provide decoupling capacitance to reduce current-resistance (IR) drop. The RDL substrate is disposed between the IC chip(s) and the package substrate to minimize distance between the embedded capacitor(s) and the IC chip(s) to reduce the parasitic inductance in the PDN, thus reducing PDN noise. With the RDL substrate disposed between the package substrate and the IC chip(s), the RDL substrate needs to support through-interconnections between the package substrate and the IC chip(s). In this regard, the RDL substrate includes an outer RDL layer adjacent to the IC chip(s) to support small pitch metal interconnects as well as provide fan-out capability. This provides enhanced connectivity compatibility with higher-density die interconnect IC chips while also supporting a closer located embedded capacitor in the PDN.

指定代表圖：

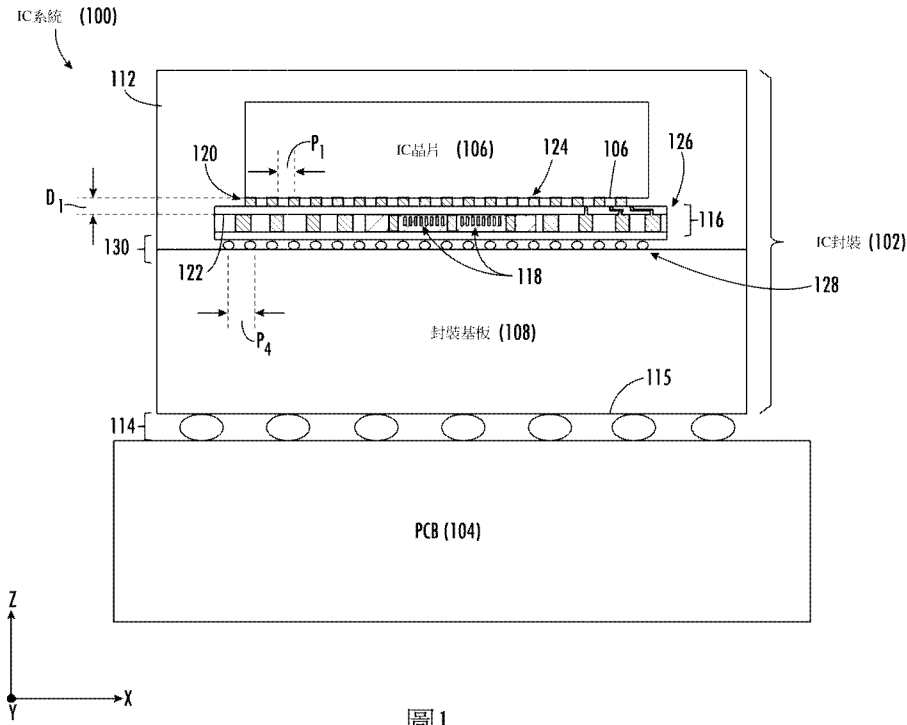


圖1

符號簡單說明：

- 100:IC 系統
- 102:IC 封裝
- 104:印刷電路板(PCB)
- 106:IC 晶片
- 108:封裝基板
- 112:包覆模製材料
- 114:外部封裝互連
- 115:底表面
- 116:RDL 基板
- 118:電容器
- 120:高密度晶粒互連
- 122:外表面
- 124:主動表面
- 126:外部 RDL 層
- 128:封裝基板互連
- 130:頂部封裝基板層

## 【發明摘要】

【中文發明名稱】採用電容器嵌入式重分佈層（RDL）基板以將（諸）IC 晶片對接到封裝基板的積體電路（IC）封裝以及相關方法

【英文發明名稱】INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING A CAPACITOR-EMBEDDED, REDISTRIBUTION LAYER (RDL) SUBSTRATE FOR INTERFACING AN IC CHIP(S) TO A PACKAGE SUBSTRATE, AND RELATED METHODS

### 【中文】

積體電路（IC）封裝採用電容器嵌入式重分佈層（RDL）基板和相關製造方法。嵌入式電容器可被耦合到功率分配網路（PDN）以提供解耦電容來減少電流電阻（IR）下降。RDL 基板被佈置在（諸）IC 晶片和封裝基板之間以最小化（諸）嵌入式電容器和（諸）IC 晶片之間的距離來減少 PDN 中的寄生電感，從而減少 PDN 雜訊。在 RDL 基板被佈置在封裝基板和（諸）IC 晶片之間的情況下，RDL 基板需要支援封裝基板和（諸）IC 晶片之間的貫穿互連。就此而言，RDL 基板包括毗鄰於（諸）IC 晶片的外部 RDL 層以支援小節距金屬互連以及提供扇出能力。這提供了與較高密度晶粒互連 IC 晶片的增強的連通性相容性，同時亦支援 PDN 中位置更靠近的嵌入式電容器。

### 【英文】

Integrated circuit (IC) packages employing a capacitor-embedded, redistribution layer (RDL) substrate and related fabrication methods. The embedded capacitor can be coupled to a power distribution network (PDN) to provide decoupling capacitance to

reduce current-resistance (IR) drop. The RDL substrate is disposed between the IC chip(s) and the package substrate to minimize distance between the embedded capacitor(s) and the IC chip(s) to reduce the parasitic inductance in the PDN, thus reducing PDN noise. With the RDL substrate disposed between the package substrate and the IC chip(s), the RDL substrate needs to support through-interconnections between the package substrate and the IC chip(s). In this regard, the RDL substrate includes an outer RDL layer adjacent to the IC chip(s) to support small pitch metal interconnects as well as provide fan-out capability. This provides enhanced connectivity compatibility with higher-density die interconnect IC chips while also supporting a closer located embedded capacitor in the PDN.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

1 0 0 : I C 系 統

1 0 2 : I C 封 裝

1 0 4 : 印 刷 電 路 板 ( P C B )

1 0 6 : I C 晶 片

1 0 8 : 封 裝 基 板

1 1 2 : 包 覆 模 製 材 料

1 1 4 : 外 部 封 裝 互 連

1 1 5 : 底 表 面

1 1 6 : R D L 基 板

1 1 8 : 電 容 器

1 2 0 : 高 密 度 晶 粒 互 連

1 2 2 : 外 表 面

1 2 4 : 主 動 表 面

1 2 6 : 外 部 R D L 層

1 2 8 : 封 裝 基 板 互 連

1 3 0 : 頂 部 封 裝 基 板 層

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】採用電容器嵌入式重分佈層（RDL）基板以將（諸）IC 晶片對接到封裝基板的積體電路（IC）封裝以及相關方法

【英文發明名稱】INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING A CAPACITOR-EMBEDDED, REDISTRIBUTION LAYER (RDL) SUBSTRATE FOR INTERFACING AN IC CHIP(S) TO A PACKAGE SUBSTRATE, AND RELATED METHODS

### 【技術領域】

【0001】 本案的領域係關於積體電路（IC）封裝，並且尤其係關於在IC封裝的功率分配網路（PDN）中提供解耦電容以用於減少電流電阻（IR）下降（IR drop）和電壓下降。

### 【先前技術】

【0002】 積體電路（IC）是電子裝置的基石。IC通常被封裝在IC封裝（亦被稱為「半導體封裝」或「晶片封裝」）中。IC封裝包括封裝基板、以及安裝到該封裝基板的一或多個IC晶片或其他電子模組以提供到IC晶片的連通性。例如，IC封裝中的IC晶片可以是片上系統（SoC）。這些IC晶片經由電耦合到封裝基板中的金屬線而電耦合到IC封裝中的其他IC晶片及/或其他部件。這些IC晶片亦可以經由IC封裝的外部金屬互連（例如，焊料凸塊）的電連接來電耦合到IC封裝外部的其他電路。

【0003】 IC封裝中的高效能計算晶片需要有效的功率分配網路（PDN）來高效地將功率分配到IC晶片中的電路和

其他部件。例如，IC封裝可以包括單獨的功率管理晶片（PMC），該單獨的PMC包括被配置成將電壓分配到IC封裝中的其他IC晶片的電壓調節器電路系統。由於PDN中的串聯電阻和電感導致PMC和被供電的IC晶片之間的電流電阻（IR）下降，因此PDN中可能出現雜訊。從被供電的IC晶片到PDN的電流汲取態樣的變化可引發PDN中的雜訊。若PDN中的雜訊幅度超過特定閾值，則它會將遞送到IC晶片及其電路的電壓改變為低於可接受的值，這可導致電路失靈。即使PDN向IC晶片提供容限範圍內的電壓，PDN雜訊仍可導致其他問題。它可導致或表現為訊號線上的串擾。此外，由於PDN互連通常承載較高的電流，因而高頻PDN雜訊有可能產生電磁輻射干擾，這可能導致其他故障。

**【0004】** 因此，控制PDN中的雜訊是重要的。就此而言，採用解耦電容器來分流PDN中的PDN雜訊，以減少其對由PDN供電的IC晶片的影響。解耦電容器可被安裝在封裝基板上或嵌入到IC封裝的封裝基板內，以在電源和IC晶片之間提供解耦電容。然而，解耦電容器和IC晶片之間的電路徑連接具有寄生電感，該寄生電感可按不期望的方式導致IR下降和PDN雜訊。

**【發明內容】**

**【0005】** 本文中所揭示的各態樣包括積體電路（IC）封裝，其採用嵌入式電容器、重分佈層（RDL）基板以將（諸）IC晶片對接到封裝基板。RDL基板是包括RDL層的基板，

該 RDL 層包括支援金屬互連扇出的一或多個金屬重分佈線。作為實例，(諸)嵌入式電容器可以為 IC 封裝中的功率分配網路 (PDN) 提供解耦電容，以減少電流電阻 (IR) 下降。亦揭示相關製造方法。IC 封裝包括封裝基板和電耦合到該封裝基板的一或多個 IC 晶片。封裝基板包括其中嵌入有金屬跡線或導線以提供去往和來自 (諸) IC 晶片的電訊號路由的一或多個基板層。封裝基板支援 PDN，該 PDN 在給定電壓下攜帶電功率訊號以用於分配給 (諸) IC 晶片以供操作。在示例性態樣，支援嵌入式電容器的 RDL 基板被佈置在 (諸) IC 晶片和封裝基板之間，以最小化 (諸) 嵌入式電容器和 (諸) IC 晶片之間的距離。這可以減少 (諸) 嵌入式電容器和 (諸) IC 晶片之間的功率分配線中的寄生電感，從而減少 PDN 中的 IR 下降，這進而減少 PDN 雜訊。然而，在 RDL 基板被佈置在封裝基板和 (諸) IC 晶片之間的情況下，RDL 基板需要支援用於封裝基板和 (諸) IC 晶片之間的電介面的貫穿互連。(諸) IC 晶片可具有需要被電耦合到封裝基板的高密度晶粒互連。就此而言，提供 RDL 基板以包括毗鄰於 (諸) IC 晶片的第一外部 RDL 層。根據 RDL 製程形成的第一外部 RDL 層允許第一外部 RDL 層支援小節距金屬互連並且提供扇出能力。這允許 RDL 基板提供與較高密度的晶粒互連 IC 晶片的增強的連通性相容性，而同時支援位於靠近 IC 晶片的嵌入式電容器，以最小化 IR 下降。

**【0006】** 在示例性態樣，RDL基板亦可以包括毗鄰於封裝基板的第二外部RDL層。第二外部RDL層的金屬互連可用與第一外部RDL層的金屬互連不同的節距來形成，以在IC封裝中提供可相容的封裝基板態樣獲得更大的靈活性。例如，IC晶片的晶粒互連節距可以比封裝基板的金屬互連節距緊密得多（亦即，更小）。就此而言，RDL層可促成IC晶片與封裝基板之間的電耦合，該封裝基板具有不同節距的金屬互連以獲得增強的相容性並且簡化封裝製造製程。作為實例，這亦可以在對IC封裝中所採用的封裝基板的選擇態樣提供更大的靈活性，以實現（諸）IC晶片和封裝基板之間的節距相容性，從而獲得降低的成本及/或易於製造。

**【0007】** 在另一示例性態樣，嵌入式電容器可被包括在電容器封裝中，該電容器封裝被嵌入在RDL基板中。在另一示例性態樣，為了最小化嵌入式電容器的垂直路徑中的（諸）IC晶片和封裝基板之間的垂直互連路徑干擾，可以採用穿矽垂直互連通路（通孔）（TSV）。TSV穿過嵌入式電容器封裝的封裝電媒體來佈置，以提供（諸）IC晶片和封裝基板之間的、及/或去往（諸）嵌入式電容器的電貫穿連接。以此方式，RDL基板不限於僅在嵌入式電容器封裝的區域之外支援（諸）IC晶片和封裝基板之間的垂直互連。在另一示例性態樣，IC封裝亦包括貫穿互連，諸如穿模通孔（TMV），其延伸穿過嵌入式電容器封裝外部的RDL基板。這些其他貫穿互連在（諸）IC晶片和封裝基板

之間提供直通電連接（例如，輸入/輸出（I/O）連接）。RDL基板亦可以更容易地促成由於因RDL基板被佈置在封裝基板和（諸）IC晶片之間而導致封裝基板和（諸）IC晶片之間增加的距離而可能需要的更大直徑及/或更高縱橫比的貫穿互連縱橫比。

**【0008】** 就此而言，在一個示例性態樣，提供了一種積體電路（IC）封裝。IC封裝包括封裝基板，該封裝基板包括複數個封裝基板互連。IC封裝亦包括含有複數個晶粒互連的IC晶片。IC封裝亦包括佈置在封裝基板和IC晶片之間的RDL基板。RDL基板包括含有複數條重分佈金屬線的RDL層，每條重分佈金屬線包括耦合到該複數個晶粒互連之中的晶粒互連的RDL互連。RDL基板亦包括基板層，該基板層包括複數個基板互連。RDL基板亦包括佈置在RDL層與基板層之間的電容器。IC封裝亦包括電耦合到該複數個晶粒互連之中的晶粒互連和電容器的至少一個通孔。

**【0009】** 在另一示例性態樣，提供了一種製造IC封裝的方法。該方法包括形成封裝基板，該封裝基板包括複數個封裝基板互連。該方法亦包括在封裝基板上形成RDL基板，包括：形成包括複數條重分佈金屬線的RDL層，每條重分佈金屬線包括RDL互連；形成包括複數個基板互連的基板層；及在RDL層和基板層之間佈置電容器。該方法亦包括形成至少一個通孔，該至少一個通孔被電耦合到電容器並且被配置成電耦合到IC晶片的複數個晶粒互連之中的至少一個晶粒互連。該方法亦包括：將IC晶片的複數個晶粒互

連之中的至少一個晶粒互連耦合到該複數條重分佈金屬線之中的至少一個RDL互連。

**【0010】** 在另一示例性態樣，提供了一種RDL基板。RDL基板包括RDL層，該RDL層包括複數條重分佈金屬線，每條重分佈金屬線包括RDL互連。RDL基板亦包括基板層，該基板層包括複數個基板互連。RDL基板亦包括含有佈置在RDL層和基板層之間的介電材料的介電層。RDL基板亦包括嵌入在介電層中的電容器封裝，該電容器封裝包括電容器。RDL基板亦包括複數個TSV，該多個TSV穿過電容器封裝來佈置並且被電耦合到複數個RDL互連之中的RDL互連。

**【圖式簡單說明】**

**【0011】** 圖1是包括安裝到印刷電路板(PCB)的IC封裝的示例性積體電路(IC)系統的側視圖，其中IC封裝包括佈置在(諸)IC晶片和封裝基板之間的電容器嵌入式重分佈層(RDL)基板，其可為IC封裝中的功率分配網路(PDN)提供解耦電容；

**【0012】** 圖2是可在圖1中的IC封裝中採用的示例性RDL基板的側視圖，其中RDL基板包括含有電容器的嵌入式電容器封裝；

**【0013】** 圖3是圖2中另一示例性電容器嵌入式RDL基板的另一側視圖；

**【0014】** 圖4是圖示製造IC封裝的示例性製程的流程圖，該IC封裝包括佈置在(諸)IC晶片和封裝基板之間的電容

器嵌入式 R D L 基板，該 I C 封裝包括但不限於圖 1 - 3 中的 I C 封裝以及 R D L 基板；

【0015】 圖 5 A - 5 G 圖示了製造 I C 封裝的另一示例性製程的示例性製造階段，該 I C 封裝包括佈置在（諸）I C 晶片和封裝基板之間的電容器嵌入式 R D L 基板（包括但不限於圖 1 - 3 中的 I C 封裝和 R D L 基板），其中 R D L 基板的 R D L 層是在電容器封裝被嵌入到 R D L 基板之前形成的；

【0016】 圖 6 A - 6 D 是圖示根據圖 5 A - 5 G 中的示例性製造階段來製造 I C 封裝的示例性製程的流程圖，該 I C 封裝包括佈置在（諸）I C 晶片和封裝基板之間的電容器嵌入式 R D L 基板；

【0017】 圖 7 A - 7 C 圖示了製造嵌入式電容器封裝的示例性製程的示例性製造階段，該嵌入式電容器封裝可被嵌入在 I C 封裝的 R D L 基板中（包括但不限於圖 1 - 3 和 5 G 中的 I C 封裝和 R D L 基板）；

【0018】 圖 8 是圖示根據圖 7 A - 7 C 中的示例性製造階段來製造嵌入式電容器封裝的示例性製程的流程圖；

【0019】 圖 9 A - 9 H 圖示了製造 I C 封裝的另一示例性製程的另一示例性製造階段，該 I C 封裝包括佈置在（諸）I C 晶片和封裝基板之間的電容器嵌入式 R D L 基板（包括但不限於圖 1 - 3 中的 I C 封裝和 R D L 基板），其中 R D L 基板的 R D L 層是在電容器封裝被嵌入到 R D L 基板之前形成的；

【0020】 圖 1 0 A - 1 0 D 是圖示根據圖 9 A - 9 H 中的示例性製造階段來製造 I C 封裝的示例性製程的流程圖，該 I C 封裝包

括佈置在（諸）IC晶片和封裝基板之間的電容器嵌入式RDL基板；

【0021】 圖11A-11L圖示了製造IC封裝的另一示例性製程的示例性製造階段，該IC封裝包括佈置在（諸）IC晶片和封裝基板之間的電容器嵌入式RDL基板（包括但不限於圖1-3中的IC封裝和RDL基板），其中RDL基板的RDL層是在嵌入式電容器封裝被嵌入到RDL基板之後形成的；

【0022】 圖12A-12F是圖示根據圖11A-11L中的示例性製造階段來製造IC封裝的示例性製程的流程圖，該IC封裝包括佈置在（諸）IC晶片和封裝基板之間的電容器嵌入式RDL基板；

【0023】 圖13是示例性無線通訊設備的方塊圖，其包括由一或多個IC封裝形成的電子部件，該IC封裝包括佈置在（諸）IC晶片和封裝基板之間的電容器嵌入式RDL基板，該IC封裝包括但不限於圖1-3、5G、9H和11L中的IC封裝。

#### 【實施方式】

【0024】 現在參照附圖，描述本案的若干示例性態樣。措辭「示例性」在本文中用於表示「用作實例、例子、或圖示」。本文中描述為「示例性」的任何態樣不必被解釋為優於或勝過其他態樣。

【0025】 本文中所揭示的各態樣包括積體電路（IC）封裝，其採用嵌入式電容器、重分佈層（RDL）基板以將（諸）IC晶片對接到封裝基板。RDL基板是包括RDL層的基板，

該 RDL 層包括支援金屬互連扇出的一或多條金屬重分佈線。作為實例，（諸）嵌入式電容器可以為 IC 封裝中的功率分配網路（PDN）提供解耦電容，以減少電流電阻（IR）下降。亦揭示相關製造方法。IC 封裝包括封裝基板和電耦合到該封裝基板的一或多個 IC 晶片。封裝基板包括其中嵌入有金屬跡線或導線以提供去往和來自（諸）IC 晶片的電訊號路由的一或多個基板層。封裝基板支援功率分配網路（PDN），該 PDN 在給定電壓下攜帶電功率訊號以用於分配給（諸）IC 晶片以供操作。在示例性態樣，支援嵌入式電容器的 RDL 基板被佈置在（諸）IC 晶片和封裝基板之間，以最小化（諸）嵌入式電容器和（諸）IC 晶片之間的距離。這可以減少（諸）嵌入式電容器和（諸）IC 晶片之間的功率分配線中的寄生電感，從而減少 PDN 中的 IR 下降，這進而減少 PDN 雜訊。然而，在 RDL 基板被佈置在封裝基板和（諸）IC 晶片之間的情況下，RDL 基板需要支援用於封裝基板和（諸）IC 晶片之間的電介面的貫穿互連。（諸）IC 晶片可具有需要被電耦合到封裝基板的高密度晶粒互連。就此而言，提供 RDL 基板以包括毗鄰於（諸）IC 晶片的外部 RDL 層。根據 RDL 製程形成的外部 RDL 層允許外部 RDL 層支援小節距金屬互連並且提供扇出能力。這允許 RDL 基板提供增強的與較高密度晶粒互連 IC 晶片的連通性相容性，而同時支援位於靠近 IC 晶片的嵌入式電容器以最小化 IR 下降。

【0026】 就此而言，圖1是包括安裝到印刷電路板（PCB）104的IC封裝102的示例性IC系統100的側視圖。IC封裝102包括由封裝基板108所支撐的IC晶片106。在該實例中，IC晶片106和封裝基板108由包覆模製材料112來包封。IC晶片106可以包括用於特定類型應用的電路系統，諸如作為非限制性實例的射頻（RF）收發機或基於電腦的片上系統（SoC）。封裝基板108支撐IC封裝102的IC晶片106，並且包括含有金屬線的一或多個金屬層以提供IC晶片106和PCB 104之間的電耦合路徑以支援IC晶片106和IC封裝102外部的其他電路之間的訊號傳遞。作為一個實例，封裝基板108可以由有機材料層壓層來形成，其中形成有金屬跡線，這些金屬跡線隨後被層壓在一起。作為另一實例，封裝基板108亦可以包括RDL層以支援電連接的扇出。IC晶片106經由外部封裝互連114（亦稱為「互連凸塊」）被電耦合到其他外部電路，該外部封裝互連114形成在封裝基板108的底表面115上並且被電耦合到其中的金屬線，這些金屬線電耦合到IC晶片106。

【0027】 如下文更詳細論述的，IC封裝102包括佈置在IC晶片106和封裝基板108之間的電容器嵌入式RDL基板116（亦稱為「RDL基板」）。如下文論述的，RDL基板116是包括RDL層的基板，該RDL層包括支援金屬互連扇出的一或多條金屬重分佈線。RDL基板116包括一或多個電容器118。作為實例，（諸）電容器118可以為IC封裝102中的PDN提供解耦電容，以減少IR下降。例如，IC晶

片 106 的接地功率導體可以經由其晶粒互連 120 之一、經由 RDL 基板 116 耦合到 ( 諸 ) 電容器 118 , 以為去往接地的功率訊號 ( 例如 , 電壓訊號 ) 提供解耦電容。RDL 基板 116 支援 ( 諸 ) 嵌入式電容器 118 被佈置在 IC 晶片 106 和封裝基板 108 之間 , 以最小化 ( 諸 ) 嵌入式電容器 118 和 IC 晶片 106 之間的距離  $D_1$  。距離  $D_1$  在圖 1 中被示為封裝基板 108 的外表面 122 和 IC 晶片 106 的主動表面 124 之間的距離。例如 , 距離  $D_1$  可以是至少兩 ( 2 ) 微米 (  $\mu\text{m}$  ) 。這可以減少 ( 諸 ) 嵌入式電容器 118 和 IC 晶片 106 之間的 PDN 的功率分配線中的寄生電感 , 以減少 PDN 中的 IR 下降 , 這進而減少 PDN 雜訊。

**【0028】** 然而 , 在 RDL 基板 116 被佈置在封裝基板 108 和 IC 晶片 106 之間的情況下 , RDL 基板 116 需要支援用於封裝基板 108 和 IC 晶片 106 之間的電介面的貫穿互連。IC 晶片 106 可具有需要被電耦合到封裝基板 108 的高密度晶粒互連 120 。就此而言 , 如圖 2 中所示 , 圖示了圖 1 的 RDL 基板 116 的更詳細的側視圖 , 提供了 RDL 基板 116 以包括外部 RDL 層 126 。如圖 1 所示 , 外部 RDL 層 126 毗鄰於 IC 晶片 106 的主動表面 124 。在一個實例中 , 根據 RDL 製程形成的外部 RDL 層 126 包括複數條重分佈金屬線 200 , 每條重分佈金屬線 200 包括當 IC 晶片 106 被佈置在 RDL 基板 116 上時可被耦合到 IC 晶片 106 的晶粒互連 120 的相應的 RDL 互連 202 。作為實例 , 可以形成焊料凸塊並且將其耦合到要被耦合到晶粒互連 120 的 RDL 互連 220 。以此方

式，RDL基板116的外部RDL層126可以支援IC晶片106的小的高密度節距晶粒互連120以及提供晶粒互連120和RDL基板116之間的扇出能力。這進而允許RDL基板116提供增強的與較高密度晶粒互連IC晶片（諸如IC晶片106）的連通性相容性，而同時支援位於更靠近IC晶片106的嵌入式電容器（諸如電容器118）以在被耦合到IC封裝102中的PDN時最小化IR下降。

**【0029】** 參考圖2，RDL基板116包括外部RDL層126（在圖2中在Z軸方向上示為頂層），外部RDL層126包括重分佈金屬線200，重分佈金屬線200可以包括可被耦合到IC晶片106的相應晶粒互連120（如圖1中所示）的相應RDL互連202。返回參考圖1，封裝基板108包括封裝基板層130中的複數個封裝基板互連128，該複數個封裝基板互連128可被電耦合到RDL基板116以提供封裝基板108和IC晶片106之間穿過RDL基板116的電介面。返回參考圖2，RDL基板116亦包括基板層204，其是位於RDL層126下方的底層。基板層204包括基板互連206，基板互連206被配置成耦合到如圖1中所示的封裝基板108的毗鄰的頂部封裝基板層130中的相應的封裝基板互連128。這提供了封裝基板108和RDL基板116之間的電介面。經由RDL層126中的RDL互連202與基板層204中的基板互連206之間穿過相應的通孔208的電耦合來在RDL基板116中提供電介面，這些通孔208延伸穿過RDL層126和基板層204之間的介電層210。就此而言，通孔208可被認為是延伸穿過介

電層 210 的穿模通孔 (TMV)。例如，通孔 208 可以是銅柱。通孔 208 延伸穿過 RDL 基板 116 的位於電容器封裝 212 的區域之外的介電層 210。基板互連 206 可被耦合到如圖 1 中所示的封裝基板 108 的相應的封裝基板互連 128。外部封裝互連 114 可被電耦合到封裝基板 108 的封裝基板層 130 中的封裝基板互連 128。

**【0030】** 以此方式，在圖 1 中的 IC 封裝 102 中提供了去往 IC 晶片 106 的電介面。該電介面包括外部封裝互連 114 以及它們到封裝基板互連 128、RDL 基板 116 的基板互連 206、RDL 基板 116 的通孔 208 和 RDL 互連 202、以及到 IC 晶片 106 的晶粒互連 120 的電耦合 (圖 1 中)。

**【0031】** 在圖 2 中的 RDL 基板 116 的該實例中，電容器 118 被包括在電容器封裝 212 中。電容器封裝 212 包括介電層 214，該介電層 214 包括佈置在 RDL 層 126 和基板層 204 之間的介電材料。電容器 118 被嵌入在電容器封裝 212 的介電層 214 中。電容器封裝 212 被嵌入在 RDL 基板 116 的介電層 210 中。電容器封裝 212 可被形成為單獨的封裝，諸如芯粒 (chiplet)，如將在以下更詳細地論述的。在圖 2 中的該實例 RDL 基板 116 中，為了在 IC 晶片 106 和電容器封裝 212 中的電容器 118 之間提供電介面，封裝基板 108 的 RDL 層 126 亦包括可包括相應的 RDL 互連 218 的重分佈金屬線 216，該 RDL 互連 218 可被耦合到 IC 晶片 106 的相應的晶粒互連 120 (參見圖 1)。然而，在該實例中，RDL 互連 218 經由通孔 220 耦合到電容器 118。例如，通孔 220

可以是延伸穿過電容器封裝 212 的介電層 214 的穿矽通孔 (TSV) 222。以此方式，RDL 基板 116 的 RDL 層 126 的重分佈金屬線 216 和它們相應的 RDL 互連 218 提供電容器 118 和 IC 晶片 106 之間的介面，以例如向 IC 晶片 106 中的 PDN 提供解耦電容。例如，電容器 118 可被耦合到 IC 晶片 106 中的 PDN 中的接地節點，該 IC 晶片 106 被耦合到晶粒互連 120，該晶粒互連 120 被耦合到 RDL 互連 218 (亦參見圖 1)。

**【0032】** 此外，參考圖 2，注意圖 2 中的 RDL 基板 116 的基板層 204 亦可以作為第二 RDL 層 224 來提供。在一個實例中，第二 RDL 層 224 可以根據 RDL 製程來形成。第二 RDL 層 224 可以包括複數條重分佈金屬線 226，每條重分佈金屬線 226 包括相應的 RDL 互連 228，當 RDL 基板 116 被佈置在封裝基板 108 上時，該 RDL 互連 228 可被耦合到封裝基板 108 的封裝基板互連 128。作為一個實例，通孔 208、220 可以經由 RDL 沉積以及凸塊下金屬化 (UBM) 形成來耦合到第二 RDL 層 224 中的第二 RDL 互連 228。可以形成焊料凸塊並且將其耦合到第二 RDL 互連 228 以將對應的通孔 208、220 耦合到第二 RDL 層 224 中的第二 RDL 互連 228。作為另一替換方案，通孔 208、220 亦可以是以與第二 RDL 層 228 直接接觸來形成的銅柱。這允許 RDL 基板 116 的第二 RDL 層 224 支援去往封裝基板 108 的封裝基板互連 128 的扇出連接。這可以允許 RDL 基板 116 提供與不同封裝基板 108 的進一步增強的連通性相容性，而同時支

援更靠近 IC 晶片 106 的嵌入式電容器（諸如電容器 118）以在被耦合到 IC 封裝 102 中的 PDN 時最小化 IR 下降。例如，製造成本較低的封裝基板可僅支援具有較大節距的基板互連。作為替換方案，注意圖 2 中的 RDL 基板 116 的基板層 204 亦可以作為包括不含有 RDL 的有機材料層壓層的層壓基板來提供。

**【0033】** 圖 3 是另一 RDL 基板 316 的側視圖，其可以作為圖 1 和 2 中的 IC 封裝 102 中的 RDL 基板 116 來提供。RDL 基板 316 包括現在將論述的額外示例性特徵。圖 3 中的 RDL 基板 316 與圖 1 和圖 2 中的 RDL 基板 116 之間的共同的元件以共同的元件編號示出。

**【0034】** 如圖 3 中所示，鈍化層 302 可以在 RDL 基板 316 中提供並且被佈置在 RDL 基板 316 的電容器封裝 212 和 RDL 層 126 之間。提供介電材料的鈍化層 302 可以提供 TSV 222 的頂表面 304 和重分佈金屬線 216 之間增強的對準以獲得降低的電阻以及由此降低的經由電容器 118 的 IR 下降。鈍化層 302 可被圖案化並且被打開以允許重分佈金屬線 216 形成在開口中以獲得 TSV 222 和重分佈金屬線 216 之間增強的對準，如稍後將更詳細地描述的。在該實例中，TSV 222 延伸穿過鈍化層 302 以與 RDL 層 126 的重分佈金屬線 216 接觸。

**【0035】** 繼續參考圖 3，注意，通孔 220 可被用於提供到電容器封裝 212 中的電容器 118 和 RDL 層 126 中的 RDL 互連 218 的連通性。亦要注意，通孔 220 亦可被製造成作為要被

耦合到基板互連 206 的通孔來穿過電容器封裝 212 及其介電層 214 以提供到圖 1 中的封裝基板 108 的耦合。就此而言，通孔 220 可以作為如先前所論述的延伸穿過電容器封裝 212 的 TSV 222 來提供。這允許在電容器封裝 212 的路徑中在 Z 軸方向上的垂直路徑空間來允許 RDL 層 126 和基板層 204 之間的連通性以最小化 RDL 基板 116 中的電容器封裝 212 的垂直路徑互連干擾。提供作為 TSV 222 的通孔 220 可以允許更大的高度  $H_1$  與寬度  $W_1$  縱橫比以允許 RDL 基板 316 支援更大的通孔 220 密度以提供 IC 晶片 106、RDL 基板 316 和封裝基板 108 之間的連通性。這可以是尤其有利的，因為 RDL 基板 316 被提供有其 RDL 層 126 以支援 RDL 互連 202、218 的扇出，這進而可以支援與具有較高密度的晶粒互連 120 的 IC 晶片 106 的互連相容性。此外，用於支援電容器封裝 212 和嵌入式電容器 118 的 RDL 基板 316 的總高度寬度  $H_2$  可能需要 TSV 222 的特定期望的高度  $H_1$  與寬度  $W_1$  縱橫比以支援在 RDL 基板 316 中提供的互連密度。例如，TSV 222 的高度  $H_1$  與寬度  $W_1$  的縱橫比可以至少為 2.0。此外，通孔 208 亦可以作為 TSV 來提供，並且出於如上文針對 TSV 222 所論述的相同原因亦可以包括至少 1.0 的更高的  $H_1$  與寬度  $W_2$  縱橫比。

**【0036】** 如以上所論述的，為 RDL 基板 116、316 提供 RDL 層 126 允許重分佈金屬線 200、216 的扇出以支援它們相應的 RDL 互連 202、218 的更高密度。例如，如圖 2 和 3 中在 RDL 基板 116、316 中所示，重分佈金屬線 200 在

它們相應的 RDL 互連 202 的垂直路徑  $V_1$  之外扇出。類似地，如圖 2 和圖 3 中在 RDL 基板 116、316 中所示，重分佈金屬線 216 在它們相應的 RDL 互連 218 的垂直路徑  $V_2$  之外扇出。這允許圖 1 中的 IC 晶片 106 中的晶粒互連 120 具有比基板層 204 中的基板互連 206 的節距  $P_2$  更緊密（亦即，更小）的節距  $P_1$ 。RDL 基板 116、316 的 RDL 層 126 的 RDL 互連 202 的節距  $P_3$  可以與封裝基板 108 的封裝基板互連 128 的節距  $P_4$  相同。如先前所論述的，RDL 基板 116、316 的基板層 204 的基板互連 206 的節距  $P_2$  可被配置成與封裝基板 108 的封裝基板互連 128 的節距  $P_4$  相容。RDL 基板 116、316 的基板層 204 的基板互連 206 的節距  $P_2$  可以與封裝基板 108 的封裝基板互連 128 的節距  $P_4$  相同。

**【0037】** 此外，注意，RDL 基板 116、316 亦可被配置成充當兩個或兩個以上 IC 晶片（如 IC 晶片 106）之間的中介層，該兩個或兩個以上 IC 晶片被提供在 IC 封裝（如圖 2 中的 IC 封裝 102）中。額外 IC 晶片可被提供在 IC 封裝 102 中，這些額外 IC 晶片包括如前述的 IC 晶片 106 之類的部件。RDL 基板 116、316 將被佈置在封裝基板 108 和（諸）額外 IC 晶片之間。RDL 基板 116、316 可以進一步包括額外的、第二重分佈金屬線，每條重分佈金屬線包括耦合到（諸）額外 IC 晶片的晶粒互連的額外的、第二 RDL 互連。一或多條額外的第二重分佈金屬線可被耦合到 RDL 基板 116 中的一或多條重分佈金屬線 200，以將 IC 晶片 106 電連接到另一個（多個）IC 晶片。

【0038】 圖 4 是圖示製造包括佈置在（諸）IC 晶片和封裝基板之間的電容器嵌入式 RDL 基板的 IC 封裝的示例性製程 400 的流程圖，該 IC 封裝包括但不限於圖 1 中的 IC 封裝 102 以及圖 1-3 中的其 RDL 基板。示例性製程 400 將參考圖 2 中的 IC 封裝 102、以及圖 2 和 3 中的 RDL 基板 116、316 來在圖 2 中引用。

【0039】 就此而言，用於製造 IC 封裝 102 的製造製程 400 中的第一步可以是形成包括複數個封裝基板互連 128 的封裝基板 108（圖 4 中的方塊 402）。用於製造 IC 封裝 102 的製造製程 400 中的下一步可以在封裝基板 108 上形成 RDL 基板 116、316（圖 4 中的方塊 404）。形成 RDL 基板 116、316 的製程可以包括形成包括複數條重分佈金屬線 200、216 的 RDL 層 126，每條重分佈金屬線包括 RDL 互連 202、218（圖 4 中的方塊 406）。形成 RDL 基板 116、316 的製程亦可以包括形成包括複數個基板互連 206 的基板層 204（圖 4 的方塊 408）。形成 RDL 基板 116、316 的製程亦可以包括在 RDL 層 126 和基板層 204 之間佈置電容器 118（圖 4 中的方塊 410）。用於製造 IC 封裝 102 的製造製程 400 中的下一步可以是形成至少一個通孔 220、222，該至少一個通孔 220、222 被電耦合到電容器 118 並且被配置成電耦合到 IC 晶片 106 的複數個晶粒互連 120 之中的至少一個晶粒互連 120（圖 4 中的方塊 412）。用於製造 IC 封裝 102 的製造製程 400 中的下一步可以是將 IC 晶片 106 的該複數個晶粒互連 120 之中的至少一個晶粒互連 120 耦合

到該複數條重分佈金屬線 200、216 之中的至少一個 RDL 互連 202、218（圖 4 中的方塊 414）。

**【0040】** 包括佈置在（諸）IC 晶片和封裝基板之間的電容器嵌入式 RDL 基板的 IC 封裝（包括但不限於圖 1 中的 IC 封裝 102 以及圖 1-3 中的其 RDL 基板）可以按其他製造製程來製造。例如，圖 5 A-5 G 圖示了製造 IC 封裝的圖 6 A-6 D 中的另一示例性製程 600 的示例性製造階段 500 A-500 G，該 IC 封裝包括佈置在（諸）IC 晶片和封裝基板之間的電容器嵌入式 RDL 基板（包括但不限於圖 1-3 中的 IC 封裝和 RDL 基板）。圖 6 A-6 D 是圖示根據圖 5 A-5 G 中的示例性製造階段 500 A-500 G 來製造 IC 封裝的示例性製程 600 的流程圖，該 IC 封裝包括佈置在（諸）IC 晶片和封裝基板之間的電容器嵌入式 RDL 基板。在圖 6 A-6 D 中的示例性製程 600 中，並且根據圖 5 A-5 G 中的示例性製造階段 500 A-500 G，如以下所論述的，IC 封裝的 RDL 基板的 RDL 層在電容器封裝被嵌入在 RDL 基板之前形成。下文參考圖 5 A-5 G 中的製造階段 500 A-500 G 來論述圖 6 A-6 D 中的示例性製程 600。作為實例，亦參考圖 1 中的 IC 封裝 102 以及圖 2 和圖 3 中的 RDL 基板 116、316 來論述圖 6 A-6 D 中的示例性製程 600。

**【0041】** 就此而言，圖 5 A 圖示了圖 1 中的 IC 封裝 102 的第一製造階段 500 A。在該製造階段 500 A 中，提供載體 502。在載體 502 上形成 RDL 層 224 以被提供在最終形成的 RDL 基板 116、316 中（圖 6 A 中的方塊 602）。載體 502 被用

於允許在電容器封裝 212 被嵌入在 RDL 基板 116、316 之前形成 IC 封裝 102 的 RDL 層 224 和 RDL 基板 116、316。圖 5B 圖示了圖 1 中的 IC 封裝 102 的下一製造階段 500B。如圖 5B 中的下一製造階段 500B 中所示，通孔 208（其可以是 TMV 並且位於將佈置電容器封裝 212 的區域 504 之外）形成在 RDL 層 224 上並且與 RDL 層 224 的重分佈金屬線 226 電接觸（圖 6A 中的方塊 604）。

【0042】 如圖 5C 中的下一製造階段 500C 中所示，電容器封裝 212 被佈置在 RDL 層 224 上以準備將電容器封裝 212 嵌入在最終形成的包括 RDL 層 224 的 RDL 基板 116、316 中（圖 6B 中的方塊 606）。注意，TSV 222 經由用於製造電容器封裝 212 的單獨製程來穿過鈍化層 302 暴露，該製程將在下文參考圖 7A-8 進行描述。如圖 5D 中的下一製造階段 500D 中所示，作為形成 RDL 基板的一部分，介電層 210 隨後被佈置在通孔 208、電容器封裝 212 和暴露的 TSV 222 之上（圖 6B 中的方塊 608）。如圖 5E 中的下一製造階段 500E 中所示，將介電層 210 向下研磨至頂表面 505 以暴露通孔 208 和 TSV 222 的頂表面 506、508，以準備這些通孔 208 和 TSV 222 連接到要為 RDL 基板 116、316 形成的 RDL 層 126（圖 6C 中的方塊 610）。如圖 5F 中的下一製造階段 500F 中所示，RDL 層 126 形成在介電層 210 的頂表面 505 上，該介電層 210 被向下研磨以形成 RDL 基板 116、316。作為形成 RDL 層 126 的一部分，重分佈金屬線 200、216 被電耦合到通孔 208 和 TSV 222 的相應的頂

表面 506、508（圖 6C 中的方塊 612）。如圖 5G 中的下一製造階段 500G 中所示，IC 晶片 106 隨後被耦合到 RDL 基板 116、316 的 RDL 層 126 以形成 IC 封裝 102（圖 6D 中的方塊 614）。

**【0043】** 圖 7A-7C 圖示了製造電容器封裝 212 的示例性製程的示例性製造階段 700A-700C，該電容器封裝 212 可被嵌入在 IC 封裝的 RDL 基板中（包括但不限於圖 1-3 和 5G 中的 IC 封裝 102 和 RDL 基板 116、316）。圖 8 是圖示根據圖 7A-7C 中的示例性製造階段 700A-700C 的製造電容器封裝 212 的示例性製程 800 的流程圖。圖 7A-7C 和圖 8 將被結合論述。

**【0044】** 就此而言，如圖 7A 中的製造階段 700A 中所示，形成電容器 118 和 TSV 222，其中介電層 214 被佈置在電容器 118 和 TSV 222 之上（圖 8 中的方塊 802）。如圖 7B 中的下一製造階段 700B 中所示，將介電層 214 向下研磨至頂表面 702 以暴露 TSV 222 的頂表面 704。隨後，鈍化層 302 被佈置在介電層 214 和 TSV 222 的頂表面 702 之上（圖 8 中的方塊 804）。如圖 7C 中的下一製造階段 700C 中所示，鈍化層 302 被蝕刻以暴露 TSV 222 的頂表面 704，以同樣準備電連接到 RDL 基板 116、316 的 RDL 層 126 的重分佈金屬線 216（圖 8 中的方塊 806）。

**【0045】** 圖 9A-9H 圖示了製造 IC 封裝的圖 10A-10D 中的另一示例性製程 1000 的示例性製造階段 900A-900H，該 IC 封裝包括佈置在（諸）IC 晶片和封裝基板之間的電容器

嵌入式RDL基板（包括但不限於圖1-3中的IC封裝和RDL基板）。圖10A-10D是圖示根據圖9A-9H中的示例性製造階段900A-900H來製造IC封裝的示例性製程1000的流程圖，該IC封裝包括佈置在（諸）IC晶片和封裝基板之間的電容器嵌入式RDL基板。在圖10A-10D中的示例性製程1000中，並且根據圖9A-9H中的示例性製造階段900A-900H，如以下所論述的，IC封裝的RDL基板的RDL層在電容器封裝被嵌入在RDL基板之前形成，如以上在圖8A-8D中的製程800中所論述的。然而，在圖10A-10D的製程1000中，鈍化層302不被包括在電容器封裝312中。下文參考圖9A-9H中的製造階段900A-900H來論述圖10A-10D中的示例性製程1000。作為實例，亦參考圖1中的IC封裝102以及圖2和圖3中的RDL基板116、316來論述圖10A-10D中的示例性製程1000。

**【0046】** 就此而言，圖9A圖示了根據替換製造製程的圖1中的IC封裝102的第一製造階段900A。在該製造階段900A中，提供載體902。RDL層224形成在載體902上，該RDL層224要被提供在最終形成的RDL基板116、316中（圖10A中的方塊1002）。載體902被用於允許在電容器封裝212被嵌入在RDL基板116、316中之前形成IC封裝102的RDL層224和RDL基板116、316。圖9B圖示了圖1中的IC封裝102的下一製造階段900B。如圖9B中的下一製造階段900B中所示，通孔208（其可以是TMV並且

位於將佈置電容器封裝 212 的區域 904 之外) 形成在 RDL 層 224 上並且與 RDL 層 224 的重分佈金屬線 226 電接觸 (圖 10A 中的方塊 1004)。如圖 9C 中的下一製造階段 900C 中所示, 電容器封裝 212 被佈置在 RDL 層 224 上以準備將電容器封裝 212 嵌入在最終形成的包括 RDL 層 224 的 RDL 基板 116、316 中 (圖 10A 中的方塊 1006)。注意, 電容器封裝 212 中不包括如以上圖 5A-8 中的製程中所描述的鈍化層 302。

**【0047】** 如圖 9D 中的下一製造階段 900D 中所示, 作為形成 RDL 基板的一部分, 介電層 210 隨後被佈置在通孔 208 和電容器封裝 212 之上 (圖 10B 中的方塊 1008)。如圖 9E 中的下一製造階段 906E 中所示, 將介電層 210 向下研磨至頂表面 906 以暴露通孔 208 和 TSV 222 的頂表面 908、910 以準備這些通孔 208 和 TSV 222 連接到要為 RDL 基板 116、316 形成的 RDL 層 126 (圖 10B 中的方塊 1010)。如圖 9F 中的下一製造階段 900F 中所示, RDL 層 126 形成在介電層 210 的頂表面 906 上, 該介電層 210 被向下研磨以形成 RDL 基板 116、316。作為形成 RDL 層 126 的一部分, 重分佈金屬線 200、216 被電耦合到通孔 208 和 TSV 222 的相應的頂表面 908、910 (圖 10C 中的方塊 1012)。

**【0048】** 如圖 9G 中的下一製造階段 900G 中所示, 將佈置在載體 902 上的 RDL 基板 116、316 翻轉以準備移除載體 902 (圖 10D 中的方塊 1014)。如圖 9H 中的下一製造階段 900H 中所示, IC 晶片 106 隨後被耦合到 RDL 基板

116、316的RDL層126以形成IC封裝102（圖10D中的方塊1016）。

**【0049】** 圖11A-11L圖示了製造IC封裝的圖12A-12F中的另一示例性製程1200的示例性製造階段1100A-1100L，該IC封裝包括佈置在（諸）IC晶片和封裝基板之間的電容器嵌入式RDL基板（包括但不限於圖1-3中的IC封裝和RDL基板）。圖12A-12F是圖示根據圖11A-11L中的示例性製造階段1100A-1100L來製造IC封裝的示例性製程1200的流程圖，該IC封裝包括佈置在（諸）IC晶片和封裝基板之間的電容器嵌入式RDL基板。在圖12A-12F中的示例性製程1200中，並且根據圖11A-11L中的示例性製造階段1100A-1100L，如以下所論述的，IC封裝的RDL基板的RDL層在電容器封裝被嵌入在RDL基板之後形成。下文參考圖11A-11L中的製造階段1100A-1100L來論述圖12A-12F中的示例性製程1200。作為實例，亦參考圖1中的IC封裝102以及圖2和圖3中的RDL基板116、316來論述圖12A-12F中的示例性製程1200。

**【0050】** 如圖11A中的製造階段1100A中所示，開始準備載體1102的封裝基板108。提供載體1102（諸如層壓基板），並且塗層經由光熱轉換（LTHC）釋放層1104被佈置在載體1002上（圖12A中的方塊1202）。如圖11B中的下一製造階段1100B中所示，層壓聚醯亞胺層1106被佈置在LTHC釋放層1104上（圖12A中的方塊1204）。如

圖 11 C 中的下一製造階段 1100 C 中所示，種子層 1108（例如，TiCu 層）被佈置在層壓聚醯亞胺層 1106 上以準備形成通孔 208（圖 12 A 中的方塊 1206）。如圖 11 D 中的下一製造階段 1100 D 中所示，光致抗蝕劑層 1110 被佈置在種子層 1108 上以準備將光致抗蝕劑層 1110 圖案化來形成如所示出的開口 1112 以形成通孔 208（圖 12 B 中的方塊 1208）。如圖 11 E 中的下一製造階段 1100 E 中所示，通孔 208 形成在開口 1112 中（圖 12 B 中的方塊 1210）。例如，通孔 208 可以是銅柱。

**【0051】** 如圖 11 F 中的下一製造階段 1100 F 中所示，電容器封裝 212 隨後被佈置在通孔 208 之間的區域 1114 中以最終成為所製造的 RDL 基板 116、316 的一部分（圖 12 C 中的方塊 1212）。如圖 11 G 中的下一製造階段 1100 G 中所示，介電層 210 被佈置在通孔 208 和電容器封裝 212 上（圖 12 D 中的方塊 1214）。如圖 11 H 中的下一製造階段 1100 H 中所示，將介電層 210 向下研磨至頂表面 1116 以暴露通孔 208 和電容器封裝 212 的 TSV 222 的頂表面 1118、1120（圖 12 D 中的方塊 1216）。如圖 11 I 中的下一製造階段 1100 I 中所示，RDL 層 126 形成在介電層 210 的頂表面 1116 上以形成 RDL 基板 116、316 的一部分（圖 12 E 中的方塊 1218）。如圖 11 J 中的下一製造階段 1100 J 中所示，載體 1102 被翻轉並且與介電層 210 一起被移除，其中嵌入式電容器封裝 212 和 RDL 層 126 被分離以準備形成 RDL 基板 116、316 的第二 RDL 層 224（圖 12 E 中的方塊 1220）。

【0052】 如圖 11K 中的下一製造階段 1100K 中所示，形成 RDL 基板 116、316 的第二 RDL 層 224 以形成 RDL 基板 116、316（圖 12E 中的方塊 1222）。如圖 11L 中的下一製造階段 1100L 中所示，IC 晶片 106 隨後被耦合到 RDL 基板 116、316 的 RDL 層 126 以形成 IC 封裝 102（圖 12F 中的方塊 1224）。

【0053】 應當理解，本文使用的術語「頂部」、「上方」、「底部」、「下方」是相對術語，並不意味著限制或暗示嚴格取向。引用「頂部」的元件並不始終被定向在相對於地面的引用「底部」的元件的上方，反之亦然。被引述為「頂部」或「底部」的元件可以僅相對於該實例和特定所圖示的實例在頂部或底部。被引述為在另一元件「上方」或「下方」的元件不必相對於地面，反之亦然。被引述為「上方」或「下方」的元件可以僅相對於該實例和特定所圖示的實例在被引述的另一元件的上方或下方。

【0054】 包括 RDL 基板（其中在（諸）IC 晶片和封裝基板之間佈置有（諸）嵌入式電容器）的 IC 封裝（包括但不限於圖 1-3、5G、9H 和 11L 中的 IC 封裝）根據本文中所揭示的任何態樣可以在任何基於處理器的設備中提供或被整合到任何基於處理器的設備中。不作為限定的實例包括：機上盒、娛樂單元、導航設備、通訊設備、固定位置資料單元、行動位置資料單元、全球定位系統（GPS）設備、行動電話、蜂巢式電話、智慧型電話、對話啟動協定（SIP）電話、平板設備、平板手機、伺服器、電腦、可攜式電腦、

行動計算裝置、可穿戴計算設備（例如，智慧手錶、健康或健身追蹤器、眼鏡，等等）、桌上型電腦、個人數位助理（PDA）、監視器、電腦監視器、電視機、調諧器、無線電、衛星無線電、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊碟（DVD）播放機、可攜式數位視訊播放機、汽車、車載部件、航空電子系統、無人機、以及多旋翼飛行器。

**【0055】** 圖 13 圖示了示例性無線通訊設備 1300，其包括由一或多個 IC 1302 形成的電子部件，其中 IC 1302 中的任一者可被包括在 IC 封裝 1303 中。IC 封裝 1303 可以根據本文中所揭示的任何態樣包括含有 RDL 基板（其中在（諸）IC 晶片和封裝基板之間佈置有（諸）嵌入式電容器）的 IC 封裝（包括但不限於圖 1-3、5G、9H 和 11L 中的 IC 封裝）。

**【0056】** 作為實例，無線通訊設備 1300 可以包括或設在任何上述設備中。如圖 13 中所示，無線通訊設備 1300 包括收發機 1304 和資料處理器 1306。資料處理器 1306 可包括記憶體以儲存資料和程式碼。收發機 1304 包括支援雙向通訊的發射器 1308 和接收器 1310。一般而言，無線通訊設備 1300 可包括用於任意數目的通訊系統和頻帶的任意數目的發射器 1308 及 / 或接收器 1310。收發機 1304 的全部或一部分可被實現在一或多個模擬 IC、RF IC（RFIC）、混合訊號 IC 等上。

**【0057】** 發射器 1308 或接收器 1310 可使用超外差式架構或直接變頻式架構來實現。在超外差式架構中，訊號在 RF

和基頻之間多級變頻，例如對於接收器 1310 而言，在一級中從 RF 到中頻 (IF)，隨後在另一級中從 IF 到基頻。在直接變頻式架構中，訊號在一級中在 RF 和基頻之間變頻。超外差式以及直接變頻式架構可以使用不同的電路塊及 / 或具有不同的要求。在圖 13 中的無線通訊設備 1300 中，發射器 1308 和接收器 1310 用直接變頻式架構來實現。

**【0058】** 在發射路徑中，資料處理器 1306 處理要被傳送的資料並且向發射器 1308 提供 I 和 Q 類比輸出訊號。在示例性無線通訊設備 1300 中，資料處理器 1306 包括數位類比轉換器 (DAC) 1312(1)、1312(2) 以將由資料處理器 1306 產生的數位訊號轉換成 I 和 Q 類比輸出訊號 (例如，I 和 Q 輸出電流) 以供進一步處理。

**【0059】** 在發射器 1308 內，低通濾波器 1314(1)、1314(2) 分別對 I 和 Q 類比輸出訊號進行濾波以移除由在前的數位類比轉換引起的不期望訊號。放大器 (AMP) 1316(1)、1316(2) 分別放大來自低通濾波器 1314(1)、1314(2) 的訊號並且提供 I 和 Q 基頻訊號。升頻轉換器 1318 經由混頻器 1320(1)、1320(2) 用來自發射 (TX) 本端振盪器 (LO) 訊號產生器 1322 的 I 和 Q TX LO 訊號來升頻轉換 I 和 Q 基頻訊號，以提供經升頻轉換訊號 1324。濾波器 1326 對經升頻轉換訊號 1324 進行濾波以移除由升頻轉換引起的不期望訊號以及接收頻帶中的雜訊。功率放大器 (PA) 1328 放大來自濾波器 1326 的經升頻轉換訊號 1324，以獲得期望的輸出功率位準並提供發射 RF 訊號。

該發射 RF 訊號被路由經過雙工器或開關 1330 並經由天線 1332 被發射。

**【0060】** 在接收路徑中，天線 1332 接收由基地台傳送的訊號並提供收到 RF 訊號，該收到 RF 訊號被路由經過雙工器或開關 1330 並被提供給低雜訊放大器 (LNA) 1334。雙工器或開關 1330 被設計成用特定的接收 (RX) 與 TX 雙工器頻率分隔來操作，使得 RX 訊號與 TX 訊號隔離。該收到 RF 訊號由 LNA 1334 放大並且由濾波器 1336 濾波，以獲得期望的 RF 輸入訊號。降頻轉換混頻器 1338(1)、1338(2) 將濾波器 1336 的輸出與來自 RX LO 訊號產生器 1340 的 I 和 Q RX LO 訊號 (亦即，LO\_I 和 LO\_Q) 進行混頻以產生 I 和 Q 基頻訊號。I 和 Q 基頻訊號由 AMP 1342(1)、1342(2) 放大並且進一步由低通濾波器 1344(1)、1344(2) 濾波以獲得 I 和 Q 類比輸入訊號，該 I 和 Q 類比輸入訊號被提供給資料處理器 1306。在該實例中，資料處理器 1306 包括類比數位轉換器 (ADC) 1346(1)、1346(2) 以將類比輸入訊號轉換成要進一步由資料處理器 1306 處理的數位訊號。

**【0061】** 在圖 13 的無線通訊設備 1300 中，TX LO 訊號產生器 1322 產生用於升頻轉換的 I 和 Q TX LO 訊號，而 RX LO 訊號產生器 1340 產生用於降頻轉換的 I 和 Q RX LO 訊號。每個 LO 訊號是具有特定基頻的週期性訊號。TX 鎖相迴路 (PLL) 電路 1348 從資料處理器 1306 接收定時資訊，並且產生用於調整來自 TX LO 訊號產生器 1322 的 TX LO

訊號的頻率及/或相位的控制訊號。類似地，RX PLL 電路 1350 從資料處理器 1306 接收定時資訊，並且產生用於調整來自 RX LO 訊號產生器 1340 的 RX LO 訊號的頻率及/或相位的控制訊號。

**【0062】** 本發明所屬領域中具有通常知識者將進一步領會，結合本文所揭示的諸態樣描述的各种說明性邏輯區塊、模組、電路和演算法可被實現為電子硬體、儲存在記憶體中或另一電腦可讀取媒體中並由處理器或其他處理設備執行的指令、或這兩者的組合。作為實例，本文中所描述的主設備和從設備可被用在任何電路、硬體部件、IC、或 IC 晶片中。本文所揭示的記憶體可以是任何類型和大小的記憶體，並且可被配置成儲存所期望的任何類型的資訊。為了清楚地圖示這種可互換性，各種說明性部件、方塊、模組、電路和步驟在上文已經以其功能性的形式一般性地作了描述。此類功能性如何被實現取決於具體應用、設計選擇、及/或加諸於整體系統上的設計約束。具有通常知識者可針對每種特定應用以不同方式來實現所描述的功能性，但此類實現決策不應被解讀為致使脫離本案的範疇。

**【0063】** 結合本文所揭示的各態樣描述的各种說明性邏輯區塊、模組、以及電路可用被設計成執行本文所描述的功能的處理器、數位訊號處理器 (DSP)、特殊應用積體電路 (ASIC)、現場可程式設計閘陣列 (FPGA) 或其他可程式設計邏輯裝置、個別閘或電晶體邏輯、個別的硬體部件、或其任何組合來實現或執行。處理器可以是微處理器，

但在替換方案中，處理器可以是任何習知處理器、控制器、微控制器或狀態機。處理器亦可以被實現為計算設備的組合（例如 DSP 與微處理器的組合、複數個微處理器、與 DSP 核協調的一或多個微處理器、或任何其他此類配置）。

**【0064】** 本文所揭示的各態樣可被體現在硬體和儲存在硬體中的指令中，並且可常駐在例如隨機存取記憶體（RAM）、快閃記憶體、唯讀記憶體（ROM）、電可程式設計 ROM（EPROM）、電子可抹除可程式設計 ROM（EEPROM）、暫存器、硬碟、可移除磁碟、CD-ROM、或本發明所屬領域中所知的任何其他形式的電腦可讀取媒體中。示例性儲存媒體被耦合到處理器，以使得處理器能從/向該儲存媒體讀取和寫入資訊。在替換方案中，儲存媒體可被整合到處理器。處理器和儲存媒體可常駐在 ASIC 中。ASIC 可常駐在遠程站中。在替換方案中，處理器和儲存媒體可作為個別部件常駐在遠端站、基地台或伺服器中。

**【0065】** 亦注意到，本文任何示例性態樣中所描述的操作步驟是為了提供實例和論述而被描述的。所描述的操作可按除了所圖示的順序之外的眾多不同順序來執行。此外，在單個操作步驟中描述的操作實際上可在多個不同步驟中執行。另外，可組合示例性態樣中論述的一或多個操作步驟。應理解，如對本發明所屬領域中具有通常知識者顯而易見地，在流程圖中圖示的操作步驟可進行眾多不同的修改。本發明所屬領域中具有通常知識者亦將理解，可使用各種不同技術和技藝中的任何一種來表示資訊和訊號。例

如，貫穿上面說明始終可能被述及的資料、指令、命令、資訊、訊號、位元、符號和碼片可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子、或其任何組合來表示。

**【0066】** 提供對本案的先前描述是為使得本發明所屬領域中任何具有通常知識者皆能夠製作或使用本案。對本案的各種修改對於本發明所屬領域中具有通常知識者將是顯而易見的，並且本文中所定義的普適原理可被應用於其他變形。由此，本案並非意欲被限定於本文中所描述的實例和設計，而是應被授予與本文中所揭示的原理和新穎特徵一致的最廣義的範疇。

**【0067】** 亦在以下經編號條款中描述了各實現實例：

1. 一種積體電路（IC）封裝，包括：

包括複數個封裝基板互連的封裝基板；

包括複數個晶粒互連的IC晶片；

佈置在封裝基板和IC晶片之間的重分佈層（RDL）基板，該RDL基板包括：

包括複數條重分佈金屬線的RDL層，每條重分佈金屬線包括耦合到該複數個晶粒互連之中的晶粒互連的RDL互連；

包括複數個基板互連的基板層；及

佈置在RDL層與基板層之間的電容器；及

電耦合到該複數個晶粒互連之中的晶粒互連和電容器的至少一個垂直互連通路（通孔）。

2. 如條款 1 的 IC 封裝，其中基板層包括第二 RDL 層，第二 RDL 層包括複數條第二重分佈金屬線，每條第二重分佈金屬線包括第二 RDL 互連。
3. 如條款 2 的 IC 封裝，進一步包括至少一個第二通孔，該至少一個第二通孔耦合到該複數個晶粒互連之中的晶粒互連以及基板層中的該複數個基板互連之中的至少一個基板互連。
4. 如條款 1 至 3 中任一項的 IC 封裝，進一步包括佈置在電容器和 RDL 層之間的鈍化層。
5. 如條款 1 至 4 中任一項的 IC 封裝，其中該至少一個通孔包括至少一個穿矽通孔 (TSV)，該至少一個 TSV 穿過 RDL 基板來佈置並且被電耦合到該複數條重分佈金屬線之中耦合到該晶粒互連的重分佈金屬線。
6. 如條款 5 的 IC 封裝，其中該至少一個 TSV 的高度與寬度的縱橫比至少為 2.0。
7. 如條款 1 至 6 中任一項的 IC 封裝，進一步包括多個第二通孔，該複數個第二通孔穿過 RDL 基板來佈置並且被電耦合到 RDL 層中的複數個 RDL 互連之中的 RDL 互連和基板層中的該複數個基板互連之中的基板互連。
8. 如條款 7 的 IC 封裝，其中該複數個第二通孔的高度與寬度的縱橫比至少為 1.0。
9. 如條款 1 至 8 中任一項的 IC 封裝，進一步包括：  
包括佈置在 RDL 層和基板層之間的介電材料的介電層；及  
嵌入在介電層中的電容器封裝，該電容器封裝包括電容器。

10. 如條款9的IC封裝，其中該至少一個通孔包括至少一個穿矽通孔（TSV），該至少一個TSV穿過電容器封裝來佈置並且被電耦合到該複數條重分佈金屬線之中耦合到該晶粒互連的重分佈金屬線。

11. 如條款9的IC封裝，進一步包括多個第二通孔，該複數個第二通孔穿過RDL基板來佈置並且被電耦合到RDL層中的複數個RDL互連之中的RDL互連和基板層中的該複數個基板互連之中的基板互連；其中該複數個第二通孔穿過RDL基板的位於電容器封裝之外的介電層來佈置。

12. 如條款1至11中任一項的IC封裝，其中該複數條重分佈金屬線之中的至少一條重分佈金屬線在其相應的RDL互連的垂直路徑之外扇出。

13. 如條款1至12中任一項的IC封裝，其中：  
該複數個晶粒互連具有第一節距；  
該基板層中的該複數個基板互連具有大於第一節距的第二節距；及  
該複數個封裝基板互連具有第二節距。

14. 如條款13的IC封裝，進一步包括複數個第二通孔，該複數個第二通孔穿過RDL基板來佈置並且被電耦合到RDL層中的複數個RDL互連之中的RDL互連和基板層中的該複數個基板互連之中的基板互連，該基板互連耦合到該複數個封裝基板互連之中的封裝基板互連。

15. 如條款1至14中任一項的IC封裝，其中：

封裝基板進一步包括第一外表面，該複數個封裝基板互連穿過第一外表面來佈置；

IC 晶片進一步包括主動表面，該複數個晶粒互連穿過主動表面來佈置；並且

第一外表面和主動表面之間的距離至少為兩（2）微米（ $\mu\text{m}$ ）。

16. 如條款1至15中任一項的IC封裝，該IC封裝被整合到選自包括以下各項的群的設備中：機上盒、娛樂單元、導航設備、通訊設備、固定位置資料單元、行動位置資料單元、全球定位系統（GPS）設備、行動電話、蜂巢式電話、智慧型電話、對話啟動協定（SIP）電話、平板設備、平板手機、伺服器、電腦、可攜式電腦、行動計算裝置、可穿戴計算設備、桌上型電腦、個人數位助理（PDA）、監視器、電腦監視器、電視機、調諧器、無線電、衛星無線電、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊碟（DVD）播放機，可攜式數位視訊播放機、汽車、車載部件、航空電子系統、無人機、以及多旋翼飛行器。

17. 一種製造IC封裝的方法，包括：

形成包括複數個封裝基板互連的封裝基板；

在封裝基板上形成重分佈層（RDL）基板，包括：

形成包括複數條重分佈金屬線的RDL層，每條重分佈金屬線包括RDL互連；

形成包括複數個基板互連的基板層；及

在 R D L 層與基板層之間佈置電容器；  
形成至少一個垂直互連通路（通孔），該至少一個垂直互連通路被電耦合到電容器並且被配置成電耦合到 I C 晶片的複數個晶粒互連之中的至少一個晶粒互連；及  
將 I C 晶片的複數個晶粒互連之中的至少一個晶粒互連耦合到該複數條重分佈金屬線之中的至少一個 R D L 互連。

18. 如條款 17 的方法，其中形成基板層包括形成第二 R D L 層，第二 R D L 層包括複數條第二重分佈金屬線，每條第二重分佈金屬線包括第二 R D L 互連；並且  
進一步包括：

將該複數個封裝基板互連之中的至少一個封裝基板互連耦合到複數個第二 R D L 互連之中的至少一個第二 R D L 互連；及

在 R D L 層和基板層之間佈置電容器包括在 R D L 層和第二 R D L 層之間佈置電容器。

19. 如條款 17 至 18 中任一項的方法，進一步包括：形成至少一個第二通孔，該至少一個第二通孔被電耦合到該複數個晶粒互連之中的至少一個晶粒互連以及該複數個基板互連之中的至少一個基板互連。

20. 如條款 19 的方法，其中形成該至少一個第二通孔進一步包括在電容器的垂直路徑之外形成該至少一個第二通孔。

21. 如條款 17 和 19 - 20 中任一項的方法，其中形成基板層包括：在封裝基板上形成包括複數條第二重分佈金屬

線的第二 R D L 層，每條第二重分佈金屬線包括第二 R D L 互連，以將該複數條第二重分佈金屬線之中的該第二 R D L 互連電耦合到第二 R D L 互連之中的至少一個第二 R D L 互連。

2 2 . 如條款 2 1 的方法，進一步包括：在電容器的第一側上方形成鈍化層，該第一側相對於電容器的與第二 R D L 層毗鄰的第二側。

2 3 . 如條款 1 9 至 2 2 中任一項的方法，進一步包括：在該至少一個通孔、該至少一個第二通孔和電容器之上形成包括介電材料的介電層。

2 4 . 如條款 2 3 的方法，進一步包括：向下研磨介電層的表面以從介電層中暴露該至少一個通孔之每一者通孔的頂表面。

2 5 . 如條款 2 4 的方法，進一步包括：在介電層的與第二 R D L 層相對的第一側上的介電層上方形成 R D L 層，以將該至少一個通孔電耦合到該複數個重分佈金屬線之中的至少一個 R D L 互連。

2 6 . 如條款 1 7 至 2 5 中任一項的方法，進一步包括：提供載體；及在載體上形成複數個第二通孔。

2 7 . 一種重分佈層（ R D L ）基板，包括：  
包括複數條重分佈金屬線的 R D L 層，每條重分佈金屬線包括 R D L 互連；  
包括複數個基板互連的基板層；  
包括佈置在 R D L 層和基板層之間的介電材料的介電層；

嵌入在介電層中的電容器封裝，該電容器封裝包括電容器；及

複數個穿矽垂直互連通路（通孔）（TSV），該複數個TSV穿過電容器封裝來佈置並且被電耦合到行動個RDL互連之中的RDL互連。

28. 如條款27的RDL基板，其中：

電容器封裝進一步包括金屬層，該金屬層包括耦合到電容器的至少一條金屬線；並且

該複數個TSV之中的至少一個TSV被耦合到至少一條金屬線，該至少一條金屬線被耦合到電容器。

29. 如條款27的RDL基板，其中該複數個TSV之中的至少一個TSV被耦合到基板層中的該複數個基板互連之中的至少一個基板互連。

30. 如條款27至29中任一項的RDL基板，其中基板層包括第二RDL層，第二RDL層包括複數條第二重分佈金屬線，每條第二重分佈金屬線包括第二RDL互連。

31. 如條款27至30中任一項的RDL基板，其中RDL層包括外表面，並且該複數條重分佈金屬線的RDL互連穿過外表面來佈置。

32. 如條款27至31中任一項的RDL基板，進一步包括佈置在電容器封裝和RDL層之間的鈍化層。

33. 如條款32的RDL基板，其中該複數個TSV延伸穿過鈍化層。

34. 如條款 27 至 33 中任一項的 RDL 基板，其中該複數個 TSV 的高度與寬度的縱橫比至少為兩(2)微米( $\mu\text{m}$ )。

35. 如條款 27 至 34 中任一項的 RDL 基板，進一步包括複數個通孔，該複數個通孔穿過介電層來佈置並且被電耦合到複數個 RDL 互連之中的 RDL 互連和該複數個基板互連之中的基板互連。

36. 如條款 27 至 35 中任一項的 RDL 基板，進一步包括複數個第二通孔，該複數個第二通孔穿過 RDL 基板的介電層來佈置並且被電耦合到 RDL 層中的複數個 RDL 互連之中的 RDL 互連和基板層中的該複數個基板互連之中的基板互連。

37. 如條款 36 的 RDL 基板，其中該複數個第二通孔的高度與寬度的縱橫比至少為 1.0。

38. 如條款 36 至 37 中任一項的 IC 封裝，其中該複數個第二通孔穿過 RDL 基板的位於電容器封裝之外的介電層來佈置。

39. 如條款 27 至 38 中任一項的 RDL 基板，其中電容器封裝包括介電層，該介電層包括介電材料，其中電容器被嵌入在該介電層中。

#### 【符號說明】

#### 【0068】

100: IC 系統

102: IC 封裝

104: 印刷電路板 (PCB)

106: IC 晶片  
108: 封裝基板  
112: 包覆模製材料  
114: 外部封裝互連  
115: 底表面  
116: RDL 基板  
118: 電容器  
120: 高密度晶粒互連  
122: 外表面  
124: 主動表面  
126: 外部 RDL 層  
128: 封裝基板互連  
130: 頂部封裝基板層  
200: 重分佈金屬線  
202: RDL 互連  
204: 基板層  
206: 基板互連  
208: 通孔  
210: 介電層  
212: 電容器封裝  
214: 介電層  
216: 重分佈金屬線  
218: RDL 互連  
220: RDL 互連

2 2 2 : 穿 矽 通 孔 ( T S V )

2 2 4 : 第 二 R D L 層

2 2 6 : 重 分 佈 金 屬 線

2 2 8 : R D L 互 連

3 0 2 : 鈍 化 層

3 0 4 : 頂 表 面

4 0 0 : 製 程

4 0 2 : 方 塊

4 0 4 : 方 塊

4 0 6 : 方 塊

4 0 8 : 方 塊

4 1 0 : 方 塊

4 1 2 : 方 塊

4 1 4 : 方 塊

5 0 0 A : 製 造 階 段

5 0 0 B : 製 造 階 段

5 0 0 C : 製 造 階 段

5 0 0 D : 製 造 階 段

5 0 0 E : 製 造 階 段

5 0 0 F : 製 造 階 段

5 0 0 G : 製 造 階 段

5 0 2 : 載 體

5 0 4 : 區 域

5 0 6 : 頂 表 面

508: 頂表面

600: 製程

602: 方塊

604: 方塊

606: 方塊

608: 方塊

610: 方塊

612: 方塊

614: 方塊

700A: 製造階段

700B: 製造階段

700C: 製造階段

702: 頂表面

704: 頂表面

800: 製程

802: 方塊

804: 方塊

806: 方塊

900A: 製造階段

900B: 製造階段

900C: 製造階段

900D: 製造階段

900E: 製造階段

900F: 製造階段

900G:製造階段

900H:製造階段

902:載體

904:區域

906:頂表面

908:頂表面

910:頂表面

1000:製程

1002:方塊

1004:方塊

1006:方塊

1008:方塊

1010:方塊

1012:方塊

1014:方塊

1016:方塊

1100A:製造階段

1100B:製造階段

1100C:製造階段

1100D:製造階段

1100E:製造階段

1100F:製造階段

1100G:製造階段

1100H:製造階段

1100I: 製造階段  
1100J: 製造階段  
1100K: 製造階段  
1100L: 製造階段  
1102: 載體  
1104: LTHC 釋放層  
1106: 層壓聚醯亞胺層  
1108: 種子層  
1110: 光致抗蝕劑層  
1112: 開口  
1114: 區域  
1116: 頂表面  
1118: 頂表面  
1120: 頂表面  
1200: 製程  
1202: 方塊  
1204: 方塊  
1206: 方塊  
1208: 方塊  
1210: 方塊  
1212: 方塊  
1214: 方塊  
1216: 方塊  
1218: 方塊

- 1 2 2 0 : 方塊
- 1 2 2 2 : 方塊
- 1 2 2 4 : 方塊
- 1 3 0 0 : 無線通訊設備
- 1 3 0 2 : IC
- 1 3 0 3 : IC 封裝
- 1 3 0 4 : 收發機
- 1 3 0 6 : 資料處理器
- 1 3 0 8 : 發射器
- 1 3 1 0 : 接收器
- 1 3 1 2 ( 1 ) : 數位類比轉換器 ( D A C )
- 1 3 1 2 ( 2 ) : 數位類比轉換器 ( D A C )
- 1 3 1 4 ( 1 ) : 低通濾波器
- 1 3 1 4 ( 2 ) : 低通濾波器
- 1 3 1 6 ( 1 ) : 放大器 ( A M P )
- 1 3 1 6 ( 2 ) : 放大器 ( A M P )
- 1 3 1 8 : 升頻轉換器
- 1 3 2 0 ( 1 ) : 混頻器
- 1 3 2 0 ( 2 ) : 混頻器
- 1 3 2 2 : 發射 ( T X ) 本端振盪器 ( L O ) 訊號產生器
- 1 3 2 4 : 經升頻轉換訊號
- 1 3 2 6 : 濾波器
- 1 3 2 8 : 功率放大器 ( P A )
- 1 3 3 0 : 雙工器或開關 1 3 3 0 並經由天線

1 3 3 2 : 天 線

1 3 3 4 : 低 雜 訊 放 大 器 ( L N A )

1 3 3 6 : 濾 波 器

1 3 3 8 ( 1 ) : 降 頻 轉 換 混 頻 器

1 3 3 8 ( 2 ) : 降 頻 轉 換 混 頻 器

1 3 4 0 : R X L O 訊 號 產 生 器

1 3 4 2 ( 1 ) : A M P

1 3 4 2 ( 2 ) : A M P

1 3 4 4 ( 1 ) : 低 通 濾 波 器

1 3 4 4 ( 2 ) : 低 通 濾 波 器

1 3 4 6 ( 1 ) : 類 比 數 位 轉 換 器 ( A D C )

1 3 4 6 ( 2 ) : 類 比 數 位 轉 換 器 ( A D C )

1 3 4 8 : T X 鎖 相 迴 路 ( P L L ) 電 路

1 3 5 0 : R X P L L 電 路

$D_1$  : 距 離

$H_1$  : 高 度

$H_2$  : 高 度

$P_1$  : 節 距

$P_2$  : 節 距

$P_3$  : 節 距

$P_4$  : 節 距

R D L : 重 分 佈 層

$V_1$  : 垂 直 路 徑

$V_2$  : 垂 直 路 徑

W<sub>1</sub> : 寬度

W<sub>2</sub> : 寬度

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】 一種積體電路（IC）封裝，包括：

包括複數個封裝基板互連的一封裝基板；

包括複數個晶粒互連的一 IC 晶片；

佈置在該封裝基板和該 IC 晶片之間的一重分佈層

（RDL）基板，該 RDL 基板包括：

包括複數條重分佈金屬線的一 RDL 層，每條重分佈金屬線包括耦合到該複數個晶粒互連之中的一晶粒互連的一 RDL 互連；

包括複數個基板互連的一基板層；及

佈置在該 RDL 層與該基板層之間的一電容器；及

電耦合到該複數個晶粒互連之中的一晶粒互連和該電容器的至少一個垂直互連通路（通孔）。

【請求項 2】 如請求項 1 之 IC 封裝，其中該基板層包括一第二 RDL 層，該第二 RDL 層包括複數條第二重分佈金屬線，每條第二重分佈金屬線包括一第二 RDL 互連。

【請求項 3】 如請求項 2 之 IC 封裝，進一步包括至少一個第二通孔，該至少一個第二通孔耦合到該複數個晶粒互連之中的一晶粒互連和該基板層中的該複數個基板互連之中的至少一個基板互連。

【請求項 4】 如請求項 1 之 IC 封裝，進一步包括佈置在該電容器和該 RDL 層之間的一鈍化層。

【請求項 5】 如請求項 1 之 IC 封裝，其中該至少一個通孔包括至少一個穿矽通孔（TSV），該至少一個 TSV

穿過該 RDL 基板來佈置並且被電耦合到該複數條重分佈金屬線之中耦合到該晶粒互連的一重分佈金屬線。

【請求項 6】 如請求項 5 之 IC 封裝，其中該至少一個 TSV 的高度與寬度的縱橫比至少為 2.0。

【請求項 7】 如請求項 1 之 IC 封裝，進一步包括複數個第二通孔，該複數個第二通孔穿過該 RDL 基板來佈置並且被電耦合到該 RDL 層中的複數個 RDL 互連中的一 RDL 互連和該基板層中的該複數個基板互連中的一基板互連。

【請求項 8】 如請求項 7 之 IC 封裝，其中該複數個第二通孔的高度與寬度的縱橫比至少為 1.0。

【請求項 9】 如請求項 1 之 IC 封裝，進一步包括：

包括佈置在該 RDL 層和該基板層之間的一介電材料的一介電層；及

嵌入在該介電層中的一電容器封裝，該電容器封裝包括該電容器。

【請求項 10】 如請求項 9 之 IC 封裝，其中該至少一個通孔包括至少一個穿矽通孔 (TSV)，該至少一個 TSV 穿過該電容器封裝來佈置並且被電耦合到該複數條重分佈金屬線之中耦合到該晶粒互連的一重分佈金屬線。

【請求項 11】 如請求項 9 之 IC 封裝，進一步包括複數個第二通孔，該複數個第二通孔穿過該 RDL 基板來佈置並且被電耦合到該 RDL 層中的複數個 RDL 互連中的一 RDL 互連和該基板層中的該複數個基板互連之中的

一基板互連；

其中該複數個第二通孔穿過該 RDL 基板的位於該電容器封裝之外的該介電層來佈置。

【請求項 12】如請求項 1 之 IC 封裝，其中該複數條重分佈金屬線之中的至少一條重分佈金屬線在其相應的 RDL 互連的一垂直路徑之外扇出。

【請求項 13】如請求項 1 之 IC 封裝，其中：

該複數個晶粒互連具有一第一節距；

該基板層中的該複數個基板互連具有大於該第一節距的一第二節距；並且

該複數個封裝基板互連具有該第二節距。

【請求項 14】如請求項 13 之 IC 封裝，進一步包括複數個第二通孔，該複數個第二通孔穿過該 RDL 基板來佈置並且被電耦合到該 RDL 層中的複數個 RDL 互連中的一 RDL 互連和該基板層中的該複數個基板互連中的一基板互連，該基板互連被耦合到該複數個封裝基板互連中的一封裝基板互連。

【請求項 15】如請求項 1 之 IC 封裝，其中：

該封裝基板進一步包括一第一外表面，該複數個封裝基板互連穿過該第一外表面來佈置；

該 IC 晶片進一步包括一主動表面，該複數個晶粒互連穿過該主動表面來佈置；並且

該第一外表面和該主動表面之間的一距離至少為兩

(2) 微米 ( $\mu\text{m}$ )。

【請求項 16】如請求項 1 之 IC 封裝，該 IC 封裝被整合到選自包括以下各項的群的一設備中：一機上盒、一娛樂單元、一導航設備、一通訊設備、一固定位置資料單元、一行動位置資料單元、一全球定位系統（GPS）設備、一行動電話、一蜂巢式電話、一智慧型電話、一對話啟動協定（SIP）電話、一平板設備、一平板手機、一伺服器、一電腦、一可攜式電腦、一行動計算裝置、一可穿戴計算設備、一桌上型電腦、一個人數位助理（PDA）、一監視器、一電腦監視器、一電視機、一調諧器、一無線電、一衛星無線電、一音樂播放機、一數位音樂播放機、一可攜式音樂播放機、一數位視訊播放機、一視訊播放機、一數位視訊碟（DVD）播放機，一可攜式數位視訊播放機、一汽車、一車載部件、航空電子系統、一無人機、以及一多旋翼飛行器。

【請求項 17】一種製造一 IC 封裝的方法，包括以下步驟：  
形成包括複數個封裝基板互連的一封裝基板；

在該封裝基板上形成一重分佈層（RDL）基板，包括以下步驟：

形成包括複數條重分佈金屬線的一 RDL 層，每條重分佈金屬線包括一 RDL 互連；

形成包括複數個基板互連的一基板層；及

在該 RDL 層與該基板層之間佈置一電容器；

形成至少一個垂直互連通路（通孔），該至少一個垂直互連通路被電耦合到該電容器並且被配置成電耦合到

該 IC 晶片的複數個晶粒互連之中的至少一個晶粒互連；  
及

將一 IC 晶片的複數個晶粒互連之中的至少一個晶粒互連耦合到該複數條重分佈金屬線之中的至少一個 RDL 互連。

**【請求項 18】** 如請求項 17 之方法，其中形成該基板層包括形成一第二 RDL 層，該第二 RDL 層包括複數條第二重分佈金屬線，每條第二重分佈金屬線包括一第二 RDL 互連；並且

進一步包括以下步驟：

將該複數個封裝基板互連之中的至少一個封裝基板互連耦合到複數個第二 RDL 互連之中的至少一個第二 RDL 互連；及

在該 RDL 層和該基板層之間佈置該電容器包括在該 RDL 層和該第二 RDL 層之間佈置該電容器。

**【請求項 19】** 如請求項 17 之方法，進一步包括以下步驟：  
形成至少一個第二通孔，該至少一個第二通孔被電耦合到該複數個晶粒互連之中的至少一個晶粒互連以及該複數個基板互連之中的至少一個基板互連。

**【請求項 20】** 如請求項 19 之方法，其中形成該至少一個第二通孔進一步包括在該電容器的一垂直路徑之外形成該至少一個第二通孔。

**【請求項 21】** 如請求項 17 之方法，其中形成該基板層包括：在該封裝基板上形成包括複數條第二重分佈金屬線

的一第二 R D L 層，每條第二重分佈金屬線包括一第二 R D L 互連，以將該複數條第二重分佈金屬線之中的該第二 R D L 互連電耦合到該第二 R D L 互連之中的至少一個第二 R D L 互連。

【請求項 22】如請求項 21 之方法，進一步包括以下步驟：  
在該電容器的一第一側上方形成一鈍化層，該第一側相對於該電容器的與該第二 R D L 層毗鄰的一第二側。

【請求項 23】如請求項 19 之方法，進一步包括以下步驟：  
在該至少一個通孔、該至少一個第二通孔和該電容器之上形成包括一介電材料的一介電層。

【請求項 24】如請求項 23 之方法，進一步包括以下步驟：  
向下研磨該介電層的一表面以從該介電層中暴露該至少一個通孔之每一者通孔的一頂表面。

【請求項 25】如請求項 24 之方法，進一步包括以下步驟：  
在該介電層的與該第二 R D L 層相對的一第一側上的該介電層上方形成該 R D L 層，以將該至少一個通孔電耦合到該複數個重分佈金屬線之中的至少一個 R D L 互連。

【請求項 26】如請求項 17 之方法，進一步包括以下步驟：  
提供一載體；及  
在該載體上形成複數個第二通孔。

【請求項 27】一種重分佈層（R D L）基板，包括：  
包括複數條重分佈金屬線的一 R D L 層，每條重分佈金屬線包括一 R D L 互連；

包括複數個基板互連的一基板層；

包括佈置在該 RDL 層和該基板層之間的一介電材料的一介電層；

嵌入在該介電層中的一電容器封裝，該電容器封裝包括一電容器；及

複數個穿矽垂直互連通路（通孔）（TSV），該複數個 TSV 穿過該電容器封裝來佈置並且被電耦合到複數個 RDL 互連之中的 RDL 互連。

【請求項 28】如請求項 27 之 RDL 基板，其中：

該電容器封裝進一步包括一金屬層，該金屬層包括耦合到該電容器的至少一條金屬線；及

該複數個 TSV 之中的至少一個 TSV 被耦合到該至少一條金屬線，該至少一條金屬線被耦合到該電容器。

【請求項 29】如請求項 27 之 RDL 基板，其中該複數個 TSV 之中的至少一個 TSV 被耦合到該基板層中的該複數個基板互連之中的至少一個基板互連。

【請求項 30】如請求項 27 之 RDL 基板，其中該基板層包括一第二 RDL 層，該第二 RDL 層包括複數條第二重分佈金屬線，每條第二重分佈金屬線包括一第二 RDL 互連。

【請求項 31】如請求項 27 之 RDL 基板，其中該 RDL 層包括一外表面，並且該複數條重分佈金屬線的該 RDL 互連穿過該外表面來佈置。

【請求項 32】如請求項 27 之 RDL 基板，進一步包括佈置

在該電容器封裝和該 RDL 層之間的一鈍化層。

【請求項 33】如請求項 32 之 RDL 基板，其中該複數個 TSV 延伸穿過該鈍化層。

【請求項 34】如請求項 27 之 RDL 基板，其中該複數個 TSV 的高度與寬度的縱橫比至少為兩(2)微米( $\mu\text{m}$ )。

【請求項 35】如請求項 27 之 RDL 基板，進一步包括複數個通孔，該複數個通孔穿過該介電層來佈置並且被電耦合到複數個 RDL 互連之中的一 RDL 互連和該複數個基板互連之中的一基板互連。

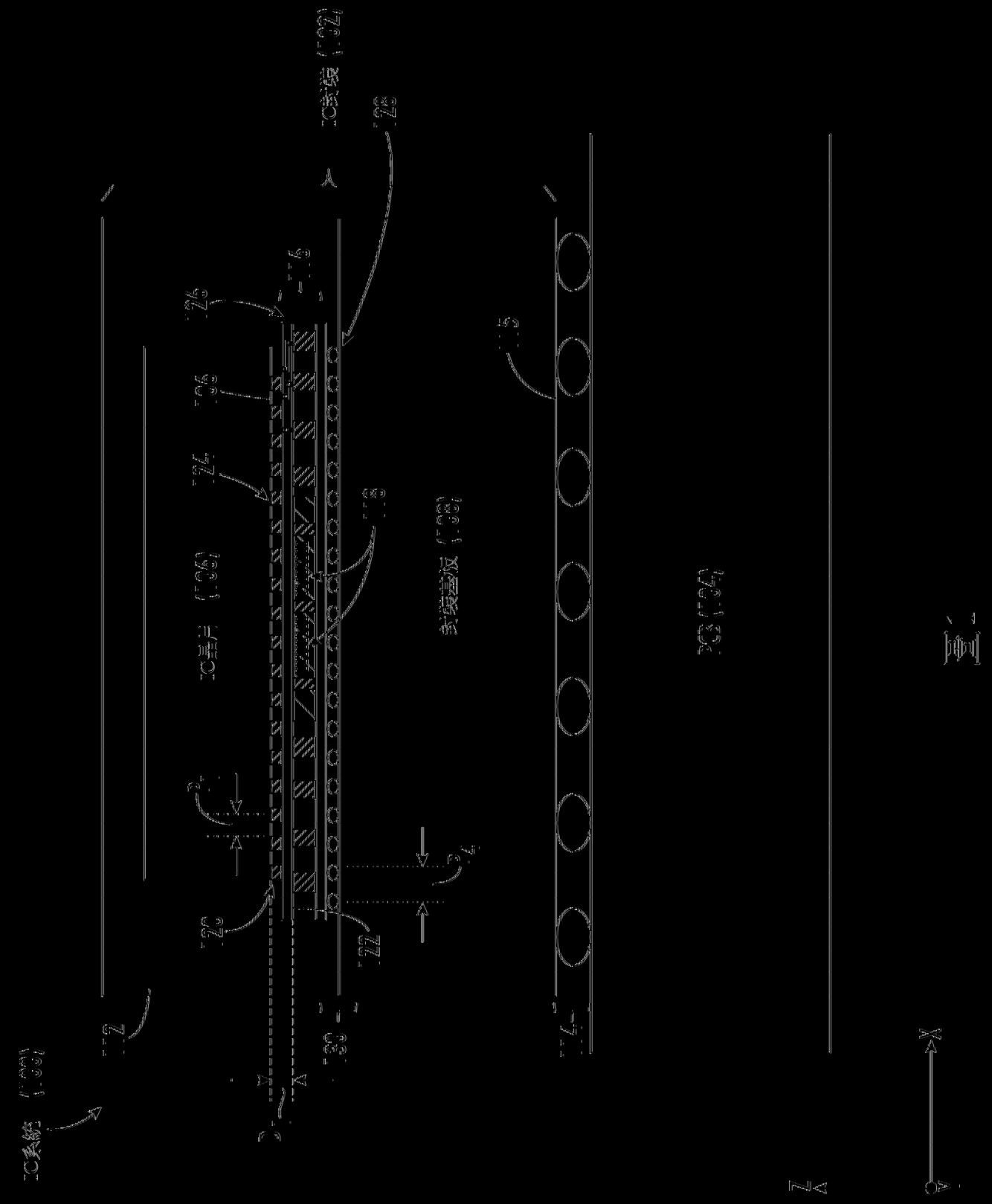
【請求項 36】如請求項 27 之 RDL 基板，進一步包括複數個第二通孔，該複數個第二通孔穿過該 RDL 基板的該介電層來佈置並且被電耦合到該 RDL 層中的複數個 RDL 互連之中的一 RDL 互連和該基板層中的該複數個基板互連之中的一基板互連。

【請求項 37】如請求項 36 之 RDL 基板，其中該複數個第二通孔的高度與寬度的縱橫比至少為 1.0。

【請求項 38】如請求項 36 之 RDL 基板，其中該複數個第二通孔穿過該 RDL 基板的位於該電容器封裝之外的該介電層來佈置。

【請求項 39】如請求項 27 之 RDL 基板，其中該電容器封裝包括該介電層，該介電層包括該介電材料，其中該電容器被嵌入在該介電層中。

(發明圖式)



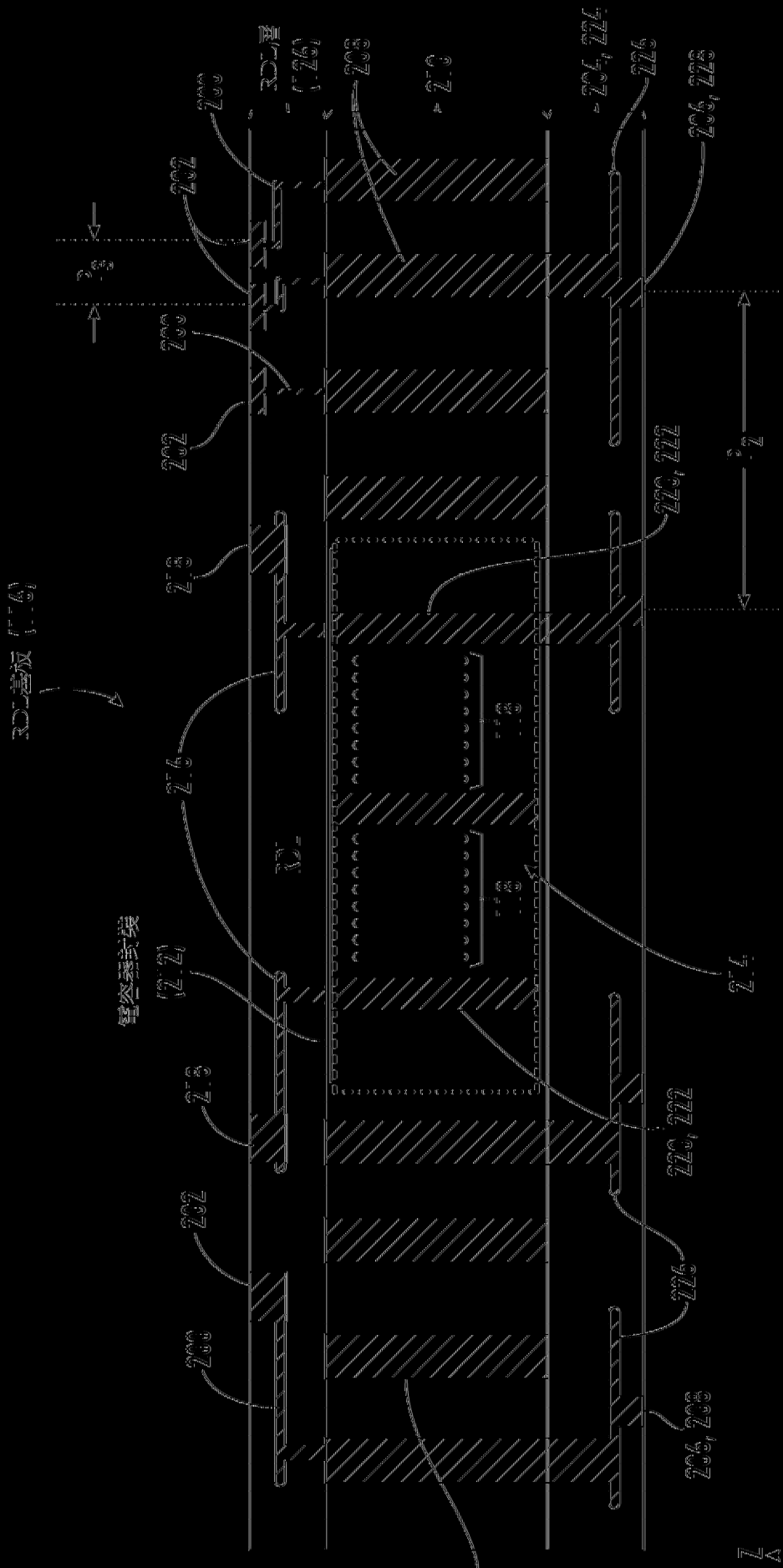
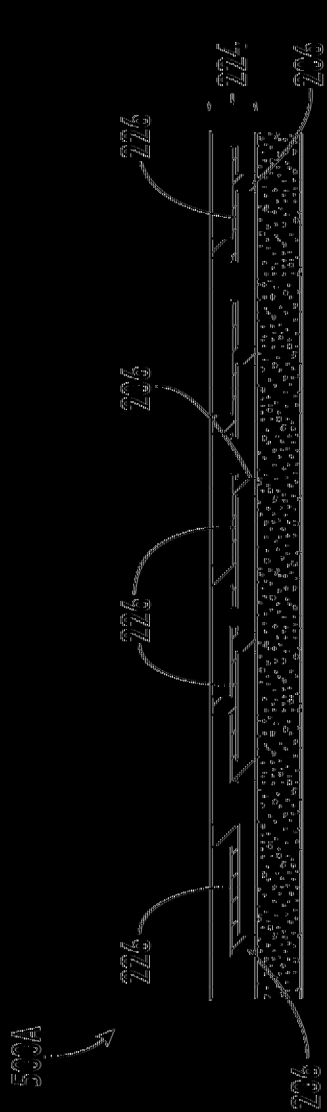


圖 2





4000

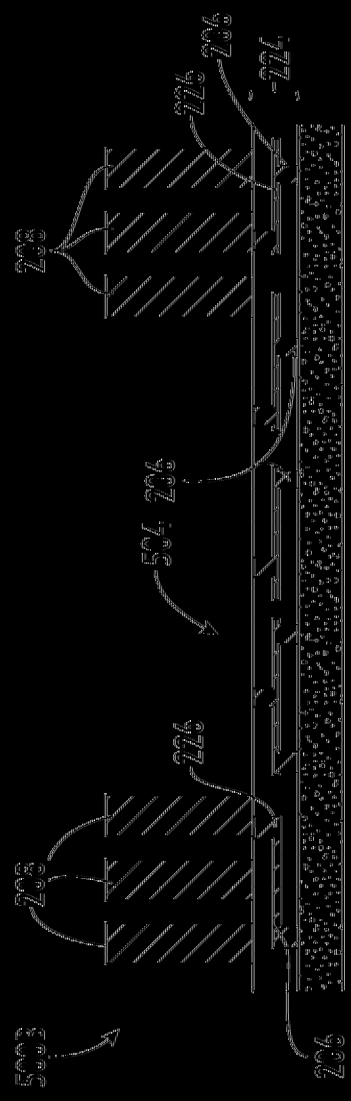


500A

Z  
Y

X

500

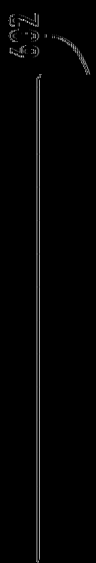


500B

Z  
Y

X

500C



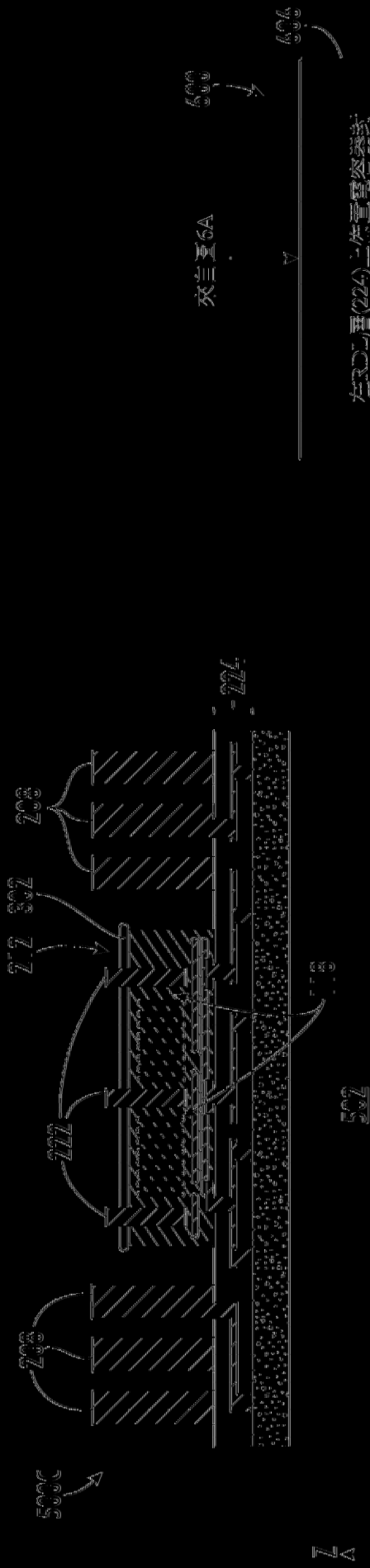
502  
提供載體 (502) 並形成ITO層 (224)



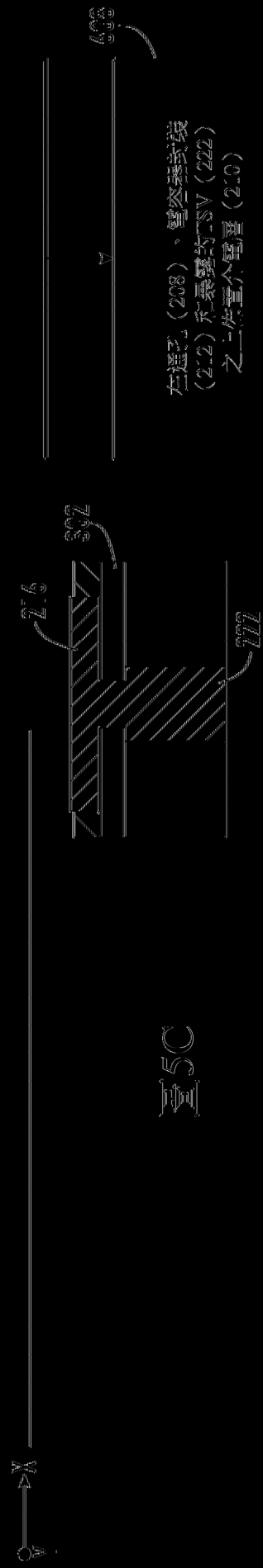
504  
形成ITO層 (224) 的重分佈金屬線 (226) 接觸的導電層 (208)

505

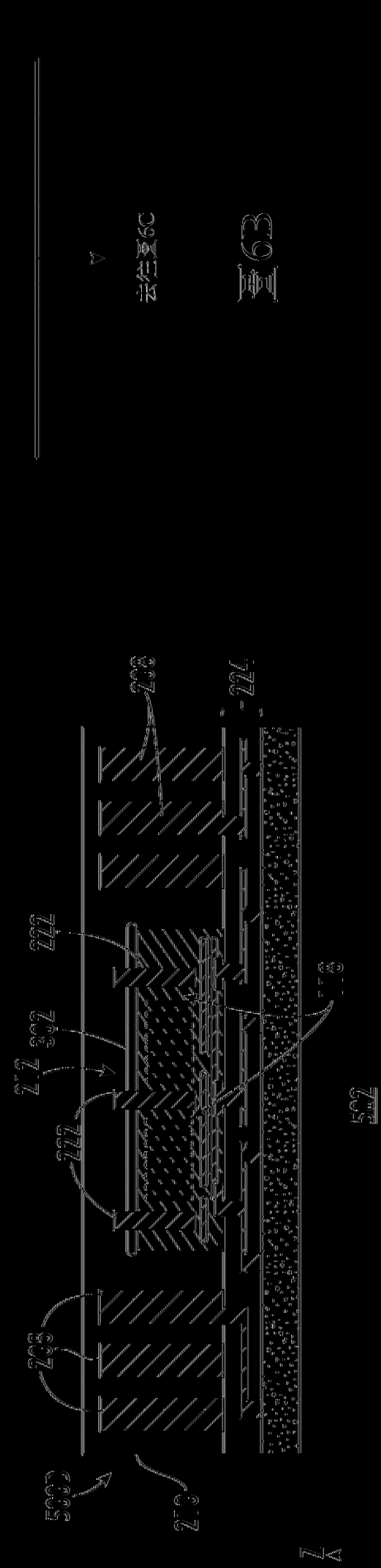
506



左側圖(224)之裝置容腔式樣(2.2)



左側圖(208)、雙容腔式樣(2.2)和暴擊式-SV(222)之裝置介質層(2.0)



來自圖 500C

圖 503

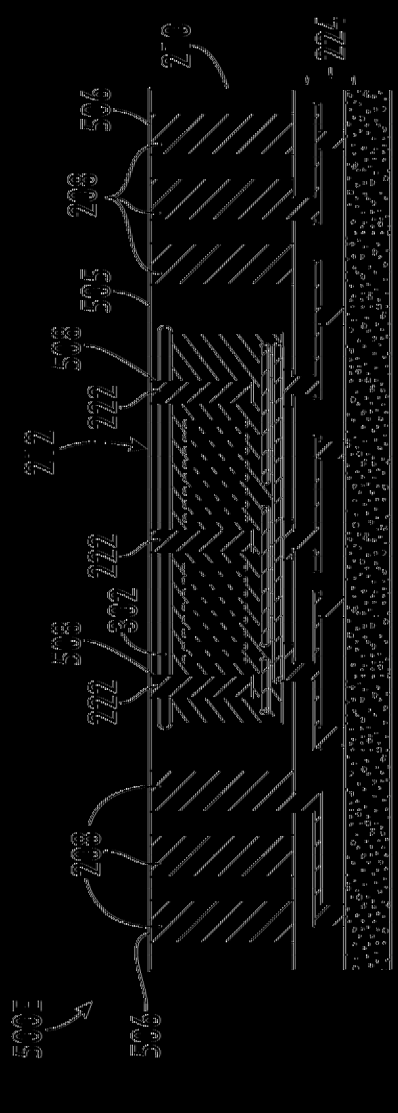


圖 52

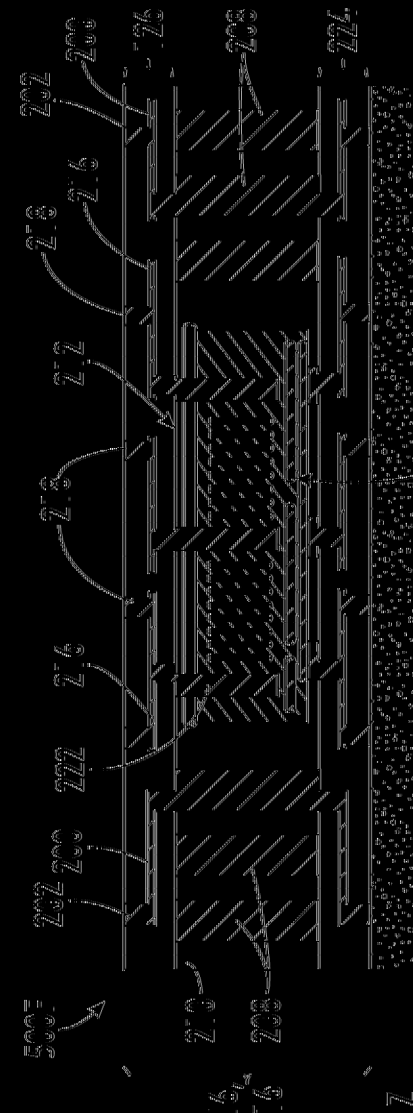
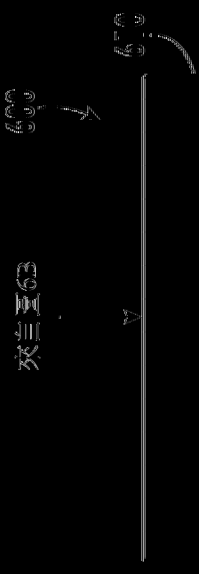


圖 53



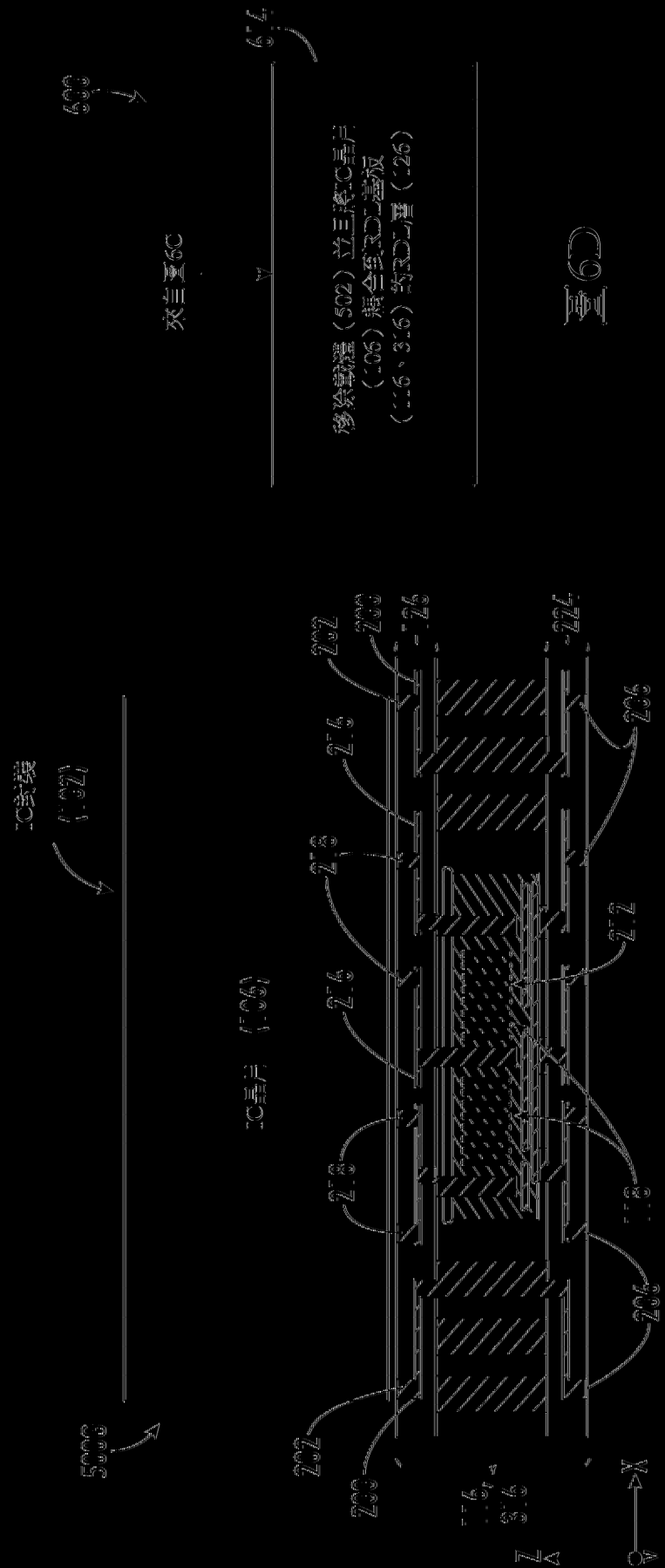
將介電層(210)自下層遷至頂表面(505)以暴露通孔(208、222)的頂表面(506、508)



左介電層(210)的頂表面(505)上形成RDL層(226)以形成RDL基板(216、316)



圖 56





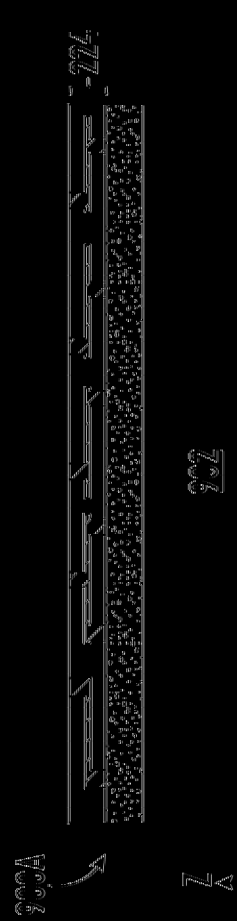


圖 9A

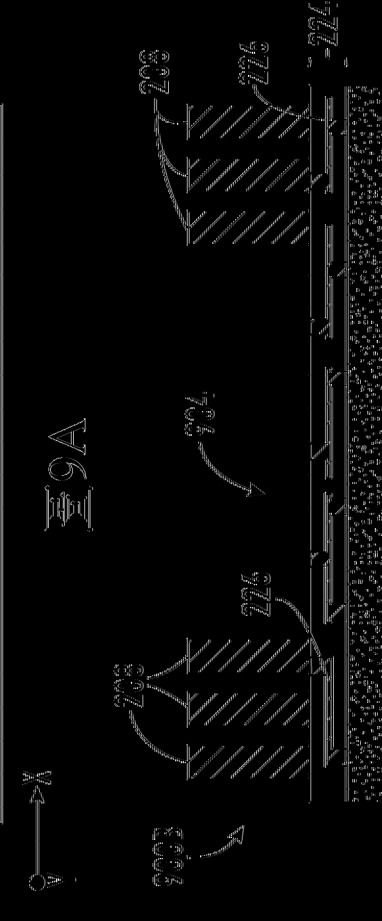


圖 9B

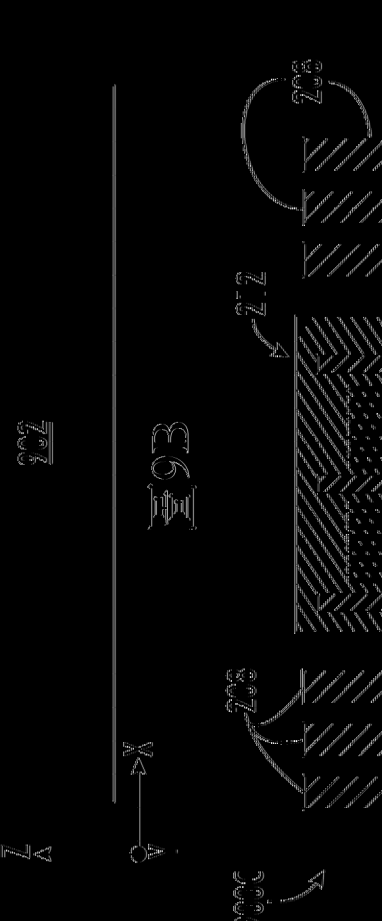


圖 9C

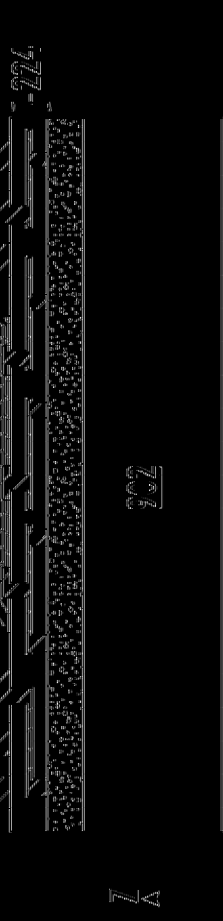


圖 9D



圖 10A  
提供黏層(902)並在黏層(902)上  
形成SiO<sub>2</sub>層(224)

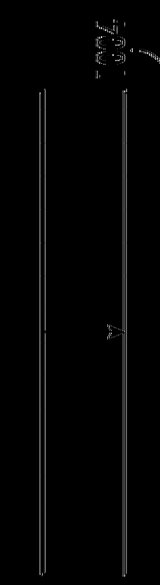


圖 10B  
形成其SiO<sub>2</sub>層(224)的雷射  
金屬線(226)接觸的通孔  
(208)

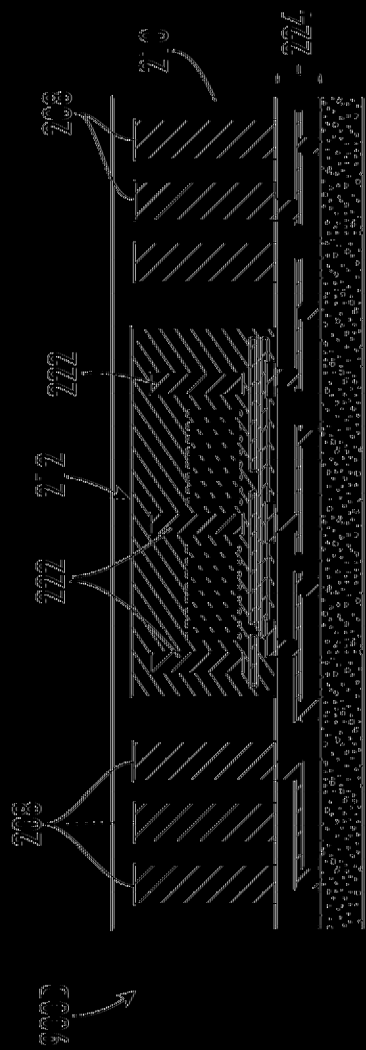


圖 10C  
在SiO<sub>2</sub>層(224)上放置密封  
封裝(212)



圖 10D

圖 10A



來自圖 20A

圖 20

Z



圖 20B

圖 20C

將介電層 (210) 在下方避空頂表面 (906) 以暴露通孔 SV (208、222) 的頂表面 (908、910)

來自圖 20C

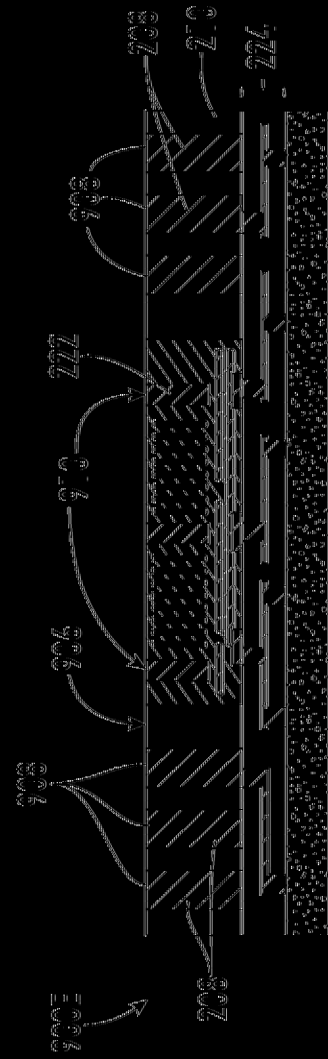


圖 20B

圖 20

Z



圖 20E

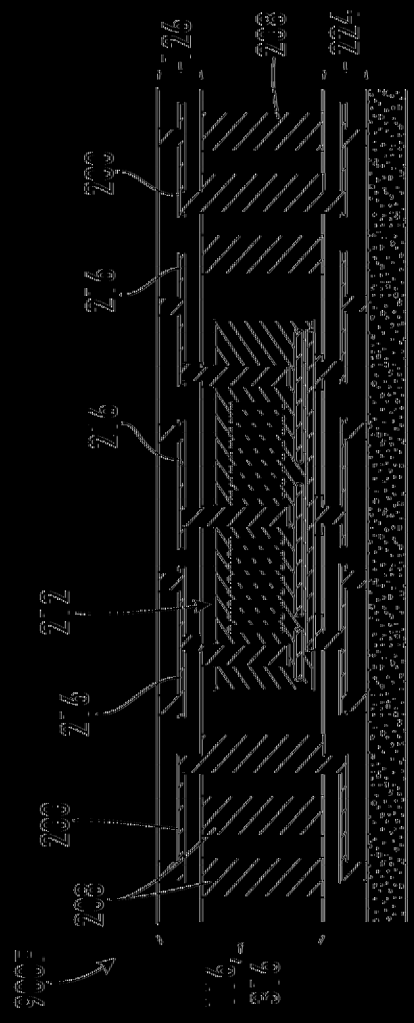


圖 9B

X  
Y



圖 9C

X  
Y

圖 9D

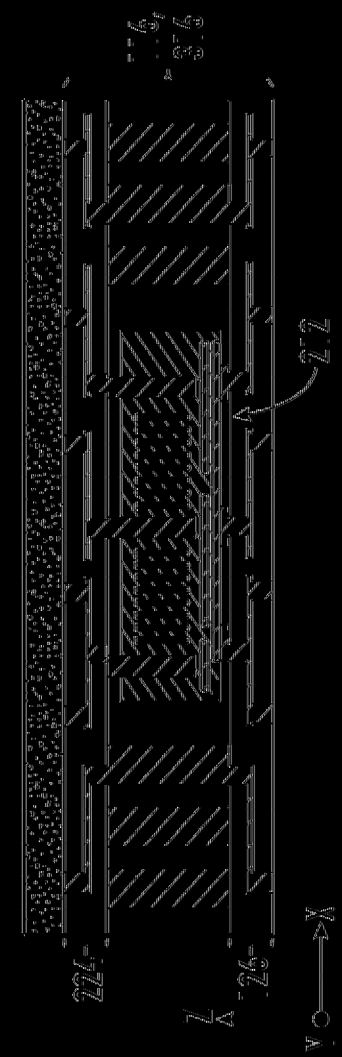


圖 9E

X  
Y

來自圖 10B

302

在介電層(210)的頂表面(906)上  
形成銅層(226)以形成銅  
蓋板(226、316)

將軟焊(902)於銅蓋板  
(226、316)對準

來自圖 10D

圖 10C





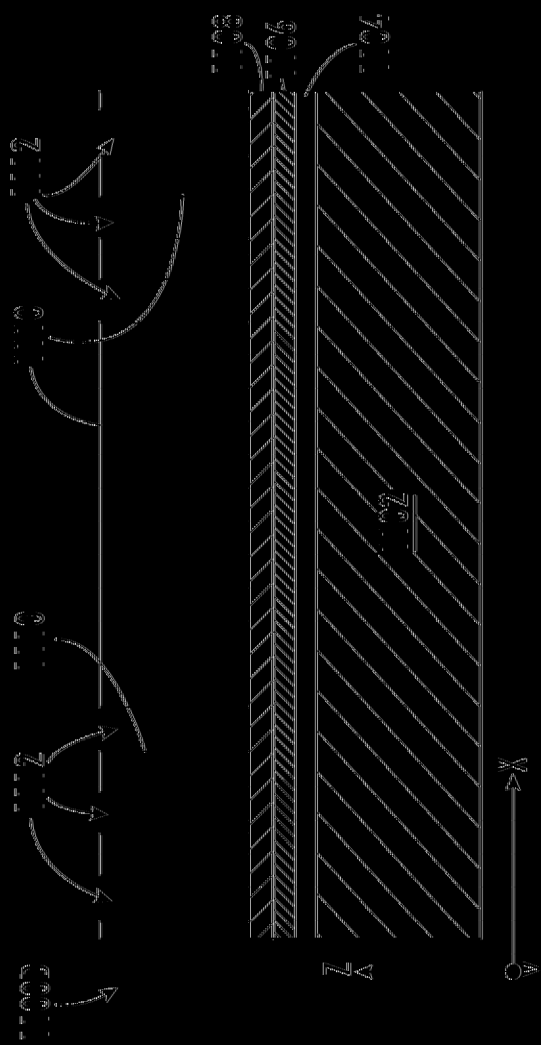


圖 22

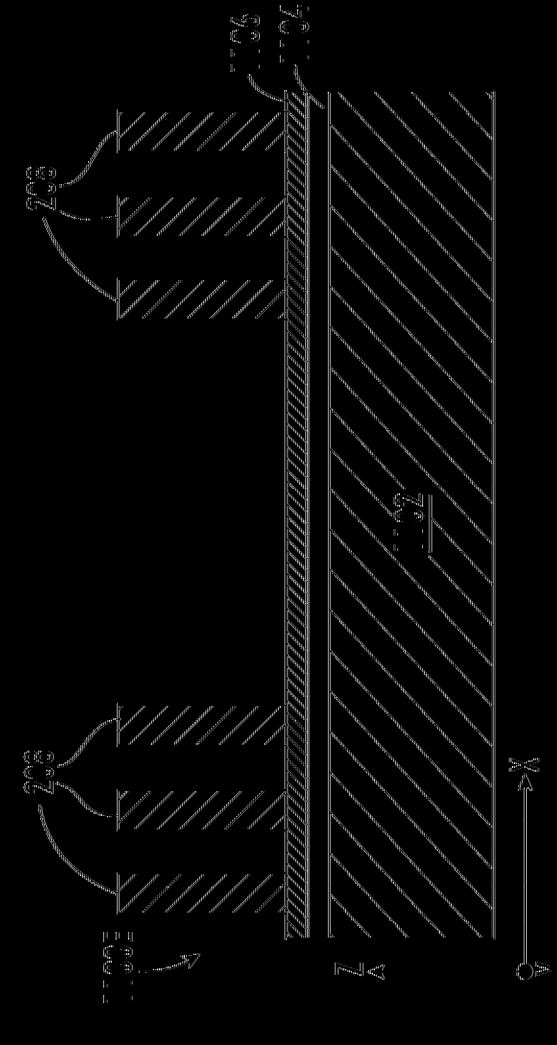


圖 23

來自圖 22A



左邊子層 (208) 包含通光致波光錫層 (210) 並三層結構層夾層成層於邊沿 (208) 的膜二 (212)



右邊二 (212) 中形成邊沿 (208)

來自圖 22C



圖 23

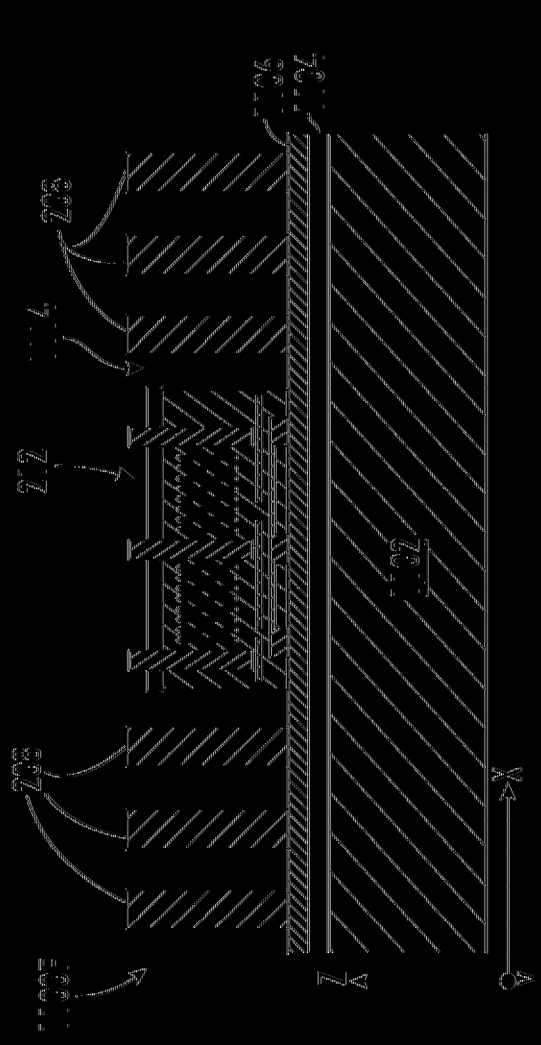


圖 19

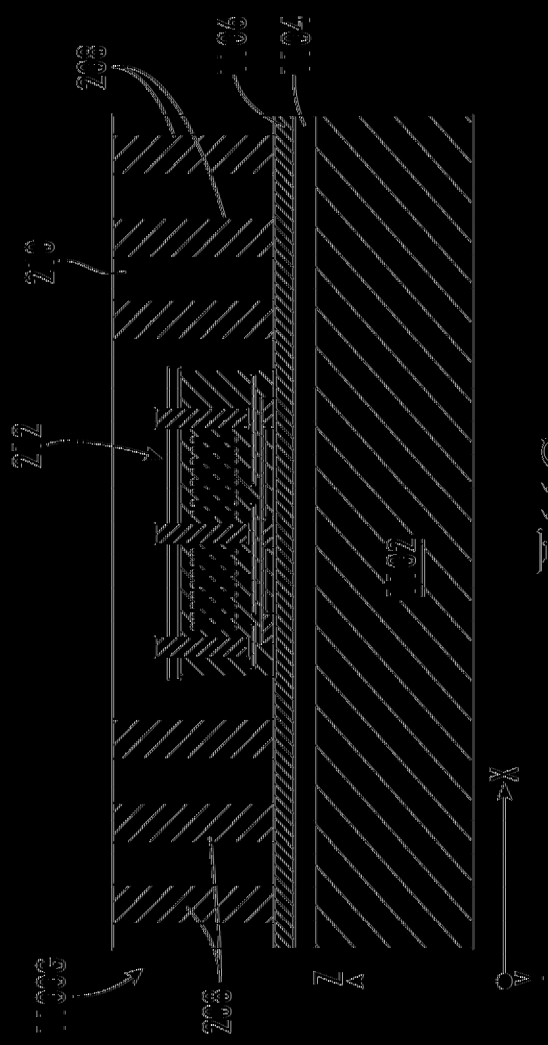
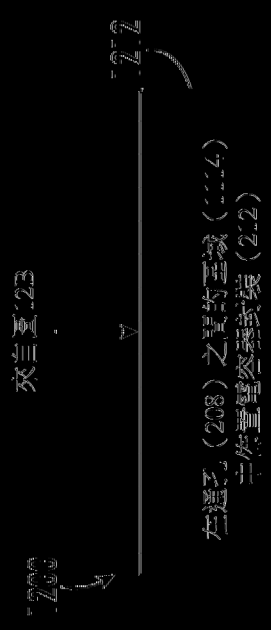
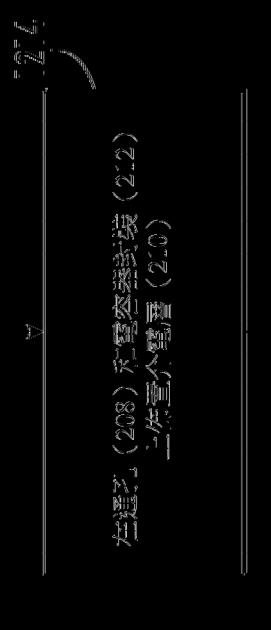


圖 20



來自圖 23  
左邊孔 (208) 之異構區域 (214)  
中間層材料 (212)



左邊孔 (208) 之異構區域 (212)  
中間層材料 (210)

來自圖 20  
圖 20



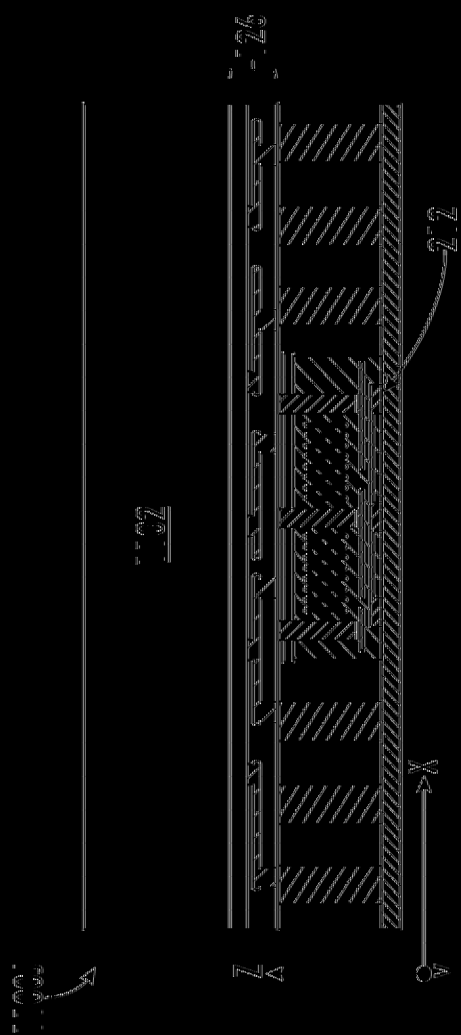


圖 22

圖 23

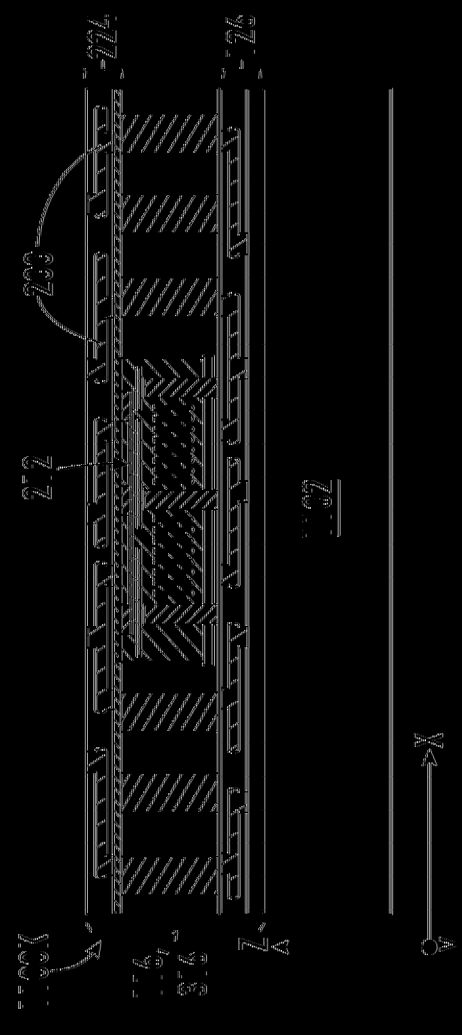
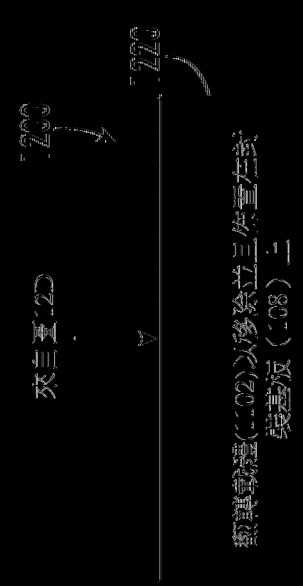


圖 24

圖 25



來自圖 2D

移除軌道 (102) 以移裝立三角重左式裝蓋板 (108) 二



移除軌道 (102)，並形成成 3D 蓋板 (116, 316) 約第二 3D 蓋板 (224)

來自圖 2E

圖 23

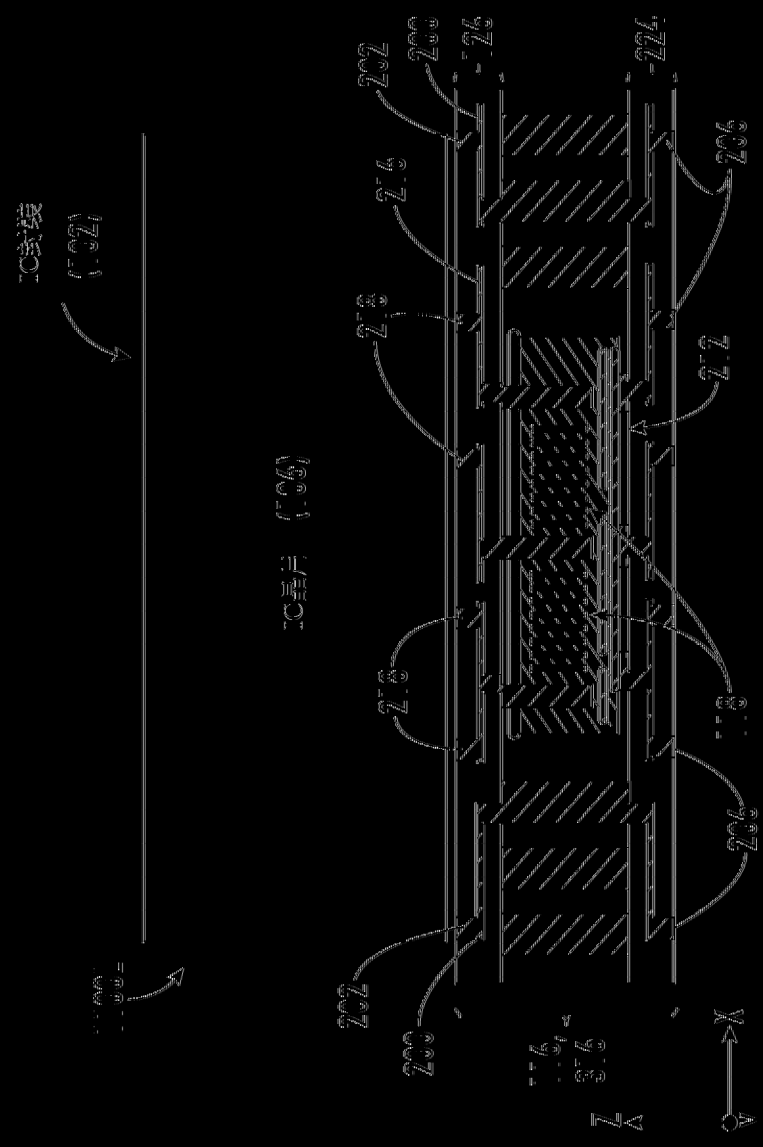


圖 23

來自圖 23



圖 24

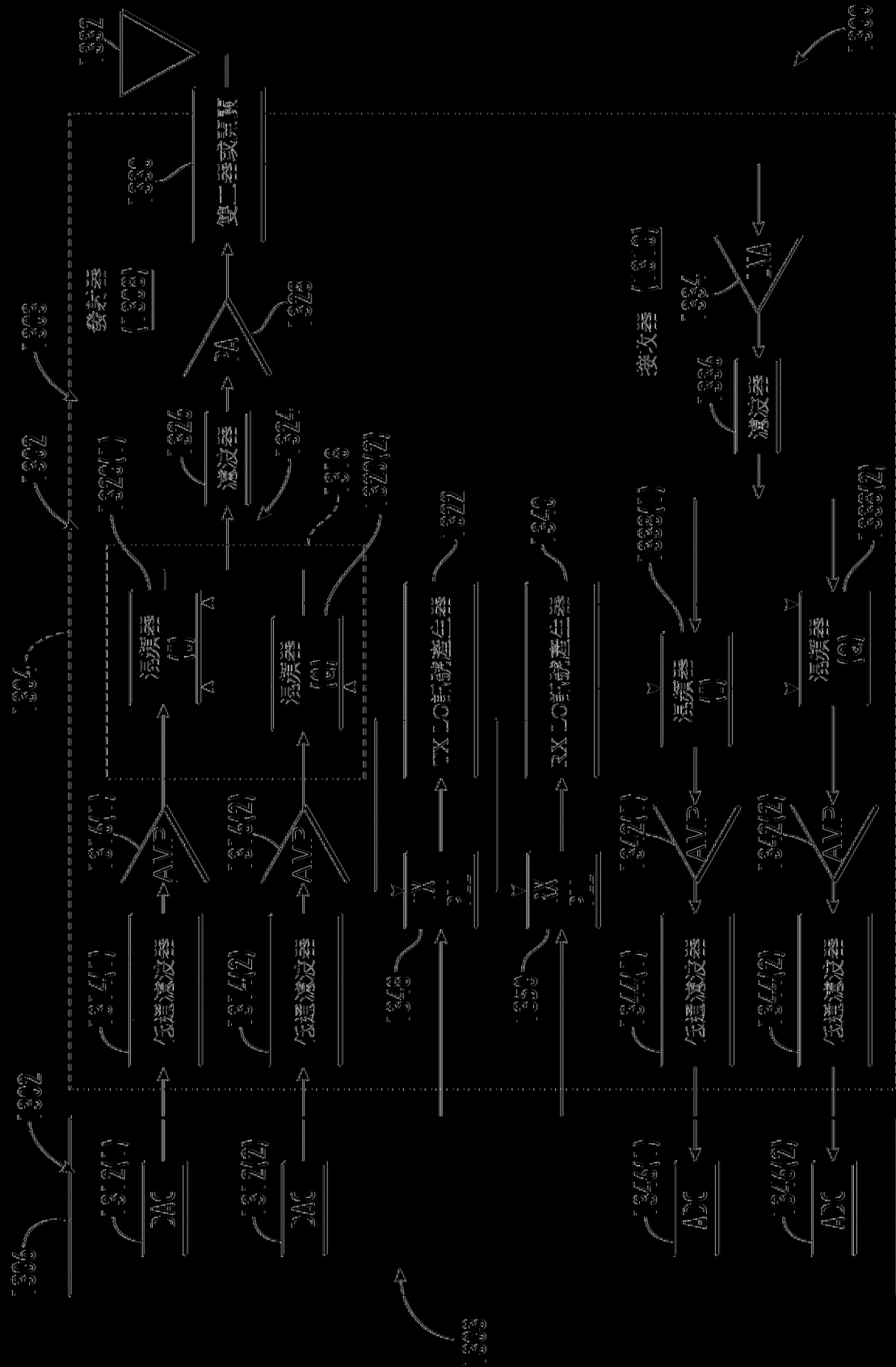


圖 3