



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월27일
 (11) 등록번호 10-0929302
 (24) 등록일자 2009년11월23일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2007-0137989
 (22) 출원일자 2007년12월26일
 심사청구일자 2007년12월26일
 (65) 공개번호 10-2009-0070103
 (43) 공개일자 2009년07월01일
 (56) 선행기술조사문헌

KR100714305 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

최재승

경기 이천시 대월면 사동리 현대전자사원아파트
 109동 708호

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 7 항

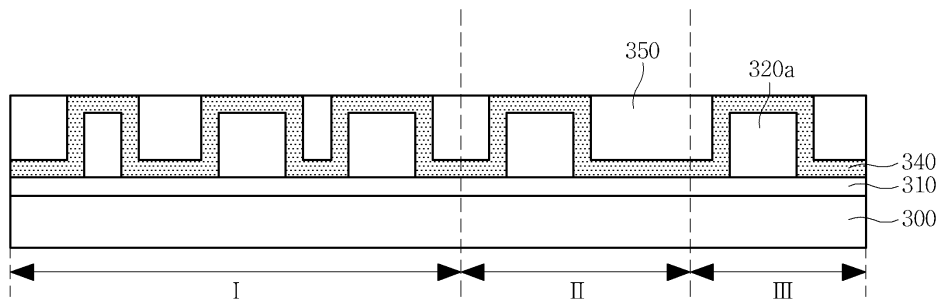
심사관 : 최정운

(54) 반도체 소자의 패턴 형성 방법

(57) 요약

본 발명은 반도체 소자의 패턴 형성 방법에 관한 것으로, 폴리실리콘의 레지듀 및 폴리실리콘층의 에치 백 공정 시 오픈 면적이 넓은 영역에 폴리실리콘이 남겨지지 않아 2차 패터닝 시 배리어 역할을 할 물질층이 없는 문제점을 해결하고, 2차에 걸친 패터닝 시 요구되었던 미세한 CD(Critical Dimension) 제어 및 오버레이 특성을 향상시키는 기술을 개시한다.

대표도 - 도3d



특허청구의 범위

청구항 1

셀(Cell) 영역, 인터커넥션(Inter Connection) 영역 및 주변회로(Peri) 영역이 구비된 반도체 소자에 있어서, 미세 패턴 예정 영역을 포함하는 반도체 기관 상부에 하드마스크층, 제 1 폴리실리콘층 및 제 1 감광막 패턴을 형성하는 단계;

상기 제 1 감광막 패턴을 마스크로 상기 제 1 폴리실리콘층을 식각하여 제 1 마스크 패턴을 형성하는 단계;

상기 제 1 마스크 패턴을 포함하는 전체 표면에 일정 두께의 스페이서층을 형성하는 단계;

상기 제 1 마스크 패턴을 포함하는 전체 상부에 제 2 폴리실리콘층을 형성하는 단계;

상기 스페이서층이 노출될때까지 상기 제 2 폴리실리콘층에 평탄화 공정을 수행하는 단계;

상기 평탄화된 상기 제 2 폴리실리콘층을 포함하는 전체 상부에 제 2 감광막 패턴을 형성하는 단계;

상기 제 2 감광막 패턴을 마스크로 제 2 폴리실리콘층을 식각하여 제 2 마스크 패턴을 형성하는 단계; 및

상기 제 1 마스크 패턴 및 제 2 마스크 패턴을 이용한 식각 공정으로 상기 하드마스크층을 식각하여 미세 패턴을 정의하는 하드마스크층 패턴을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

청구항 2

제 1 항에 있어서,

상기 셀 영역은 워드라인(Word Line) 패턴, DSL(Drain Selective Line)패턴 및 SSL(Source Selective Line)패턴을 포함하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

청구항 3

제 1 항에 있어서,

상기 하드마스크층은 산화막 및 질화막의 적층구조로 형성하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 감광막 패턴은 상기 셀 영역의 워드 라인 패턴이 더블 피치(Double Pitch)를 가지도록 정의하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 감광막 패턴은 DSL 패턴 및 SSL 패턴을 정의하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

청구항 6

제 1 항에 있어서,

상기 스페이서층은 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

청구항 7

제 1 항에 있어서,

상기 평탄화 공정은 CMP(Chemical Mechanical Polishing) 공정인 것을 특징으로 하는 반도체 소자의 패턴 형성 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자의 패턴 형성 방법에 관한 것이다. 특히, SPT(Spacer Patterning Technology) 방법을 이용한 패턴 형성 방법에 관한 것이다.

배경기술

- <2> 반도체 소자의 제조 공정에 있어서, 포토리소그래피 장비를 이용하여 분해 가능한 최소 해상력보다 반도체 소자에서 요구되는 해상력이 더욱 감소되고 있다.
- <3> 예를 들어, 포토리소그래피 장비를 이용하여 노광 공정을 수행하는 경우 분해 가능한 최소 해상력은 45nm라고 할 때, 반도체 소자에서 요구되는 해상력은 40nm보다 작은 분해능을 요구하고 있다.
- <4> 이러한 포토리소그래피 장비의 한계로 인하여 여러가지 패터닝 기술들이 제안되고 있으며, 그 중 하나가 스페이서를 이용한 패터닝 기술이다.
- <5> 도 1a 내지 도 1g는 종래 기술에 따른 반도체 소자의 SPT(Spacer Patterning Technology) 방법을 도시한 단면도이다.
- <6> 도 1a를 참조하면, 반도체 기판(100) 상부에 질화막(110), 제 1 폴리실리콘층(120), 반사방지막(130) 및 제 1 감광막 패턴(140)을 형성한다.
- <7> 이때, 제 1 감광막 패턴(140)은 최종 형성하고자 하는 패턴 피치(Pitch)의 2배의 피치를 가지도록 형성하는 것이 바람직하다.
- <8> 도 1b를 참조하면, 제 1 감광막 패턴(140)을 마스크로 반사방지막(130) 및 제 1 폴리실리콘층(120)을 식각하여 제 1 폴리실리콘층 패턴(120a)을 형성한다.
- <9> 다음에, 반사방지막(130) 및 제 1 감광막 패턴(140)을 제거한다.
- <10> 도 1c를 참조하면, 제 1 폴리실리콘층 패턴(120a)을 포함하는 전체 표면에 산화막을 증착하고, 전면 식각을 수행하여 제 1 폴리실리콘층 패턴(120a) 양측에 스페이서(150)를 형성한다.
- <11> 이때, 스페이서(150)의 두께는 제 1 폴리실리콘층 패턴(120a)의 두께와 동일하도록 하는 것이 바람직하다.
- <12> 도 1d를 참조하면, 스페이서(150)가 구비된 제 1 폴리실리콘층 패턴(120a)을 포함하는 전체 상부에 제 2 폴리실리콘층(160)을 형성한다.
- <13> 도 1e를 참조하면, 에치-백(Etch-Back) 공정을 수행하여 스페이서(150) 사이에 폴리실리콘층이 매립되도록 한다.
- <14> 이때, 상기 에치-백 공정은 건식 식각인 것이 바람직하다.
- <15> 도 1f를 참조하면, 셀 영역 전체 상부에 제 2 감광막 패턴(170)을 형성한다. 이때, 감광막(170)은 페리 영역 및 인터 커넥션(Inter-Connection) 영역의 패터닝을 위해 셀 영역 상부에 형성하는 것이 바람직하다.
- <16> 도 1g를 참조하면, 제 2 감광막 패턴(170)을 제거하고, 제 1 폴리실리콘층 패턴(120a) 및 제 2 폴리실리콘층(160) 사이의 스페이서(150)를 제거하여 미세 패턴을 형성한다.
- <17> 도 2a 및 도 2b는 종래 기술에 따른 반도체 소자의 SPT 공정의 문제점을 도시한 사진이다.
- <18> 도 2a를 참조하면, 폴리실리콘층의 에치-백 공정 시 스페이서 측벽에 'A'와 같이 폴리실리콘층 레지듀가 남게 되어 상기 레지듀를 제거하기 위해 별도의 마스크 공정을 수행하여야 하는 문제점이 있다.
- <19> 도 2b를 참조하면, 폴리실리콘층의 에치-백 공정을 수행할 때, 오픈 면적이 넓은 영역은 폴리실리콘층이 전혀 남겨지지 않고 식각되어 버리는 문제점이 있다.
- <20> 이로 인해 후속 패터닝 공정 시 페리 영역 및 인터 커넥션 영역에 패턴을 형성할 수 없게 된다.

<21> 상술한 종래 기술에 따른 반도체 소자의 패턴 형성 방법에서, 폴리실리콘층 형성 후 수행하는 에치-백 공정 시 스페이서 측벽에 폴리 레지듀가 남게되어 상기 레지듀 제거 공정을 수행하여야 하는 문제가 있으며, 면적이 넓은 영역의 상기 폴리실리콘층이 전부 식각되어 후속으로 진행되는 패턴링 공정이 진행되지 못하는 문제가 있다.

발명의 내용

해결 하고자하는 과제

<22> 본 발명은 산화막 스페이서층을 식각 정지막으로 하는 CMP 공정을 수행함으로써, 오픈된 면적이 넓은 영역의 폴리실리콘층을 유지하고, 1차 패턴링을 통하여 형성된 워드라인 패턴, DSL 패턴 및 SSL 패턴을 별도로 블로킹하지 않고, 상기 스페이서층을 식각 배리어로 사용함으로써, 패턴 간의 정확한 오버레이와 CD 균일도가 향상되어 소자의 특성의 특성을 향상시키는 반도체 소자의 패턴 형성 방법을 제공하는 것을 목적으로 한다.

과제 해결수단

- <23> 본 발명에 따른 반도체 소자의 패턴 형성 방법은
- <24> 셀 영역, 인터커넥션(Inter Connection) 영역 및 주변 회로 영역(Peri)이 구비된 반도체 소자에 있어서,
- <25> 미세 패턴 예정 영역을 포함하는 반도체 기판 상부에 하드마스크층, 제 1 폴리실리콘층 및 제 1 감광막 패턴을 형성하는 단계와,
- <26> 상기 제 1 감광막 패턴을 마스크로 상기 제 1 폴리실리콘층을 식각하여 제 1 마스크 패턴을 형성하는 단계와,
- <27> 상기 제 1 마스크 패턴을 포함하는 전체 표면에 일정 두께의 스페이서층을 형성하는 단계와,
- <28> 상기 제 1 마스크 패턴을 포함하는 전체 상부에 제 2 폴리실리콘층을 형성하는 단계와,
- <29> 상기 스페이서층이 노출될때까지 평탄화 공정을 수행하는 단계와,
- <30> 상기 평탄화된 반도체 기판 상부에 제 2 감광막 패턴을 형성하는 단계와,
- <31> 상기 제 2 감광막 패턴을 마스크로 제 2 폴리실리콘층을 식각하여 제 2 마스크 패턴을 형성하는 단계와,
- <32> 상기 제 1 마스크 패턴 및 제 2 마스크 패턴을 이용한 식각 공정으로 상기 하드마스크층을 식각하여 미세 패턴을 정의하는 하드마스크층 패턴을 형성하는 단계를 포함하는 것과,
- <33> 상기 셀 영역은 워드라인(Word Line) 패턴, DSL(Drain Selective Line)패턴 및 SSL(Source Selective Line)패턴을 포함하는 것과,
- <34> 상기 하드마스크층은 산화막 및 질화막의 적층구조로 형성하는 것과,
- <35> 상기 제 1 감광막 패턴은 셀 영역의 워드 라인 패턴이 더블 피치를 가지도록 정의하는 것과,
- <36> 상기 제 1 감광막 패턴은 셀 영역의 DSL 패턴 및 SSL 패턴을 정의하는 것과,
- <37> 상기 스페이서층은 산화막으로 형성하는 것과,
- <38> 상기 평탄화 공정은 CMP(Chemical Mechanical Polishing) 공정인 것을 특징으로 한다.

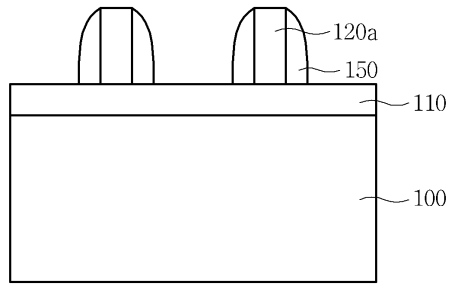
효과

- <39> 본 발명에 따른 반도체 소자의 패턴 형성 방법은 폴리실리콘의 레지듀 및 폴리실리콘층의 에치 백 공정 시 오픈 면적이 넓은 영역에 폴리실리콘이 남겨지지 않아 2차 패턴링 시 배리어 역할을 할 물질층이 없는 문제점을 해결하고, 2차에 걸친 패턴링 시 요구되었던 미세한 CD(Critical Dimension) 제어 및 오버레이 특성을 향상시킬 수 있다.
- <40> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

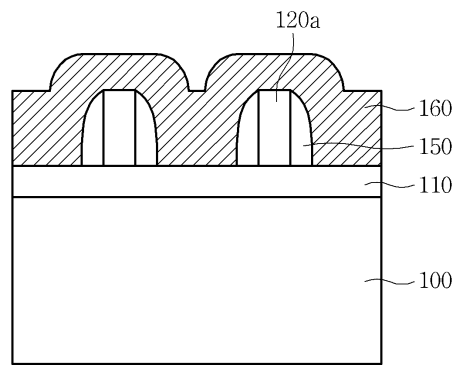
발명의 실시를 위한 구체적인 내용

- <41> 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명하고자 한다.
- <42> 도 3a 내지 도 3g는 본 발명에 따른 반도체 소자의 패턴 형성 방법을 도시한 단면도이다.
- <43> 도 3a를 참조하면, 워드라인(Word Line), DSL(Drain Selective Line) 및 SSL(Source Selective Line)이 형성되는 셀 영역(I), 금속과 금속 배선 간을 상호 연결하는 인터커넥션(Inter Connection) 영역(II) 및 주변회로들이 형성되는 주변 회로 영역(Peri)(III)이 정의된 반도체 기판(미도시) 상부에 질화막(300) 및 산화막(310)을 형성한다.
- <44> 다음에, 산화막(310) 상부에 제 1 폴리실리콘층(320)을 형성한다.
- <45> 그 다음, 제 1 폴리실리콘층(320) 상부에 제 1 감광막 패턴(330)을 형성한다.
- <46> 여기서, 상기 셀 영역(I)의 제 1 감광막 패턴(330)은 미세한 피치(Pitch)를 가지는 워드라인 패턴 예정 영역을 더블 피치(Double Pitch) 형태가 되도록 선택하여 정의한다. 그리고, 상기 셀 영역(I)의 DSL 패턴 및 SSL 패턴이 정의되도록 한다.
- <47> 또한, 한 번의 노광으로는 분해할 수 없는 상기 인터커넥션 영역(II)의 패턴 예정 영역 중 일부를 정의하고, 상대적으로 넓은 피치를 가지는 상기 주변회로 영역(III)의 모든 패턴 예정 영역을 정의한다.
- <48> 도 3b를 참조하면, 제 1 감광막 패턴(330)을 마스크로 제 1 폴리실리콘층(320)을 식각하여 제 1 마스크 패턴(320a)을 형성한다.
- <49> 다음에, 제 1 감광막 패턴(330)을 제거한다.
- <50> 도 3c를 참조하면, 제 1 마스크 패턴(320a)을 포함하는 전체 표면에 일정 두께의 산화막 스페이서층(340)을 형성한다.
- <51> 이때, 산화막 스페이서층(340)의 두께는 최종 패턴의 스페이스 CD(Space Critical Dimension)를 결정하므로 원하는 스페이스 CD를 확보할 수 있는 두께로 증착하는 것이 바람직하다.
- <52> 도 3d를 참조하면, 스페이서층(340)이 증착된 전체 상부에 제 2 폴리실리콘층(350)을 형성한 후 산화막 스페이서층(340)이 노출될때까지 평탄화 공정을 수행한다.
- <53> 여기서, 제 2 폴리실리콘층(350)은 산화막 스페이서층(340)이 증착된 제 1 마스크 패턴(320a) 사이를 완전히 매립하도록 한다.
- <54> 이때, 상기 평탄화 공정은 CMP(Chemical Mechanical Polishing)으로 진행하는 것이 바람직하며, 제 1 마스크 패턴(320a) 상부에 증착된 산화막 스페이서층(340)이 상기 CMP 공정의 식각정지막 역할을 한다.
- <55> 이와 같이, 상기 CMP 공정을 수행하게 되면, 종래의 폴리실리콘층을 패터닝하기 위한 건식 에치-백(Dry Etch-Back) 공정 시 넓은 면적을 가지는 영역의 폴리실리콘층이 전부 식각되어 2차 패터닝을 진행할 수 있는 물질층이 남겨지지 않는 문제를 방지할 수 있다.
- <56> 도 3e를 참조하면, 상기 평탄화된 전체 상부에 제 2 감광막 패턴(360)을 형성한다.
- <57> 여기서, 제 2 감광막 패턴(360)은 상기 셀 영역(I)의 워드라인 예정 영역 상에 형성되며, 상기 인터커넥션 영역(II) 중 제 1 마스크 패턴(320a)에 의해 정의되지 않은 다른 하나의 패턴 예정 영역을 정의한다.
- <58> 도 3f를 참조하면, 제 2 감광막 패턴(360)에 의해 노출된 제 2 폴리실리콘층(350)을 식각하여 제 2 마스크 패턴(350a)을 형성한다.
- <59> 이로 인해, 상기 셀 영역(I)의 DSL 패턴 및 SSL 패턴을 정의하는 제 1 마스크 패턴(320a) 사이의 제 2 폴리실리콘층(350)이 제거되고, 상기 인터커넥션 영역(II)에 형성된 제 1 마스크 패턴(320a)과 스페이서층(340)을 사이에 두고 이웃하는 제 2 마스크 패턴(350a)이 형성된다. 그 다음, 제 2 감광막 패턴(360)을 제거한다.
- <60> 도 3g를 참조하면, 딥 아웃(Dip-Out) 공정을 수행하여 노출되어 있는 산화막 스페이서층(340)을 제거한다.
- <61> 삭제
- <62> 이때, 제 2 마스크 패턴(350a) 저부에 형성된 산화막 스페이서층(340)은 제 2 마스크 패턴(350a)이 배리어 역할

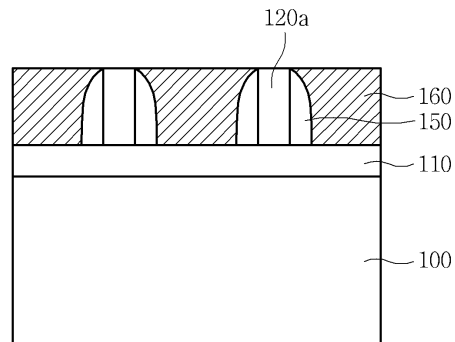
도면1c



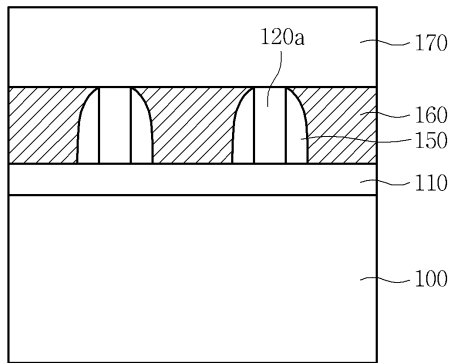
도면1d



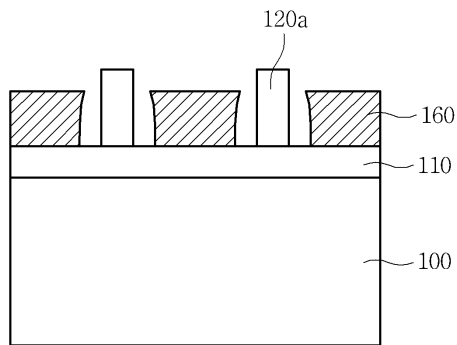
도면1e



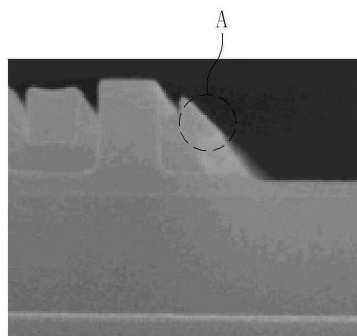
도면1f



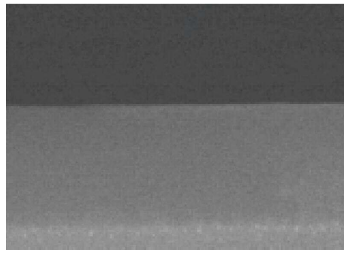
도면1g



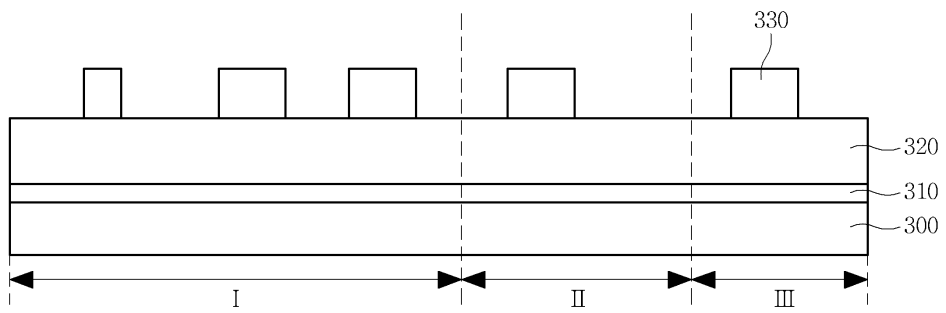
도면2a



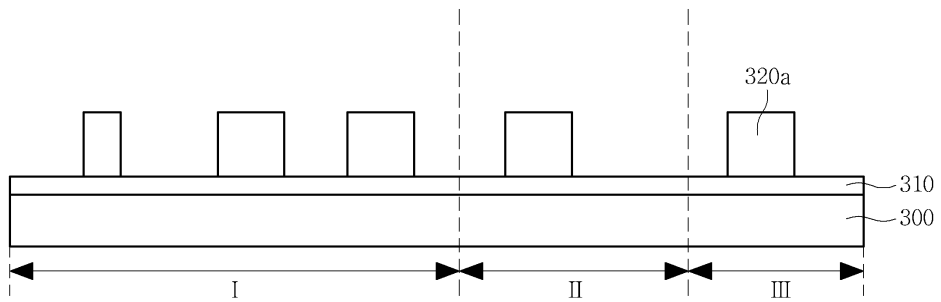
도면2b



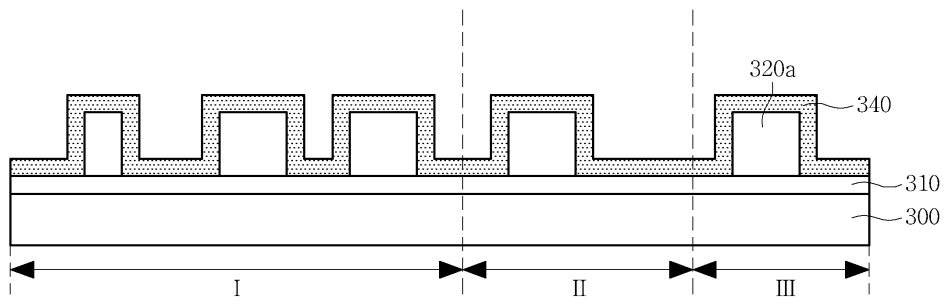
도면3a



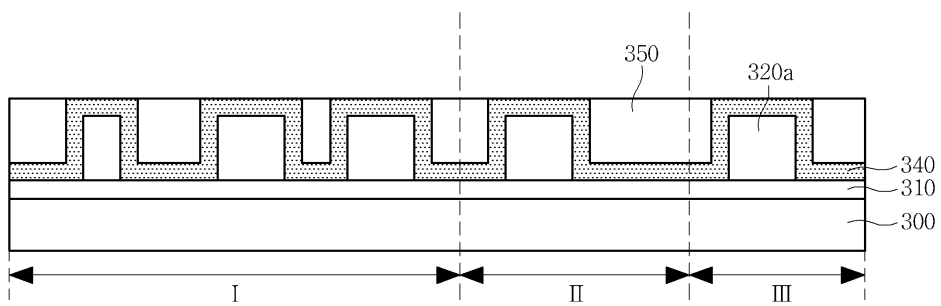
도면3b



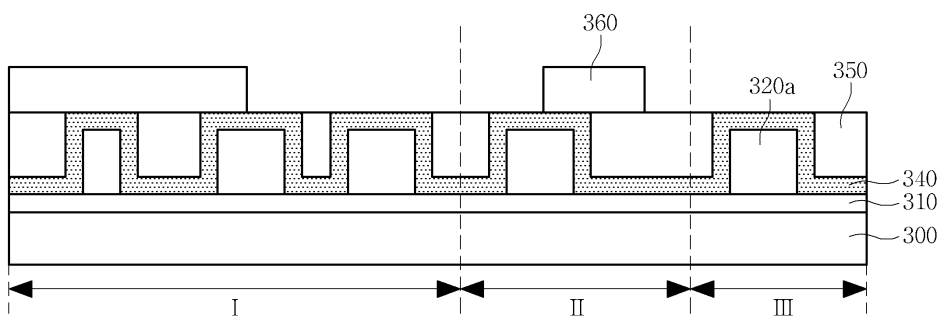
도면3c



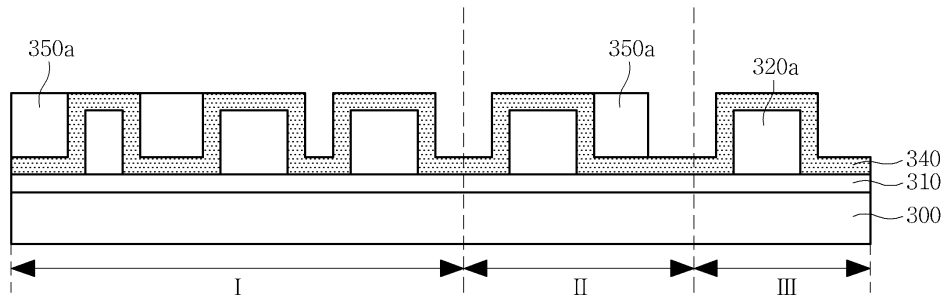
도면3d



도면3e



도면3f



도면3g

