

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5383256号
(P5383256)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.	F 1
H 01 L 21/336	(2006.01) H 01 L 29/78 6 2 7 C
H 01 L 29/786	(2006.01) H 01 L 29/78 6 1 2 D
G 09 F 9/30	(2006.01) H 01 L 29/78 6 1 9 A
G 02 F 1/1368	(2006.01) G 09 F 9/30 3 3 8
	G 02 F 1/1368

請求項の数 15 (全 53 頁)

(21) 出願番号	特願2009-50930 (P2009-50930)
(22) 出願日	平成21年3月4日 (2009.3.4)
(65) 公開番号	特開2009-239276 (P2009-239276A)
(43) 公開日	平成21年10月15日 (2009.10.15)
審査請求日	平成24年1月16日 (2012.1.16)
(31) 優先権主張番号	特願2008-57208 (P2008-57208)
(32) 優先日	平成20年3月7日 (2008.3.7)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	官入 秀和 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
	審査官 鈴木 聰一郎

最終頁に続く

(54) 【発明の名称】薄膜トランジスタ及びその作製方法、並びに表示装置及びその作製方法

(57) 【特許請求の範囲】

【請求項 1】

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

前記第2の導電膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 2】

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前

10

20

記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行い、

前記第2の導電膜上に第2のレジストマスクを形成し、

前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項3】

10

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行い、

前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、

前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、

20

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項4】

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行い、

30

前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、

前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項5】

40

請求項3又は請求項4において、

前記第1のレジストマスクは多階調マスクを用いて形成することを特徴とする薄膜トランジスタの作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記第1のエッチングによって素子領域を形成し、

前記第2のエッチングによって前記素子領域の側面から概ね等しい距離だけ内側にゲート電極層の側面を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一において、

50

前記第1のエッティングはドライエッティングであり、
前記第2のエッティングはウエットエッティングであることを特徴とする薄膜トランジスタの作製方法。

【請求項8】

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

前記第2の導電膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することで薄膜トランジスタを形成し、

前記第2のレジストマスクを除去し、

前記薄膜トランジスタを覆って第3の絶縁膜を形成し、

前記ソース電極及びドレイン電極層の一部を露出するように前記第3の絶縁膜に開口部を形成し、

前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法。

【請求項9】

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、

前記第2の導電膜上に第2のレジストマスクを形成し、

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することで薄膜トランジスタを形成し、

前記第2のレジストマスクを除去し、

前記薄膜トランジスタを覆って第3の絶縁膜を形成し、

前記ソース電極及びドレイン電極の一部を露出するように前記第3の絶縁膜に開口部を形成し、

前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法。

【請求項10】

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

10

20

30

40

50

前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することで薄膜トランジスタを形成し、

前記第2のレジストマスクを除去し、

前記薄膜トランジスタを覆って第3の絶縁膜を形成し、

前記ソース電極及びドレイン電極の一部を露出するように前記第3の絶縁膜に開口部を形成し、

前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法。 10

【請求項11】

第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、

前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、 20

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極、ソース領域及びドレイン領域並びにチャネル形成領域を形成することで薄膜トランジスタを形成し、

前記第2のレジストマスクを除去し、

前記薄膜トランジスタを覆って第3の絶縁膜を形成し、

前記ソース電極及びドレイン電極の一部を露出するように前記第3の絶縁膜に開口部を形成し、

前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法。 30

【請求項12】

請求項10又は請求項11において、

前記第1のレジストマスクは多階調マスクを用いて形成することを特徴とする表示装置の作製方法。

【請求項13】

請求項8乃至請求項12のいずれか一において、

前記第1のエッティングによって素子領域を形成し、

前記第2のエッティングによって前記素子領域の側面から概ね等しい距離だけ内側にゲート電極層の側面を形成することを特徴とする表示装置の作製方法。 40

【請求項14】

請求項8乃至請求項13のいずれか一において、

前記第1のエッティングはドライエッティングであり、

前記第2のエッティングはウエットエッティングであることを特徴とする表示装置の作製方法。

【請求項15】

請求項8乃至請求項14のいずれか一において、

前記第3の絶縁膜は、CVD法又はスピッタリング法により形成した絶縁膜と、スピンドル法により形成した絶縁膜と、を積層して形成することを特徴とする表示装置の作製方法。 50

【発明の詳細な説明】**【技術分野】****【0001】**

薄膜トランジスタ及びその作製方法、並びに当該薄膜トランジスタを有する表示装置及びその作製方法に関する。

【背景技術】**【0002】**

近年、ガラス基板等の絶縁性表面を有する基板上に形成された、厚さ数nm～数百nm程度の半導体薄膜により構成される薄膜トランジスタが注目されている。薄膜トランジスタは、IC (Integrated Circuit) 及び電気光学装置を始めとした電子デバイスに広く応用されている。薄膜トランジスタは、特に液晶表示装置又はEL (Electro Luminescence) 表示装置等に代表される、画像表示装置のスイッチング素子として開発が急がれている。アクティブマトリクス型液晶表示装置では、選択されたスイッチング素子に接続された画素電極と、該画素電極に対応する対向電極との間に電圧が印加されることにより、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。ここで、アクティブマトリクス型液晶表示装置とは、マトリクス状に配置された画素電極をスイッチング素子により駆動することによって、画面上に表示パターンが形成される方式を採用した液晶表示装置をいう。アクティブマトリクス型EL表示装置とは、マトリクス状に配置された画素をスイッチング素子により駆動することによって、画面上に表示パターンが形成される方式を採用したEL表示装置をいう。10

【0003】

上記のようなアクティブマトリクス型液晶表示装置及びEL表示装置の用途は拡大しており、画面サイズの大面積化、高精細化及び高開口率化の要求が高まっている。また、アクティブマトリクス型液晶表示装置及びEL表示装置には高い信頼性が求められ、その生産方法には高い生産性及び生産コストの低減が求められる。生産性を高め、生産コストを低減する方法の一つに、工程の簡略化が挙げられる。20

【0004】

アクティブマトリクス型液晶表示装置及びEL表示装置では、スイッチング素子として主に薄膜トランジスタが用いられている。薄膜トランジスタの作製において、フォトリソグラフィに用いるフォトマスクの枚数を削減することは、工程の簡略化のために重要である。例えばフォトマスクが1枚増加すると、レジスト塗布、プリベーク、露光、現像、ポストベーク等の工程と、その前後の工程において、被膜の形成及びエッチング工程、更にはレジスト剥離、洗浄及び乾燥工程等が必要になる。そのため、作製工程に使用するフォトマスクが1枚増加するだけで、工程数が大幅に増加する。そのため、作製工程におけるフォトマスクの枚数を低減するために、数多くの技術開発がなされている。30

【0005】

薄膜トランジスタは、チャネル形成領域がゲート電極より下層に設けられるトップゲート型と、チャネル形成領域がゲート電極より上層に設けられるボトムゲート型に大別される。ボトムゲート型薄膜トランジスタの作製工程において使用されるフォトマスクの枚数は、トップゲート型薄膜トランジスタの作製工程において使用されるフォトマスクの枚数よりも少ないことが知られている。ボトムゲート型薄膜トランジスタは、3枚のフォトマスクにより作製されることが一般的である。40

【0006】

フォトマスクの枚数を低減させる従来の技術としては、裏面露光、レジストリフロー又はリフトオフ法といった複雑な技術を用いるものが多く、特殊な装置を必要とするものが多い。このような複雑な技術を用いることで、これに起因する様々な問題が生じ、歩留まり低下の一因になっている。また、薄膜トランジスタの電気的特性を犠牲にせざるを得ないことが多い。

【0007】

50

薄膜トランジスタの作製工程における、フォトマスクの枚数を減らすための代表的な手段として、多階調マスク（ハーフトーンマスク又はグレートーンマスクと呼ばれるもの）を用いた技術が広く知られている。多階調マスクを用いて作製工程を低減する技術として、例えば特許文献1が挙げられる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2003-179069号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0009】

しかし、上述した多階調マスクを用いてボトムゲート型薄膜トランジスタを作製する場合であっても、少なくとも2枚のフォトマスクが必要であり、これ以上フォトマスクの枚数を低減することは困難である。このうち1枚は、ゲート電極層のパターニングのために用いられている。

【0010】

ここで、本発明の一態様は、ゲート電極層のパターニングのためのフォトマスクを新たに使用することなく薄膜トランジスタが作製可能な、新しい手法を提供することを課題とする。すなわち、複雑な技術を用いる必要がなく、かつ1枚のフォトマスクでも作成可能な、薄膜トランジスタの作製方法が開示される。

20

【0011】

これにより、薄膜トランジスタの作製において、用いるフォトマスクの枚数を従来よりも少なくすることができる。

【0012】

また、本発明の一態様は、特に表示装置の画素に用いられる薄膜トランジスタ（画素TFTともいう。）の製法に適用することができる。そのため、本発明の一態様は、複雑な技術を用いることなく、フォトリソグラフィ法に用いるフォトマスクの枚数を従来よりも少なくした表示装置の作製方法の提供を課題とする。

【0013】

更には、フォトマスクの枚数を削減するのみならず、オフ電流を低く抑えた電気的特性が良好な薄膜トランジスタ及びこれを有する表示装置を提供することを課題とする。

30

【課題を解決するための手段】

【0014】

本発明の一態様である薄膜トランジスタの作製方法では、第1の絶縁膜と、第1の導電膜と、該第1の導電膜上に第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜をこの順に積層した薄膜積層体と、を形成し、第1のエッティングにより前記第1の絶縁膜の一部（上部）と、前記第1の導電膜と、前記薄膜積層体とをエッティングして前記薄膜積層体のパターンを形成し、第2のエッティングにより第1の導電膜のパターンを形成する。ここで、第2のエッティングは、第1の導電膜が選択的にサイドエッティングされる条件により行う。

40

【0015】

ここで、第1のエッティングは、ドライエッティング又はウェットエッティングを用いればよいが、異方性の高いエッティング法（物理的エッティング）により行なうことが好ましい。第1のエッティングに異方性の高いエッティング法を用いることで、パターンの加工精度を向上させることができる。なお、第1のエッティングをドライエッティングにより行なう場合には、一つの工程にて行なうことが可能であるが、第1のエッティングをウェットエッティングにより行なう場合には、複数の工程により第1のエッティングを行う。従って、第1のエッティングには、ドライエッティングを用いることが好ましい。

【0016】

また、第2のエッティングは、ドライエッティング又はウェットエッティングを用いればよい

50

が、等方性のエッティングが支配的なエッティング法（化学的エッティング）により行なうことが好ましい。第2のエッティングに等方性のエッティングが支配的なエッティング法（化学的エッティング）を用いることで、第1の導電膜をサイドエッティングすることができる。従って、第2のエッティングには、ウェットエッティングを用いることが好ましい。

【0017】

なお、第1の導電膜のパターンとは、例えば、ゲート電極及びゲート配線並びに容量電極及び容量配線を形成する金属配線の上面レイアウトをいう。

【0018】

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、前記第2の導電膜上に第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法である。

10

【0019】

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、前記第2の導電膜上に第2のレジストマスクを形成し、前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法である。

20

【0020】

30

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法である。

40

【0021】

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜

50

、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法である。

【0022】

上記構成の作製方法であって、第1のレジストマスクが凹部を有する場合において、前記第1のレジストマスクは多階調マスクを用いて形成することが好ましい。多階調マスクを用いることで、簡略な工程で凹部を有するレジストマスクを形成することができる。

【0023】

上記構成の作製方法を適用することで、前記第1のエッティングによって素子領域が形成され、前記第2のエッティングによって前記素子領域の側面から概ね等しい距離だけ内側にゲート電極層の側面を形成することができる。

10

【0024】

上記構成の第1のエッティング及び第2のエッティングを用いる作製方法において、前記第1のエッティングはドライエッティングにより行い、前記第2のエッティングはウエットエッティングにより行うことが好ましい。第1のエッティングによる加工は高精度に行うことが好ましく、第2のエッティングによる加工はサイドエッティングを伴う必要がある。高精度な加工を行うためにはドライエッティングが好ましく、また、ウエットエッティングは化学反応を利用するためドライエッティングよりもサイドエッティングが生じやすいためである。

【0025】

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、前記第2の導電膜上に第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第3の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第3の絶縁膜に開口部を形成し、前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法である。

20

【0026】

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行い、前記第2の導電膜上に第2のレジストマスクを形成し、前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第3の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第3の絶縁膜に開口部を形成し、前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法である。

30

【0027】

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一

40

50

部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行い、前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆つて第3の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第3の絶縁膜に開口部を形成し、前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法である。

10

【0028】

本発明の一態様は、第1の絶縁膜、第1の導電膜、第2の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜の一部、前記第1の導電膜、前記第2の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行い、前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域層並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆つて第3の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第3の絶縁膜に開口部を形成し、前記開口部及び前記第3の絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法である。

20

【0029】

上記構成の表示装置の作製方法においても、前記第1のレジストマスクは多階調マスクを用いて形成することが好ましい。

【0030】

30

上記構成の表示装置の作製方法を適用することで、前記第1のエッチングによって素子領域が形成され、前記第2のエッチングによって前記素子領域の側面から概ね等しい距離だけ内側にゲート電極層の側面を形成することができる。

【0031】

上記構成の表示装置の作製方法においても、前記第1のエッチングはドライエッチングであり、前記第2のエッチングはウェットエッチングであることが好ましい。

【0032】

上記構成の表示装置の作製方法において、前記第3の絶縁膜は、CVD法又はスパッタリング法により形成した絶縁膜と、スピンドルコート法により形成した絶縁膜と、を積層して形成することが好ましい。特に好ましくは窒化シリコン膜をCVD法又はスパッタリング法により形成し、有機樹脂膜をスピンドルコート法により形成する。第3の絶縁膜をこのように形成することで、薄膜トランジスタの電気的特性に影響を及ぼしうる不純物元素等から薄膜トランジスタを保護し、且つ画素電極の被形成面の平坦性を向上させて歩留まりの低下を防止することができる。

40

【0033】

また、上記構成の作製方法を適用して作製した薄膜トランジスタは、下地絶縁膜上にゲート電極層を有し、ゲート電極層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有する不純物半導体層を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極層を有し、前記ゲート電極層の側面に接して空洞が設けられているものである。空洞が設けられることによつ

50

てゲート電極端部近傍を低誘電率化（low-k化）できる。

【0034】

なお、「膜」とは、全面に形成されたパターン形成されていないものをいい、「層」とは、レジストマスク等により所望の形状にパターン形成されたものをいう。しかし、積層膜の各層については、膜と層を特に区別することなく用いることがある。

【0035】

なお、「食刻」とは、意図しないエッチングをいう。すなわち、エッチングは、「食刻」が極力生じない条件により行うことが好ましい。

【0036】

なお、本明細書中において、膜が「耐熱性を有する」とは、工程における温度によって当該膜が膜としての形態を保ち、且つ当該膜に求められる機能及び特性を保つことができるということをいう。10

【0037】

なお、「ゲート配線」とは、薄膜トランジスタのゲート電極に接続される配線をいう。ゲート配線は、ゲート電極層により形成される。また、ゲート配線は走査線と呼ばれることがある。

【0038】

また、「ソース配線」とは、薄膜トランジスタのソース電極及びドレイン電極の一方に接続される配線をいう。ソース配線は、ソース電極及びドレイン電極層により形成される。また、ソース配線は信号線と呼ばれることがある。20

【0039】

また、「電源線」とは、電源に接続された、一定の電位に保持された配線をいう。

【発明の効果】

【0040】

ゲート電極のパターン形成に新たなフォトマスクを必要とせず、薄膜トランジスタの作製工程数を大幅に削減することができ、該薄膜トランジスタは表示装置に適用できるため、表示装置の作製工程を大幅に削減することもできる。

【0041】

より具体的には、フォトマスクの枚数を減らすことができる。一のフォトマスク（多階調マスク）を用いて薄膜トランジスタを作製することも可能である。従って、表示装置の作製工程数を大幅に削減することができる。また、一枚のフォトマスクにより薄膜トランジスタを作製することができるため、フォトマスクの位置合わせの際にずれが発生することを防止することができる。30

【0042】

また、フォトマスクの枚数の低減を目的とした従来の技術とは異なり、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経る必要がない。そのため、歩留まりを低下させることなく、表示装置の作製工程数を大幅に削減することができる。

【0043】

また、フォトマスクの枚数の低減を目的とした従来の技術では、電気的特性を犠牲にせざるを得ないことも少なくなかったが、本発明の一態様は、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程を大幅に削減することができる。40

【0044】

更には、上記効果により、薄膜トランジスタ及び表示装置の作製コストを大幅に削減することができる。

【0045】

また、基板として不純物金属元素を含むガラス基板を用いる場合であっても、該不純物金属元素が半導体層に付着し、半導体層内部へ侵入して薄膜トランジスタの電気的特性の低下（オフ電流が高くなること等）を防ぐことができる。そのため、電気的特性が良好な薄膜トランジスタを作製することができる。更には、作製される薄膜トランジスタの基板面内における特性のばらつきも小さくすることができる。そのため、表示装置の表示むら50

を小さくすることができる。

【0046】

更には、ゲート電極層端部に生じるリーク電流が小さい薄膜トランジスタを作製することができるため、コントラスト比が高く、表示品質が良好な表示装置を得ることができる。

【図面の簡単な説明】

【0047】

【図1】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図2】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図3】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

10

【図4】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図5】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図6】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図7】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図8】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図9】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図10】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図11】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図12】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

20

【図13】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図14】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図15】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図16】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図17】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図18】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図19】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図20】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図21】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図22】アクティブマトリクス基板の接続部を説明する図。

【図23】アクティブマトリクス基板の接続部を説明する図。

30

【図24】アクティブマトリクス基板の接続部を説明する図。

【図25】多階調マスクを説明する図。

【図26】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図27】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図28】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図29】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図30】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図31】表示装置の画素回路の一例を説明する図。

【図32】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図33】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

40

【図34】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図35】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図36】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図37】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図38】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図39】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【図40】電子機器を説明する図。

【図41】電子機器を説明する図。

【図42】電子機器を説明する図。

【図43】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

50

【発明を実施するための形態】**【0048】**

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。また、第2の絶縁膜及び第3の絶縁膜は上面図には表さないものとする。

10

【0049】**(実施の形態1)**

本実施の形態では、薄膜トランジスタの作製方法及び該薄膜トランジスタがマトリクス状に配置された表示装置の作製方法の一例について、図1乃至図25を参照して説明する。

【0050】

なお、図16乃至図20には本実施の形態に係る薄膜トランジスタの上面図を示し、図20は画素電極まで形成した完成図である。図1乃至図3は、図16乃至図20に示すA1-A2における断面図である。図4乃至図6は、図16乃至図20に示すB1-B2における断面図である。図7乃至図9は、図16乃至図20に示すC1-C2における断面図である。図10乃至図12は、図16乃至図20に示すD1-D2における断面図である。図13乃至図15は、図16乃至図20に示すE1-E2における断面図である。

20

【0051】

まず、基板100上に、第1の絶縁膜101、第1の導電膜102、第2の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110を形成する。これらの膜は、単層で形成してもよいし、複数の膜を積層した積層膜であってもよい。

【0052】

基板100は、絶縁性基板である。表示装置に適用する場合には、基板100としては、ガラス基板又は石英基板を用いることができる。本実施の形態においては、ガラス基板を用いる。

30

【0053】

第1の絶縁膜101は、絶縁性材料により形成する。第1の絶縁膜101は、例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜又は窒化酸化シリコン膜等を用いて形成することができる。ただし、後の工程（第2の絶縁膜104の形成等）に耐えうる程度の耐熱性は必要である。また、後の工程（第2の導電膜110のエッティング等）で食刻又は腐食されない材料を選択する。

【0054】

基板100としてガラス基板を用いる場合には、第1の絶縁膜101には窒化シリコン膜又は窒化酸化シリコン膜を用いることが好ましい。第1の絶縁膜101が窒素を含むことで、ガラス基板100中の不純物金属元素が後に形成される半導体層に侵入することを効果的に防ぐことができるためである。更には、第1の絶縁膜101がハロゲン（フッ素、塩素又は臭素）を含むことが好ましい。第1の絶縁膜101にハロゲンを含ませることで、ガラス基板100中の不純物金属元素が半導体層に侵入することをより効果的に防ぐことができるためである。第1の絶縁膜101にハロゲンを含ませるには、第1の絶縁膜101を形成する際に用いるガスに、ハロゲンガス又はハロゲン元素を含むガスを含ませればよい。

40

【0055】

なお、第1の絶縁膜101は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）又はスパッタリング法等により形成することができるが、特定の方法に限定されるものではない。また、第1の絶縁膜101は、単層で形成しても良いし、複数の層を積層

50

して形成しても良い。

【0056】

また、第1の絶縁膜101は、下地膜又は下地絶縁膜とも呼ぶことができる。

【0057】

第1の導電膜102は、導電性材料により形成する。第1の導電膜102は、例えばチタン、モリブデン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、ニオブ若しくはスカンジウム等の金属又はこれらを主成分とする合金等の導電性材料を用いて形成することができる。ただし、後の工程（第2の絶縁膜104の形成等）に耐えうる程度の耐熱性は必要であり、後の工程（第2の導電膜110のエッティング等）で食刻又は腐食されない材料を選択することを要する。この限りにおいて、第1の導電膜102は特定の材料に限定されるものではない。10

【0058】

なお、第1の導電膜102は、例えばスパッタリング法又はCVD法（熱CVD法又はプラズマCVD法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

【0059】

第2の絶縁膜104は、絶縁性材料により形成する。第2の絶縁膜104は、例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜又は窒化酸化シリコン膜等を用いて形成することができる。ただし、第1の導電膜102と同様に耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、第2の絶縁膜104は特定の材料に限定されるものではない。20

【0060】

なお、第2の絶縁膜104は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）又はスパッタリング法等により形成することができるが、特定の方法に限定されるものではない。

【0061】

また、第2の絶縁膜104は、ゲート絶縁膜として機能するものである。

【0062】

半導体膜106は、半導体材料により形成する。半導体膜106は、例えば、シランガスにより形成される非晶質シリコン等を用いて形成することができる。ただし、第1の導電膜102等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、半導体膜106は特定の材料に限定されるものではない。従って、ゲルマニウム等を用いても良い。なお、半導体膜106の結晶性についても特に限定されない。30

【0063】

なお、半導体膜106は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）又はスパッタリング法等により形成することができる。ただし、特定の方法に限定されるものではない。

【0064】

不純物半導体膜108は、一導電性を付与する不純物元素を含む半導体膜であり、一導電性を付与する不純物元素が添加された半導体形成のための材料ガス等により形成される。例えば、フォスフィン（化学式： PH_3 ）又はジボラン（化学式： B_2H_6 ）を含むシランガスにより形成される、リン又はボロンを含むシリコン膜である。ただし、第1の導電膜102等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、不純物半導体膜108は、特定の材料に限定されるものではない。なお、不純物半導体膜108の結晶性についても特に限定されるものではない。40

【0065】

なお、n型の薄膜トランジスタを作製する場合には、添加する一導電性を付与する不純物元素として、リン又はヒ素等を用いればよい。すなわち、形成に用いるシランガスには50

フォスフィン又はアルシン（化学式：AsH₃）等を所望の濃度で含ませればよい。または、p型の薄膜トランジスタを作製する場合には、一導電性を付与する不純物元素として、ボロン等を添加すればよい。すなわち、形成に用いるシランガスにはジボラン等を所望の濃度で含ませればよい。また、半導体膜106により形成される半導体層の一部に、ドーピング等によりソース電極及びドレイン電極層とオーム接觸可能な領域を設ける場合には、不純物半導体膜108を設ける必要がない。

【0066】

なお、不純物半導体膜108は、例えばCVD法（熱CVD法又はプラズマCVD法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

10

【0067】

第2の導電膜110は、導電性材料（第1の導電膜102として列挙した材料等）であつて、第1の導電膜102とは異なる材料により形成する。ここで、「異なる材料」とは、主成分が異なる材料をいう。具体的には、後に説明する第2のエッチングによりエッチングされにくい材料を選択すればよい。また、第1の導電膜102等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。従って、この限りにおいて、第2の導電膜110は特定の材料に限定されるものではない。

【0068】

なお、第2の導電膜110は、例えばスパッタリング法又はCVD法（熱CVD法又はプラズマCVD法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

20

【0069】

なお、上記説明した第1の導電膜102、第2の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110に対して求められる耐熱性は、第1の導電膜102が最も高く、以下前記した順に続き、第2の導電膜110が最も低い。例えば、半導体膜106が水素を含む非晶質半導体膜である場合には、約300以上とすることで半導体膜106中の水素が脱離し、電気的特性が変化する。そのため、例えば半導体膜106を形成した後の工程では300を超えない温度とすることが好ましい。

【0070】

次に、第2の導電膜110上に第1のレジストマスク112を形成する（図1(A)、図4(A)、図7(A)、図10(A)、図13(A)を参照）。第1のレジストマスク112は凹部又は凸部を有するレジストマスクである。換言すると、厚さの異なる複数の領域（ここでは、二の領域）からなるレジストマスクともいうことができる。第1のレジストマスク112において、厚い領域を第1のレジストマスク112の凸部と呼び、薄い領域を第1のレジストマスク112の凹部と呼ぶこととする。

30

【0071】

第1のレジストマスク112において、ソース電極及びドレイン電極層120が形成される領域には凸部が形成され、ソース電極及びドレイン電極層120を有さず半導体層が露出して形成される領域には凹部が形成される。

【0072】

40

第1のレジストマスク112は、多階調マスクを用いることで形成することができる。ここで、多階調マスクについて図25を参照して以下に説明する。

【0073】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の3段階の光量で露光を行うものをいう。多階調マスクを用いることで、一度の露光及び現像工程によって、複数（代表的には二種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

【0074】

図25(A-1)及び図25(B-1)は、代表的な多階調マスクの断面図を示す。図

50

25(A-1)にはグレートーンマスク140を示し、図25(B-1)にはハーフトーンマスク145を示す。

【0075】

図25(A-1)に示すグレートーンマスク140は、透光性を有する基板141上に遮光膜により形成された遮光部142、及び遮光膜のパターンにより設けられた回折格子部143で構成されている。

【0076】

回折格子部143は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドット又はメッシュ等を有することで、光の透過量を制御する。なお、回折格子部143に設けられるスリット、ドット又はメッシュは周期的なものであってもよいし、非周期的なものであってもよい。10

【0077】

透光性を有する基板141としては、石英等を用いることができる。遮光部142及び回折格子部143を構成する遮光膜は、金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【0078】

グレートーンマスク140に露光するための光を照射した場合、図25(A-2)に示すように、遮光部142に重畠する領域における透光率は0%となり、遮光部142又は回折格子部143が設けられていない領域における透光率は100%となる。また、回折格子部143における透光率は、概ね10~70%の範囲であり、回折格子のスリット、ドット又はメッシュ等の間隔により調整可能である。20

【0079】

図25(B-1)に示すハーフトーンマスク145は、透光性を有する基板146上に半透光膜により形成された半透光部147、及び遮光膜により形成された遮光部148で構成されている。

【0080】

半透光部147は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の膜を用いて形成することができる。遮光部148は、グレートーンマスクの遮光膜と同様の金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。30

【0081】

ハーフトーンマスク145に露光するための光を照射した場合、図25(B-2)に示すように、遮光部148に重畠する領域における透光率は0%となり、遮光部148又は半透光部147が設けられていない領域における透光率は100%となる。また、半透光部147における透光率は、概ね10~70%の範囲であり、形成する材料の種類又は形成する膜厚等により、調整可能である。

【0082】

多階調マスクを用いて露光して現像を行うことで、膜厚の異なる領域を有する第1のレジストマスク112を形成することができる。

【0083】

ただし、本実施形態はこれに限定されず、多階調マスクを用いることなく第1のレジストマスクを形成してもよい。また、上記したように、第1のレジストマスクが凹部又は凸部を有さないレジストマスクであってもよい。40

【0084】

次に、第1のレジストマスク112を用いて第1のエッチングを行う。すなわち、第1の導電膜102、第2の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110をエッチングによりパターニングし、薄膜積層体114及びエッチングされた第1の導電膜113を形成する(図1(B)、図4(B)、図7(B)、図10(B)、図13(B)、図16を参照)。このとき、第1の絶縁膜101の上部もエッチングされ、エッチングされた第1の絶縁膜115が形成される。このエッチング工程を第1の50

エッティングとよぶ。第1のエッティングは、ドライエッティング又はウエットエッティングを用いればよいが、異方性の高いエッティング法（物理的エッティング）により行うことが好ましい。第1のエッティングに異方性の高いエッティング法を用いることで、パターンの加工精度を向上させることができる。なお、第1のエッティングをドライエッティングにより行う場合には一の工程にて行うことが可能であるが、第1のエッティングをウエットエッティングにより行う場合には複数の工程により第1のエッティングを行うと良い。ウエットエッティングでは、被エッティング膜の種類によってエッティングレートが異なり、従って全ての膜を一の工程にてエッティングすることが困難だからである。本実施の形態では、第1のエッティングを一の工程により行う場合にはドライエッティングを用い、複数の工程により行う場合には少なくとも第1の導電膜102のエッティングにドライエッティングを用いる。すなわち、第1の導電膜102はドライエッティングで加工してエッティングされた第1の導電膜113を形成すると良い。10

【0085】

下地絶縁膜として機能するエッティングされた第1の絶縁膜115を有することで、第1のエッティングにおいて基板100の食刻を防ぐことができる。そのため、基板100中に含まれる不純物金属元素の半導体層への付着及び半導体層内部への侵入を防ぐことができる。

【0086】

なお、第1のエッティングは、例えば3段階のドライエッティングにより行えばよい。まず、 C_2 ガスと CF_4 ガスと O_2 ガスの混合ガス中でエッティングを行い、次に、 C_2 ガスのみを用いてエッティングを行い、最後に、 CHF_3 ガスのみを用いてエッティングを行えばよい。20

【0087】

次に、第1のレジストマスク112を用いて第2のエッティングを行う。すなわち、エッティングされた第1の導電膜113をさらにエッティングによりパターニングし、ゲート電極層116を形成する（図1（C）、図4（C）、図7（C）、図10（C）、図13（C）、図17を参照）。このエッティング工程を第2のエッティングとよぶ。

【0088】

なお、ゲート電極層116は、薄膜トランジスタのゲート電極、ゲート配線、容量素子の一方の電極、容量配線及び支持部を構成している。ゲート電極層116Aと表記する場合には、ゲート配線と薄膜トランジスタのゲート電極を構成するゲート電極層を指す。ゲート電極層116B又はゲート電極層116Dと表記する場合には支持部を構成するゲート電極層を指す。ゲート電極層116Cと表記する場合には容量配線と容量素子の一方の電極を構成するゲート電極層を指す。そして、これらを総括してゲート電極層116と呼ぶ。30

【0089】

第2のエッティングは、第1の導電膜102により形成されるゲート電極層116の側面が、薄膜積層体114の側面より内側に形成されるエッティング条件により行う。換言すると、ゲート電極層116の側面が、薄膜積層体114の底面に接して形成されるようにエッティングを行う（図17乃至図20におけるA1-A2断面においてゲート電極層116の幅が薄膜積層体114の幅より小さくなるようにエッティングを行う）。更には、第2の導電膜110に対するエッティングレートが小さく、且つ第1の導電膜102に対するエッティングレートが大きい条件により行う。換言すると、第2の導電膜110に対する第1の導電膜102のエッティング選択比が大きい条件により行う。このような条件により第2のエッティングを行うことで、ゲート電極層116を形成することができる。40

【0090】

なお、ゲート電極層116の側面の形状は特に限定されない。例えば、テーパ形状であっても良い。ゲート電極層116の側面の形状は、第2のエッティングにおいて用いる薬液等の条件によって決められるものである。

【0091】

ここで、「第2の導電膜110に対するエッチングレートが小さく、且つ第1の導電膜102に対するエッチングレートが大きい条件」、又は「第2の導電膜110に対する第1の導電膜102のエッティング選択比が大きい条件」とは、以下の第1の要件及び第2の要件を満たすものをいう。

【0092】

第1の要件は、ゲート電極層116が必要な箇所に残存することである。ゲート電極層116の必要な箇所とは、図17乃至図20に点線で示される領域をいう。すなわち、第2のエッティング後に、ゲート電極層116がゲート配線、容量配線及び支持部を構成するように残存することが必要である。ゲート電極層がゲート配線及び容量配線を構成するためには、これらの配線が断線しないように第2のエッティングを行う必要がある。図1及び図20に示されるように、薄膜積層体114の側面から間隔 d_1 だけ内側にゲート電極層116の側面が形成されることが好ましく、間隔 d_1 は実施者がレイアウトに従って適宜設定すればよい。10

【0093】

第2の要件は、ゲート電極層116により構成されるゲート配線及び容量配線の最小幅 d_3 、並びにソース電極及びドレイン電極層120Aにより構成されるソース配線の最小幅 d_2 が適切なものとなることである(図20を参照)。第2のエッティングによりソース電極及びドレイン電極層120Aがエッティングされるとソース配線の最小幅 d_2 が小さくなり、ソース配線の電流密度が過大となり、電気的特性が低下するためである。そのため、第2のエッティングは、第1の導電膜102のエッチングレートが過大にならず、且つ第2の導電膜110のエッチングレートが可能な限り小さい条件で行う。20

【0094】

また、ソース配線の最小幅 d_2 は大きくすることが困難である。ソース配線の最小幅 d_2 はソース配線と重畠する半導体層の最小幅 d_4 により決まり、ソース配線の最小幅 d_2 を大きくするためには半導体層の最小幅 d_4 を大きくせねばならず、隣接するゲート配線と容量配線とを絶縁させることが困難になるためである。従って、半導体層の最小幅 d_4 は、前記した間隔 d_1 の概ね2倍よりも小さくする。換言すると、間隔 d_1 は半導体層の最小幅 d_4 の約半分よりも大きくする。

【0095】

なお、ソース配線と重畠する半導体層の幅を最小幅 d_4 とする部分は、ゲート配線と、該ゲート配線と互いに隣接する容量配線との間に少なくとも一箇所あればよい。好ましくは、図20に示すように、ゲート配線に隣接する領域及び容量配線に隣接する領域の半導体層の幅を最小幅 d_4 とすればよい。30

【0096】

なお、ソース電極及びドレイン電極層により形成される、画素電極層と接続される部分の電極の幅はソース配線の最小幅 d_2 とすることが好ましい。

【0097】

上記説明したように、サイドエッティングを伴う条件により第2のエッティングを行うことは非常に重要である。第2のエッティングが第1の導電膜102のサイドエッティングを伴うことによって、ゲート電極層116により構成される、隣接するゲート配線と容量配線とを絶縁させることができるためである(図17を参照)。40

【0098】

ここで、第2のエッティングは、サイドエッティングを伴うエッティングであるため、エッティングは概略等方的に進行する。上記説明したように、第1のエッティングにより第1の導電膜102を加工してエッティングされた第1の導電膜113を形成し、第2のエッティングによりゲート電極層116を形成することで、前記間隔 d_1 を第1の導電膜102の厚さより小さくすることが可能になる。すなわち、前記間隔 d_1 を第1の導電膜102の厚さに対して独立に設計することができ、画素構造のレイアウト設計の自由度が向上する。

【0099】

ここで、サイドエッティングとは、被エッティング膜の厚さ方向(基板面に垂直な方向又は50

下地膜の面に垂直な方向)のみならず、厚さ方向に対して垂直な方向(基板面に平行な方向又は下地膜の面に平行な方向)にも被エッチング膜が削られるエッチングをいう。サイドエッチングされた被エッチング膜の端部は、被エッチング膜に対するエッチングガス又はエッチングに用いる薬液のエッチングレートによって様々な形状となるように形成されるが、端部が曲面となるように形成されることが多い。

【0100】

なお、図17に示すように、第1のエッチングにより形成される薄膜積層体114は、ゲート電極層116B及びゲート電極層116Dにより構成される支持部に接する部分では細くなるように設計される(図17において両矢印で示す部分を参照)。このような構造とすることで、第2のエッチングによりゲート電極層116Aと、ゲート電極層116B又はゲート電極層116Dとを分断して絶縁させることができる。10

【0101】

なお、図17に示すゲート電極層116B及びゲート電極層116Dは、薄膜積層体114を支える支持部として機能する。支持部を有することで、ゲート電極層より上に形成されるゲート絶縁膜等の膜剥がれを防止することができる。更には支持部を設けることで、第2のエッチングによりゲート電極層116に接して形成される、空洞の領域が必要以上に広くなることを防止できる。なお、支持部を設けることで、薄膜積層体114が自重によって破壊され、又は破損することをも防止することができ、歩留まりが向上するため好ましい。ただし、本実施の形態は支持部を有する形態に限定されず、支持部を設けなくとも良い。支持部を有しない形態の上面図(図20に対応)の一例を図21に示す。20

【0102】

以上説明したように、第2のエッチングは、ウエットエッチングにより行うことが好ましい。

【0103】

第2のエッチングをウエットエッチングによって行う場合、第1の導電膜102をアルミニウム又はモリブデンにより形成し、第2の導電膜110をチタン又はタングステンにより形成し、エッチングには硝酸、酢酸及びリン酸を含む薬液を用いればよい。または、第1の導電膜102をモリブデンにより形成し、第2の導電膜110をチタン、アルミニウム又はタングステンにより形成し、エッチングには過酸化水素水を含む薬液を用いればよい。30

【0104】

第2のエッチングをウエットエッチングによって行う場合、最も好ましくは、第1の導電膜102としてネオジムを添加したアルミニウム上にモリブデンを形成した積層膜を形成し、第2の導電膜110をタングステンにより形成し、エッチングには硝酸を2%、酢酸を10%、リン酸を7.2%含む薬液を用いる。このような組成の薬液を用いることで、第2の導電膜110がエッチングされることなく、エッチングされた第1の導電膜113がさらにエッチングされる。なお、第1の導電膜102に添加したネオジムは、アルミニウムの低抵抗化とヒロックの発生防止を目的として添加されたものである。

【0105】

なお、図17に示すように、上面から見たゲート電極層116は角(例えば、角151)を有する。これは、ゲート電極層116を形成する第2のエッチングが概略等方的であるために、ゲート電極層116の側面と薄膜積層体114の側面との間隔d₁が概略等しくなるようにエッチングされるためである。40

【0106】

次に、第1のレジストマスク112を後退させる。例えば、第1のレジストマスク112を薄くする。そして第2の導電膜110を露出させつつ、第2のレジストマスク118を形成する。第1のレジストマスク112を後退させて、第2のレジストマスク118を形成する手段としては、例えば酸素プラズマを用いたアッシングが挙げられる。しかし、第1のレジストマスク112を後退させて第2のレジストマスク118を形成する手段はこれに限定されるものではない。なお、ここでは第2のエッチングの後に第2のレジスト

マスク 118 を形成する場合について説明したが、本実施の形態はこれに限定されず、第 2 のレジストマスク 118 を形成した後に第 2 のエッティングを行ってもよい。

【0107】

次に、第 2 のレジストマスク 118 を用いて、薄膜積層体 114 における第 2 の導電膜 110 をエッティングし、ソース電極及びドレイン電極層 120 を形成する（図 2（D）、図 5（D）、図 8（D）、図 11（D）、図 14（D）、図 18 を参照）。ここでエッティング条件は、第 2 の導電膜 110 以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層 116 の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

【0108】

なお、ソース電極及びドレイン電極層 120 は、薄膜トランジスタのソース電極若しくはドレイン電極、ソース配線、薄膜トランジスタと画素電極とを接続する電極、及び容量素子の他方の電極を構成している。「ソース電極及びドレイン電極層 120A」又は「ソース電極及びドレイン電極層 120C」と表記する場合には、薄膜トランジスタのソース電極及びドレイン電極の一方、及びソース配線を構成する電極層を指す。「ソース電極及びドレイン電極層 120B」と表記する場合には、薄膜トランジスタのソース電極及びドレイン電極の他方、及び薄膜トランジスタと画素電極とを接続する電極を構成する電極層を指す。「ソース電極及びドレイン電極層 120D」と表記する場合には、容量素子の他方の電極を構成する電極層を指す。そして、これらを総括して「ソース電極及びドレイン電極層 120」と呼ぶ。

10

【0109】

なお、薄膜積層体 114 における第 2 の導電膜 110 のエッティングは、ウェットエッティング又はドライエッティングのどちらを用いても良い。

【0110】

続いて、薄膜積層体 114 における不純物半導体膜 108 及び半導体膜 106 の上部（バックチャネル部）をエッティングして、ソース領域及びドレイン領域 122 を形成する（図 2（E）、図 5（E）、図 8（E）、図 11（E）、図 14（E）、図 19 を参照）。ここでエッティング条件は、不純物半導体膜 108 及び半導体膜 106 以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層 116 の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

20

【0111】

なお、薄膜積層体 114 における不純物半導体膜 108 及び半導体膜 106 の上部（バックチャネル部）のエッティングはドライエッティング又はウェットエッティングにより行うことができる。

【0112】

その後、第 2 のレジストマスク 118 を除去し（図 2（F）、図 5（F）、図 8（F）、図 11（F）、図 14（F）を参照）、薄膜トランジスタが完成する（図 2（F）を参照）。上記説明したように、薄膜トランジスタを 1 枚のフォトマスク（多階調マスク）により作製することができる。

30

【0113】

なお、上記の図 2（D）及び図 2（E）を参照して説明した工程を一括して第 3 のエッティングとよぶ。第 3 のエッティングは、上記説明したように、複数の段階に分けて行っても良いし、一括して行っても良い。

40

【0114】

以上のように形成した薄膜トランジスタを覆って第 3 の絶縁膜を形成する。ここで、第 3 の絶縁膜は、第 1 の保護膜 126 のみで形成しても良いが、好ましくは第 1 の保護膜 126 と第 2 の保護膜 128 により形成する（図 3（G）、図 6（G）、図 9（G）、図 12（G）、図 15（G）を参照）。第 1 の保護膜 126 は、第 2 の絶縁膜 104 と同様に形成すればよい。

【0115】

50

第2の保護膜128は、表面が概略平坦になる方法により形成する。第2の保護膜128の表面を概略平坦にすることで、第2の保護膜128上に形成される画素電極層132の断切れ等を防止することができるためである。従って、ここで「概略平坦」とは、上記目的を達成しうる程度のものであればよく、高い平坦性が要求されるわけではない。

【0116】

なお、第2の保護膜128は、例えば、感光性ポリイミド、アクリル又はエポキシ樹脂等を用いて、スピンドルコーティング法等により形成することができる。ただし、これらの材料又は形成方法に限定されるものではない。

【0117】

次に、第3の絶縁膜に第1の開口部130及び第2の開口部131を形成する（図3（H）、図6（H）、図9（H）、図12（H）、図15（H）を参照）。第1の開口部130及び第2の開口部131は、ソース電極及びドレイン電極層120の少なくとも表面に達するように形成する。第1の開口部130及び第2の開口部131の形成方法は、特定の方法に限定されず、第1の開口部130の径等に応じて実施者が適宜選択すればよい。例えば、フォトリソグラフィ法によりドライエッチングを行うことで第1の開口部130及び第2の開口部131を形成することができる。

【0118】

なお、フォトリソグラフィ法によって開口部を形成することで、フォトマスクを1枚使用することになる。

【0119】

次に、第3の絶縁膜上に画素電極層132を形成する（図3（I）、図6（I）、図9（I）、図12（I）、図15（I）、図20を参照）。画素電極層132は、開口部を介してソース電極及びドレイン電極層120に接続されるように形成する。具体的には、画素電極層132は、第1の開口部130を介してソース電極及びドレイン電極層120Bに接続され、第2の開口部131を介してソース電極及びドレイン電極層120Dに接続されるように形成される。画素電極層132は、透光性を有する導電性材料により形成することが好ましい。ここで、透光性を有する導電性材料としては、インジウム錫酸化物（以下、ITOという）、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、又は酸化シリコンを添加したインジウム錫酸化物等が挙げられる。透光性を有する導電性材料の膜の形成はスパッタリング法又はCVD法等により行えればよいが、特定の方法に限定されるものではない。また、画素電極層132についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

【0120】

なお、本実施の形態においては、画素電極層132のみに透光性を有する導電性材料を用いたが、本実施の形態はこれに限定されない。第1の導電膜102及び第2の導電膜110の材料として、透光性を有する導電性材料を用いることもできる。

【0121】

なお、フォトリソグラフィ法によって画素電極層132を形成することで、フォトマスクを1枚使用することになる。

【0122】

以上説明したように、本実施の形態に係るアクティブマトリクス基板の作製（所謂アレイ工程）が完了する。本実施の形態にて説明したように、サイドエッチングを利用してゲート電極層を形成し、更には多階調マスクを用いてソース電極及びドレイン電極層を形成することで、1枚のマスクによる薄膜トランジスタの作製が可能となる。

【0123】

上記のように作製した薄膜トランジスタは、下地絶縁膜上にゲート電極層を有し、前記ゲート電極層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有する不純物半導体層を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極層を有し、前記ゲート電極層の側面に接

10

20

30

40

50

して空洞を有する構造となる（図3（I）を参照）。このような薄膜トランジスタはゲート電極層の側面に接して空洞を有するため、ゲート電極層端部におけるリーク電流の小さいものとなる。更には、下地絶縁膜を有することで、基板としてガラス基板を用いる場合に、ガラス基板中の不純物金属元素が半導体層中に侵入することを防ぐことができる。そのため、電気的特性が良好（例えばオフ電流が低い等）であり、基板面内における電気的特性のばらつきが小さい。

【0124】

ここで、上記の工程により作製したアクティブマトリクス基板の端子接続部について図22乃至図24を参照して説明する。

【0125】

図22乃至図24は、上記工程により作製した、アクティブマトリクス基板におけるゲート配線側の端子接続部及びソース配線側の端子接続部の上面図と断面図を示す。

【0126】

図22は、ゲート配線側の端子接続部及びソース配線側の端子接続部における、画素部から延伸したゲート配線及びソース配線の上面図を示す。

【0127】

図23は、図22のX1-X2における断面図を示す。すなわち、図23は、ゲート配線側の端子接続部における断面図を示す。図23では、ゲート電極層116が露出されている。このゲート電極層116が露出された領域に、端子部が接続される。

【0128】

図24は、ソース配線側の端子接続部における断面図を示す。図24において、ゲート電極層116と、ソース電極及びドレイン電極層120は画素電極層132を介して接続されている。図24にはゲート電極層116と、ソース電極及びドレイン電極層120の様々な接続形態を示している。本実施の形態の表示装置の発明における端子接続部には、これらのいずれを用いても良いし、図24に示すもの以外の接続形態を用いても良い。ソース電極及びドレイン電極層120をゲート電極層116に接続させることで、端子の接続部の高さを概ね等しくすることができる。

【0129】

図24（A）では、第1の保護膜126及び第2の保護膜128の端部がエッチング等により除去され、ゲート電極層116と、ソース電極及びドレイン電極層120とが露出され、この露出された領域に画素電極層132を形成することで電気的な接続を実現することができる。図24（A）は、図22のY1-Y2における断面図に相当する。

【0130】

なお、ゲート電極層116と、ソース電極及びドレイン電極層120とが露出された領域の形成は、第1の開口部130及び第2の開口部131の形成と同時にを行うことができる。

【0131】

図24（B）では、第1の保護膜126及び第2の保護膜128に第3の開口部160Aが設けられ、第1の保護膜126及び第2の保護膜128の端部がエッチング等により除去されることで、ゲート電極層116と、ソース電極及びドレイン電極層120とが露出され、この露出された領域に画素電極層132を形成することで電気的な接続を実現している。

【0132】

なお、第3の開口部160Aの形成、及びゲート電極層116が露出された領域の形成は、第1の開口部130及び第2の開口部131の形成と同時にを行うことができる。

【0133】

図24（C）では、第1の保護膜126及び第2の保護膜128に第3の開口部160B及び第4の開口部161が設けられることで、ゲート電極層116と、ソース電極及びドレイン電極層120とが露出され、この露出された領域に画素電極層132を形成することで電気的な接続を実現している。ここで、図24（A）及び（B）と同様に、第1の

10

20

30

40

50

保護膜 126 及び第 2 の保護膜 128 の端部はエッティング等により除去されているが、この領域は端子の接続部として用いられる。

【0134】

なお、第 3 の開口部 160B 及び第 4 の開口部 161 の形成、並びにゲート電極層 116 が露出された領域の形成は、第 1 の開口部 130 及び第 2 の開口部 131 の形成と同時にを行うことができる。

【0135】

なお、開口部の数は図 24 に示す開口部の数に特に限定されない。一の端子に対して一の開口部を設けるのみならず、一の端子に対して複数の開口部を設けても良い。一の端子に対して複数の開口部を設けることで、開口部を形成するエッティング工程が不十分である等の理由で開口部が良好に形成されなかったとしても、他の開口部により電気的接続を実現することができる。更には、全ての開口部が問題なく形成された場合であっても、接触面積を広くすることができるため、コンタクト抵抗を低減することができ、好ましい。10

【0136】

次に、上記で説明した工程により作製した、表示装置のアクティブマトリクス基板を用いて液晶表示装置を作製する方法について説明する。すなわち、セル工程及びモジュール工程について説明する。ただし、本実施の形態に係る表示装置の作製方法において、セル工程及びモジュール工程は以下の説明に限定されない。

【0137】

セル工程では、上記した工程により作製したアクティブマトリクス基板と、これに対向する基板（以下、対向基板という）とを貼り合わせて液晶を注入する。まず、対向基板の作製方法について、以下に簡単に説明する。なお、特に説明しない場合であっても、対向基板上に形成する膜は単層でも良いし、積層して形成しても良い。20

【0138】

まず、基板上に遮光層を形成し、遮光層上に赤、緑、青のいずれかのカラーフィルター層を形成し、カラーフィルター層上に画素電極層を選択的に形成し、画素電極層上にリブを形成する。

【0139】

遮光層としては、遮光性を有する材料の膜を選択的に形成する。遮光性を有する材料としては、例えば、黒色樹脂（カーボンブラック）を含む有機樹脂を用いることができる。または、クロムを主成分とする材料膜の積層膜を用いても良い。クロムを主成分とする材料膜とは、クロム、酸化クロム又は窒化クロムをいう。遮光層に用いる材料は遮光性を有するものであれば特に限定されない。遮光性を有する材料の膜を選択的に形成するにはフォトリソグラフィ法等を用いる。30

【0140】

カラーフィルター層は、バックライトから白色光が照射されると、赤、緑、青のいずれかの光のみを透過させることができる有機樹脂膜により選択的に形成すればよい。カラーフィルター層は、形成時に塗り分けを行うことで、選択的に形成することができる。カラーフィルターの配列は、ストライプ配列、デルタ配列又は正方配列を用いればよい。

【0141】

対向基板の画素電極層は、アクティブマトリクス基板が有する画素電極層 132 と同様に形成することができる。ただし、選択的に形成する必要がないため、対向基板の全面に形成すればよい。40

【0142】

画素電極上に形成するリブは、視野角を拡げることを目的として形成される、パターン形成された有機樹脂膜である。特に必要のない場合には形成しなくてもよい。

【0143】

なお、対向基板の作製方法としては、他にも様々な態様が考えられる。例えば、カラーフィルター層を形成後、画素電極層の形成前にオーバーコート層を形成しても良い。オーバーコート層を形成することで画素電極の被形成面の平坦性を向上させることができるた50

め、歩留まりが向上する。また、カラーフィルター層に含まれる材料の一部が液晶材料中に侵入することを防ぐことができる。オーバーコート層には、アクリル樹脂又はエポキシ樹脂をベースとした熱硬化性材料が用いられる。

【0144】

また、リブの形成前又は形成後にスペーサとしてポストスペーザ（柱状スペーザ）を形成しても良い。ポストスペーザとは、アクティブマトリクス基板と対向基板との間のギャップを一定に保つことを目的として、対向基板上に一定の間隔で形成する構造物をいう。ビーズスペーザ（球状スペーザ）を用いる場合には、ポストスペーザを形成しなくても良い。

【0145】

次に、配向膜をアクティブマトリクス基板及び対向基板に形成する。配向膜の形成は、例えば、ポリイミド樹脂等を有機溶剤に溶かし、これを印刷法又はスピンドルコート法等により塗布し、有機溶媒を溜去した後基板を焼成することにより行う。形成される配向膜の膜厚は、一般に、50 nm以上100 nm以下程度とする。配向膜には、液晶分子がある一定のプレチルト角を持って配向するようにラビング処理を施す。ラビング処理は、例えば、ベルベット等の毛足の長い布により配向膜を擦ることで行う。

【0146】

次に、アクティブマトリクス基板と、対向基板をシール材料により貼り合わせる。対向基板にポストスペーザが設けられていない場合には、ビーズスペーザを所望の領域に分散させて貼り合わせるとよい。

【0147】

次に、貼り合わせられたアクティブマトリクス基板と、対向基板との間に、液晶材料を注入する。液晶材料を注入した後、注入口を紫外線硬化樹脂等で封止する。または、液晶材料をアクティブマトリクス基板と対向基板のいずれかの上に滴下した後に、これらの基板を貼り合わせても良い。

【0148】

次に、アクティブマトリクス基板と対向基板とを貼り合わせた液晶セルの両面に偏光板を貼り付けてセル工程が完了する。

【0149】

次に、モジュール工程として、端子部の入力端子（図24において、ゲート電極層116の露出された領域）にFPC（Flexible Printed Circuit）を接続する。FPCはポリイミド等の有機樹脂フィルム上に導電膜により配線が形成されており、異方性導電性ペースト（Anisotropic Conductive Paste。以下、ACPという）を介して入力端子と接続される。ACPは接着剤として機能するペーストと、金等がメッキされた数十～数百μm径の導電性表面を有する粒子と、により構成される。ペースト中に混入された粒子が入力端子上の導電層と、FPCに形成された配線に接続された端子上の導電層と、に接触することで、電気的な接続を実現する。なお、FPCの接続後にアクティブマトリクス基板と対向基板に偏光板を貼り付けてもよい。以上のように、表示装置に用いる液晶パネルを作製することができる。

【0150】

以上のように、表示装置に用いる画素トランジスタを有するアクティブマトリクス基板を3枚のフォトマスクにより作製することができる。

【0151】

従って、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。具体的には、上記の説明のように、1枚のフォトマスク（多階調マスク）を用いて薄膜トランジスタを作製することができる。また、3枚のフォトマスクを用いて画素トランジスタを有するアクティブマトリクス基板を作製することができる。従って、用いるフォトマスクの枚数が低減されることから、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。

【0152】

10

20

30

40

50

また、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経ることなく、薄膜トランジスタの作製工程数を大幅に削減することができる。そのため、複雑な工程を経ることなく、表示装置の作製工程数を大幅に削減することができる。従って、歩留まりを低下させることなく、表示装置の作製工程数を大幅に削減することができる。

【0153】

また、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程を大幅に削減することができる。

【0154】

更には、上記効果により、作製コストを大幅に削減することができる。

【0155】

また、第1のエッティングにより第1の導電膜102を加工するため、薄膜積層体114の側面とゲート電極層116の側面との間隔d₁は第1の導電膜102の厚さに対して独立に設計することができ、画素構造のレイアウト設計の自由度が向上する。

【0156】

また、基板として不純物金属元素を含むガラス基板を用いる場合であっても、該不純物金属元素が半導体層に付着し、半導体層内部へ侵入して薄膜トランジスタの電気的特性を低下させること（オフ電流が高くなること等）を防ぐことができる。そのため、電気的特性が良好な薄膜トランジスタを作製することができる。更には、作製される薄膜トランジスタの基板面内における特性のばらつきも小さくすることができる。そのため、表示装置の表示むらを小さくすることができる。

【0157】

なお、ゲート電極層端部に生じるリーク電流が小さい薄膜トランジスタを作製することができるため、コントラスト比が高く、表示品質が良好な表示装置を得ることができる。

【0158】

なお、本実施の形態は、上記説明した画素構造に限定されず、様々な液晶表示装置に適用することができる。

【0159】

(実施の形態2)

本実施の形態では、本発明の一態様である薄膜トランジスタの作製方法及び表示装置の作製方法であって、実施の形態1とは異なるものについて説明する。具体的には、多階調マスクを用いることなく、実施の形態1と同様に薄膜トランジスタを作製する方法について図26乃至図30を参照して説明する。

【0160】

なお、図26は実施の形態1における図1及び図2に対応するものである。図27は実施の形態1における図10及び図11に対応するものである。図28、図29及び図30は実施の形態1における図16、図17及び図18に対応するものである。また、図28乃至図30に示すA1-A2における断面図が図26に相当し、図28乃至図30に示すD1-D2断面図が図27に相当する。

【0161】

まず、実施の形態1と同様に、基板100上に第1の絶縁膜101、第1の導電膜102、第2の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110を形成する（図26(A)及び図27(A)を参照）。これらに用いることのできる材料及びこれらの形成に適用することのできる方法は実施の形態1と同様である。なお、半導体膜106により形成される半導体層の一部に、ドーピング等によりソース電極及びドレイン電極層とオーム接觸可能な領域を設ける場合などには、不純物半導体膜108を設ける必要がない。

【0162】

次に、第2の導電膜110上に第1のレジストマスク170を形成する（図26(A)及び図27(A)を参照）。第1のレジストマスク170は、実施の形態1における第1のレジストマスク112とは異なるものであり、凹部が設けられておらず、全面が概略同

10

20

30

40

50

一の厚さとなるように形成されている。すなわち、第1のレジストマスク170は多階調マスクを用いることなく形成することができる。

【0163】

次に、第1のレジストマスク170を用いて第1のエッティングを行う。すなわち、第1の導電膜102、第2の絶縁膜104、半導体膜106、不純物半導体膜108及び第2の導電膜110をエッティングによりパターニングし、第1の導電膜102上に薄膜積層体114を形成する(図28を参照)。また、実施の形態1と同様に、第1のエッティングにより第1の絶縁膜101の上部もエッティングされ、エッティングされた第1の絶縁膜115が形成される。

【0164】

次に、実施の形態1と同様に第2のエッティングを行うことで、ゲート電極層116を形成する(図26(C)、図27(C)及び図29を参照)。

【0165】

ここで、第2のエッティングの条件は、実施の形態1における第2のエッティングと同様である。

【0166】

次に、薄膜積層体114上に第2のレジストマスク171を形成し、第2のレジストマスク171を用いてソース電極及びドレイン電極層120を形成する(図26(D)、図27(D)、図30参照)。エッティング条件等は、実施の形態1と同様である。また、その後の工程は実施の形態1と同様である。

10

20

【0167】

なお、ここでは第2のエッティングの後に第2のレジストマスク171を形成する場合について説明したが、これに限定されず、第2のレジストマスク171を形成した後に第2のエッティングを行ってもよい。

【0168】

以上、本実施の形態にて説明したように、多階調マスクを用いることなく薄膜トランジスタを作製することができる。ただし、使用するマスク数は、実施の形態1と比較すると1枚多いことになる。

【0169】

なお、本実施の形態に係る薄膜トランジスタ及び表示装置の作製方法は、上記説明した点を除き、実施の形態1と同様である。そのため、実施の形態1に係る薄膜トランジスタ及び表示装置の作製方法と同様の効果を有することは勿論であるが、使用するマスクの数は1枚増加する。すなわち、本実施の形態によれば、2枚のフォトマスクを用いて薄膜トランジスタを作製することができる。また、4枚のフォトマスクを用いて画素トランジスタを有するアクティブマトリクス基板を作製することができる。従って、多階調マスクを用いない従来の手法と比較し、フォトマスクの枚数が低減されることから、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。更には、高い歩留まりで製造することができ、コストを低く抑えることも可能である。

30

【0170】

また、実施の形態1と同様に、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程を大幅に削減することができる。

40

【0171】

また、実施の形態1と同様に、第1のエッティングにより第1の導電膜102を加工するため、薄膜積層体114の側面とゲート電極層116の側面との間隔d₁(図26(C)及び図29参照)は第1の導電膜102の厚さに対して独立に設計することができ、画素構造のレイアウト設計の自由度が向上する。

【0172】

また、実施の形態1と同様に、基板として不純物金属元素を含むガラス基板を用いる場合であっても、該不純物金属元素が半導体層に付着し、半導体層内部へ侵入して薄膜トランジスタの電気的特性を低下させること(オフ電流が高くなること等)を防ぐことができ

50

る。そのため、電気的特性が良好な薄膜トランジスタを作製することができる。更には、作製される薄膜トランジスタの基板面内における特性のばらつきも小さくすることができる。そのため、表示装置の表示むらを小さくすることができる。

【0173】

なお、本実施の形態の作製方法を適用して作製した薄膜トランジスタにおいても、絶縁膜上にゲート電極層を有し、前記ゲート電極層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有する不純物半導体層を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極を有し、前記ゲート電極層の側面に接して空洞を有する構造となる。ゲート電極層の側面に接して空洞を有するように形成することで、ゲート電極層端部におけるリーク電流の小さい薄膜トランジスタを作製することができる。従って、コントラスト比が高く、表示品質が良好な表示装置を得ることができる。10

【0174】

(実施の形態3)

本実施の形態では、薄膜トランジスタ及び該薄膜トランジスタがマトリクス状に配置されたEL表示装置を作製する方法の一例について、図31乃至図39、及び図43を参照して説明する。

【0175】

薄膜トランジスタをスイッチング素子として用いるEL表示装置（アクティブ型EL表示装置）の画素回路としては、様々なものが検討されている。本実施の形態では、単純な画素回路の一例を、図31に示し、この画素回路を適用した画素構造の作製方法について説明する。ただし、本実施の形態のEL表示装置の画素回路は図31に示す構成に限定されるものではない。20

【0176】

図31に示すEL表示装置の画素構造において、画素191は、第1のトランジスタ181、第2のトランジスタ182、第3のトランジスタ183、容量素子184及び発光素子185を有する。第1乃至第3のトランジスタはn型トランジスタである。第1のトランジスタ181のゲート電極は、ゲート配線186に接続され、ソース電極及びドレイン電極の一方（第1の電極とする。）は、ソース配線188に接続され、ソース電極及びドレイン電極の他方（第2の電極とする。）は、第2のトランジスタ182のゲート電極、及び容量素子184の一方の電極（第1の電極とする。）に接続されている。容量素子184の他方の電極（第2の電極とする。）は、第2のトランジスタ182のソース電極及びドレイン電極の一方（第1の電極とする。）、第3のトランジスタ183のソース電極及びドレイン電極の一方（第1の電極とする。）、並びに発光素子185の一方の電極（第1の電極とする。）に接続されている。第2のトランジスタ182のソース電極及びドレイン電極の他方（第2の電極とする。）は、第2の電源線189に接続されている。第3のトランジスタ183のソース電極及びドレイン電極の他方（第2の電極とする。）は、第1の電源線187に接続され、ゲート電極はゲート配線186に接続されている。発光素子185の他方の電極（第2の電極とする。）は、共通電極190に接続されている。なお、第1の電源線187と第2の電源線189の電位は異なるものとする。30

【0177】

画素191の動作について説明する。ゲート配線186の信号によって第3のトランジスタ183がオンすると、第2のトランジスタ182の第1の電極、発光素子185の第1の電極、及び容量素子184の第2の電極の電位が、第1の電源線187の電位（V₁₈₇）と等しくなる。ここで、第1の電源線187の電位（V₁₈₇）は一定とするため、第2のトランジスタ182の第1の電極等の電位は一定（V₁₈₇）である。40

【0178】

ゲート配線186の信号によって第1のトランジスタ181が選択されてオンすると、ソース配線188からの信号の電位（V₁₈₈）が第1のトランジスタ181を介して第2のトランジスタ182のゲート電極に入力される。このとき、第2の電源線189の電50

位 (V_{189}) が第 1 の電源線 187 の電位 (V_{187}) よりも高ければ $V_{gs} = V_{188} - V_{187}$ となる。そして、 V_{gs} が第 2 のトランジスタ 182 のしきい値電圧よりも大きければ、第 2 のトランジスタ 182 はオンする。

【0179】

従って、第 2 のトランジスタ 182 を線形領域で動作させるときには、ソース配線 188 の電位 (V_{188}) を変化させること（例えば、2 値）で、第 2 のトランジスタ 182 のオンとオフとを制御することができる。つまり、発光素子 185 が有する EL 層に、電圧を印加するかしないかを制御することができる。

【0180】

また、第 2 のトランジスタ 182 を飽和領域で動作させるときには、ソース配線 188 の電位 (V_{188}) を変化させることで、発光素子 185 に流れる電流量を制御することができる。10

【0181】

以上のようにして、第 2 のトランジスタ 182 を線形領域で動作させる場合、発光素子 185 に電圧を印加するかしないかを制御することができ、発光素子 185 の発光状態と非発光状態とを制御することができる。このような駆動方法は、例えば、デジタル時間階調駆動に用いることができる。デジタル時間階調駆動は、1 フレームを複数のサブフレームに分割し、各サブフレームにおいて発光素子 185 の発光状態と非発光状態とを制御する駆動方法である。また、第 2 のトランジスタ 182 を飽和領域で動作させる場合、発光素子 185 に流れる電流量を制御することができ、発光素子 185 の輝度を調整することができる。20

【0182】

次に、図 31 に示す画素回路を適用した画素構造と、その作製方法について以下に説明する。

【0183】

なお、図 32 乃至図 36 には本実施の形態に係る薄膜トランジスタの上面図を示し、図 36 は画素電極まで形成した完成図である。図 37 乃至図 39 は、図 32 乃至図 36 に示す A1 - A2 における断面図である。図 43 は、図 36 に示す B1 - B2 における断面図である。

【0184】

まず、基板 200 上に第 1 の絶縁膜 201、第 1 の導電膜 202、第 2 の絶縁膜 204、半導体膜 206、不純物半導体膜 208 及び第 2 の導電膜 210 を形成する（図 37 (A) を参照）。30

【0185】

なお、基板 200 には実施の形態 1 における基板 100 と同様のものを用いることができる。第 1 の絶縁膜 201 は実施の形態 1 における第 1 の絶縁膜 101 と同様の材料及び方法により形成することができる。第 1 の導電膜 202 は実施の形態 1 における第 1 の導電膜 102 と同様の材料及び方法により形成することができる。第 2 の絶縁膜 204 は実施の形態 1 における第 2 の絶縁膜 104 と同様の材料及び方法により形成することができる。40

【0186】

半導体膜 206 は、結晶性半導体膜と、非晶質半導体膜との積層膜を用いることが好ましい。結晶性半導体膜としては、多結晶半導体膜又は微結晶半導体膜等が挙げられる。

【0187】

多結晶半導体膜とは、結晶粒により構成され、該結晶粒間に多くの粒界を含む半導体膜をいう。多結晶半導体膜は、例えば熱結晶化法又はレーザ結晶化法により形成される。ここで、熱結晶化法とは、基板上に非晶質半導体膜を形成し、該基板を加熱することで非晶質半導体を結晶化する結晶化法をいう。また、レーザ結晶化法とは、基板上に非晶質半導体膜を形成し、該非晶質半導体膜に対してレーザを照射して非晶質半導体を結晶化する結晶化法をいう。または、ニッケル等の結晶化促進元素を添加して結晶化する結晶化法を用

いても良い。結晶化促進元素を添加して結晶化する場合には、該半導体膜に対してレーザ照射を行うことが好ましい。

【0188】

多結晶半導体は、ガラス基板に歪みを生じない程度の温度と時間で結晶化を行うLTPS (Low Temperature Polysilicon) と、より高温で結晶化を行うHTPS (High Temperature Polysilicon) に分類される。

【0189】

微結晶半導体膜とは、粒径が概ね 2 nm 以上 100 nm 以下の結晶粒を含む半導体膜をいい、膜の全面が結晶粒のみによって構成されるもの、または結晶粒間に非晶質半導体が介在するものを含む。微結晶半導体膜の形成方法としては、結晶核を形成して該結晶核を成長させる方法、非晶質半導体膜を形成して該非晶質半導体膜に接して絶縁膜と金属膜とを形成し、該金属膜に対してレーザを照射することで該金属膜に発生した熱により非晶質半導体を結晶化させる方法等を用いればよい。ただし、非晶質半導体膜に対して熱結晶化法又はレーザ結晶化法を用いて形成した結晶性半導体膜は含まないものとする。

【0190】

半導体膜 206 として、例えば、結晶性半導体膜上に非晶質半導体膜を積層して形成した積層膜を用いると、EL 表示装置の画素回路が有するトランジスタを高速に動作させることができる。ここで、結晶性半導体膜としては、多結晶半導体 (LTPS 及び HTPS を含む) 膜を適用しても良いし、微結晶半導体膜を適用しても良い。

【0191】

なお、結晶性半導体膜上に非晶質半導体膜を有することで、結晶性半導体膜の表面が酸化されることを防止することができる。また、耐圧を向上させ、オフ電流を低下させることができる。

【0192】

ただし、EL 表示装置の画素回路が正常に動作する限りにおいて、半導体膜 206 の結晶性については特に限定されない。

【0193】

不純物半導体膜 208 は、一導電性を付与する不純物元素を含む半導体膜であり、一導電性を付与する不純物元素が添加された半導体材料形成用のガス等により形成される。本実施の形態では n 型の薄膜トランジスタを設けるため、例えば、フォスフィン (化学式 : PH₃) を含むシランガスにより形成される、リンを含むシリコン膜により設ければよい。ただし、第 1 の導電膜 202 等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、不純物半導体膜 208 は、特定の材料に限定されるものではない。なお、不純物半導体膜 208 の結晶性についても特に限定されるものではない。また、半導体膜 206 により形成される半導体層の一部に、ドーピング等によりオーム接触可能な領域を設ける場合などには、不純物半導体膜 208 を設ける必要がない。

【0194】

本実施の形態では、n 型の薄膜トランジスタを作製するため、添加する一導電性を付与する不純物元素として、ヒ素等を用いてもよく、不純物半導体膜 208 の形成に用いるシランガスにはアルシン (化学式 : AsH₃) を所望の濃度で含ませればよい。

【0195】

なお、不純物半導体膜 208 の形成は、例えば CVD 法 (熱 CVD 法又はプラズマ CVD 法等を含む) 等により行うことができる。ただし、特定の方法に限定されるものではない。

【0196】

第 2 の導電膜 210 は、実施の形態 1 における第 2 の導電膜 110 と同様の材料及び方法により形成することができ、第 1 の導電膜 202 とは異なる材料により形成する。

【0197】

10

20

30

40

50

次に、第2の導電膜210上に第1のレジストマスク212を形成する(図37(A)を参照)。ここで、第1のレジストマスク212は凹部又は凸部を有するレジストマスクであることが好ましい。換言すると、厚さの異なる複数の領域(ここでは、二の領域)からなるレジストマスクともいうことができる。第1のレジストマスク212において、厚い領域を第1のレジストマスク212の凸部と呼び、薄い領域を第1のレジストマスク212の凹部と呼ぶこととする。ただし、本実施の形態はこれに限定されず、凹部又は凸部を有さないレジストマスクを用いてもよい。

【0198】

第1のレジストマスク212において、ソース電極及びドレイン電極層が形成される領域には凸部が形成され、ソース電極及びドレイン電極層を有さず半導体層が露出して形成される領域には凹部が形成されている。

10

【0199】

第1のレジストマスク212は、実施の形態1にて説明した、多階調マスクを用いることで形成することができる。ただし、必ずしも多階調マスクを用いなくても良い。

【0200】

次に、第1のレジストマスク212を用いて第1のエッティングを行う。すなわち、第1の導電膜202、第2の絶縁膜204、半導体膜206、不純物半導体膜208及び第2の導電膜210をエッティングによりパターニングし、薄膜積層体214及びエッティングされた第1の導電膜213を形成する(図32及び図37(B)を参照)。このとき、第1の絶縁膜201の上部もエッティングされ、エッティングされた第1の絶縁膜215が形成される。実施の形態1と同様に、第1のエッティングを一の工程により行う場合にはドライエッティングを用いるとよく、複数の工程により行う場合には少なくとも第1の導電膜202のエッティングにドライエッティングを用いる。すなわち、第1の導電膜202を加工することでエッティングされた第1の導電膜213を形成する工程は、ドライエッティングにより行う。

20

【0201】

下地絶縁膜として機能するエッティングされた第1の絶縁膜215を有することで、第1のエッティングにより生じる基板200の食刻を防ぐことができる。そのため、基板200中に含まれる不純物金属元素の半導体層への付着及び半導体層内部への侵入を防ぐことができる。

30

【0202】

次に、第1のレジストマスク212を用いて第2のエッティングを行う。すなわち、エッティングされた第1の導電膜213をエッティングによりパターニングし、ゲート電極層216を形成する(図33及び図37(C)を参照)。

【0203】

なお、ゲート電極層216は、薄膜トランジスタのゲート電極、ゲート配線、容量素子の一方の電極、及び支持部を構成している。ゲート電極層216Aと表記する場合には、ゲート配線、第1のトランジスタ181のゲート電極、及び第3のトランジスタ183のゲート電極を構成する電極層を指す。ゲート電極層216Bと表記する場合には、第2のトランジスタ182のゲート電極、及び容量素子184の一方の電極を構成する電極層を指す。ゲート電極層216Cと表記する場合には、支持部を構成する電極層を指す。そして、これらを総括してゲート電極層216と呼ぶ。

40

【0204】

第2のエッティングは、第1の導電膜202により形成されるゲート電極層216の側面が、薄膜積層体214の側面より内側に形成されるエッティング条件により行う。換言すると、ゲート電極層216の側面が、薄膜積層体214の底面に接して形成されるようにエッティングを行う(A1-A2断面においてゲート電極層216の幅が薄膜積層体214の幅より小さくなるようにエッティングを行う)。更には、第2の導電膜210に対するエッティングレートが小さく、且つ第1の導電膜202に対するエッティングレートが大きい条件により行う。換言すると、第2の導電膜210に対する第1の導電膜202のエッティング

50

選択比が大きい条件により行う。このような条件により第2のエッティングを行うことで、ゲート電極層216を形成することができる。

【0205】

なお、ゲート電極層216の側面の形状は特に限定されない。例えば、テーパ形状であっても良い。ゲート電極層216の側面の形状は、第2のエッティングにおいて用いる薬液等の条件によって決められるものである。

【0206】

ここで、「第2の導電膜210に対するエッティングレートが小さく、且つ第1の導電膜202に対するエッティングレートが大きい条件」、又は「第2の導電膜210に対する第1の導電膜202のエッティング選択比が大きい条件」とは、以下の第1の要件及び第2の要件を満たすものをいう。10

【0207】

第1の要件は、ゲート電極層216が必要な箇所に残存することである。ゲート電極層216の必要な箇所とは、図33乃至図36に点線で示される領域をいう。すなわち、第2のエッティング後に、ゲート電極層216がゲート配線、トランジスタが有するゲート電極、及び容量素子が有する一の電極を構成するように残存することが必要である。ゲート電極層がゲート配線及び容量配線を構成するためには、これらの配線が断線しないように第2のエッティングを行う必要がある。図33及び図37に示されるように、薄膜積層体214の側面から間隔 d_1 だけ内側にゲート電極層216の側面が形成されることが好ましく、間隔 d_1 は実施者がレイアウトに従って適宜設定すればよい。20

【0208】

第2の要件は、ゲート電極層216により構成されるゲート配線及び容量配線の最小幅 d_3 、並びにソース電極及びドレイン電極層220により構成されるソース配線及び電源線の最小幅 d_2 が適切なものとなることである(図36を参照)。第2のエッティングによりソース電極及びドレイン電極層220がエッティングされるとソース配線及び電源線の最小幅 d_2 が小さくなり、ソース配線及び電源線の電流密度が過大となり、電気的特性が低下するためである。そのため、第2のエッティングは、第1の導電膜202のエッティングレートが過大にならず、且つ第2の導電膜210のエッティングレートが可能な限り小さい条件で行う。30

【0209】

また、ソース配線及び電源線の最小幅 d_2 は大きくすることが困難である。ソース配線及び電源線の最小幅 d_2 はソース配線及び電源線と重畳する半導体層の最小幅 d_4 により決まり、ソース配線及び電源線の最小幅 d_2 を大きくするためには半導体層の最小幅 d_4 を大きくせねばならず、隣接するゲート配線と容量配線とを絶縁させることが困難になるためである。半導体層の最小幅 d_4 は、前記した間隔 d_1 の概ね2倍よりも小さくする。換言すると、間隔 d_1 は半導体層の最小幅 d_4 の約半分よりも大きくする。

【0210】

なお、ソース配線及び電源線と重畳する半導体層の幅を最小幅 d_4 とする部分は、ゲート電極層を素子毎に分離するために必要な箇所に適宜設ければよい。第2のエッティングにより、半導体層の幅を d_4 とした箇所と重畳する部分にはゲート電極層216が残存しないパターンを形成することができる。40

【0211】

なお、ソース電極及びドレイン電極層により形成される、画素電極層と接続される部分の電極の幅はソース配線及び電源線の最小幅 d_2 とすることが好ましい。

【0212】

上記説明したように、サイドエッティングを伴う条件により第2のエッティングを行うことは非常に重要である。第2のエッティングが第1の導電膜202のサイドエッティングを伴うことによって、ゲート電極層216により構成される、隣接するゲート配線のみならず、画素回路内の素子の接続を所望のものとするようにパターンの形成をすることができるためである。50

【0213】

ここで、第2のエッティングは、サイドエッティングを伴うエッティングであるため、エッティングは概略等方的に進行する。上記説明したように、第1のエッティングにより第1の導電膜202を加工してエッティングされた第1の導電膜213を形成し、第2のエッティングによりゲート電極層216を形成することで、前記間隔d₁を第1の導電膜202の厚さより小さくすることが可能になる。すなわち、前記間隔d₁を第1の導電膜202の厚さに對して独立に設計することができ、画素構造のレイアウト設計の自由度が向上する。

【0214】

ここで、サイドエッティングとは、被エッティング膜の厚さ方向（基板面に垂直な方向又は下地膜の面に垂直な方向）のみならず、厚さ方向に對して垂直な方向（基板面に平行な方向又は下地膜の面に平行な方向）にも被エッティング膜が削られるエッティングをいう。サイドエッティングされた被エッティング膜の端部は、被エッティング膜に対するエッティングガス又はエッティングに用いる薬液のエッティングレートによって様々な形状となるように形成されるが、端部が曲面となるように形成されることが多い。

10

【0215】

なお、図33に示すゲート電極層216Cは、薄膜積層体214を支える支持部として機能する。支持部を有することで、ゲート電極層より上に形成されるゲート絶縁膜等の膜剥がれを防止することができる。更には支持部を設けることで、第2のエッティングによりゲート電極層216に接して形成される、空洞の領域が必要以上に広くなることを防止できる。なお、支持部を設けることで、薄膜積層体214が自重によって破壊され、又は破損することをも防止することができ、歩留まりが向上するため好ましい。ただし、本実施の形態は支持部を有する形態に限定されず、支持部を設けなくとも良い。

20

【0216】

以上説明したように、第2のエッティングは、ウェットエッティングにより行うことが好ましい。

【0217】

第2のエッティングをウェットエッティングによって行う場合、第1の導電膜202としてアルミニウム又はモリブデンを形成し、第2の導電膜210としてチタン又はタングステンを形成し、エッティングには硝酸、酢酸及びリン酸を含む薬液を用いればよい。または、第1の導電膜202としてモリブデンを形成し、第2の導電膜210としてチタン、アルミニウム又はタングステンを形成し、エッティングには過酸化水素水を含む薬液を用いればよい。

30

【0218】

第2のエッティングをウェットエッティングによって行う場合、最も好ましくは、第1の導電膜202としてネオジムを添加したアルミニウム上にモリブデンを形成した積層膜を形成し、第2の導電膜210としてタングステンを形成し、エッティングには硝酸を2%、酢酸を10%、リン酸を72%含む薬液を用いる。このような組成の薬液を用いることで、第2の導電膜210がエッティングされることなく、エッティングされた第1の導電膜213がエッティングされる。なお、第1の導電膜202に添加したネオジムは、アルミニウムの低抵抗化とヒロック防止を目的として添加されたものである。

40

【0219】

なお、上面から見たゲート電極層216は角を有するように形成される（図33を参照）。これは、ゲート電極層216を形成する第2のエッティングが概略等方的に進行するために、ゲート電極層216の側面と薄膜積層体214の側面との間隔d₁が概略等しくなるようにエッティングされるためである。

【0220】

次に、第1のレジストマスク212を後退させる。例えば、第1のレジストマスク212を薄くする。そして第2の導電膜210を露出させつつ、第2のレジストマスク218を形成する。第1のレジストマスク212を後退させて、第2のレジストマスク218を形成する手段としては、例えば酸素プラズマを用いたアッシングが挙げられる。しかし、

50

第1のレジストマスク212を後退させて第2のレジストマスク218を形成する手段はこれに限定されるものではない。第2のレジストマスク218が形成される領域は、第1のレジストマスク212の凸部の領域と概略一致する。なお、ここでは第2のエッティングの後に第2のレジストマスク218を形成する場合について説明したが、本実施の形態はこれに限定されず、第2のレジストマスク218を形成した後に第2のエッティングを行ってもよい。

【0221】

なお、第1のレジストマスク212の形成に多階調マスクを用いない場合には、異なるフォトマスクを用いて第2のレジストマスク218を別途形成すればよい。

【0222】

次に、第2のレジストマスク218を用いて、薄膜積層体214における第2の導電膜210をエッティングし、ソース電極及びドレイン電極層220を形成する（図34及び図38（D）を参照）。ここでエッティング条件は、第2の導電膜210以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層216の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

【0223】

なお、ソース電極及びドレイン電極層220は、薄膜トランジスタのソース電極若しくはドレイン電極、ソース配線、電源線、容量素子の他方の電極、及び薄膜トランジスタと発光素子の一の電極とを接続する電極を構成している。ソース電極及びドレイン電極層220Aと表記する場合には、ソース配線188、及び第1のトランジスタ181のソース電極及びドレイン電極の一方を構成する電極層を指す。ソース電極及びドレイン電極層220Bと表記する場合には、第1の電源線187を構成する電極層を指す。ソース電極及びドレイン電極層220Cと表記する場合には、第1のトランジスタ181のソース電極及びドレイン電極の他方、及び第1のトランジスタ181と画素電極とを接続する電極を構成する電極層を指す。ソース電極及びドレイン電極層220Dと表記する場合には、第2の電源線189、及び第2のトランジスタ182のソース電極及びドレイン電極の一方を構成する電極層を指す。ソース電極及びドレイン電極層220Eと表記する場合には、第3のトランジスタ183のソース電極及びドレイン電極の一方を構成する電極層を指す。ソース電極及びドレイン電極層220Fと表記する場合には、容量素子184の他方の電極、第2のトランジスタ182のソース電極及びドレイン電極の他方、第3のトランジスタ183のソース電極及びドレイン電極の他方、並びにこれらから発光素子の一の電極に接続される電極を構成する電極層を指す。

【0224】

なお、第2のレジストマスク218Aは、ソース電極及びドレイン電極層220Aと重畠するものを指し、第2のレジストマスク218Bは、ソース電極及びドレイン電極層220Bと重畠するものを指し、第2のレジストマスク218Cは、ソース電極及びドレイン電極層220Cと重畠するものを指し、第2のレジストマスク218Dは、ソース電極及びドレイン電極層220Dと重畠するものを指し、第2のレジストマスク218Eは、ソース電極及びドレイン電極層220Eと重畠するものを指し、第2のレジストマスク218Fは、ソース電極及びドレイン電極層220Fと重畠するものを指す。

【0225】

なお、薄膜積層体214における第2の導電膜210のエッティングは、ウエットエッティング又はドライエッティングのどちらを用いても良い。

【0226】

続いて、薄膜積層体214における不純物半導体膜208及び半導体膜206の上部（バックチャネル部）をエッティングして、ソース領域及びドレイン領域222、半導体層224を形成する（図35及び図38（E）を参照）。ここでエッティング条件は、不純物半導体膜208及び半導体膜206以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層216の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

10

20

30

40

50

【 0 2 2 7 】

なお、薄膜積層体 214 における不純物半導体膜 208 及び半導体膜 206 の上部（バックチャネル部）のエッティングはドライエッティング又はウェットエッティングにより行うことができる。

【 0 2 2 8 】

その後、第 2 のレジストマスク 218 を除去し、薄膜トランジスタが完成する（図 38（F）を参照）。上記説明したように、EL 表示装置に適用することのできる薄膜トランジスタを一枚のフォトマスク（多階調マスク）により作製することができる。

【 0 2 2 9 】

なお、上記の図 38（D）及び図 38（E）を参照して説明した工程を一括して第 3 のエッティングとよぶ。第 3 のエッティングは、上記説明したように、複数の段階に分けて行つても良いし、一括して行っても良い。

【 0 2 3 0 】

以上のようにして形成した薄膜トランジスタを覆って第 3 の絶縁膜を形成する。ここで、第 3 の絶縁膜は、第 1 の保護膜 226 のみで形成しても良いが、ここでは第 1 の保護膜 226 と第 2 の保護膜 228 により形成する（図 39（G）、図 43（G）を参照）。第 1 の保護膜 226 は、第 2 の絶縁膜 204 と同様に形成すればよいが、好ましくは水素を含有する窒化シリコン又は水素を含有する酸化窒化シリコンにより形成し、半導体層に金属等の不純物が侵入して拡散し、汚染されることを防止する。

【 0 2 3 1 】

第 2 の保護膜 228 は、表面が概略平坦になる方法により形成する。第 2 の保護膜 228 の表面を概略平坦にすることで、第 2 の保護膜 228 上に形成される第 1 の画素電極層 232 の断切れ等を防止することができるためである。従って、ここで「概略平坦」とは、上記目的を達成しうる程度のものであればよく、高い平坦性が要求されるわけではない。

【 0 2 3 2 】

なお、第 2 の保護膜 228 は、例えば、感光性ポリイミド、アクリル又はエポキシ樹脂等により、スピンドルコーティング法等により形成することができる。ただし、これらの材料又は形成方法に限定されるものではない。

【 0 2 3 3 】

なお、第 2 の保護膜 228 は、表面が概略平坦になる方法により形成した上記の保護膜と、これを覆って水分の侵入や放出を防止する保護膜を積層して形成したものであることが好ましい。水分の侵入や放出を防止する保護膜は、具体的には、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム又は窒化アルミニウム等により形成されていることが好ましい。形成方法としてはスパッタリング法を用いることが好ましい。

【 0 2 3 4 】

次に、第 3 の絶縁膜に第 1 の開口部 230 及び第 2 の開口部 231 を形成する（図 39（H）、図 43（I）を参照）。第 1 の開口部 230 は、ソース電極及びドレイン電極層の少なくとも表面に達するように形成する。第 2 の開口部 231 は、ゲート電極層の少なくとも表面に達するように形成する。第 1 の開口部 230 及び第 2 の開口部 231 の形成方法は、特定の方法に限定されず、第 1 の開口部 230 の径などに応じて実施者が適宜選択すればよい。例えば、フォトリソグラフィ法によりドライエッティングを行うことで第 1 の開口部 230 及び第 2 の開口部 231 を形成することができる。

【 0 2 3 5 】

第 1 の開口部 230 は、ソース電極及びドレイン電極層 220 に達するように設けられるものであり、図 36 に示すように必要な箇所に複数個設ける。第 1 の開口部 230A はソース電極及びドレイン電極層 220C 上に設け、第 1 の開口部 230B はソース電極及びドレイン電極層 220B 上に設け、第 1 の開口部 230C はソース電極及びドレイン電極層 220E 上に設け、第 1 の開口部 230D はソース電極及びドレイン電極層 220F 上に設ける。

10

20

30

40

50

【0236】

第2の開口部231は、ゲート電極層216に達するように設けられるものである。すなわち、第2の開口部231は第3の絶縁膜のみならず、第2の絶縁膜204、半導体層224の所望の箇所も除去して設けられるものである。

【0237】

なお、フォトリソグラフィ法によって開口部を形成することで、フォトマスクを1枚使用することになる。

【0238】

次に、第3の絶縁膜上に第1の画素電極層232を形成する(図36、図39(I)、及び図43(J)を参照)。第1の画素電極層232は、第1の開口部230又は第2の開口部231を介してソース電極及びドレイン電極層220又はゲート電極層216に接続されるように形成する。具体的には、第1の画素電極層232は、第1の開口部230Aを介してソース電極及びドレイン電極層220Cに接続され、第1の開口部230Bを介してソース電極及びドレイン電極層220Bに接続され、第1の開口部230Cを介してソース電極及びドレイン電極層220Eに接続され、第1の開口部230Dを介してソース電極及びドレイン電極層220Fに接続され、第2の開口部231を介してゲート電極層216Bに接続されるように形成される。第1の画素電極層232についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

10

【0239】

なお、フォトリソグラフィ法によって第1の画素電極層232を形成することで、フォトマスクを1枚使用することになる。

20

【0240】

画素が有する薄膜トランジスタがn型のトランジスタであるため、第1の画素電極層232は、陰極となる材料により形成することが好ましい。陰極となる材料には、仕事関数が小さい材料、例えば、Ca、Al、MgAg、AlLi等が挙げられる。

【0241】

次に、第1の画素電極層232の側面(端部)及び第3の絶縁膜上に隔壁233を形成する(図43(J)を参照)。隔壁233は開口部を有し、該開口部において第1の画素電極層232が露出されるように形成する。隔壁233は、有機樹脂膜、無機絶縁膜又は有機ポリシロキサンを用いて形成する。具体的には、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、ベンゾシクロブテン系樹脂を用いて形成するとよい。特に感光性の材料を用いて、第1の画素電極層232上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

30

【0242】

次に、隔壁233の開口部において第1の画素電極層232と接するように、EL層234を形成する(図43(J)を参照)。EL層234は、単数の層で構成されていても、複数の層が積層されて形成された積層膜により構成されていても良い。EL層234は、少なくとも発光層を有する。EL層234は電子注入層を介して第2の画素電極層235と接続されることが好ましい。

【0243】

40

そして、EL層234を覆うように、陽極となる材料により第2の画素電極層235を形成する。第2の画素電極層235は図31における共通電極190に相当する。第2の画素電極層235は、透光性を有する導電性材料により形成することができる。ここで、透光性を有する導電性材料としては、インジウム錫酸化物(以下、ITOという)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、又は酸化シリコンを添加したインジウム錫酸化物等が挙げられる。透光性を有する導電性材料の膜の形成はスパッタリング法又はCVD法等により行えばよいが、特定の方法に限定されるものではない。また、第2の画素電極層235についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

50

【0244】

ここでは、第2の画素電極層235としてITOを用いる。隔壁233の開口部において、第1の画素電極層232とEL層234と第2の画素電極層235が重なり合うことで、発光素子236が形成される。発光素子236は、図31における発光素子185に相当する。この後、発光素子236に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の画素電極層235及び隔壁233上に第3の保護膜237(図示しない)を形成することが好ましい。第3の保護膜237は、第1の保護膜226と同様の材料により水分の侵入や放出を防止する機能を有するものを選択する。窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム又は窒化アルミニウム等により形成されていることが好ましい。更に、第3の保護膜237を覆って窒化シリコン膜又はDLC膜等を有することが好ましい。10

【0245】

そして、外気に曝されないように、保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)又はカバー材によって、更なるパッケージング(封入)をすることが好ましい。保護フィルム及びカバー材は、ガス透過性が低く、脱ガスの少ない材料により設けることが好ましい。

【0246】

以上説明したように、上面射出構造(トップエミッション)型EL表示装置の発光素子まで形成することができる(図43(J)を参照)。しかし、本実施の形態の一であるEL表示装置は、上記の説明に限定されず、下面射出構造(ボトムエミッション)型EL表示装置、または両面射出構造(デュアルエミッション)型EL表示装置に適用することも可能である。下面射出構造及び両面射出構造では、第1の画素電極層232に透光性を有する導電性材料を用いればよい。なお、第1の画素電極層232を陽極となる材料により形成する場合には、第1の画素電極層232は、例えば、ITOにより形成することができる。第1の画素電極層232をこのような構造にすることで、ボトムエミッション型のEL表示装置を作製することができる。この場合、EL層234を覆うように、陰極となる材料により第2の画素電極層235を形成するとよい。陰極となる材料には、仕事関数が小さい材料、例えば、Ca、Al、MgAg、AlLi等が挙げられる。なお、EL層234及び第2の画素電極層235は、マスクを用いた蒸着により形成することができる。従って、第2の画素電極層235は、蒸着により形成することができる材料により形成するとよい。2030

【0247】

なお、上記で説明した保護膜等は上記した材料又は形成方法に限定されず、EL層の発光を妨げず、劣化等を防止することができる膜であればよい。

【0248】

または、上面射出構造において、画素回路が形成されている領域をも含むように第1の画素電極層232Aを形成してもよい。この場合には、まず、第1の画素電極層232B及び第1の画素電極層232Cに相当する導電層のみを形成し、該導電層上に第1の開口部230Dを有する絶縁膜を形成し、第1の開口部230Dを介してソース電極及びドレイン電極層220Fに接続されるように第1の画素電極層232Aを形成すればよい。画素回路が形成されている領域をも含むように第1の画素電極層232Aを形成することで、発光領域を拡大することができ、より高精細な表示が可能となる。40

【0249】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を用いることも可能である。

【0250】

なお、端子接続部については実施の形態1にて説明したものと同様である。

【0251】

以上のように、EL表示装置を作製することができる。

【0252】

上記説明したように、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。具体的には、上記の説明のように、1枚のフォトマスク（多階調マスク）を用いて薄膜トランジスタを作製することができる。また、3枚のフォトマスクを用いて画素トランジスタを有するアクティブマトリクス基板を作製することができる。従って、用いるフォトマスクの枚数が低減されることから、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。

【0253】

また、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経ることなく、薄膜トランジスタの作製工程数を大幅に削減することができる。そのため、複雑な工程を経ることなく、表示装置の作製工程数を大幅に削減することができる。従って、歩留まりを低下させることなく、表示装置の作製工程数を大幅に削減することができる。10

【0254】

また、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程を大幅に削減することができる。

【0255】

更には、上記効果により、作製コストを大幅に削減することができる。

【0256】

また、第1のエッティングにより第1の導電膜202を加工するため、薄膜積層体214の側面とゲート電極層216の側面との間隔d₁は第1の導電膜202の厚さに対して独立に設計することができ、画素構造のレイアウト設計の自由度が向上する。20

【0257】

また、基板として不純物金属元素を含むガラス基板を用いる場合であっても、該不純物金属元素が半導体層に付着し、半導体層内部へ侵入して薄膜トランジスタの電気的特性を低下させること（オフ電流が高くなること等）を防ぐことができる。そのため、電気的特性が良好な薄膜トランジスタを作製することができる。更には、作製される薄膜トランジスタの基板面内における特性のばらつきも小さくすることができる。そのため、表示装置の表示むらを小さくすることができる。

【0258】

更には、下面射出構造（ボトムエミッション）型EL表示装置では、光学設計が、第1の絶縁膜201の膜厚の調整により行えるため好ましい。30

【0259】

なお、ゲート電極層端部に生じるリーク電流が小さい薄膜トランジスタを作製することができるため、コントラスト比が高く、表示品質が良好な表示装置を得ることができる。

【0260】

なお、本実施の形態のEL表示装置は、上記説明した画素構造に限定されず、様々なEL表示装置に適用することができる。

【0261】

(実施の形態4)

本実施の形態は、実施の形態1乃至実施の形態3にて説明した方法により作製した表示パネル又は表示装置を表示部として組み込んだ電子機器について図40乃至図42を参照して説明する。このような電子機器としては、例えば、ビデオカメラ若しくはデジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）が挙げられる。それらの一例を図40に示す。40

【0262】

図40(A)はテレビジョン装置を示す。表示パネルを筐体に組み込むことで、図40(A)に示すテレビジョン装置を完成させることができる。実施の形態1乃至実施の形態3にて説明した作製方法を適用した表示パネルにより主画面323が形成され、その他付属設備としてスピーカ部329、操作スイッチ等が備えられている。50

【0263】

図40(A)に示すように、筐体321に実施の形態1乃至実施の形態3にて説明した作製方法を適用した表示用パネル322が組み込まれ、受信機325により一般のテレビ放送の受信をはじめ、モデム324を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機326により行うことが可能であり、このリモコン操作機326にも、出力する情報を表示する表示部327が設けられていても良い。

【0264】

また、テレビジョン装置にも、主画面323の他にサブ画面328を第2の表示パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。10

【0265】

図41は、テレビ装置の主要な構成を示すブロック図を示している。表示パネル350には、画素部351が形成されている。信号線駆動回路352と走査線駆動回路353は、表示パネルにCOG方式により実装されていても良い。

【0266】

その他の外部回路の構成として、映像信号の入力側では、チューナ354で受信した信号のうち、映像信号を増幅する映像信号增幅回路355と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路356と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路357等を有している。コントロール回路357は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路358を設け、入力デジタル信号を整数個に分割して供給する構成としても良い。20

【0267】

チューナ354で受信した信号のうち、音声信号は、音声信号增幅回路359に送られ、その出力は音声信号処理回路360を経てスピーカ363に供給される。制御回路361は受信局(受信周波数)、音量の制御情報を入力部362から受け、チューナ354及び音声信号処理回路360に信号を送出する。

【0268】

勿論、表示装置はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港等における情報表示盤、又は街頭における広告表示盤等の大面積の表示媒体にも適用することができる。そのため、本実施の形態の一である表示装置の作製方法を適用することで、これらの表示媒体の生産性を向上させることができる。30

【0269】

主画面323、サブ画面328に、実施の形態1乃至実施の形態3で説明した表示装置の作製方法を適用した表示パネル又は表示装置を用いることで、テレビ装置の生産性を高めることができる。

【0270】

また、図40(B)に示す携帯型のコンピュータは、本体331及び表示部332等を有する。表示部332に、実施の形態1乃至実施の形態3で説明した表示装置の作製方法を適用した表示パネル又は表示装置を用いることで、コンピュータの生産性を高めることができる。40

【0271】

図42は、携帯電話の一例であり、図42(A)が正面図、図42(B)が背面図、図42(C)が2つの筐体をスライドさせたときの正面図である。携帯電話300は、筐体301及び筐体302の二つの筐体で構成されている。携帯電話300は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

【0272】

携帯電話300は、筐体301及び筐体302で構成されている。筐体301において50

は、表示部 303、スピーカ 304、マイクロフォン 305、操作キー 306、ポインティングデバイス 307、表面カメラ用レンズ 308、外部接続端子ジャック 309 及びイヤホン端子 310 等を備え、筐体 302 においては、キーボード 311、外部メモリスロット 312、裏面カメラ 313、ライト 314 等により構成されている。また、アンテナは筐体 301 に内蔵されている。

【0273】

また、携帯電話 300 には、上記の構成に加えて、非接触型 IC チップ、小型記録装置等を内蔵していてもよい。

【0274】

重なり合った筐体 301 と筐体 302 (図 42 (A) に示す。) は、スライドさせることが可能であり、スライドさせることで図 42 (C) のように展開する。表示部 303 には、実施の形態 1 乃至実施の形態 3 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部 303 と表面カメラ用レンズ 308 を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部 303 をファインダーとして用いることで、裏面カメラ 313 及びライト 314 で静止画及び動画の撮影が可能である。

10

【0275】

スピーカ 304 及びマイクロフォン 305 を用いることで、携帯電話 300 は、音声記録装置 (録音装置) 又は音声再生装置として使用することができる。また、操作キー 306 により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

20

【0276】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード 311 を用いると便利である。更に、重なり合った筐体 301 と筐体 302 (図 42 (A)) をスライドさせることで、図 42 (C) のように展開させることができる。携帯情報端末として使用する場合には、キーボード 311 及びポインティングデバイス 307 を用いて、円滑な操作が可能である。外部接続端子ジャック 309 は AC アダプタ及び USB ケーブル等の各種ケーブルと接続可能であり、充電及びパソコン用コンピュータ等とのデータ通信が可能である。また、外部メモリスロット 312 に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

30

【0277】

筐体 302 の裏面 (図 42 (B)) には、裏面カメラ 313 及びライト 314 を備え、表示部 303 をファインダーとして静止画及び動画の撮影が可能である。

【0278】

また、上記の機能構成に加えて、赤外線通信機能、USB ポート、テレビワンセグ受信機能、非接触 IC チップ又はイヤホンジャック等を備えたものであってもよい。

【0279】

本実施の形態にて説明した各種電子機器は、実施の形態 1 乃至実施の形態 3 にて説明した薄膜トランジスタ及び表示装置の作製方法を適用して作製することができるため、これらの電子機器の生産性を向上させることができる。

40

【0280】

従って、これらの電子機器の作製コストを大幅に削減することができる。

【0281】

更には、実施の形態 1 乃至実施の形態 3 にて説明したように、表示品質の高い表示装置を作製することができる。

【符号の説明】

【0282】

100 基板

101 第 1 の絶縁膜

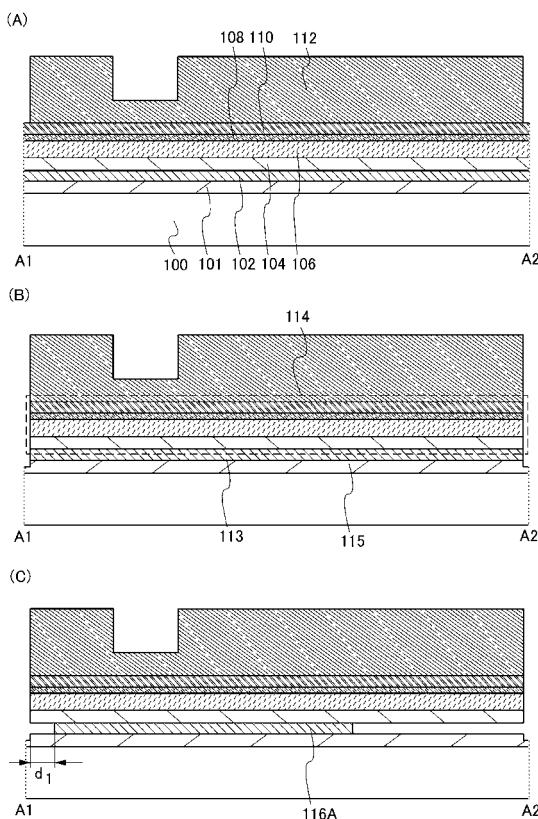
50

1 0 2	第 1 の導電膜	
1 0 4	第 2 の絶縁膜	
1 0 6	半導体膜	
1 0 8	不純物半導体膜	
1 1 0	第 2 の導電膜	
1 1 2	第 1 のレジストマスク	
1 1 3	エッチングされた第 1 の導電膜	
1 1 4	薄膜積層体	
1 1 5	エッチングされた第 1 の絶縁膜	
1 1 6	ゲート電極層	10
1 1 6 A	ゲート電極層	
1 1 6 B	ゲート電極層	
1 1 6 C	ゲート電極層	
1 1 6 D	ゲート電極層	
1 1 8	第 2 のレジストマスク	
1 2 0	ソース電極及びドレイン電極層	
1 2 0 A	ソース電極及びドレイン電極層	
1 2 0 B	ソース電極及びドレイン電極層	
1 2 0 C	ソース電極及びドレイン電極層	
1 2 0 D	ソース電極及びドレイン電極層	20
1 2 2	ソース領域及びドレイン領域	
1 2 2 A	ソース領域及びドレイン領域	
1 2 2 B	ソース領域及びドレイン領域	
1 2 2 C	ソース領域及びドレイン領域	
1 2 2 D	ソース領域及びドレイン領域	
1 2 4	半導体層	
1 2 6	第 1 の保護膜	
1 2 8	第 2 の保護膜	
1 3 0	第 1 の開口部	
1 3 1	第 2 の開口部	30
1 3 2	画素電極層	
1 4 0	グレートーンマスク	
1 4 1	基板	
1 4 2	遮光部	
1 4 3	回折格子部	
1 4 5	ハーフトーンマスク	
1 4 6	基板	
1 4 7	半透光部	
1 4 8	遮光部	
1 5 1	角	40
1 6 0 A	第 3 の開口部	
1 6 0 B	第 3 の開口部	
1 6 1	第 4 の開口部	
1 7 0	第 1 のレジストマスク	
1 7 1	第 2 のレジストマスク	
1 8 1	第 1 のトランジスタ	
1 8 2	第 2 のトランジスタ	
1 8 3	第 3 のトランジスタ	
1 8 4	容量素子	
1 8 5	発光素子	50

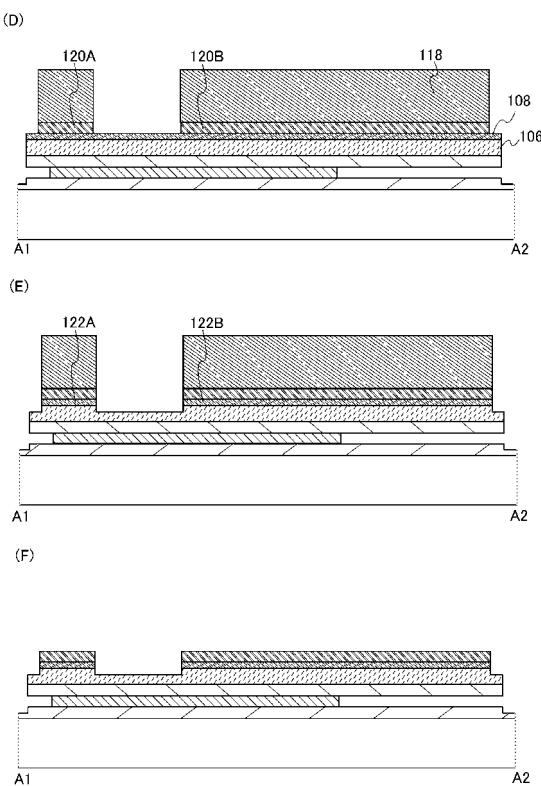
1 8 6	ゲート配線	
1 8 7	第1の電源線	
1 8 8	ソース配線	
1 8 9	第2の電源線	
1 9 0	共通電極	
1 9 1	画素	
2 0 0	基板	
2 0 1	第1の絶縁膜	10
2 0 2	第1の導電膜	
2 0 4	第2の絶縁膜	
2 0 6	半導体膜	
2 0 8	不純物半導体膜	
2 1 0	第2の導電膜	
2 1 2	第1のレジストマスク	
2 1 3	エッチングされた第1の導電膜	
2 1 4	薄膜積層体	
2 1 5	エッチングされた第1の絶縁膜	
2 1 6	ゲート電極層	
2 1 6 A	ゲート電極層	20
2 1 6 B	ゲート電極層	
2 1 6 C	ゲート電極層	
2 1 6 D	ゲート電極層	
2 1 8	第2のレジストマスク	
2 1 8 A	第2のレジストマスク	
2 1 8 B	第2のレジストマスク	
2 1 8 C	第2のレジストマスク	
2 1 8 D	第2のレジストマスク	
2 1 8 E	第2のレジストマスク	
2 1 8 F	第2のレジストマスク	
2 2 0	ソース電極及びドレイン電極層	30
2 2 0 A	ソース電極及びドレイン電極層	
2 2 0 B	ソース電極及びドレイン電極層	
2 2 0 C	ソース電極及びドレイン電極層	
2 2 0 D	ソース電極及びドレイン電極層	
2 2 0 E	ソース電極及びドレイン電極層	
2 2 0 F	ソース電極及びドレイン電極層	
2 2 2	ソース領域及びドレイン領域	
2 2 2 A	ソース領域及びドレイン領域	
2 2 2 B	ソース領域及びドレイン領域	
2 2 2 C	ソース領域及びドレイン領域	40
2 2 2 D	ソース領域及びドレイン領域	
2 2 4	半導体層	
2 2 6	第1の保護膜	
2 2 8	第2の保護膜	
2 3 0	第1の開口部	
2 3 0 A	第1の開口部	
2 3 0 B	第1の開口部	
2 3 0 C	第1の開口部	
2 3 0 D	第1の開口部	
2 3 1	第2の開口部	50

2 3 2	第 1 の画素電極層	
2 3 2 A	第 1 の画素電極層	
2 3 2 B	第 1 の画素電極層	
2 3 2 C	第 1 の画素電極層	
2 3 3	隔壁	
2 3 4	E L 層	
2 3 5	第 2 の画素電極層	
2 3 6	発光素子	
2 3 7	第 3 の保護膜	
3 0 0	携帯電話	10
3 0 1	筐体	
3 0 2	筐体	
3 0 3	表示部	
3 0 4	スピーカ	
3 0 5	マイクロフォン	
3 0 6	操作キー	
3 0 7	ポインティングデバイス	
3 0 8	表面カメラ用レンズ	
3 0 9	外部接続端子ジャック	
3 1 0	イヤホン端子	20
3 1 1	キーボード	
3 1 2	外部メモリスロット	
3 1 3	裏面カメラ	
3 1 4	ライト	
3 2 1	筐体	
3 2 2	表示用パネル	
3 2 3	主画面	
3 2 4	モデム	
3 2 5	受信機	
3 2 6	リモコン操作機	30
3 2 7	表示部	
3 2 8	サブ画面	
3 2 9	スピーカ部	
3 3 1	本体	
3 3 2	表示部	
3 5 1	画素部	
3 5 2	信号線駆動回路	
3 5 3	走査線駆動回路	
3 5 4	チューナ	
3 5 5	映像信号增幅回路	40
3 5 6	映像信号処理回路	
3 5 7	コントロール回路	
3 5 8	信号分割回路	
3 5 9	音声信号增幅回路	
3 6 0	音声信号処理回路	
3 6 1	制御回路	
3 6 2	入力部	
3 6 3	スピーカ	

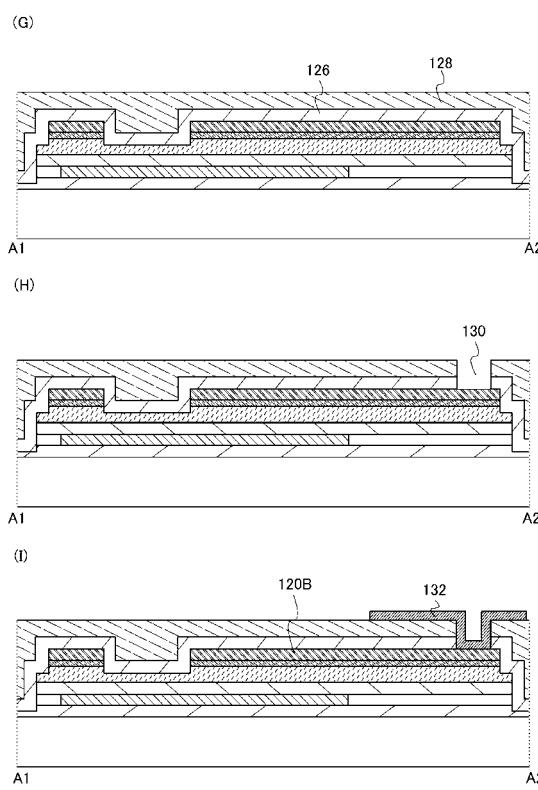
【図1】



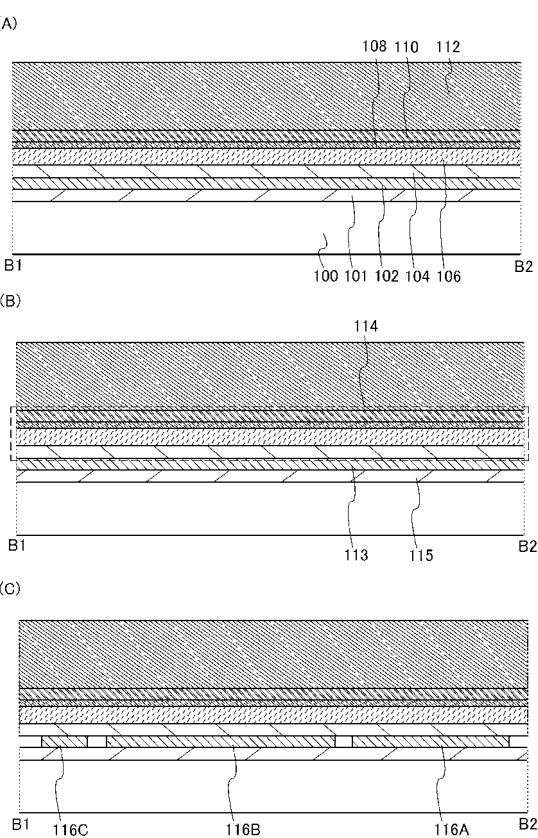
【図2】



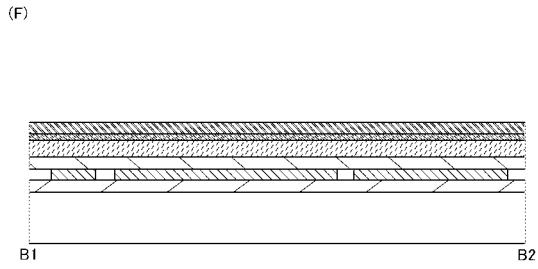
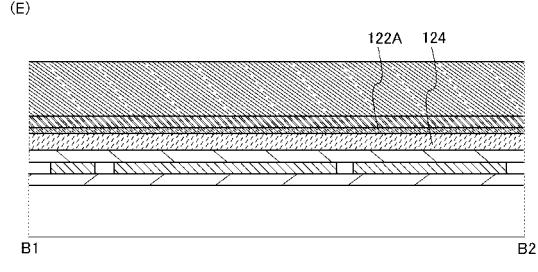
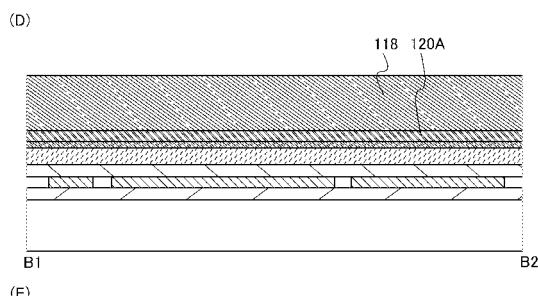
【図3】



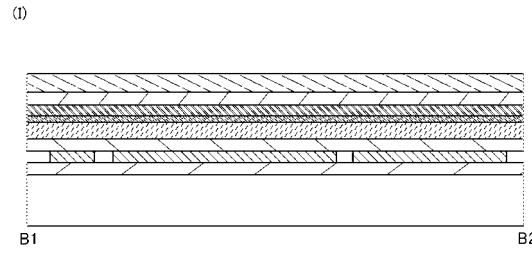
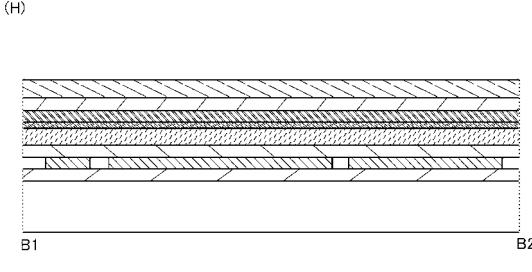
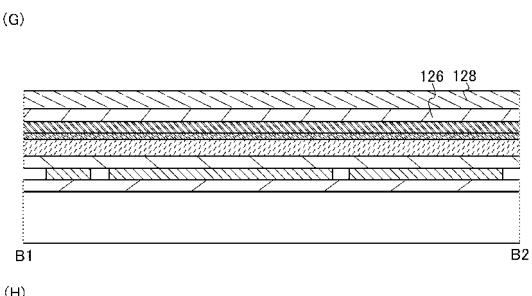
【図4】



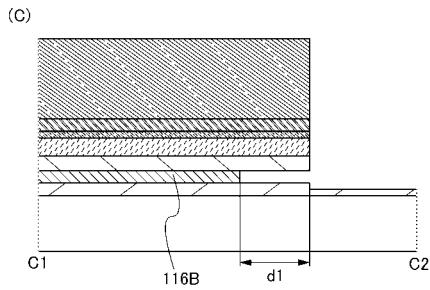
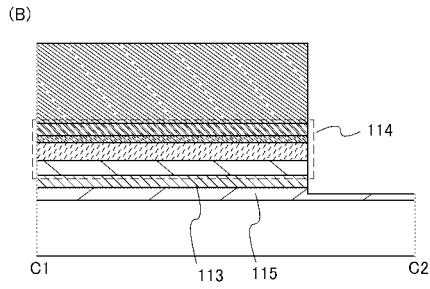
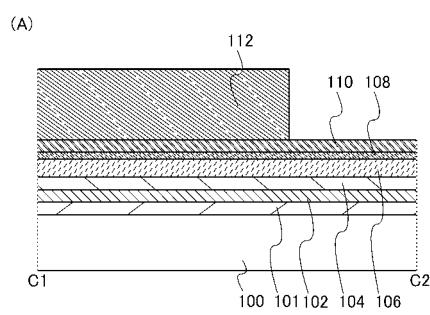
【図5】



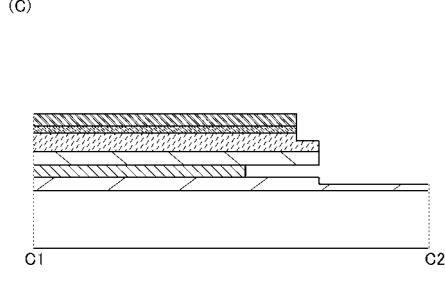
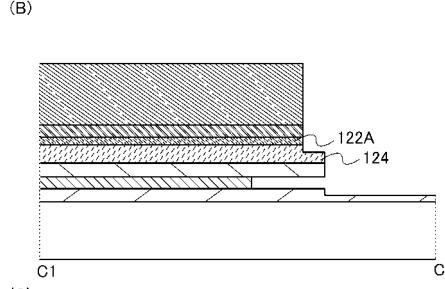
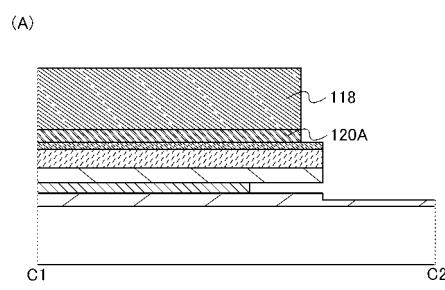
【図6】



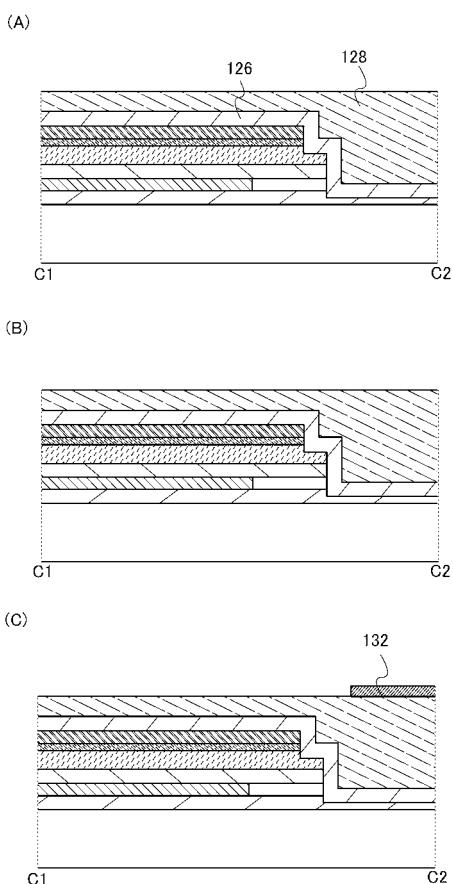
【図7】



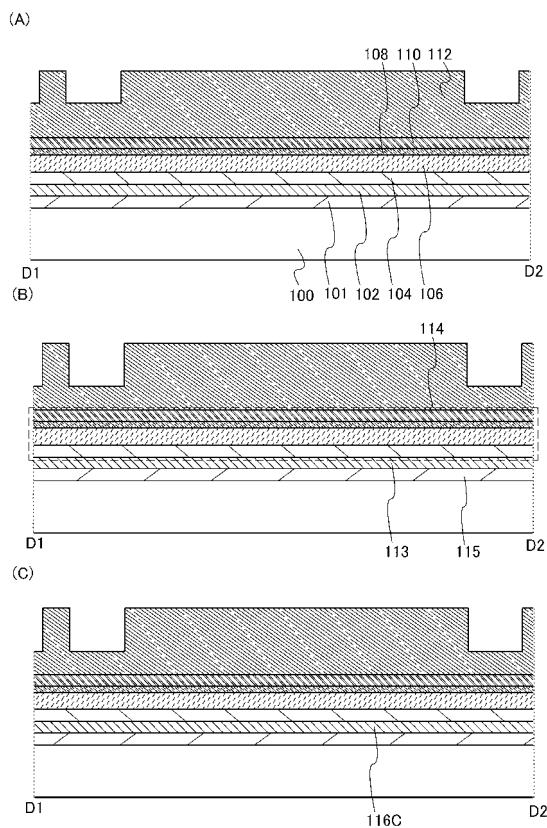
【図8】



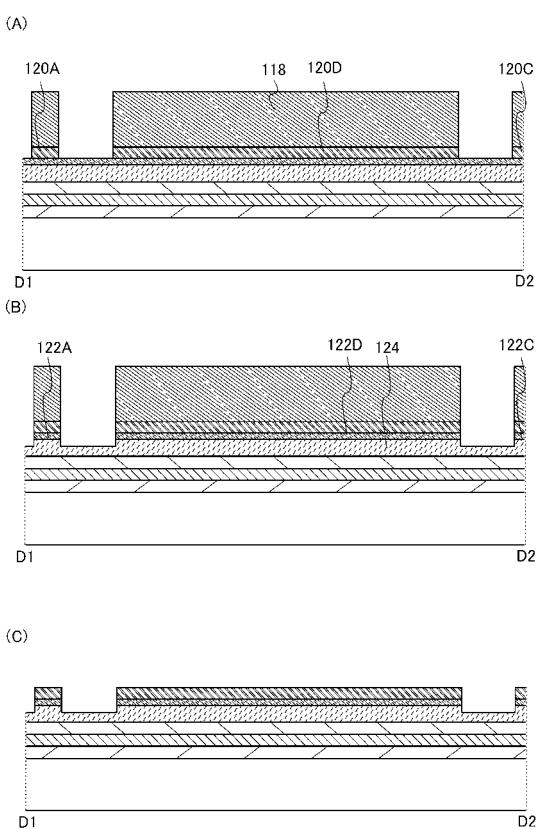
【図9】



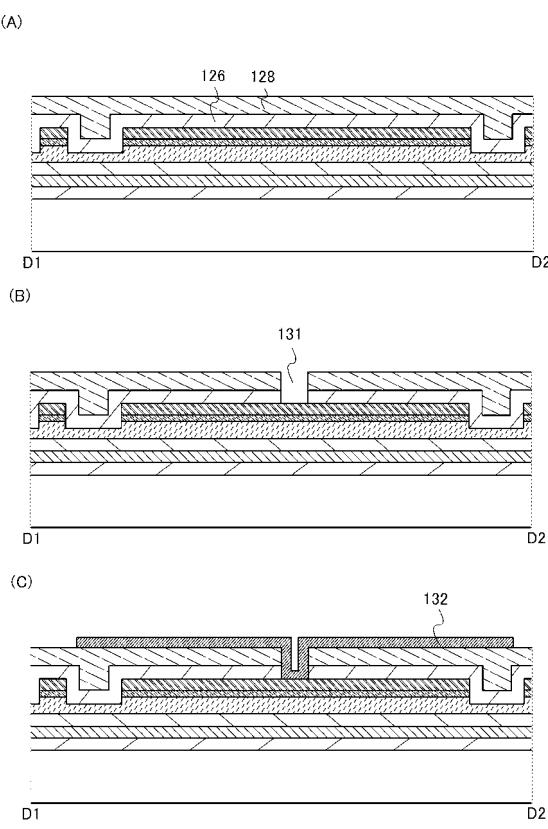
【図10】



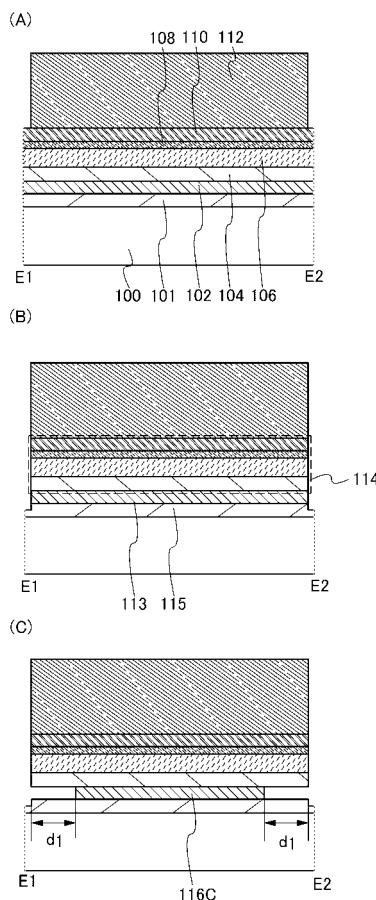
【図11】



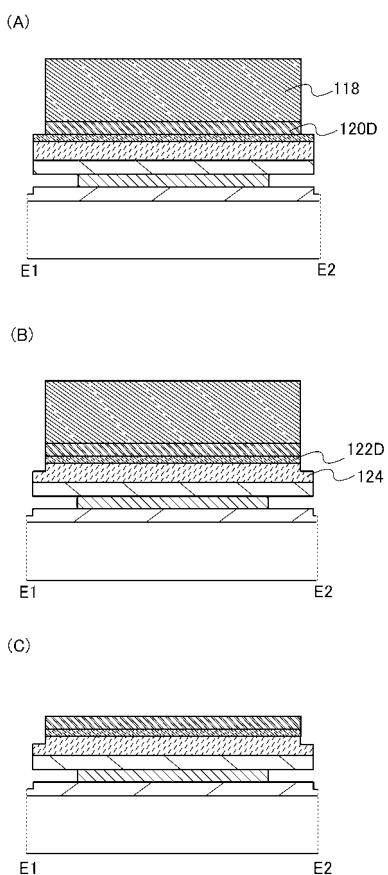
【図12】



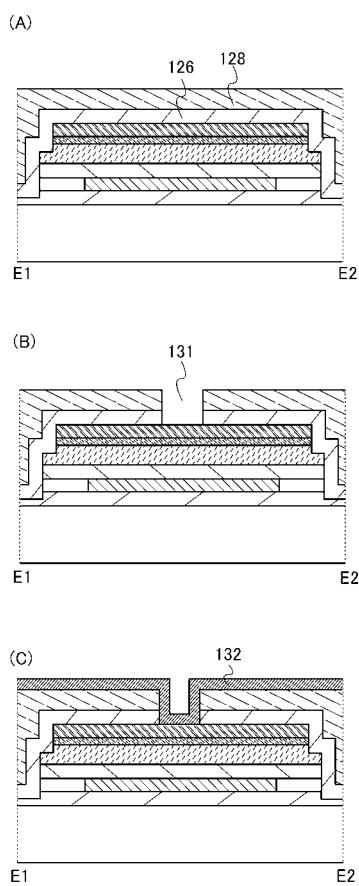
【図13】



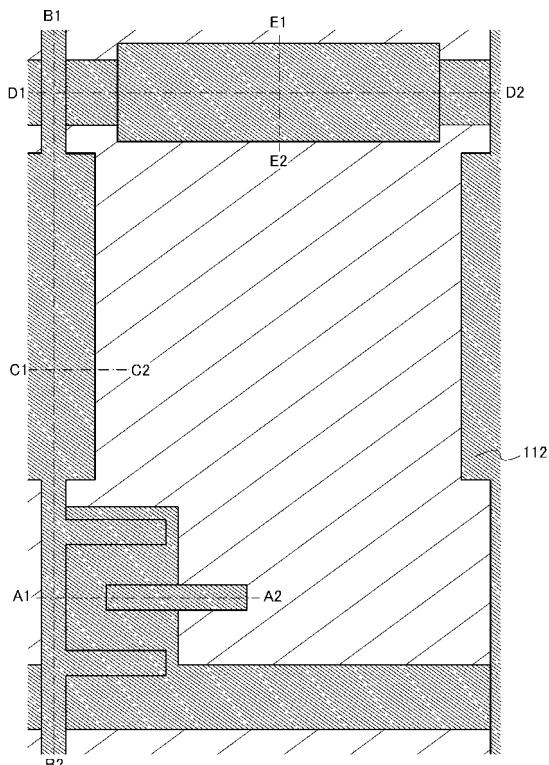
【図14】



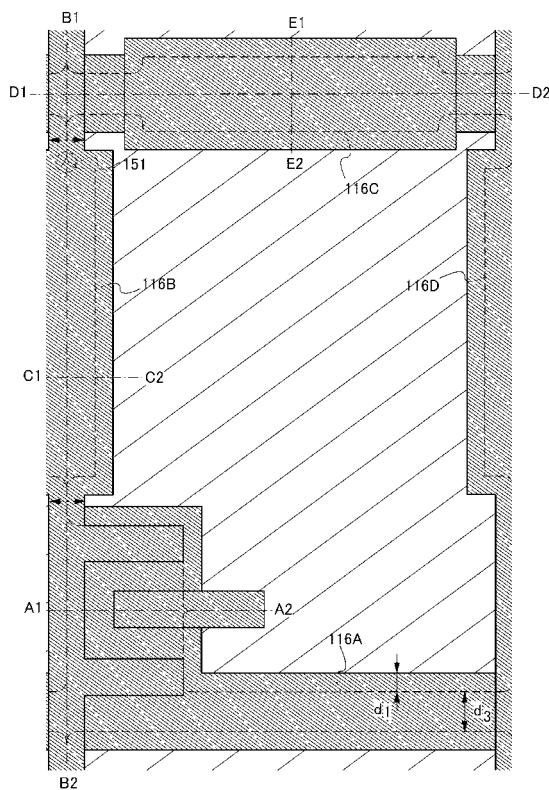
【図15】



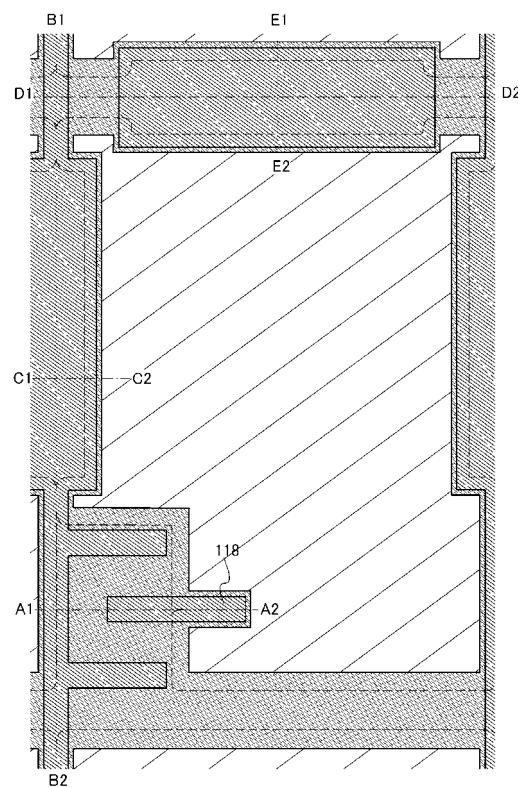
【図16】



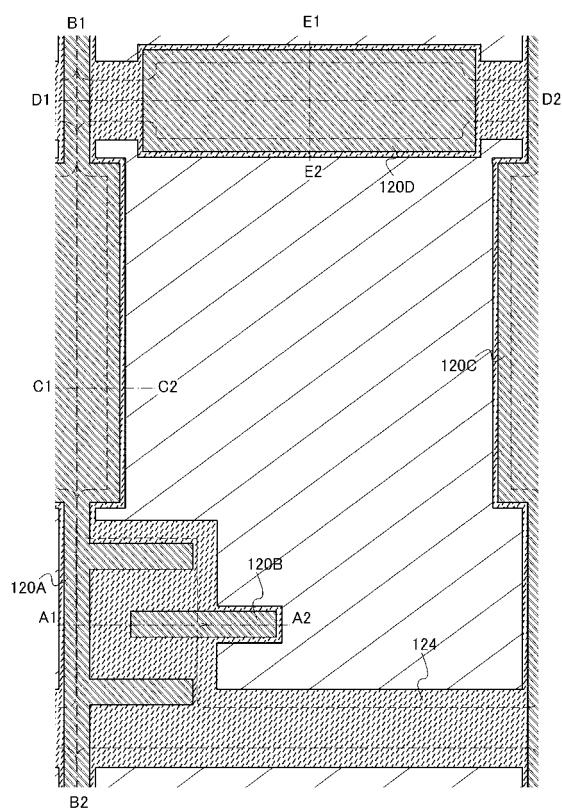
【図17】



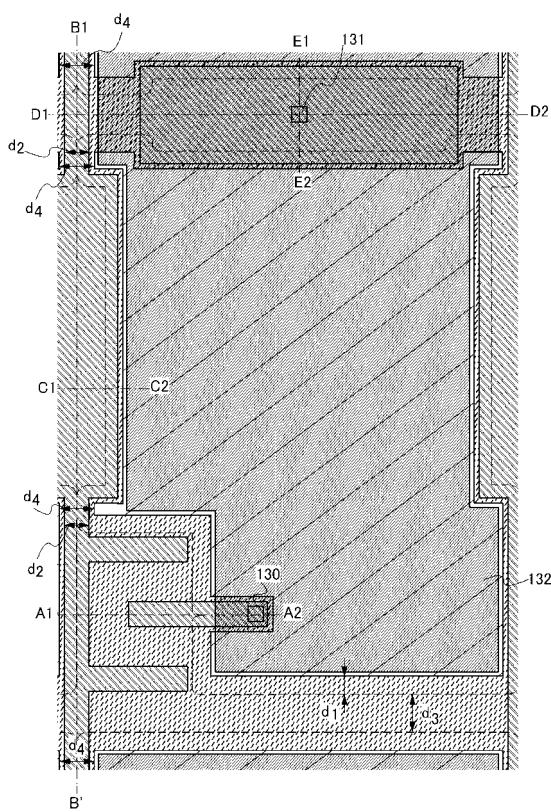
【図18】



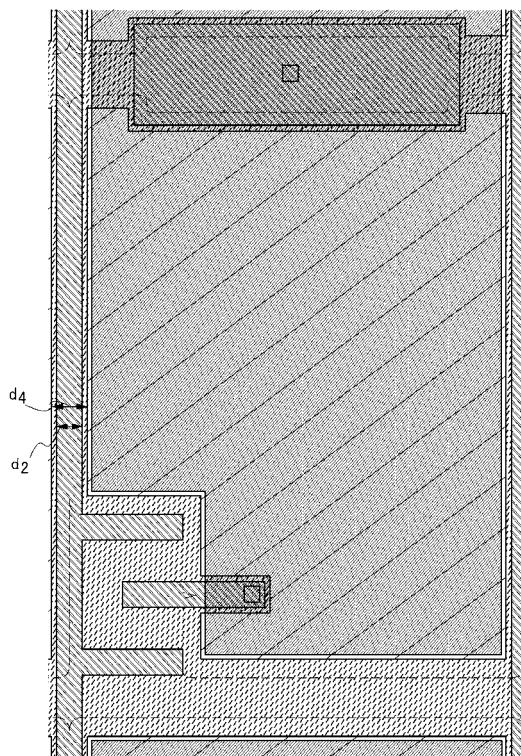
【図19】



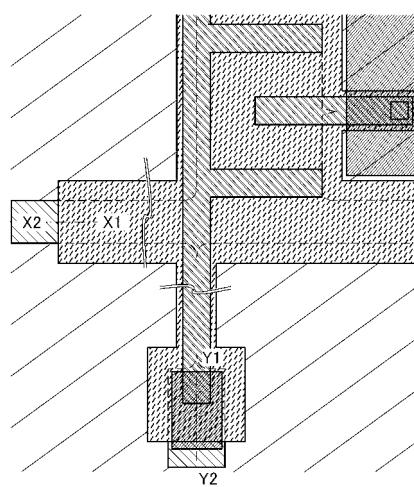
【図20】



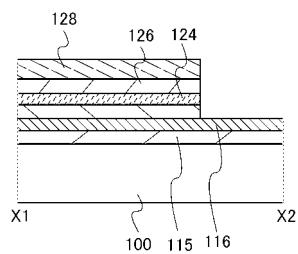
【図21】



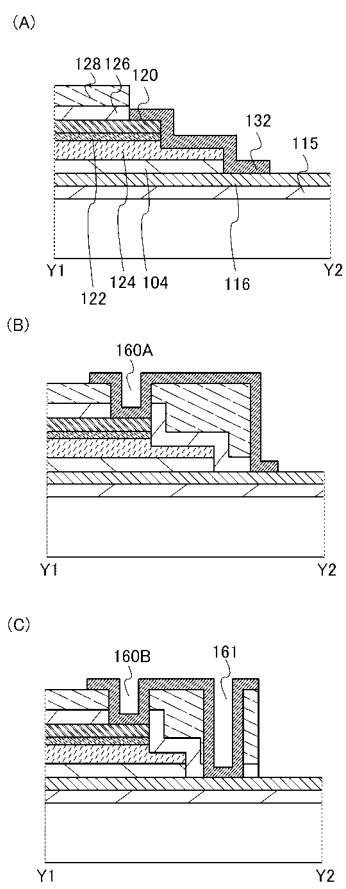
【図22】



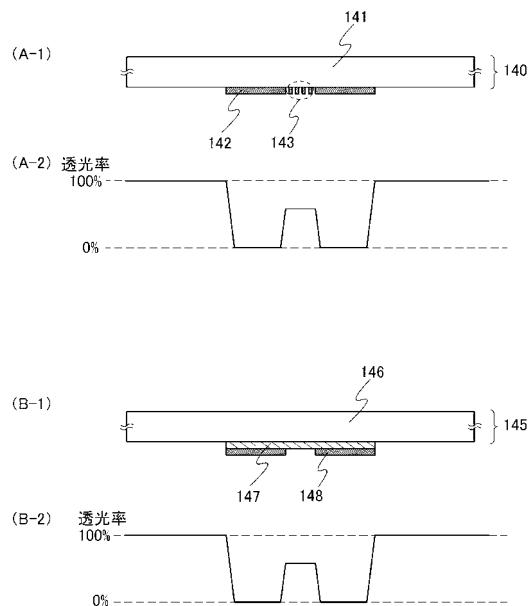
【図23】



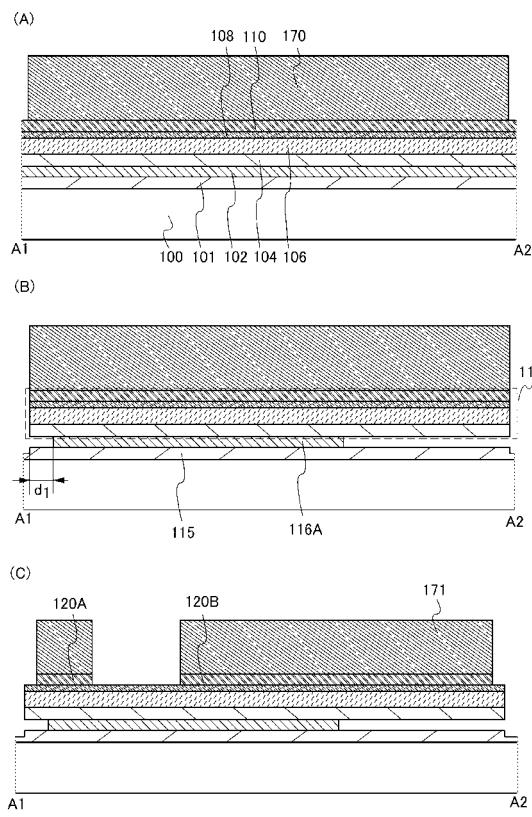
【図24】



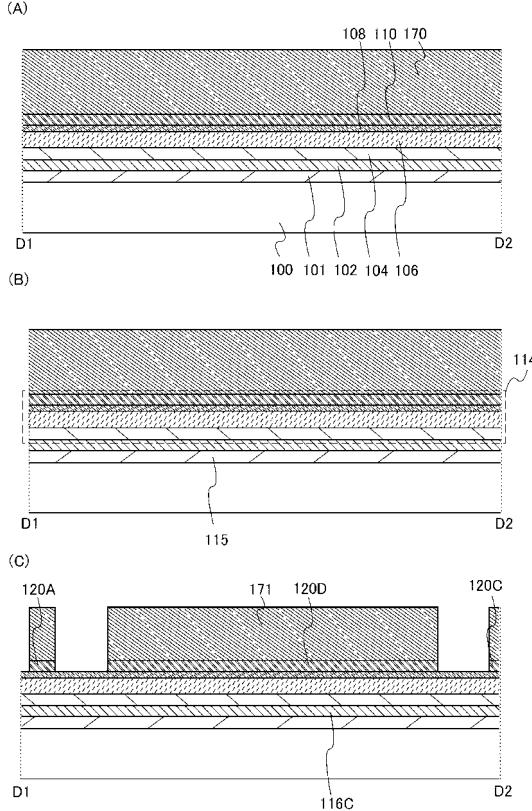
【図25】



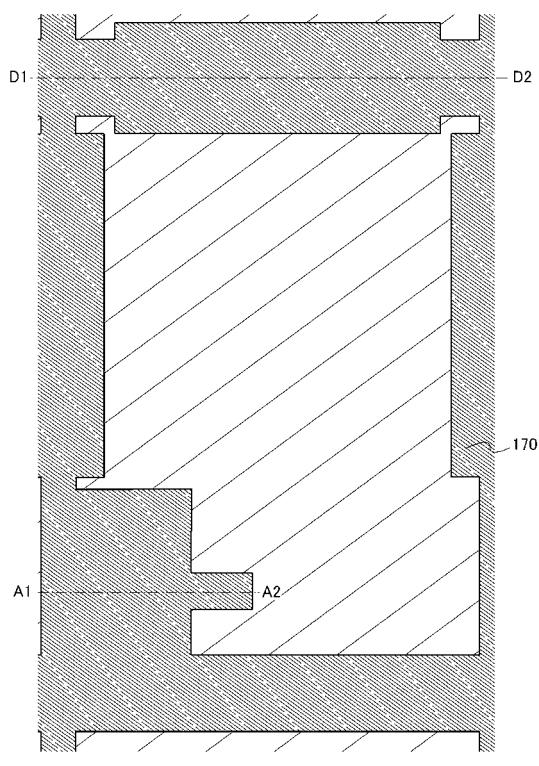
【図26】



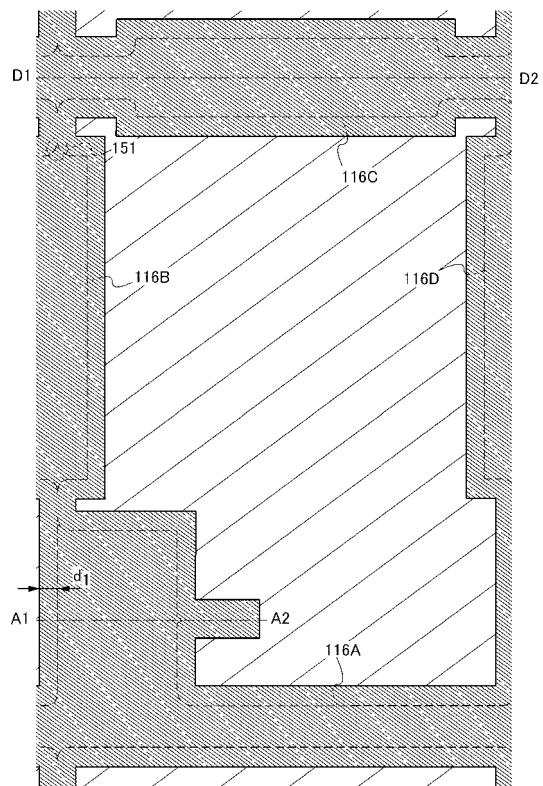
【図27】



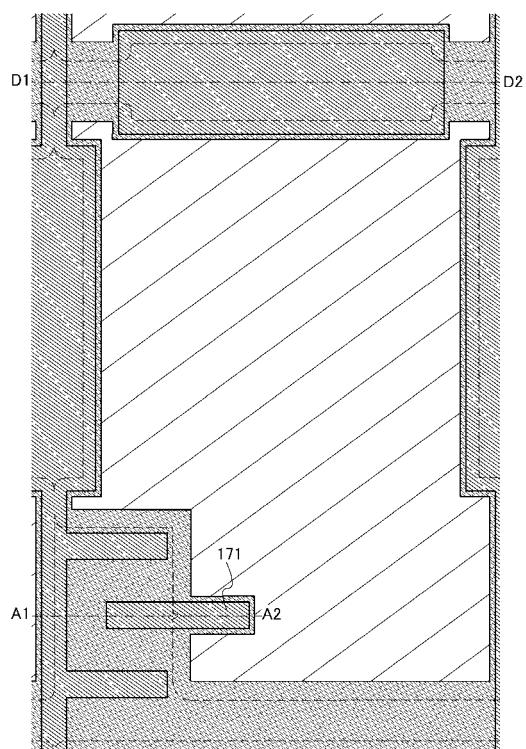
【図28】



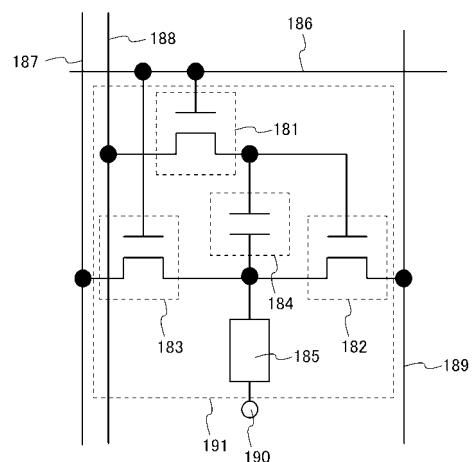
【図29】



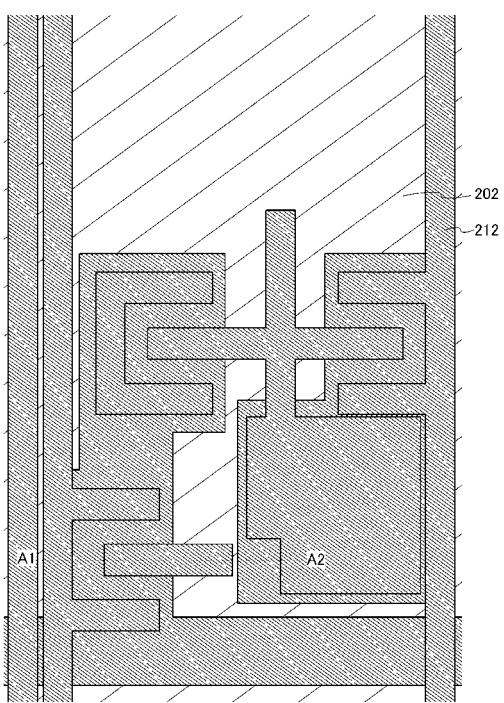
【図30】



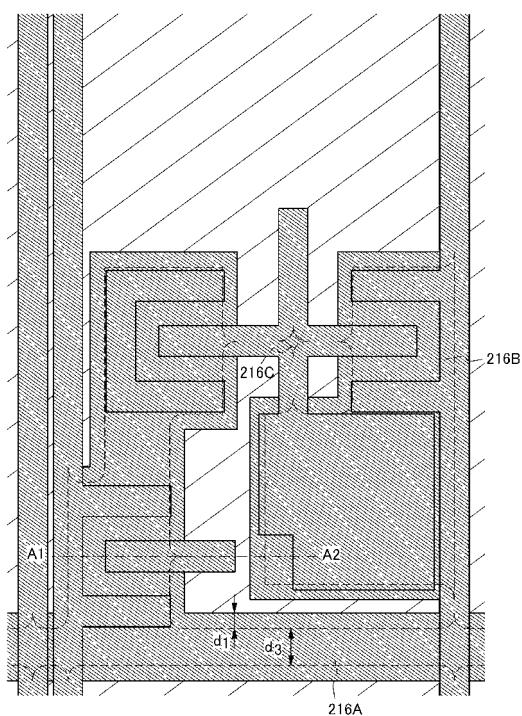
【図31】



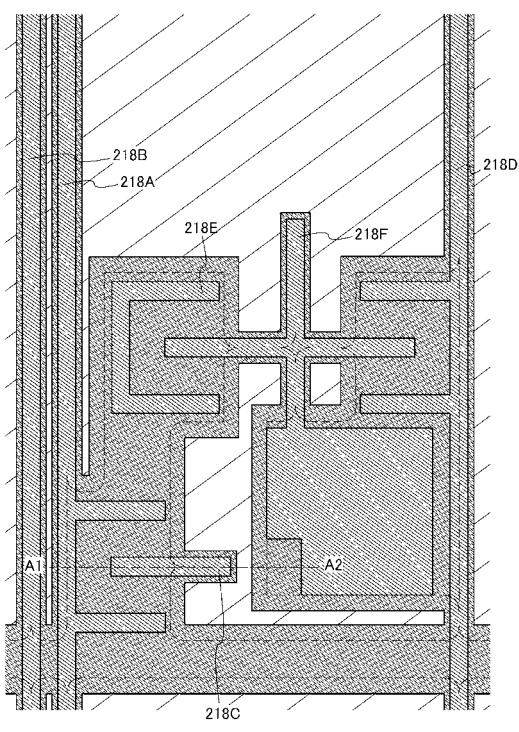
【図32】



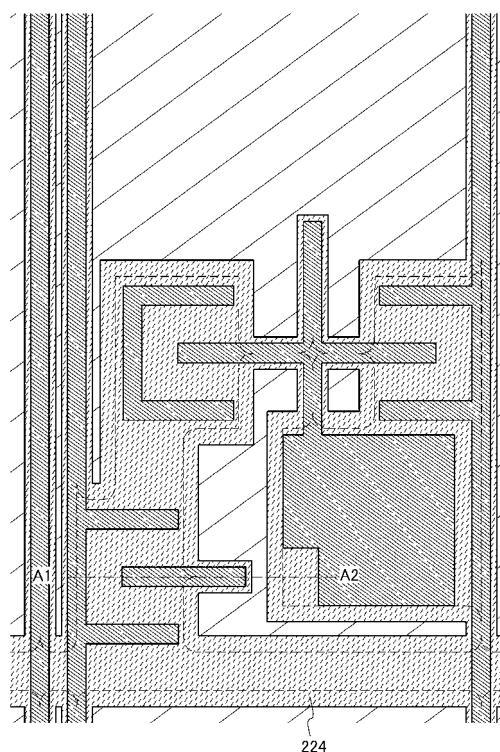
【図33】



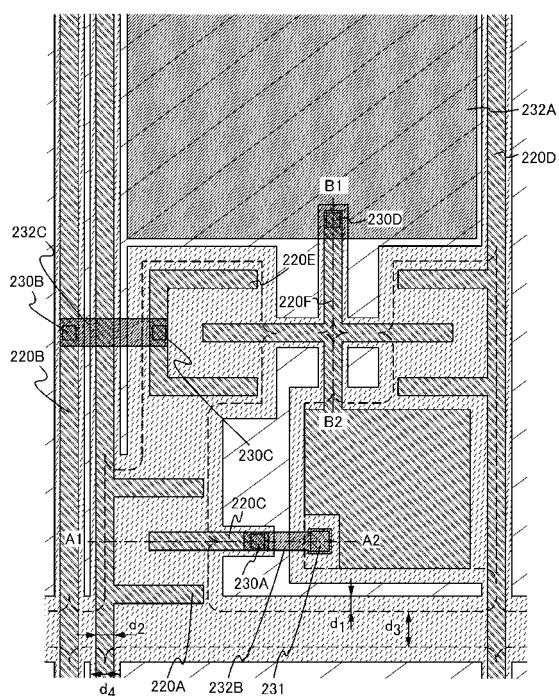
【図34】



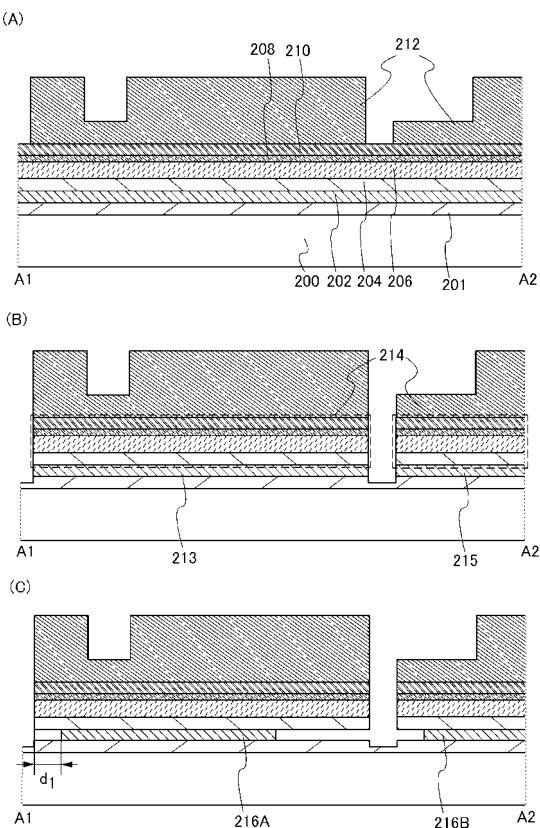
【図35】



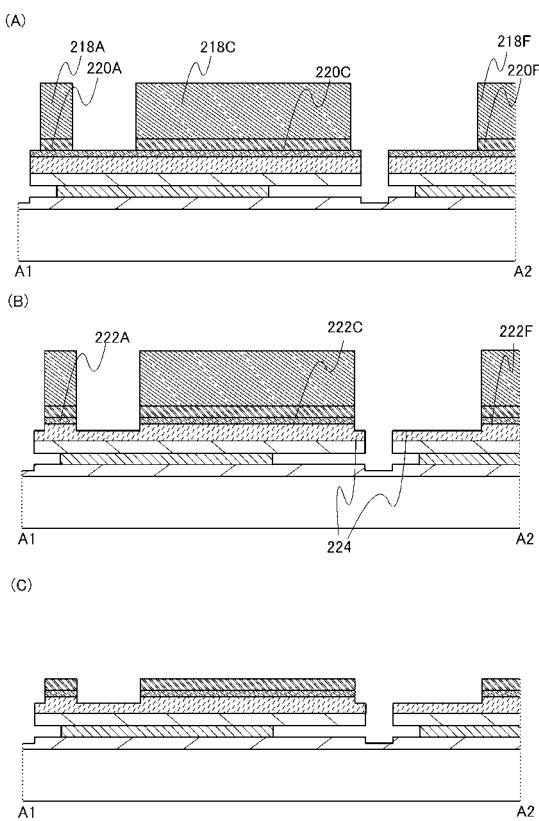
【図36】



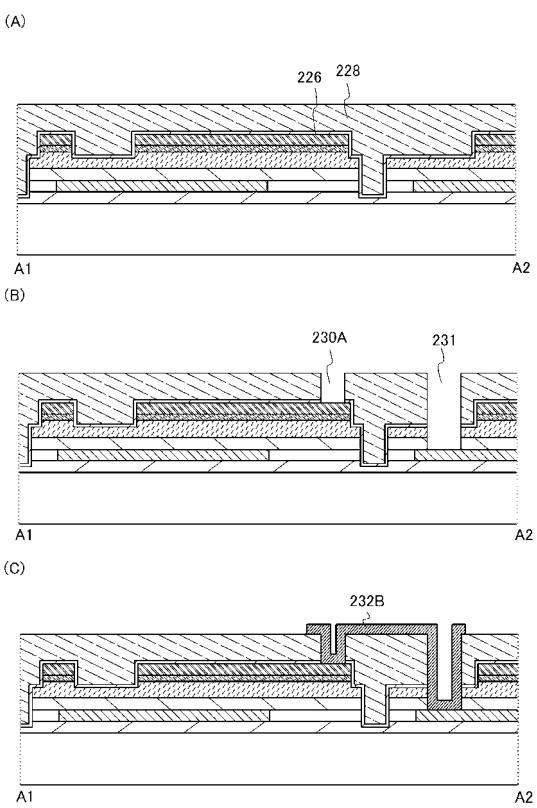
【図37】



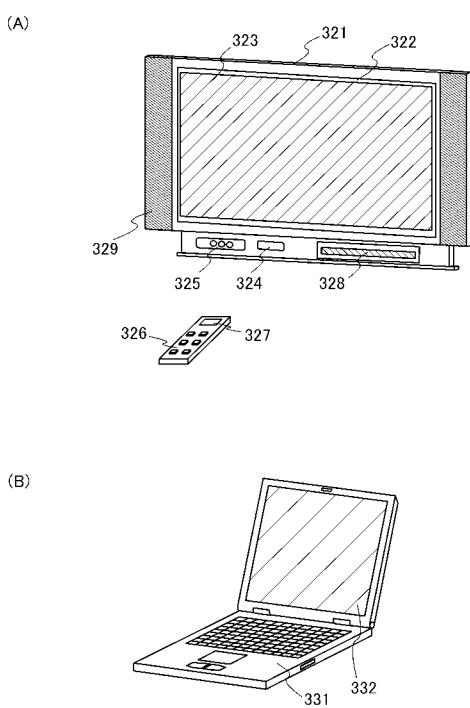
【図38】



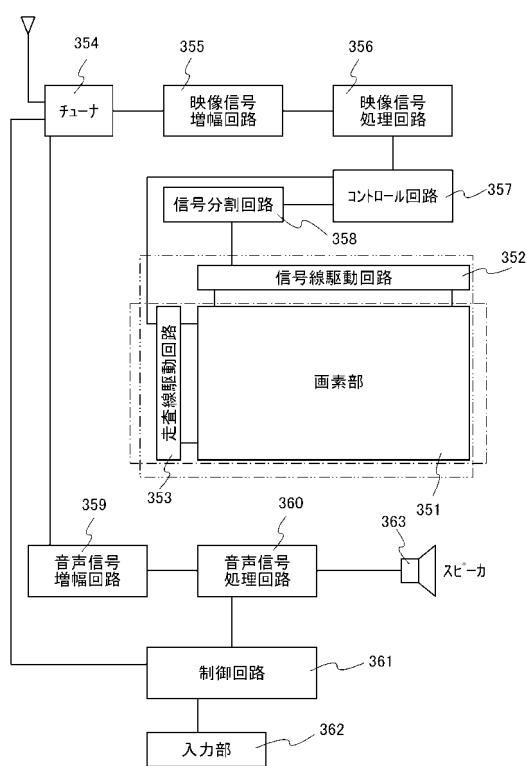
【図39】



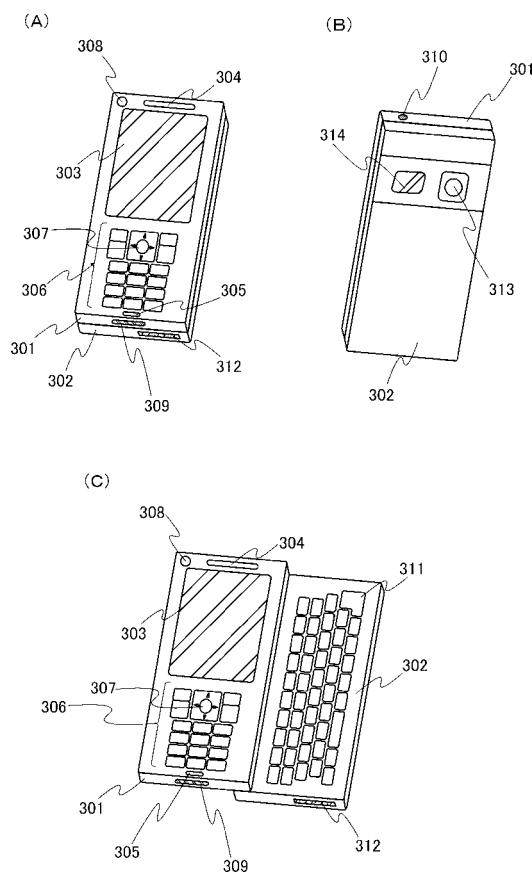
【図40】



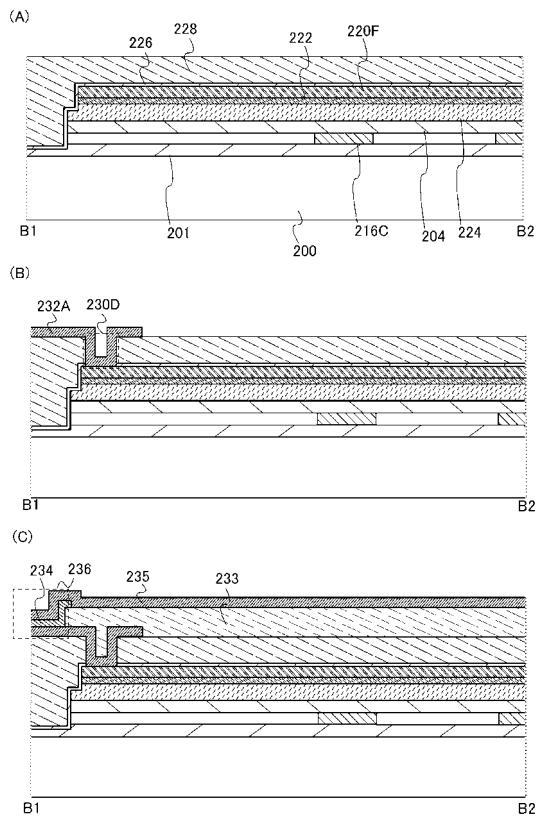
【図41】



【図42】



【図43】



フロントページの続き

(56)参考文献 特開2003-179069(JP,A)
特開昭64-084669(JP,A)
特開昭62-073669(JP,A)
特開平03-015827(JP,A)
特開2002-350899(JP,A)
特開2003-297850(JP,A)
特開2005-038895(JP,A)
特開2001-342031(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 336
H 01 L 29 / 786
G 02 F 1 / 1368
G 09 F 9 / 30