



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98807227.0

[45] 授权公告日 2004 年 1 月 7 日

[11] 授权公告号 CN 1134020C

[22] 申请日 1998.7.14 [21] 申请号 98807227.0

[30] 优先权

[32] 1997.7.14 [33] DE [31] 19730116.9

[86] 国际申请 PCT/DE98/01970 1998.7.14

[87] 国际公布 WO99/04399 德 1999.1.28

[85] 进入国家阶段日期 2000.1.14

[71] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 W·波克兰德特 H·塞德拉克

H·-H·维曼

审查员 刘 栩

[74] 专利代理机构 中国专利代理(香港)有限公司

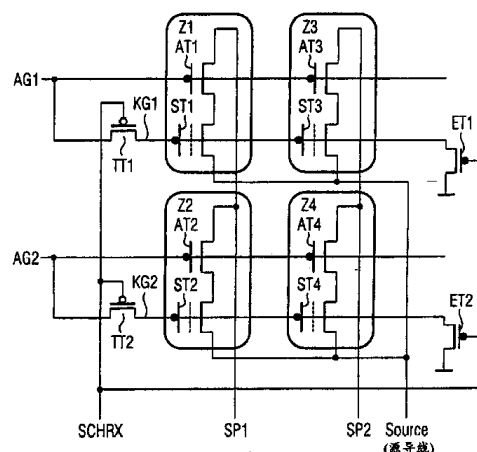
代理人 马铁良 张志醒

权利要求书 2 页 说明书 13 页 附图 2 页

[54] 发明名称 具有非易失性双晶体管存储单元的
半导体存储器

[57] 摘要

本发明涉及一种具有特别是非易失性双晶体管存储单元的半导体存储器，其中的存储单元具有一个 N 沟道选择晶体管和一个 N 沟道存储晶体管，其中，设有一个具有一个传输晶体管的、同样是发明的主题的驱动电路。在发明的半导体存储器中，传输晶体管是作为 P 沟道传输晶体管实现的，其中，一条传输沟道引线与一条通往存储单元的行导线相连。据此，编程所需的电压可用少量的工艺费用达到。



1. 具有至少一个存储单元的半导体存储器，其中，存储单元具有如下特征：

5 设有一个 N 沟道选择晶体管 (AT1、AT2; AT11、AT12) 及一个 N 沟道存储晶体管 (ST1、ST2; ST11、ST12)，

 N 沟道选择晶体管 (AT1、AT2; AT11、AT12) 具有一条选择栅极引线及两条选择沟道引线，其中，选择栅极引线一条与一条通往存储单元 (Z1、Z2; Z11、Z12) 的行导线 (AG1) 相连，

10 N 沟道存储晶体管 (ST1、ST2; ST11、ST12) 具有一条存储栅极引线 (KG1、KG2; KG11、KG12) 及两条存储沟道引线，

 一条第二存储沟道引线和一条第一选择沟道引线相互连接，其中，一条第一存储沟道引线或者一条第二选择沟道引线与一条通往存储单元 (Z1、Z2; Z11、Z12) 的列导线 (SP1) 相连，其中，半导体存储器具有至少一个其上有一条第一和一条第二传输沟道引线的传输晶体管 (TT1、TT2; TT11、TT12)，其中，第一传输沟道引线与存储栅极引线 (KG1、KG2; KG11、KG12) 相连，

15 其特征在于具有如下特征：

 传输晶体管是作为 P 沟道传输晶体管 (TT1、TT2; TT11、TT12) 实现的，

20 第二传输沟道引线与通往存储单元 (Z1、Z2; Z11、Z12) 的行导线 (AG1、AG2; AG1、AG2) 相连，

 设有一条写信号导线 (SCHR_X)，该写信号导线与传输栅极引线相连，使传输晶体管 (TT1、TT2; TT11、TT12) 可经该写信号导线 (SCHR_X) 驱动，

25 设有一个 N 沟道放电晶体管 (ET1、ET2; ET11、ET12)，该 N 沟道放电晶体管具有一条放电栅极引线及一条第一和一条第二放电沟道引线，其中，第一放电沟道引线与存储栅极引线 (KG1、KG2; KG11、KG12) 相连，其中，第二放电沟道引线是接地的，并且其中，放电栅极引线与写信号导

线 (SCHR_X) 相连。

2. 按照权利要求 1 所述的半导体存储器, 其特征在于, 半导体存储器是按行和列定位的, 其中, 在行内:

5 多个存储单元 (Z₁、Z₃; Z₂、Z₄; Z₁₁、Z₁₃; Z₁₂、Z₁₄) 的选择栅极引线是并联的,

多个存储单元 (Z₁、Z₃; Z₂、Z₄; Z₁₁、Z₁₃; Z₁₂、Z₁₄) 的存储栅极引线是并联的, 并且其中, 在列内, 第一存储沟道引线或者第二选择沟道引线是并联的。

10 3. 按照权利要求 2 所述的半导体存储器, 其特征在于, 还包括至少一系列的驱动电路, 该驱动电路具有各一个其上有一条区选择栅极引线及两条区选择沟道引线的 P 沟道区选择晶体管 (BT₁₁、BT₁₂), 其中, 一条第一区选择沟道引线与一条通往一个存储单元的行导线 (AG₁、AG₂) 相连, 并且其中, 一条第二区选择沟道引线与第一传输沟道引线相连。

15 4. 按照权利要求 3 所述的半导体存储器, 其特征在于, 设有一条区选择控制导线 (BLKN), 这条控制导线与区选择栅极引线相连, 使区选择晶体管 (BT₁₁、BT₁₂) 可经该区选择控制导线 (BLKN) 驱动。

具有非易失性双晶体管存储单元的半导体存储器

5 技术领域

本发明涉及一种具有至少一个特别是非易失性存储单元的半导体存储器，其中，存储单元具有如下特征：

设有一个N沟道选择晶体管及一个N沟道存储晶体管，

10 N沟道选择晶体管具有一条选择栅极引线及两条选择沟道引线，其中，选择栅极引线与一条通往存储单元的行导线相连，

N沟道存储晶体管具有一条存储栅极引线或者一个控制栅极及两条存储沟道引线，

15 一条第二存储沟道引线和一条第一选择沟道引线相互连接，其中，另一条存储沟道引线或者另一条选择沟道引线与一条通往存储单元的列导线相连，

其中，半导体存储器具有至少一个其上有一条第一和一条第二传输沟道引线的传输晶体管，其中，第一传输沟道引线与存储栅极引线相连。

背景技术

20 在此类半导体存储器中，各个晶体管是以场效应晶体管工艺在半导体衬底上实现的。其中，存储晶体管具有一个浮动栅，使该存储晶体管通过把相宜的电压加到沟道引线上和加到栅极引线上而被如此编程，使该存储晶体管可持续地或者非易失性地接受一种所希望的状态。

25 为了对存储单元进行读取，一个存储沟道引线和一個选择沟道引线是相互连接的，其中，另一条空闲的存储沟道引线或者另一条空闲的选择沟道引线与一条通往存储单元的列导线连接的。其中，选择晶体管如此被驱动，使该选择晶体管导通。如果随后在把一个电压加到相应的列导线上有电流流动时，则存储晶体管在上一步骤中被编成或者写成“导电的”。如果在把该电压加到列导线上时，在被导通的选择晶体管情况下，没有电流流动，则存储晶体管在

上一步骤中被编成“不导电的”或者被擦除。

EP0317443A1 公开了一种双晶体管存储单元，该存储单元包括一个选择晶体管和一个浮动栅晶体管。为了驱动，浮动栅晶体管的栅极被加上一个特殊的电压。

- 5 在此类存储器中特别成问题的是，编程所需的电压须用高的工艺费用被生成。此外，在对一个存储单元进行编程时往往在其它的当前没被选作编程对象的存储单元中产生错误。

发明内容

- 10 因此，本发明的任务在于提供一种同类的存储单元及一种同类的半导体存储器，该半导体存储器可用少量的工艺费用无干扰地被编程。

解决以上任务的技术方案在于，传输晶体管为P沟道传输晶体管，其中，第二条传输沟道引线不象现有技术那样与一个外部的控制栅电压相连，而是与通往存储单元的行导线相连。

- 15 本发明建立在如下认识的基础上，即在此类电路中，传输晶体管中的阈值电压损耗必须被克服，据此，较高的传输栅压须被规定。解决该问题的措施可在于，传输晶体管为具有一个被降低的阈值电压的晶体管，而这须以较高的工艺费用为代价。

- 20 在传输晶体管的发明的实施形式中和接线形式中，为了对存储晶体管进行编程，没有传输栅极阈值电压再需克服，使以少量的工艺费用进行可靠的编程成为可能。

- 25 此外，本发明还建立在如下认识的基础上，即控制栅电压由于传输晶体管在现有技术中的特殊的接线形式，在当前没被驱动的存储单元中在一个无载运行中“浮动”，这可导致编程电压的电容性过耦合。在发明的半导体存储器的存储单元中，这些电容性过耦合不再出现，因为在对发明的半导体存储器进行编程时，每条存储栅极引线均处在一个限定的状态上。

根据本发明的具有至少一个存储单元的半导体存储器，其中，存储单元具有如下特征：

设有一个N沟道选择晶体管及一个N沟道存储晶体管，

N 沟道选择晶体管具有一条选择栅极引线及两条选择沟道引线, 其中, 选择栅极引线与一条通往存储单元的行导线相连,

N 沟道存储晶体管具有一条存储栅极引线及两条存储沟道引线,

5 一条第二存储沟道引线和一条第一选择沟道引线相互连接, 其中, 一条第一存储沟道引线或者一条第二选择沟道引线与一条通往存储单元的列导线相连, 其中, 半导体存储器具有至少一个其上有一条第一和一条第二传输沟道引线的传输晶体管, 其中, 第一传输沟道引线及存储栅极引线相连,

其特征在于, 具有如下特征:

传输晶体管是作为 P 沟道传输晶体管实现的,

10 第二传输沟道引线与通往存储单元的行导线相连,

设有一条写信号导线, 该写信号导线与传输栅极引线相连, 使传输晶体管可经该写信号导线驱动,

15 设有一个 N 沟道放电晶体管, 该 N 沟道放电晶体管具有一条放电栅极引线及一条第一和一条第二放电沟道引线, 其中, 第一放电沟道引线及存储栅极引线相连, 其中, 第二放电沟道引线是接地的, 并且其中, 放电栅极引线及写信号导线相连。

在根据本发明的半导体存储器中, 半导体存储器是按行和列定位的, 其中, 在行内:

多个存储单元的选择栅极引线是并联的,

20 多个存储单元的存储栅极引线是并联的, 并且其中, 在列内, 第一存储沟道引线或者第二选择沟道引线是并联的。

25 在根据本发明的半导体存储器中, 至少一系列的驱动电路具有各一个其上有一条区选择栅极引线及两条区选择沟道引线的 P 沟道区选择晶体管, 其中, 一条第一区选择沟道引线与一条通往一个存储单元的行导线相连, 并且其中, 一条第二区选择沟道引线及第一传输沟道引线相连。

在根据本发明的半导体存储器中, 设有一条区选择控制导线, 这条控制导线与区选择栅极引线相连, 使区选择晶体管可经该区选择控制导线驱动。

在发明的实施形式中, 传输晶体管的传输栅极引线可被供以一个被转换成高电压的逻辑信号。为此, 一个也驱动存储单元的有关编程状态的逻辑信号

合理地被采用。其中，通过实施作为P沟道传输晶体管的传输晶体管，造价昂贵的、用于驱动传输栅极引线的反演器的设置被放弃，因为P沟道传输晶体管在栅极被操纵的情况下截止和相反。而原则上，具有一个这样的反演器的传输晶体管也可构成N沟道传输晶体管。

- 5 以发明的装置，总的编程电压在没有损耗和在不采取其它特别的措施的情况下可经由传输晶体管的沟道被接通到存储栅极引线上。应顺便提及的是，本发明也可用一个这样的存储器来实现，在该存储器中，在传输晶体管为N沟道晶体管结构的情况下，存储晶体管 and 选择晶体管为P沟道晶体管。这种设置形式虽然是不常用的，但在为了传递载流子希望所谓的“空穴传导”时，也可带来优点。

10 在发明的扩展实施形式中，驱动电路具有一个N沟道放电晶体管，该放电晶体管具有一条放电栅极引线及第一和第二条放电沟道引线，其中，第一放电沟道引线 with 存储栅极引线相连，其中，第二放电引线是接地的，并且其中，放电栅极引线 with 那条控制导线相连传输晶体管经该导线被驱动。

- 15 在对存储单元进行编程的过程中，这个放电晶体管确存储栅极引线在编程过程中处在限定的电位上，特别是处在地电位上。恰恰是在传输晶体管截止的情况下，据此可确存储栅极引线限定地处在0V电位上。

- 发明的半导体存储器是按行和列编制的，其中，多个存储单元的选择栅极引线和存储栅级引线在行内是并联的，并且其中，第一存储沟道引线或者第二选择沟道引线在列内是并联的。据此，发明的存储器可特别简单地按行和列设置。

- 20 其中，规定有至少一个列，该列的驱动电路具有按发明接线的传输晶体管。该驱动电路可附加地具有各一个其上有一条区选择栅极引线及两条区选择沟道引线的P沟道区选择晶体管(Blockauswahltransistor)，其中，一条第一区选择沟道引线 with 一条通往一个存储单元的行导线相连，并且其中，一条第二区选择沟道引线 with 第一传输沟道引线相连。据此，为了对存储单元进行编程，半导体存储器可被分成单个的区(Block)，这是特别有利的，因为据此不再需要为半导体存储器的整行编制确定的状态，而是只为一个从该行中选出的区编制确定的状态。据此，清除一个单个的区也特别是可能的。为此，设有一
- 25

条区选择控制导线,这条控制导线与区选择栅极引线相连,使区选择晶体管可经由该区选择控制导线受到驱动。

本发明还涉及一个用于驱动至少一个具有如前接线的传输晶体管的存储单元的驱动电路。

5

附图说明

下面借助附图以两个实施例详细说明本发明。附图所示为:

图1发明的第一半导体存储器的接线图,

图2发明的第二半导体存储器的接线图。

10

具体实施方式

图1示出发明的第一半导体存储器的接线图,该半导体存储器是在一个半导体衬底上实现的。在图1中只示出了半导体存储器的一部分区域,该区域具有四个存储单元Z1、Z2、Z3和Z4。存储单元Z1、Z2、Z3和Z4可经由两条行导线AG1、AG2和经由两条列导线SP1、SP2受到驱动。

15

一个驱动电路用于驱动存储单元Z1、Z2、Z3和Z4,该驱动电路具有一个传输晶体管TT1、一个放电晶体管ET1、一个传输晶体管TT2及一个放电晶体管ET2,这些晶体管经由一条写信号导线SCHR X驱动。在写信号导线SCHR X上加有一个被转换成高电压的信号,该信号是从一个控制写过程的逻辑信号生成的。

20

传输晶体管TT1和传输晶体管TT2是作为P沟道晶体管按场效应晶体管工艺制造的,而放电晶体管ET1和放电晶体管ET2是作为N沟道晶体管按场效应晶体管工艺实现的。

存储单元Z1具有一个选择晶体管AT1和一个存储晶体管ST1。选择晶体管AT1是作为传统的、N沟道晶体管按场效应晶体管工艺建立的,而存储晶体管ST1是作为N沟道、具有一个所谓的“浮动栅”的晶体管实现的。选择晶体管AT1的一条第一选择沟道引线与列导线SP1相连,而选择晶体管AT1的一条第二选择沟道引线存储晶体管ST1的一条第一存储沟道引线相连。存储晶体管ST1的一条第二存储沟道引线是与一条共用的源导线SOURCE连接的。

25

选择晶体管 AT1 的一条选择栅极引线与行导线 AG1 相连。传输晶体管 TT1 的一条第二传输沟道引线也与行导线 AG1 相连。传输晶体管 TT1 的一条第一传输沟道引线是与存储晶体管 ST1 的一条存储栅极引线 KG1 连接的。其中，存储晶体管 ST1 的属于存储栅极引线 KG1 的栅极是作为所谓的“浮动栅”结构实现的。

传输晶体管 TT1 的一条传输栅极引线是与写信号导线 SCHRX 连接的。放电晶体管 ET1 的一条放电栅极引线也是与写信号导线 SCHRX 连接的。放电晶体管 ET1 的一条第一放电沟道引线与存储栅极引线 KG1 相连，而放电晶体管 ET1 的一条第二放电沟道引线为直接接地结构。

涉及行导线 AG1，存储单元 Z3 是与存储单元 Z1 并联的。为此，存储单元 Z3 具有一个作为 N 沟道晶体管按传统的场效应晶体管工艺实现的选择晶体管 AT3 及一个存储晶体管 ST3，该存储晶体管 ST3 为具有一个“浮动栅”的 N 沟道晶体管。选择晶体管 AT3 的一条第一选择沟道引线与列导线 SP2 相连，而选择晶体管 AT3 的一条第二选择沟道引线与存储晶体管 ST3 的一条第一存储沟道引线相连。存储晶体管 ST3 的一条第二存储沟道引线与共同的源导线 SOURCE 相连。选择晶体管 AT3 的选择栅极引线选择晶体管 AT1 的选择栅极引线并联并与行导线 AG1 相连。

存储晶体管 ST3 的存储栅极引线选择晶体管 ST1 的存储栅极引线并联并与传输晶体管 TT1 的第二传输沟道引线相连。此据，存储晶体管 ST3 的存储栅极引线也与放电晶体管 ET1 的第一放电沟道引线相连。

存储单元 Z2 具有一个选择晶体管 AT2 和一个存储晶体管 ST2。选择晶体管 AT2 是作为传统的 N 沟道晶体管按场效应晶体管工艺制造的，而存储晶体管 ST2 是作为具有一个所谓的“浮动栅”的 N 沟道晶体管实现的。选择晶体管 AT2 的一条第一选择沟道引线选择列导线 SP2 相连，而选择晶体管 AT2 的一条第二选择沟道引线选择存储晶体管 ST2 的一条第一存储沟道引线相连。存储晶体管 ST2 的一条第二存储沟道引线选择共同的源导线 SOURCE 相连。

选择晶体管 AT2 的一条选择栅极引线选择行导线 AG2 相连。传输晶体管 TT2 的一条第二传输沟道引线选择行导线 AG2 相连。传输晶体管 TT2 的一条第一传输沟道引线选择存储晶体管 ST2 的一条存储栅极引线 KG2 相连。其中，存储晶体

管 ST2 的属于存储栅极引线 KG2 的栅极作为所谓的“浮动栅”实现。

传输晶体管 TT2 的一条传输栅极引线和放电晶体管 ET2 的一条放电栅极引线与写信号导线 SCHR_X 相连。一条第一放电沟道引线与存储栅极引线 KG2 相连，而一条第二放电沟道引线是直接接地的。涉及行导线 AG2，存储单元 Z4 是与存储单元 Z2 并联的。为此，存储单元 Z4 具有一个选择晶体管 AT4 和一个存储晶体管 ST4，其中，选择晶体管 AT4 是作为 N 沟道晶体管按传统的场效应晶体管工艺实现的，而存储晶体管 ST4 是作为具有一个“浮动栅”的 N 沟道晶体管构成的。选择晶体管 AT4 的一条第一选择沟道引线与列导线 SP2 相连，而选择晶体管 AT4 的一条第二选择沟道引线与存储晶体管 ST4 的一条第一存储沟道引线相连。存储晶体管 ST4 的一条第二存储沟道引线与共用的导线 SOURCE 相连。选择晶体管 AT4 的选择栅极引线是与选择晶体管 AT2 的选择栅极引线并联的并与行导线 AG2 相连。存储晶体管 ST4 的存储栅极引线是与存储晶体管 ST2 的存储栅极引线并联的并与传输晶体管 TT2 的第二传输沟道引线相连。据此，存储晶体管 ST4 的存储栅极引线也与放电晶体管 ET2 的第一放电沟道引线相连。

涉及列导线 SP1，存储单元 Z1 和 Z2 是并联的，而涉及列导线 SP2，存储单元 Z3 和 Z4 是并联的。

下面说明存储单元 Z1 的三个状态“清除”、“写入”和“读出”。其中，在状态“清除”时，没有信号被加到列导线 SP1 上，因为，为此，这是不必要的。只有在写入和读出存储单元 Z1 的内容时，列导线 SP1 才被加上一个信号。而在图中没有详细注明这一点，因为这对本发明的本质而言具有次要的意义。

在下列的表中为各个情况列出了行导线 AG1、AG2 的、存储栅极引线 KG1、KG2 的和写信号导线的状态：

	AG1	KG1	AG2	KG2	SCHR _X
清除	Up	Up	0	0+U _{tp}	0
写入	Up	0	0	0	Up
读出	U ₁	U ₁	0	0+U _{tp}	0

其中, 电压“Up”表示编号电压(譬如 18V), 电压“U1”表示读出电压并且电压“Utp”表示一个 P 沟道晶体管阈值电压的正的绝对值(约 1V)。

如人们从表中清楚看到的那样, 在清除存储器的在其内设有存储单元 Z1 的行时, 一个编程电压 Up 被加到行导线 AG1 上。据此, 传输晶体管 TT1 的第一传输沟道引线也位于编程电压 Up 的电平上。在写信号导线 SCHR_X 上加有电压 0V, 据此, 传输晶体管 TT1 处于接通状态, 因为传输晶体管 TT1 为 P 沟道晶体管结构。而放电晶体管 ET1 为 N 沟道晶体管结构, 据此, 写信号导线 SCHR_X 的在放电晶体管 ET1 的放电栅极引线上加有的信号 0V 把放电晶体管 ET1 驱动到截止状态。据此, 在存储栅极引线 KG1 上加有编程电压 Up, 这把存储晶体管 ST1 的“浮动栅”逼入“被清除”状态。

只要存储栅极引线 KG2 根据行导线 AG2 的电位在限定的状态中一直处于 $0V + U_{tp}$ 上, 存储单元 Z2 就不为行导线 AG1 上的及写信号导线 SCHR_X 上的过程所动。

由于存储单元 Z3 和 Z4 在涉及行导线 AG1、AG2 的情况下是与存储单元 Z1 和 Z2 并联的, 所以存储单元 Z3 和 Z4 的表现与存储单元 Z1 和 Z2 的一致。因此, 在状态“清除”时, 所有的、借助行导线 AG1 被启动的存储单元被清除。

清除存储单元 Z2 和 Z4 的进行方式与清除存储单元 Z1 与 Z3 的相同。

在把一个值写入存储单元 Z1 时, 行导线 AG1 和写信号导线 SCHR_X 被加上值 Up。基于写信号导线 SCHR_X 的状态, N 沟道放电晶体管 ET1 接通, 而 P 沟道传输晶体管 TT1 截止。据此, 在存储栅极引线 KG1 上加有地电位, 即 0V。通过把一个适宜的信号加到列导线 SP1 上, 存储晶体管 ST1 被写入, 因为选择晶体管 AT1 基于在选择栅极引线上加有的信号 Up 是接通的。

其中, 须说明的是, 只要存储栅极引线 KG2 根据通过放电晶体管 ET2 连接的地的电位一直保持限定的值 0V, 存储单元 Z2 就不为存储单元 Z1 中的过程所动。

在从存储单元 Z1 中读出一个值时, 值 U1 被加到行导线 AG1 上, 而写信号导线 SCHR_X 被加以信号 0。据此, 存储栅极引线 KG1 限定地处在电位 U1 上, 而选择晶体管 AT1 则处于接通的状态。通过把一个适宜的电压加到列导线 SP1 上, 存储晶体管 ST1 的状态可随后被读出。

通过把一个适宜的电压加到列导线 SP2 上, 存储单元 Z3 的存储晶体管 ST3 的存储状态可在该工作模式中被读出, 因为选择晶体管 AT3 也处于接通的状态。只要存储栅极引线一直在限定的状态 $0V + U_{tp}$ 上, 因为存储栅极引线 KG2 一直根据通过放电晶体管 ET2 连接的地的电位保持限定的值 $0V + U_{tp}$, 存储单元 Z2 和 Z4 就不为存储单元 Z1 和 Z3 的状态所动。

列导线 SP1 和 SP2 无论是在写入时还是在读出时均被加以相应的标准值。

图 2 示出了发明的另一个、在半导体衬底上实现的半导体存储器的接线图。在图 2 中只示出了半导体存储器的部分区域, 该区域具有四个存储单元 Z11、Z12、Z13 和 Z14。存储单元 Z11、Z12、Z13 和 Z14 可经由两条行导线 AG1、AG2 和经由两条列导线 SP1、SP2 驱动。

一个驱动电路用于驱动存储单元 Z11、Z12、Z13 和 Z14, 该驱动电路具有一个传输晶体管 TT11、一个放电晶体管 ET11、一个传输晶体管 TT12 及一个放电晶体管 ET12, 这些晶体管经由一条写信号导线 SCHR_X 驱动。在写信号导线 SCHR_X 上加有一个被转换成高电压的信号, 该信号是从一个控制写过程的逻辑信号生成的。该驱动电路还包括一个区选择晶体管 BT11 及一个区选择晶体管 BT12。区选择晶体管 BT11 的一条区选择栅极引线以及区选择晶体管 BT12 的一条区选择栅极引线均与区选择信号导线 BLKN 相连。在区选择信号导线 BLKN 上加有一个被转换成高电压的信号, 该信号是从另一个控制按区进行的编程过程的逻辑信号生成的。

插入

传输晶体管 TT11 和 TT2 和区选择晶体管 BT11 和 BT12 是作为传统的、P 沟道晶体管按场效应晶体管工艺制造的。

存储单元 Z11 具有一个选择晶体管 AT11 和一个存储晶体管 ST11。选择晶体管 AT11 是作为传统的、N 沟道晶体管按场效应晶体管工艺制造的, 而存储晶体管 ST11 作为具有一个所谓的“浮动栅”的 N 沟道晶体管实现的。选择晶体管 AT11 的一条第一选择沟道引线均与列导线 SP1 相连, 而选择晶体管 AT11 的一条第二选择沟道引线均与存储晶体管 ST11 的一条第一存储沟道引线相连。存储晶体管 ST11 的一条第二存储沟道引线均与一条共用的源导线 SOURCE 相连。

选择晶体管 AT11 的一条选择栅极引线 与行导线 AG1 相连。区选择晶体管 BT11 的一条第二区选择沟道引线 也与行导线 AG1 相连。传输晶体管 TT11 的一条第二传输沟道引线 与区选择晶体管 BT11 的一条第一区选择沟道引线 相连并且传输晶体管 TT11 的一条第一传输沟道引线 与存储晶体管 ST11 的一条存储栅极引线 KG11 相连。其中，存储晶体管 ST11 的属于存储栅极引线 KG11 的栅极是作为所谓的“浮动栅”实现的。传输晶体管 TT11 的一条传输栅极引线 与写信号导线 SCHR X 相连。

放电晶体管 ET11 的一条放电栅极引线 与写信号导线 SCHR X 相连。一条第一放电沟道引线 与存储栅极引线 KG11 相连，而一条第二放电沟道引线 是直接接地的。

涉及行导线 AG1，存储单元 Z13 是与存储单元 Z11 并联的。为此，存储单元 Z13 具有一个选择晶体管 AT13 和一个存储晶体管 ST13，其中，选择晶体管 AT13 是作为 N 沟道晶体管按传统的场效应晶体管工艺实现的，而存储晶体管 ST13 是作为具有一个“浮动栅”的 N 沟道晶体管实现的。选择晶体管 AT13 的一条第一选择沟道引线 与列导线 SP2 相连，而选择晶体管 AT13 的一条第二选择沟道引线 与存储晶体管 ST13 的一条第一存储沟道引线 相连。存储晶体管 ST13 的一条第二存储沟道引线 与共同的源导线 SOURCE 相连。选择晶体管 AT3 的选择栅极引线 是与选择晶体管 AT11 的选择栅极引线 并联的并与行导线 AG1 相连。存储晶体管 ST13 的存储栅极引线 是与存储晶体管 ST11 的存储栅极引线 并联的并与传输晶体管 TT11 的第二传输沟道引线 相连。据此，存储晶体管 ST13 的存储栅极引线 也与放电晶体管 ET11 的第一放电沟道引线 相连。

存储单元 Z12 具有一个选择晶体管 AT12 和一个存储晶体管 ST12。选择晶体管 AT12 是作为传统的、N 沟道晶体管按场效应晶体管工艺制造的，而存储晶体管 ST12 是作为具有一个所谓的“浮动栅”的 N 沟道晶体管实现的。选择晶体管 AT12 的一条第一选择沟道引线 与列导线 SP2 相连，而选择晶体管 AT12 的一条第二选择沟道引线 与存储晶体管 ST12 的一条第一存储沟道引线 相连。存储晶体管 ST12 的一条第二存储沟道引线 与共用的源导线 SOURCE 相连。

选择晶体管 AT12 的选择栅极引线 与行导线 AG2 相连。区选择晶体管 BT12 的一条第二区选择沟道引线 也与行导线 AG2 相连。传输晶体管 TT12 的一条第

二传输沟道引线与区选择晶体管 BT12 的一条第一区选择沟道引线相连并且传输晶体管 TT12 的一条第一传输沟道引线与存储晶体管 ST12 的一条存储栅极引线 KG12 相连。其中, 存储晶体管 ST12 的属于存储栅极引线 KG12 的栅极是作为所谓的“浮动栅”实现的。

- 5 传输晶体管 TT12 的一条传输栅极引线与写信号导线 SCHRX 相连。区选择晶体管 BT12 的一条区选择栅极引线与区选择信号导线 BLKN 相连。

放电晶体管 ET12 的一条放电栅极引线与写信号导线 SCHRX 相连。一条第一放电沟道引线与存储栅极引线 KG12 相连, 而一条第二放电沟道引线是直接接地的。

- 10 涉及行导线 AG2, 存储单元 Z14 与存储单元 Z12 并联。为此, 存储单元 Z14 具有一个选择晶体管 AT14 及一个存储晶体管 ST14, 其中, 选择晶体管 AT14 是作为 N 沟道晶体管按传统的场效应晶体管工艺制造的, 而存储晶体管 ST14 是作为具有一个“浮动栅”的 N 沟道晶体管实现的。选择晶体管 AT14 的一条第一选择沟道引线与列导线 SP2 相连, 而选择晶体管 AT14 的一条第二选择沟道引线
15 与存储晶体管 ST14 的一条第一存储沟道引线相连。存储晶体管 ST14 的一条第二存储沟道引线与共用的源导线 SOURCE 相连。选择晶体管 AT14 的选择栅极引线
20 与选择晶体管 AT12 的选择栅极引线并联并与行导线 AG2 相连。存储晶体管 ST14 的存储栅极引线
与存储晶体管 ST12 的存储栅极引线并联并与传输晶体管 TT12 的第二传输沟道引线相连。据此, 存储晶体管 ST14 的存储栅极
25 引线也与放电晶体管 ET12 的第一放电沟道引线相连。

涉及列导线 SP1, 存储单元 Z11 和 Z12 是并联的, 而涉及列导线 SP2, 存储单元 Z13 和 Z14 是并联的。

- 下面说明存储单元 Z11 的三个状态“清除”、“写入”和“读出”。其中, 在状态“清除”时, 没有信号被加到列导线 SP1 上, 因为这对于列导线
25 SP1 是不需要的。只有在“写入”和“读出”存储单元 Z11 的内容时, 列导线 SP1 才被加上一个信号。而在这里不对此加以详细描述, 因为这对发明的本质具有次要的意义。

在下表中为各个工况列出了行导线 AG1、AG2 的、存储栅极引线 KG11、KG12 的和写信号导线 SCHRX 的状态。

	AG1	KG11	AG2	KG12	SCHRX
清除	Up	Up	0	0+U _{tp}	0
写入	Up	0	0	0	Up
读出	U ₁	U ₁	0	0+U _{tp}	0

根据半导体存储器在其内设有存储单元 Z1 至 Z4 的区是否被选择，区选择信号 BLKN 接受电压 0V (“被选择”) 或者 Up (“没被选择”)

5 其中，电压 “Up” 表示编程电压 (譬如 18V)，电压 “U₁” 表示读出电压并且电压 “U_{tp}” 表示 P 沟道晶体管的阈值电压的正的绝对值 (约 1V)。

为了在下面描述半导体存储器的工作方式，假设信号 BLKN 一直处在 0V 上，据此，区选择晶体管的沟道处在接通的状态中并且行导线上的信号转接到传输晶体管 TT11 和 TT12 的沟道上。

10 如人们从表中清楚看到的那样，在清除存储器的在其内设有存储单元 Z11 的行时，一个编程电压 Up 被加到行导线 AG1 上。据此，传输晶体管 TT11 的第一条传输沟道引线也位于编程电压 Up 的电平上。在写信号导线 SCHRX 上加有电压 0V，据此，传输晶体管 TT11 处于接通状态，因为该传输晶体管 TT11 是作为 P 沟道晶体管实现的。而放电晶体管 ET11 是作为 N 沟道晶体管实现的，
15 据此，写信号导线 SCHRX 的加在放电晶体管 ET11 的放电栅极引线上的信号 0V 把放电晶体管 ET11 驱动到截止状态。因此，在存储栅极引线 KG11 上加有编程电压 Up，这把存储晶体管 ST11 的 “浮动栅” 逼入 “被清除” 状态。

只要存储栅极引线 KG12 根据行导线 AG2 的电位在限定的状态下总是处在 0V+U_{tp} 上，存储单元 Z12 就不为行导线 AG1 上的及写信号导线 SCHRX 上的过程所动。
20

由于存储单元 Z13 和 Z14 涉及行导线 AG1、AG2 是与存储单元 Z11 和 Z12 并联的，所以存储单元 Z13 和 Z14 的表现与存储单元 Z11 和 Z12 的一致。因此，在状态 “清除” 时，所有那些借助行导线 AG1 被启动的存储单元均被清除。

清除存储单元 Z12 和 Z14 的进行方式与清除存储单元 Z11 和 Z13 的相同。

为了在把一个值写入存储单元 Z11 时, 行导线 AG1 和写信号导线 SCHR_X 被加上值 U_p 。基于写信号导线 SCHR_X 的状态, N 沟道放电晶体管 ET11 接通, 而 P 沟道传输晶体管 TT11 截止。据此, 在存储栅极引线 KG11 上加有地电位, 即 0V。通过把一个适宜的信号加到列导线 SP1 上, 存储晶体管 ST11 被写入, 因为选择晶体管 AT11 基于在选择栅极引线上加有的信号 U_p 是接通的。其中, 须说明的是, 只要存储栅极引线 KG12 根据通过放电晶体管连接的地的电位一直保持限定的值 0V, 存储单元 Z12 就不为存储单元 Z11 中的过程所动。在从存储单元 Z11 中读出一个值时, 值 U_1 被加到行导线 AG1 上, 而写信号导线 SCHR_X 被加上信号 0。据此, 存储栅极引线 KG11 限定地处于电位 U_1 上, 而选择晶体管 AT11 处在接通状态。通过把一个适宜的电压加到列导线 SP1 上, 存储晶体管 ST11 的状态则可被读出。通过把一个适宜的电压加到列导线 SP2 上, 存储单元 Z13 的存储晶体管 ST13 的存储状态可在该工作模式中被读出, 因为选择晶体管 AT13 同样处在接通状态。只要存储栅极引线 KG12 在限定的状态中, 并且基于通过放电晶体管连接的地一直处在 $0V + U_{tp}$ 上, 存储单元 Z12 和 Z14 就不为存储单元 Z11 和 Z13 的状态所动。列导线 SP1 和 SP2 在写入时和在读出时均被加上相应的标准值。

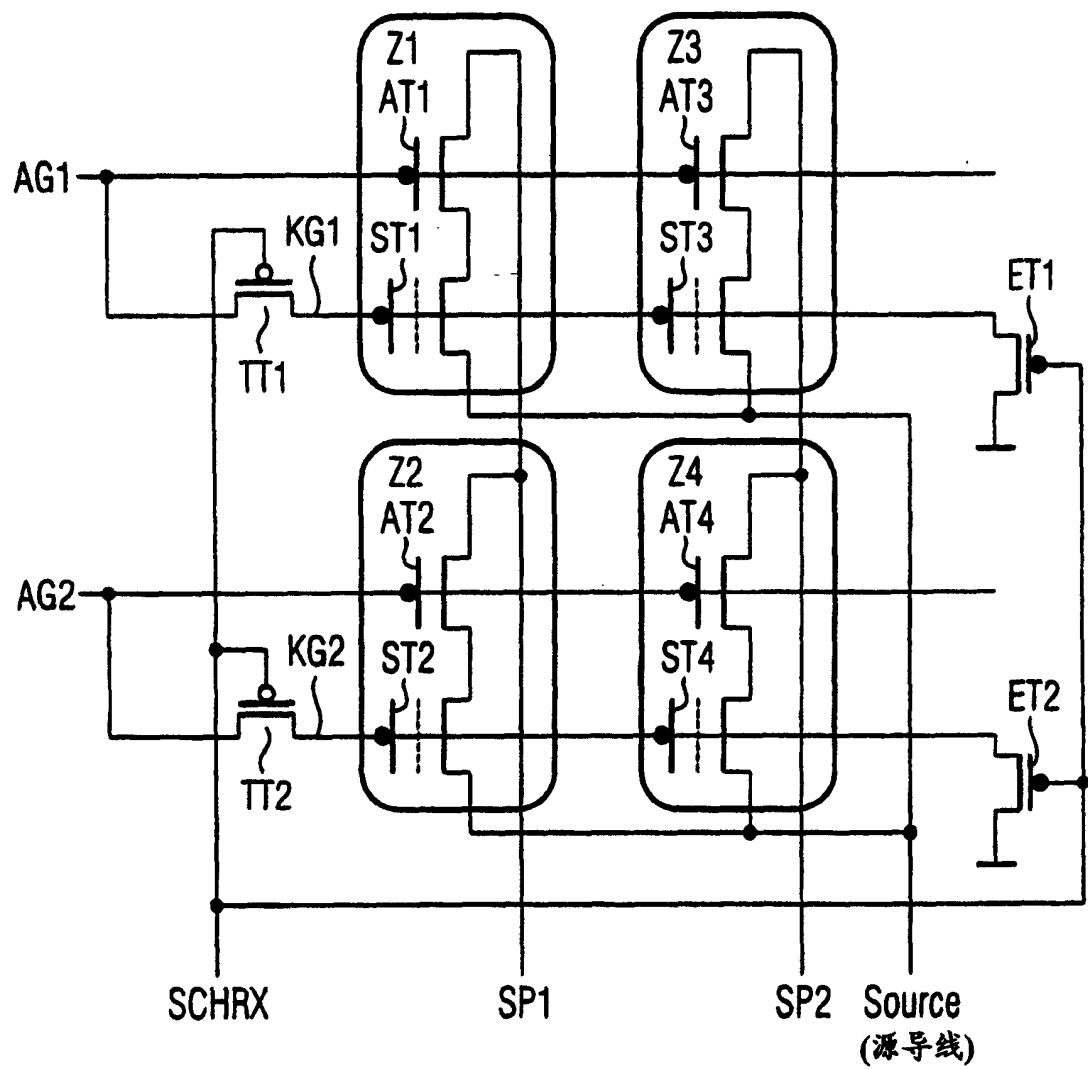


图 1

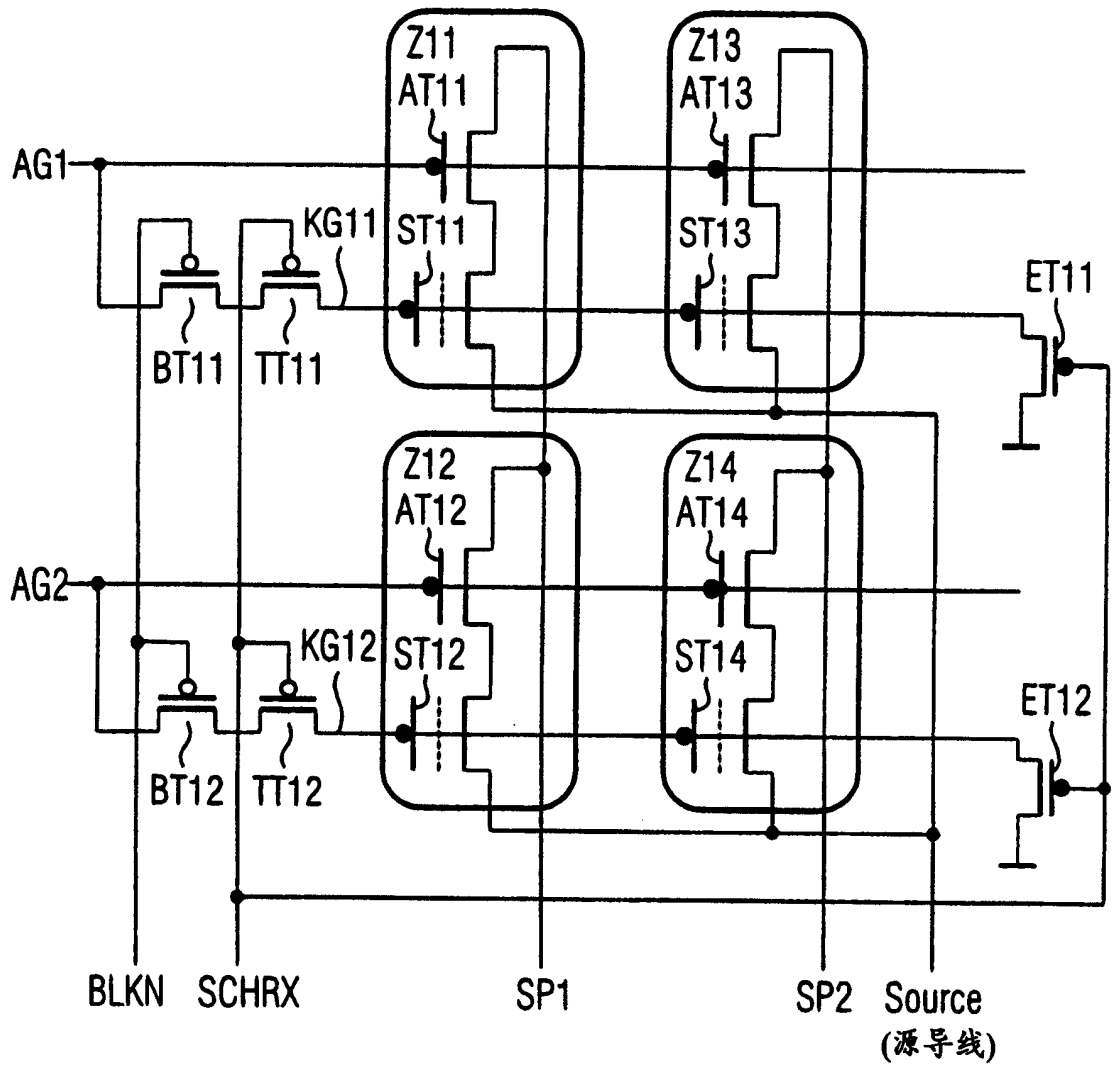


图 2