



(12) 发明专利

(10) 授权公告号 CN 103035216 B

(45) 授权公告日 2015. 09. 30

(21) 申请号 201210385235. 8

(22) 申请日 2012. 09. 29

(30) 优先权数据

2011-221543 2011. 10. 06 JP

(73) 专利权人 株式会社日本显示器

地址 日本东京都港区西新桥三丁目7番1号

(72) 发明人 阿部裕行 榎正博 铃木乔之

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 陈伟 孟祥海

(51) Int. Cl.

G09G 3/36(2006. 01)

G09G 3/20(2006. 01)

(56) 对比文件

US 7929658 B2, 2011. 04. 19,

CN 101110179 A, 2008. 01. 23,

CN 1395256 A, 2003. 02. 05,

US 2007/0242018 A1, 2007. 10. 18,

US 7929658 B2, 2011. 04. 19,

US 2007/0115245 A1, 2007. 05. 24,

审查员 李文斐

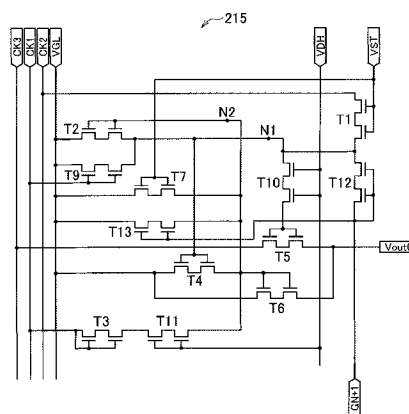
权利要求书2页 说明书6页 附图15页

(54) 发明名称

显示装置

(57) 摘要

本发明提供一种显示装置,其具有用于向多条并行的输出信号线中最端部的输出信号线即初级输出信号线输出的电路即初级输出电路,其中,初级输出电路包括:启动信号线,其施加开始信号,该开始信号用于对多条输出信号线依次施加导通电位;第一时钟信号线,其施加时钟信号即第一时钟信号;第二时钟信号线,其施加与第一时钟信号不同的时钟信号即第二时钟信号;第一晶体管,其源极连接初级输出信号线,漏极连接第一时钟信号线;第二晶体管,其栅极连接启动信号线,通过使启动信号线成为导通电位,导通第二时钟信号线与第一晶体管的栅极。



1. 一种显示装置,其特征在于,包括:

驱动电路,其对并行的多条输出信号线,依次施加使像素晶体管导通的电位即导通电位,

其中,所述驱动电路具有初级输出电路,该初级输出电路是用于向所述多条输出信号线中位于最端部的输出信号线即初级输出信号线输出的电路,

其中,所述初级输出电路具有:

启动信号线,其施加开始信号,该开始信号用于对所述多条输出信号线依次施加导通电位;

第一时钟信号线,其施加作为时钟信号的第一时钟信号;

第二时钟信号线,其施加第二时钟信号,该第二时钟信号是与所述第一时钟信号相比成为导通电位的时间不重合的时钟信号;

第一晶体管,其源极和漏极中的任一方直接或间接地与所述初级输出信号线连接,所述源极和漏极中的另一方直接或间接地与所述第一时钟信号线的晶体管连接;

节点,其与所述第一晶体管的栅极直接或间接地连接;以及

第二晶体管,其栅极与所述启动信号线连接,设置在所述第二时钟信号线与所述节点之间,通过使所述启动信号线成为导通电位,使所述第二时钟信号线与所述节点导通,

所述驱动电路具有:

第一初级输出电路,即向所述多条并行的输出信号线中一端的所述输出信号线输出的所述初级输出电路;以及

第二初级输出电路,即向所述多条并行的输出信号线中另一端的所述输出信号线输出的所述初级输出电路,

切换正向扫描与反向扫描,该正向扫描从所述一端开始依次导通所述像素晶体管,该反向扫描从所述另一端开始依次导通所述像素晶体管,

所述启动信号线在所述正向扫描和所述反向扫描中是公用的。

2. 根据权利要求 1 所述的显示装置,其特征在于,

所述启动信号线的信号成为导通电位的定时,与所述第二时钟信号线的信号成为导通电位的定时相比,仅提前比时钟信号的周期充分小的微小时间。

3. 根据权利要求 1 所述的显示装置,其特征在于,

所述启动信号线的信号成为不使晶体管导通的非导通电位的定时,与所述第二时钟信号线成为非导通电位的定时相比,仅提前比时钟信号的周期充分小的微小时间。

4. 根据权利要求 2 所述的显示装置,其特征在于,

所述启动信号线的信号成为不使晶体管导通的非导通电位的定时,与所述第二时钟信号线成为非导通电位的定时相比,仅提前比时钟信号的周期充分小的微小时间。

5. 根据权利要求 1~4 中任一项所述的显示装置,其特征在于,还包括:

第三时钟信号线被施加第三时钟信号,该第三时钟信号是与所述第一时钟信号和所述第二时钟信号相比成为所述导通电位的时间不重合的时钟信号;

非导通电位保持线,其保持不使晶体管导通的非导通电位;以及

第三晶体管,其栅极与所述第三时钟信号线连接,通过使所述第三时钟信号线成为导通电位来连接所述节点和所述非导通电位保持线。

6. 根据权利要求 1 ~ 4 中任一项所述的显示装置,其特征在于,
还包括次级输出信号线,其为所述多条输出信号线,并与所述初级输出信号线相邻配置,

所述次级输出信号线通过使所述次级输出信号线成为导通电位,从而经由整流装置与所述节点导通。

7. 根据权利要求 5 所述的显示装置,其特征在于,
还包括次级输出信号线,其为所述多条输出信号线,并与所述初级输出信号线相邻配置,

所述次级输出信号线通过使所述次级输出信号线成为导通电位,从而经由整流装置与所述节点导通。

8. 根据权利要求 6 所述的显示装置,其特征在于,
所述次级输出信号线隔着显示图像的显示区域,在与向所述次级输出信号线施加所述导通电位侧的相反一侧施加导通电位。

9. 根据权利要求 7 所述的显示装置,其特征在于,
所述次级输出信号线隔着显示图像的显示区域,在与向所述次级输出信号线施加所述导通电位侧的相反一侧施加导通电位。

显示装置

技术领域

[0001] 本发明涉及一种显示装置。

背景技术

[0002] 作为计算机等信息通信终端或电视接收器的显示装置,液晶显示装置被广泛使用。并且,有机 EL 显示装置 (OLED)、场发射显示装置 (FED) 等作为薄型显示装置也被广泛周知。液晶显示装置是通过电场的变化来改变被封入在 2 个基板之间的液晶组成物的取向,并控制通过 2 个基板与液晶组合物的光的透过度,从而显示图像的装置。

[0003] 在包含这种液晶显示装置,并且对画面中的各像素施加与预定灰阶值对应的电压的显示装置中,配置有用于对各像素施加与灰阶值对应的电压的像素晶体管。一般而言,画面的 1 行量的像素晶体管的栅极连接在一条信号线(以下称为“扫描信号线”)上,该扫描信号线通过驱动电路被控制为对各行依次输出使该像素晶体管导通的导通电压。另外,还存在具有双向扫描(双方向扫描)功能的显示装置,该双向扫描功能为:能够按照输出导通电压的顺序在正反两个方向上进行扫描,以使得将画面上下反转也能够进行显示。日本特开 2010-73301 号公报中公开了用于实现双向扫描的电路。

发明内容

[0004] 图 13 是示意性地示出了双向扫描电路的一个示例的图。如该图所示,双向扫描电路存在从显示区域 802 的上部开始依次扫描的正向扫描与从显示区域 802 的下部开始扫描的反向扫描,通过从配置于显示区域 802 左右的多个输出电路中交替输出进行扫描,从而实现正向扫描和反向扫描。

[0005] 多个输出电路具有:初级输出电路 815,其将启动信号 VST 作为触发进行动作,并将其输出;重复输出电路 816,其将来自隔着显示区域相对的输出电路的输出作为触发进行动作,并将其输出;末级输出电路 817,其将来自相对的输出电路的输出作为输入,输出末级输出。图 14 示出了图 13 的右上方和左下方所示的初级输出电路 815 的电路图。为了缩小电路规模,在正向扫描和反向扫描中输入相同的启动信号 VST。

[0006] 图 15 是表示在图 13 的右上方所示的初级输出电路 815(参照图 14)中,在正向扫描时被输入的信号与节点 N1 和 N2、以及输出信号 V_{OUT0} 信号的变化时序图。如该时序图所示,通过输入启动信号 VST,使节点 N1 成为 High 电位,然后,通过时钟信号 CK3 的 High 电位,输出 V_{OUT0} 信号被输出。

[0007] 图 16 同样示出了在图 13 的右上方所示的初级输出电路 815 中输入了反向扫描时的信号的情况下的时序图。如该图所示,在反向扫描时,右上方的初级输出电路 815 通过启动信号 VST 使节点 N1 成为 High 电位,但输出用的时钟信号 CK3 在成为 High 电位之前,不需要为了通过时钟信号 K1 降低节点 N1 电位而被输出。

[0008] 在这些图 15 和图 16 的时序图中可以看出,时钟信号 CK2 和 CK3 在输出启动信号 VST 时停止。然而,这样由于启动信号 VST 的定时等而需要停止的时钟信号生成电路的结构

其电路规模增大,并且成本上大量浪费,因此如图 17 所示的那样直接以连续的时钟信号使初级输出电路 815 动作。此时,如图 17 的时序图所示,在正向扫描时,也能够使初级输出电路 815 无障碍地进行动作。然而,在进行了反向扫描时,如图 18 的时序图所示,出现从右上方的初级输出电路中生成输出的情况。

[0009] 本发明是鉴于上述状况而完成的,其目的在于:提供一种通过取为能够双向扫描而不需要停止时钟信号,从而缩小了电路规模的可双向扫描的显示装置。

[0010] 本发明的显示装置,其特征在于,包括:驱动电路,其对并行的多条输出信号线,依次施加使像素晶体管导通的电位即导通电位,其中,所述驱动电路具有初级输出电路,该初级输出电路是用于向所述多条输出信号线中位于最端部的输出信号线即初级输出信号线输出的电路,其中,所述初级输出电路具有:启动信号线,其施加开始信号,该开始信号用于对所述多条输出信号线依次施加导通电位;第一时钟信号线,其施加作为时钟信号的第一时钟信号;第二时钟信号线,其施加第二时钟信号,该第二时钟信号是其成为导通电位的时间与所述第一时钟信号的成为导通电位的时间不重合的时钟信号;第一晶体管,其源极和漏极中的任一方向直接或间接地与所述初级输出信号线连接,所述源极和漏极中的另一方直接或间接地与所述第一时钟信号线的晶体管连接;节点,其与所述第一晶体管的栅极直接或间接地连接;以及第二晶体管,其栅极与所述启动信号线连接,通过使所述启动信号线成为导通电位,使所述第二时钟信号线与所述节点导通。

[0011] 这里,输出信号线的含义除了包括显示区域内的扫描信号线之外,还包括显示区域外的向虚拟电路等输出的输出信号线、包含包括显示区域内部依次施加导通信号的所有信号线。

[0012] 并且,在本发明的显示装置中,也可以是,所述启动信号线的信号成为导通电位的定时,与所述第二时钟信号线的信号成为导通电位的定时相比,仅提前比时钟信号的周期充分小的微小时间。

[0013] 并且,在本发明的显示装置中,也可以是,所述启动信号线的信号成为不使晶体管导通的非导通电位的定时,与所述第二时钟信号成为非导通电位的定时相比,仅提前比时钟信号的周期充分小的微小时间。

[0014] 并且,在本发明的显示装置中,还包括:第三时钟信号线,其施加第三时钟信号,该第三时钟信号是其成为所述导通电位的时间与所述第一时钟信号和所述第二时钟信号的成为导通电位的时间不重合的时钟信号;非导通电位保持线,其保持不使晶体管导通的非导通电位;第三晶体管,其栅极与所述第三时钟信号线连接,通过使所述第三时钟信号线成为导通电位,从而连接所述节点与所述非导通电位保持线。

[0015] 并且,在本发明的显示装置中,还包括次级输出信号线,其为所述多条输出信号线,并与所述初级输出信号线相邻配置,所述次级输出信号线通过使所述初级输出信号线成为导通电位,从而经由整流装置与所述节点导通。

[0016] 并且,在本发明的显示装置中,也可以是,所述次级输出信号线隔着显示图像的显示区域,在对所述初级输出信号线施加所述导通电位侧的相反一侧施加导通电位。

[0017] 并且,在本发明的显示装置中,也可以是,所述驱动电路具有:第一初级输出电路,即向所述多条并行的输出信号线中一端的所述输出信号线输出的所述初级输出电路;第二初级输出电路,即向所述多条并行的输出信号线中另一端的所述输出信号线输出的所述初

级输出电路,并且所述驱动电路切换正向扫描与反向扫描,该正向扫描从所述一端开始依次导通所述像素晶体管,该反向扫描从所述另一端开始依次导通所述像素晶体管,所述启动信号在所述正向扫描和所述反向扫描中是公用的。

附图说明

- [0018] 图 1 是示意性地示出了与本发明的一个实施方式相关的显示装置的图。
- [0019] 图 2 是表示图 1 的显示面板的结构的图。
- [0020] 图 3 是示意性地示出了图 2 的驱动电路的结构的图。
- [0021] 图 4 是具体地示出了图 3 的右侧驱动电路的重复输出电路的电路结构的图。
- [0022] 图 5 是表示图 3 的右侧驱动电路的初级输出电路的电路结构的图。
- [0023] 图 6 是表示图 3 的右侧驱动电路的末级输出电路的电路结构的图。
- [0024] 图 7 是图 5 的右侧驱动电路的初级输出电路的正向扫描时的动作的时序图。
- [0025] 图 8 是表示正向扫描时的启动信号线 VST、时钟信号线 CK2 与定时差的图。
- [0026] 图 9 是图 5 的右侧驱动电路的初级输出电路的反向扫描时的动作的时序图。
- [0027] 图 10 是表示图 4 的重复输出电路的变形例即输出电路的图。
- [0028] 图 11 是采用了没有配置晶体管 T8 的结构的情况下的时序图。
- [0029] 图 12 是表示图 4 的重复输出电路的变形例即输出电路的图。
- [0030] 图 13 是示意性地示出了双向扫描电路的一个示例的图。
- [0031] 图 14 是图 13 的右上方所示的初级输出电路的电路图。
- [0032] 图 15 是表示初级输出电路的正向扫描时的信号变化的时序图。
- [0033] 图 16 是表示初级输出电路的反向扫描时的信号变化的时序图。
- [0034] 图 17 是表示由连续的时钟信号驱动的情况下的初级输出电路的正向扫描时的信号变化的时序图。
- [0035] 图 18 是表示由连续的时钟信号驱动的情况下的初级输出电路的反向扫描时的信号变化的时序图。

[0036] 附图标记说明

[0037] 100 显示装置、110 顶框、120 底框、200 显示面板、202 像素区域、210 驱动电路、212 右侧驱动电路、214 左侧驱动电路、215 初级输出电路、216 重复输出电路、217 末级输出电路、220 TFT 基板、230 滤色片基板、260 驱动 IC、301 输出电路、302 输出电路、802 显示区域、815 初级输出电路、816 重复输出电路、817 末级输出电路

具体实施方式

[0038] 下面,针对本发明的实施方式,参照附图进行说明。另外,在附图中,对相同或同等要素添加相同标记,省略重复说明。另外,假设被附加给各信号的标记表示施加该信号的各信号线。

[0039] 图 1 示意性地示出了与本发明的一个实施方式相关的显示装置 100。如该图所示,显示装置 100 由被固定为被顶框 110 和底框 120 夹持的显示面板 200 等构成。另外,显示面板 200 如果是液晶显示面板、有机 EL 显示面板等利用了薄膜晶体管基板的显示面板,则任何一种显示面板都可以,但在本实施方式中,假设显示面板 200 是液晶显示面板。

[0040] 图 2 示出了图 1 的显示面板 200 的结构。显示面板 200 具有 TFT (Thin Film Transistor: 薄膜晶体管) 基板 220 与滤色片基板 230 这两张基板, 在这两张基板之间密封有液晶组合物。TFT 基板 220 具有驱动电路 210 与驱动 IC (Integrated Circuit) 260, 该驱动电路 210 对扫描信号线 $G_1 \sim G_n$ 依次施加预定电压, 该驱动 IC 260 对于在显示区域 202 中以垂直交叉于扫描信号线 $G_1 \sim G_{480}$ 的方式延伸的未图示的多条数据信号线施加与像素的灰阶值对应的电压, 同时控制驱动电路 210。另外, 驱动电路 210 具有朝向附图并且位于像素区域 202 的右侧的右侧驱动电路 212、位于像素区域 202 的左侧的左侧驱动电路 214。

[0041] 图 3 是示意性地示出了驱动电路 210 的电路结构的图。如该图所示, 右侧驱动电路 212 是用于对第奇数个扫描信号线 G_{2i-1} (i 是自然数) 施加用于使配置在各像素上的 TFT 的栅极导通 TFT 的源极・漏极之间的 High 电位 (导通电位) 的驱动电路, 左侧驱动电路 214 是用于对第偶数个扫描信号线 G_{2i} 施加用于使配置在各像素上的 TFT 的栅极导通 TFT 的源极・漏极之间的 High 电位的驱动电路。右侧驱动电路 212 和左侧驱动电路 214 分别具有初级输出电路 215、末级输出电路 217、被配置在初级输出电路 215 和末级输出电路 217 之间的重复输出电路 216。右侧驱动电路 212 的重复输出电路 216 将左侧驱动电路 214 的输出作为触发进行输出, 左侧驱动电路 214 的重复输出电路 216 将右侧驱动电路 212 的输出作为触发进行输出。初级输出电路 215 将启动信号 VST 作为触发进行输出。另外, 右侧驱动电路 212 的启动信号 VST 与左侧驱动电路 214 的启动信号 VST 为相同信号, 同时被输入至两方的初级输出电路 215。除初级输出电路 215 之外的右侧驱动电路 212 由时钟信号 CK1 和 CK3 驱动, 右侧驱动电路 212 的初级输出电路 215 除了时钟信号 CK1 和 CK3 之外还利用时钟信号 CK2。并且, 除了初级输出电路 215 之外的左侧驱动电路 214 由时钟信号 CK2 和 CK4 驱动, 左侧驱动电路 214 的初级输出电路 215 除了时钟信号 CK2 和 CK4 之外还利用时钟信号 CK3。并且, 时钟信号 CK1 $\sim$ CK4 在正向扫描时, 是按照 CK1、CK2、CK3、CK4 的顺序成为 High 电位的四相时钟, 在反向扫描时, 是按照 CK4、CK3、CK2、CK1 的顺序成为 High 电位的四相时钟。

[0042] 正向扫描将启动信号 VST 作为触发, 从对于右侧驱动电路 212 的初级输出电路 215 的输出 V_{OUT0} 的 High 电位的输出开始, 在右侧驱动电路 212 的末级输出电路 217 中结束。反向扫描将启动信号 VST 作为触发, 在对于左侧驱动电路 214 的初级输出电路 215 的输出 V_{OUT0} 的输出开始, 在左侧驱动电路 214 的末级输出电路 217 中结束。

[0043] 图 4 具体示出了右侧驱动电路 212 的重复输出电路 216 的电路结构。这里, 图 4 所示的端子的名称为了后面叙述的图 7 的时序图中的说明, 变更为图 3 的驱动电路 210 的外部端子的名称, 而不是图 3 的重复电路 216 的端子的名称。如图 4 所示, 重复输出电路 216 是通过 2 个时钟 CK1 和 CK3 进行动作的电路, 并且示出了向 2 个扫描信号线 G_{2i-1} 和 G_{2i+1} 输出的部分。另外, 标记 T 表示晶体管, 标记 N 表示节点。另外, 各晶体管由 LTPS (Low Temperature Poly Silicon: 低温多晶硅) 形成。

[0044] 如该图所示, 用于向扫描信号线 G_{2i-1} 输出的电路由下述元件构成: 在正向扫描时成为电路输入的晶体二极管 T1; 晶体管 T2, 其将后面叙述的晶体管 T5 的栅极固定到晶体管的非导通电位即 Low 电位 (VGL); 晶体管 T3, 其对保持节点 N2 进行充电; 保持节点复位用晶体管 T4; 晶体管 T5, 其用于向扫描信号线 G_{2i-1} 输出 High 电位; 晶体管 T6, 其通过保持节点 N2 将扫描信号线 G_{2i-1} 固定到电压 VGL; 晶体管 T7, 其在正向扫描时通过输入信号使保持节

点 N2 复位 ; 初始复位用晶体管 T8 ; 晶体管 T5 的栅极复位用晶体管 T9 ; 电压缓冲用晶体管 T10, 其利用中间电压 VDH 限制晶体管 T5 的栅极升压 ; 晶体管 T11, 其利用中间电压 VDH 降低晶体管 T3 充电后的电压 ; 在反向扫描时成为电路输入的晶体二极管 T12 ; 晶体管 T13, 其在反向扫描时通过输入信号使保持节点 N2 复位到电压 VGL。另外, 中间电压 VDH 是比扫描信号线 G_{2i-1} 的 High 电位即 VGH 低的电压, 具有使晶体管导通的电位。这里, 中间电压 VDH 也表示为 High 电位。

[0045] 图 5 示出了成为电路的初级的初级输出电路 215 的电路结构。初级输出电路 215 的结构基本上与重复输出电路 216 的结构相同, 但启动信号 VST 与晶体管 T7 的栅极连接, 同时还与晶体管 T1 的栅极连接, 晶体管 T1 的漏极侧与时钟信号 CK2 连接。并且, 采用没有配置初始复位用晶体管 T8 的结构。针对该初级输出电路的动作, 后面进行叙述。

[0046] 图 6 示出了成为电路的最后一级的末级输出电路 217 的电路结构。末级输出电路 217 与重复输出电路 216 相比, 采用如下结构 : 追加了与检查用端子连接的晶体管 T14 和 T15。

[0047] 图 7 示出了图 5 的右侧驱动电路 212 的初级输出电路 215 的正向扫描时的动作的时序图。以下, 使用图 7 的时序图, 对初级输出电路 215 的动作进行说明。首先, 初级输出电路 215 在比时刻 t_1 的时钟信号 CK2 的定时只提前微小时间 ts_1 (参照图 5) 的时刻, 对启动信号线 VST 输入 High 电位, 从而导通晶体管 T7, 并且将节点 N2 与 Low 电位 (VGL) 连接并将其设为 Low 电位。其次, 通过使时钟信号 CK2 成为 High 电位来导通晶体管 T1, 并且将保持节点 N1 的电位设定为 High, 导通晶体管 T5。这样, 通过在时钟信号 CK2 成为 High 电位的一小段时间之前将启动信号置于 High 电位, 从而能够在节点 N1 成为 High 电位之前将节点 N2 降至 Low 电位, 因此能够防止贯通电流, 并且能够提高可靠性、以及抑制耗电量。并且, 启动信号 VST 的下降定时比时钟信号 CK2 的下降定时只提前微小时间 ts_2 (参照图 8)。由此, 能够先遮断晶体管 T1, 再将节点 N1 保持为 High。这里, 微小时间是指比时钟信号的周期充分小的时间。

[0048] 接着, 在 t_2 定时, 如果时钟信号 CK3 成为 High 电位, 则利用自举效应进一步提高晶体管 T5 的栅极电压, 并且对输出 V_{out0} 输出 High 信号, 接着, 追随时钟 CK3 的动作, 输出 Low 信号。

[0049] 接着, 在 t_3 定时, 通过使 CK1 成为 High, 从而导通 T3, 并将节点 N2 提高至 High 电位, 同时导通晶体管 T9, 因此将节点 N1 降低至 Low 电位。节点 N1 经由晶体管 T10 遮断晶体管 T5 的源级・漏极之间, 同时利用节点 N2 的 High 电位导通晶体管 T6, 从而将输出 V_{out0} 与 Low 电位 (VGL) 连接。

[0050] 这里, 晶体管 T10 通过使时钟信号 CK3 成为 High, 从而取为双重配置晶体管的双控制极结构而进行高耐压化, 以承受增压后的电压。在被输出的输出 V_{out0} 中 High 信号成为向左侧驱动电路 214 的重复输出电路 216 的输入信号, 并通过与上述动作相同的动作, 对扫描信号线 G_1 输出 High 信号。

[0051] 图 9 示出了图 5 的右侧驱动电路 212 的初级输出电路 215 的反向扫描时的动作的时序图。与图 7 相比, CK1 ~ CK4 的相位不同, 并且按照反向顺序成为 High 电位。首先, 在 t_4 定时, 为了启动左侧驱动电路 214 的初级输出电路 215, 结合时钟信号 CK3 使启动信号 VST 成为 High 电位。由此, 在左侧驱动电路 214 的初级输出电路 215 中, 节点 N1 成为 High

电位,节点 N2 成为 Low 电位,但在右侧驱动电路 212 中,晶体管 T1 导通,并不通过 Low 电位开始动作。由此,即使在反向扫描时将启动信号 VST 置为 High 电位,右侧驱动电路 212 的初级输出电路 215 也会不开始扫描。

[0052] 如上所述,在上述实施方式中,由于能够双向扫描而不需要停止时钟信号,因此能够取为可缩小电路规模进行双向扫描的显示装置。

[0053] 并且,在上述实施方式中,由于正向扫描电路与反向扫描电路使用相同的电路,因此不需要配置用于逆向扫描的电路,能够缩小电路规模,并且能够缩小显示装置的边框区域。

[0054] 并且,由于采用重叠配置晶体管的双栅极结构,因此即使是 LTPS 晶体管也能够取为高耐压电路。

[0055] 图 10 示出了上述图 4 的重复输出电路 216 的变形例即输出电路 301。与重复输出电路 216 不同的是没有配置晶体管 T8,在上述实施方式中,晶体管 T8 为了通过启动信号 VST 对保持节点 N2 进行充电而被配置。然而,即使将全部的时钟信号 CK1 ~ CK4 都设为 High 电位,也能够对保持节点 N2 进行充电,因此如图 11 所示,通过使用在启动信号 VST 之前将时钟信号 CK1 ~ CK4 同时设为 High 电位的驱动方法,从而能够采用没有配置晶体管 T8 的结构,更加缩小电路规模。

[0056] 图 12 示出了上述图 4 的重复输出电路 216 的变形例即输出电路 302。与重复输出电路 216 不同的是没有配置晶体管 T8 和晶体管 T11。晶体管 T11 被配置为对晶体管 T2 和晶体管 T6 的栅极不直接采用时钟信号 CK1 ~ CK4 的高电压,但在抑制生产线的 Na 污染等时,能够采用没有配置晶体管 T11 的结构,更加缩小电路规模。

[0057] 另外,在上述实施方式中,采用 NMOS 型晶体管,该 NMOS 型晶体管通过将 High 电位作为导通电位,将 High 电位输入至栅极,从而使源极・漏极之间导通,但也可以采用 PMOS 型晶体管,该 PMOS 型晶体管通过将 Low 电位作为导通电位,将 Low 电位输入至栅极,从而使源极・漏极之间导通。

[0058] 并且,在上述实施方式中,使用时钟信号作为四相时钟,但也可以使用其他时钟信号来实现。

[0059] 例如,上述各实施方式的液晶显示装置即使是 IPS(In-Plane Switching:平面转换)方式、VA(Vertically Aligned:垂直对齐)方式和 TN(Twisted Nematic:扭转向列)方式中的任一种方式的液晶显示装置也能够适用。并且,不限于液晶显示装置,也能够用于有机 EL 显示装置、场发射显示装置(FED)和使用驱动电路的其他显示装置。

[0060] 以上,根据上述实施例说明了由本发明者实施的发明,但是本发明并不限于上述实施例,当然在不脱离其宗旨的范围内能进行各种变更。

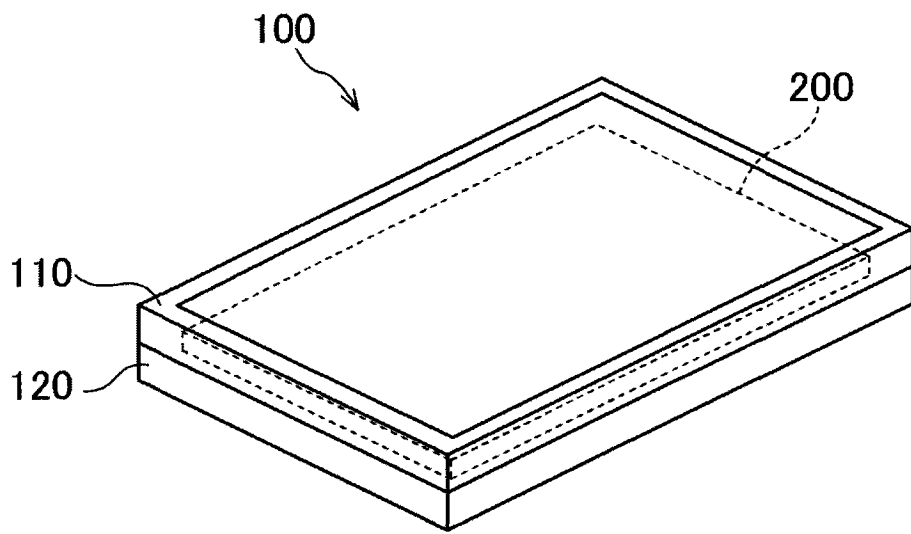


图 1

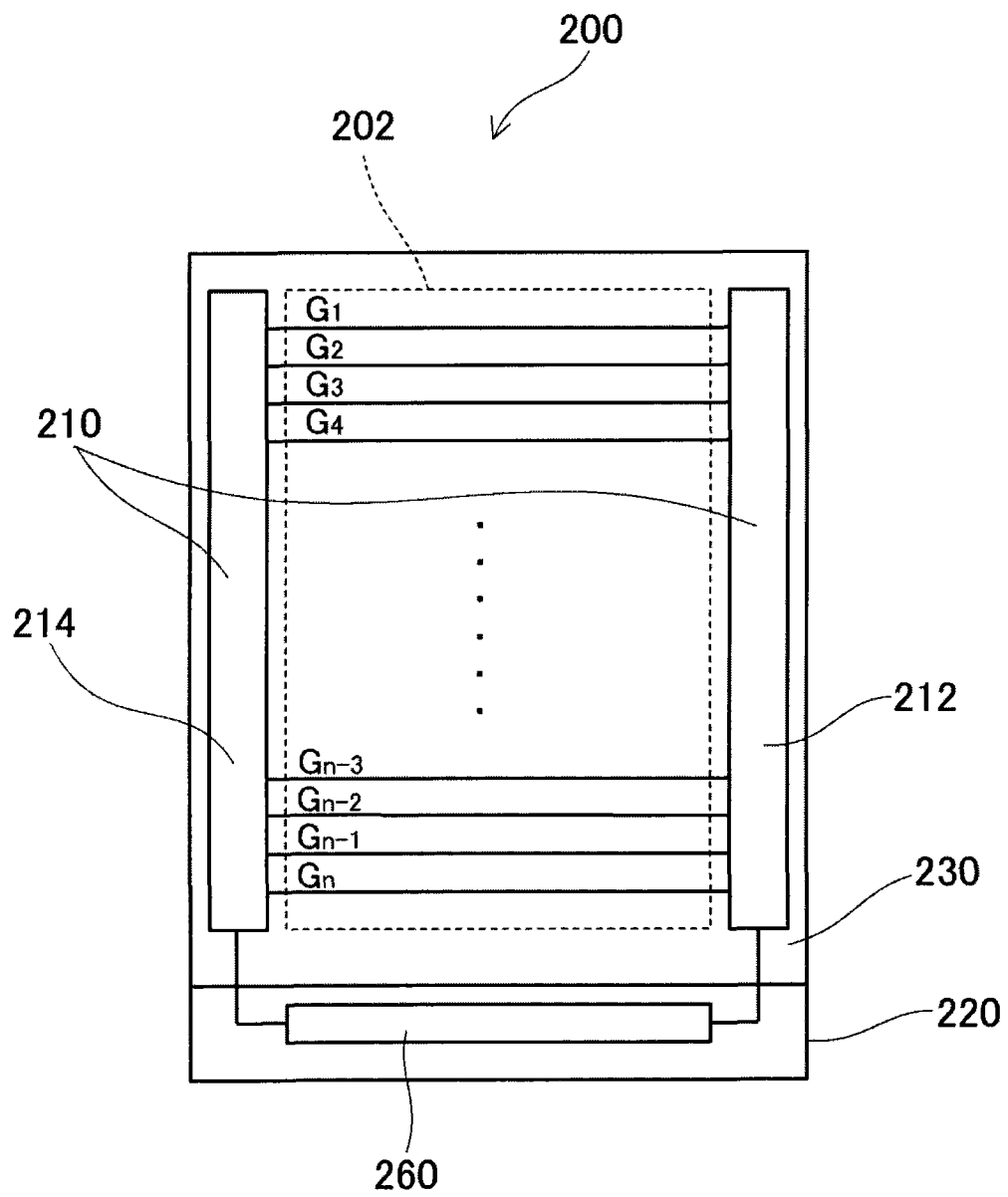


图 2

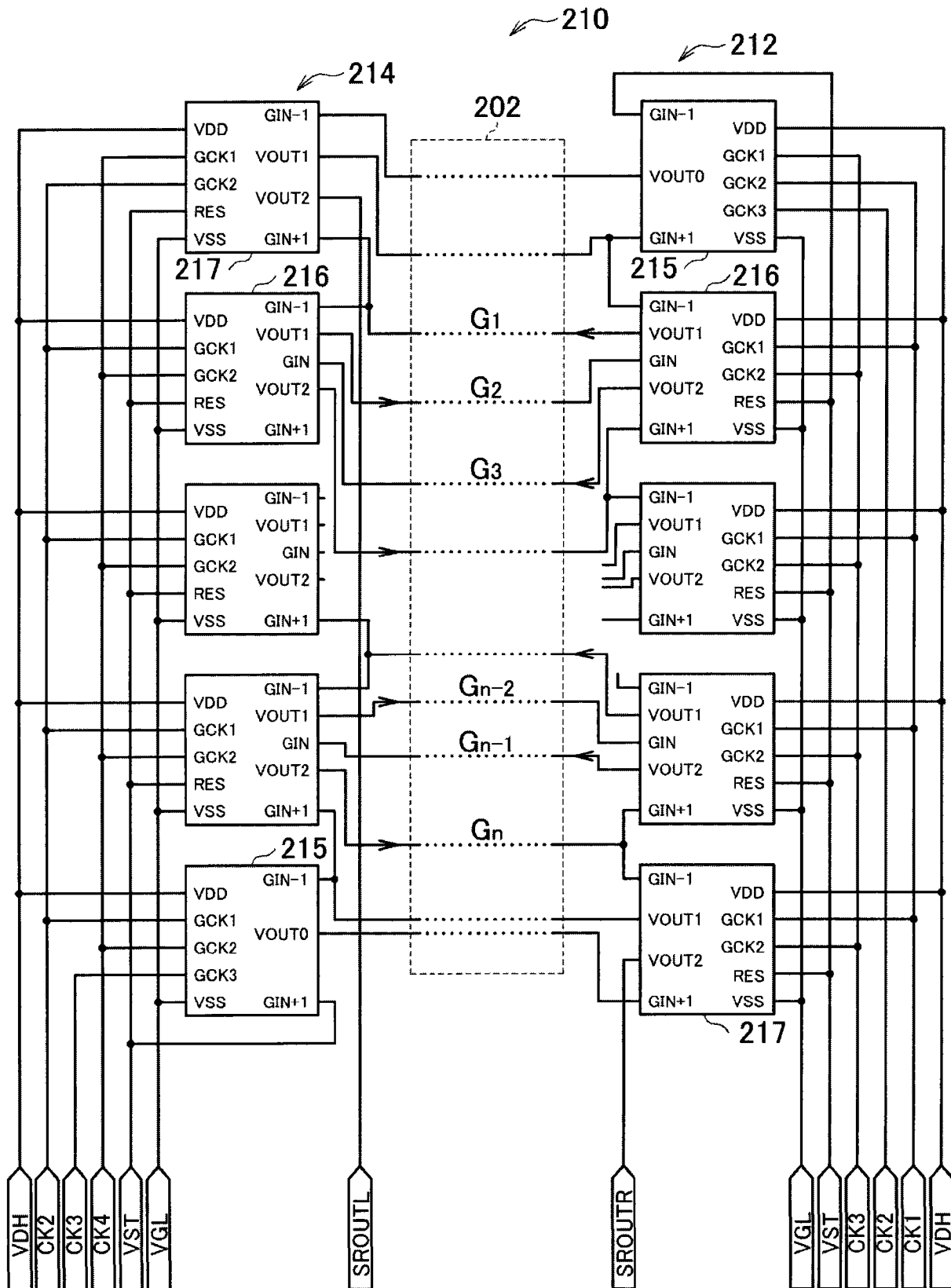


图 3

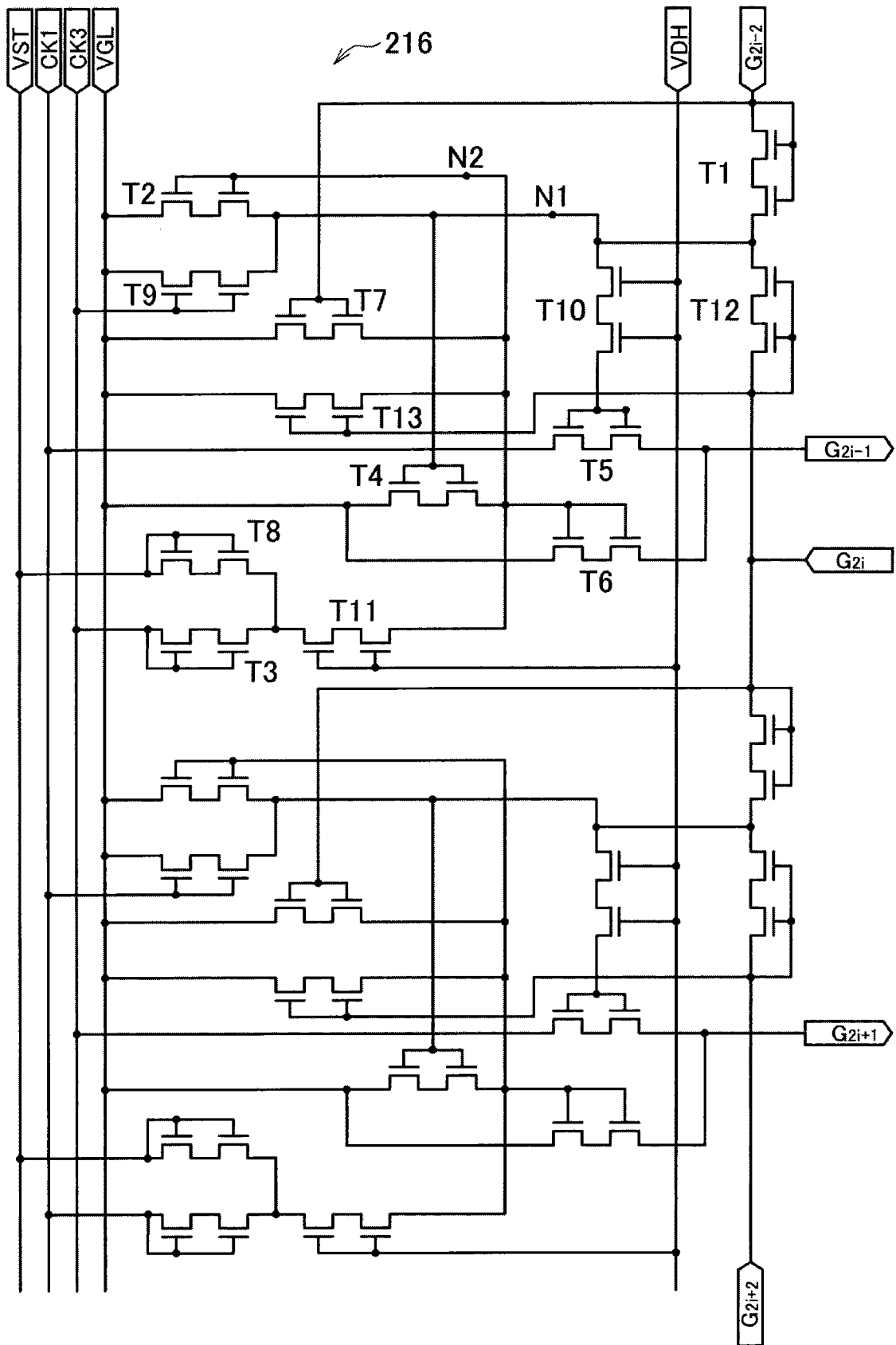


图 4

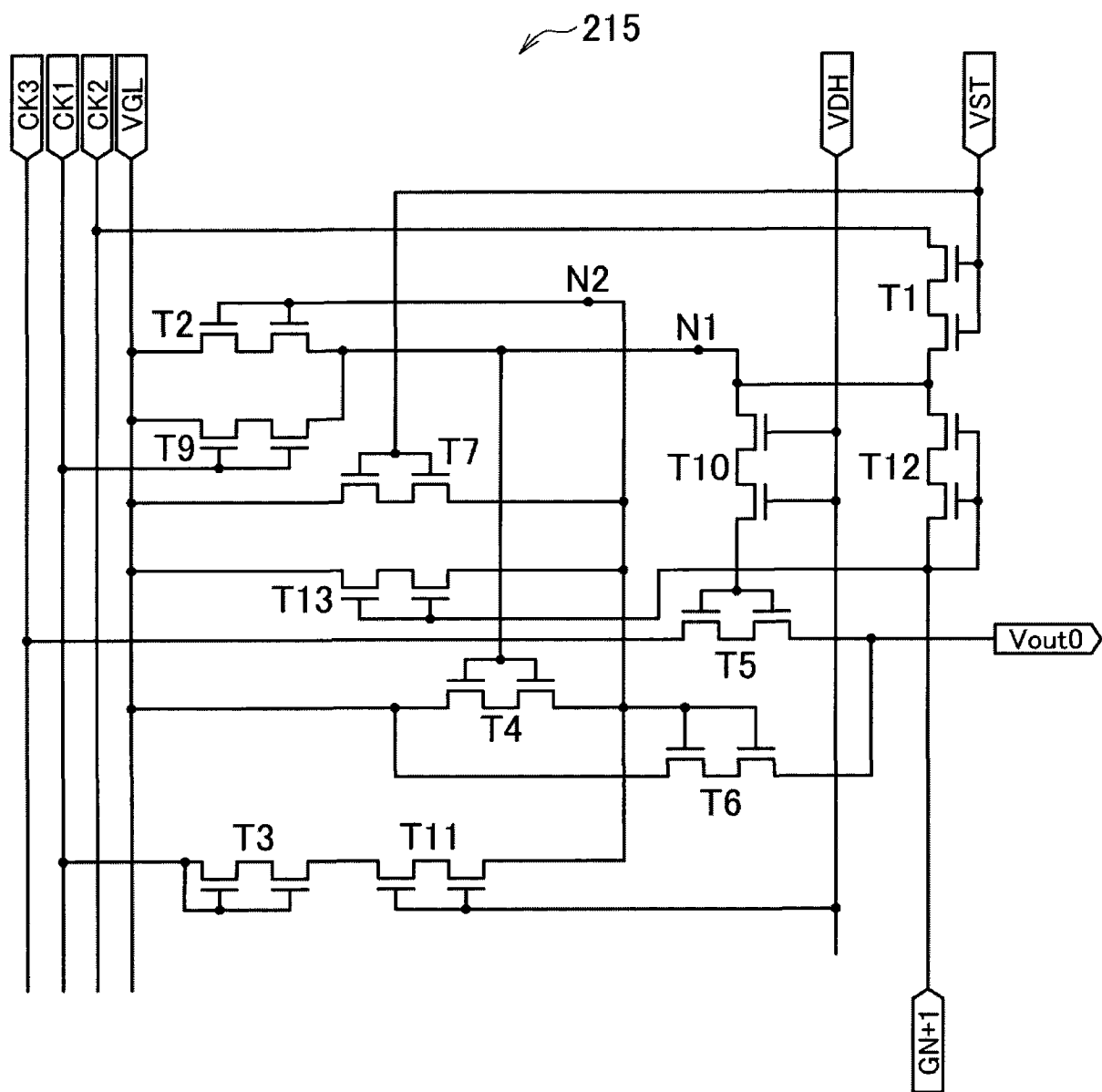


图 5

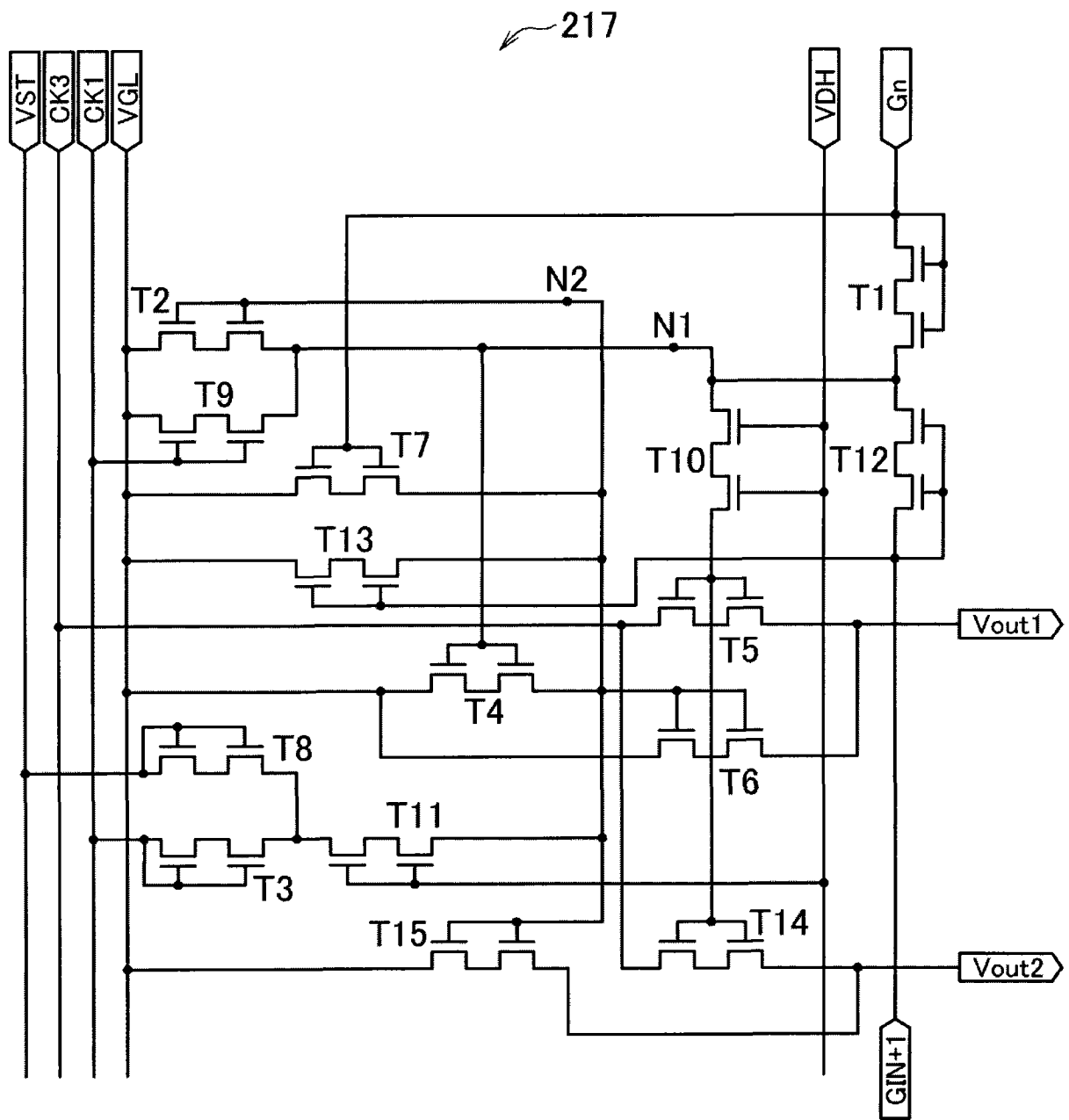


图 6

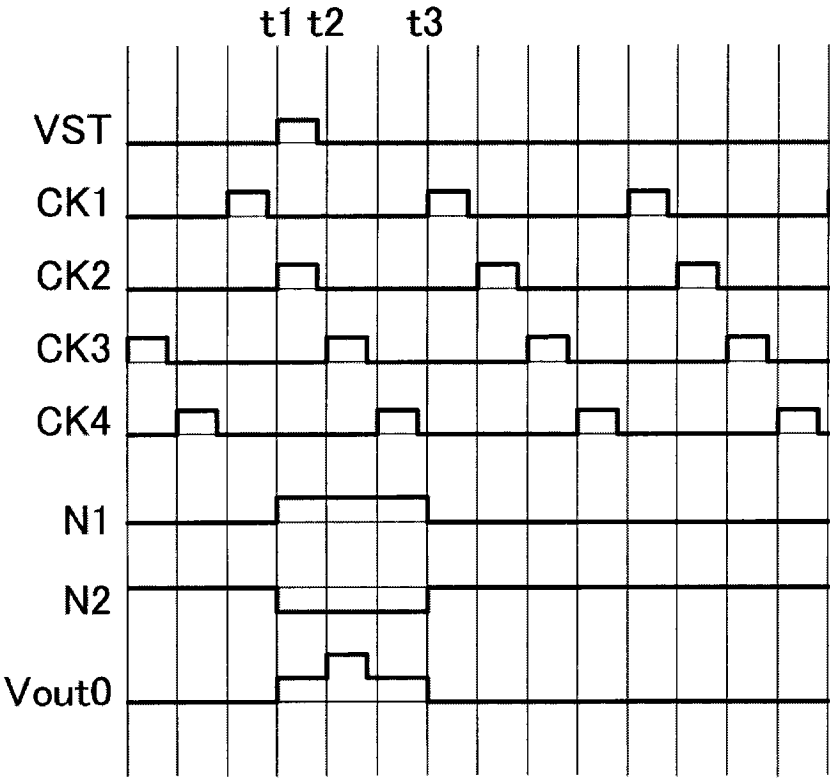


图 7

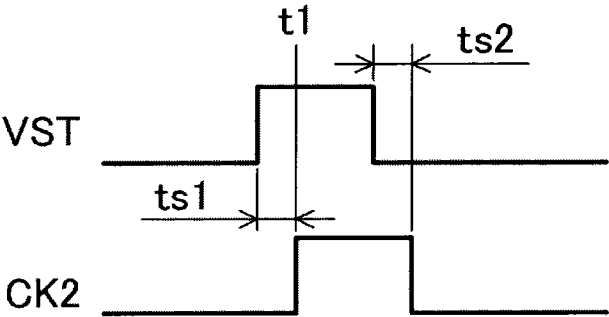


图 8

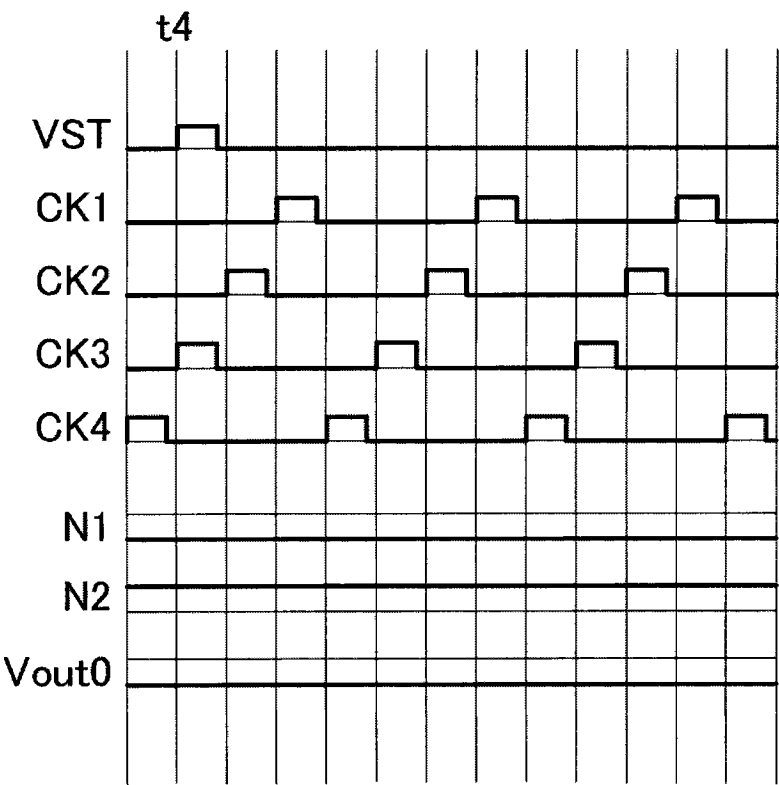


图 9

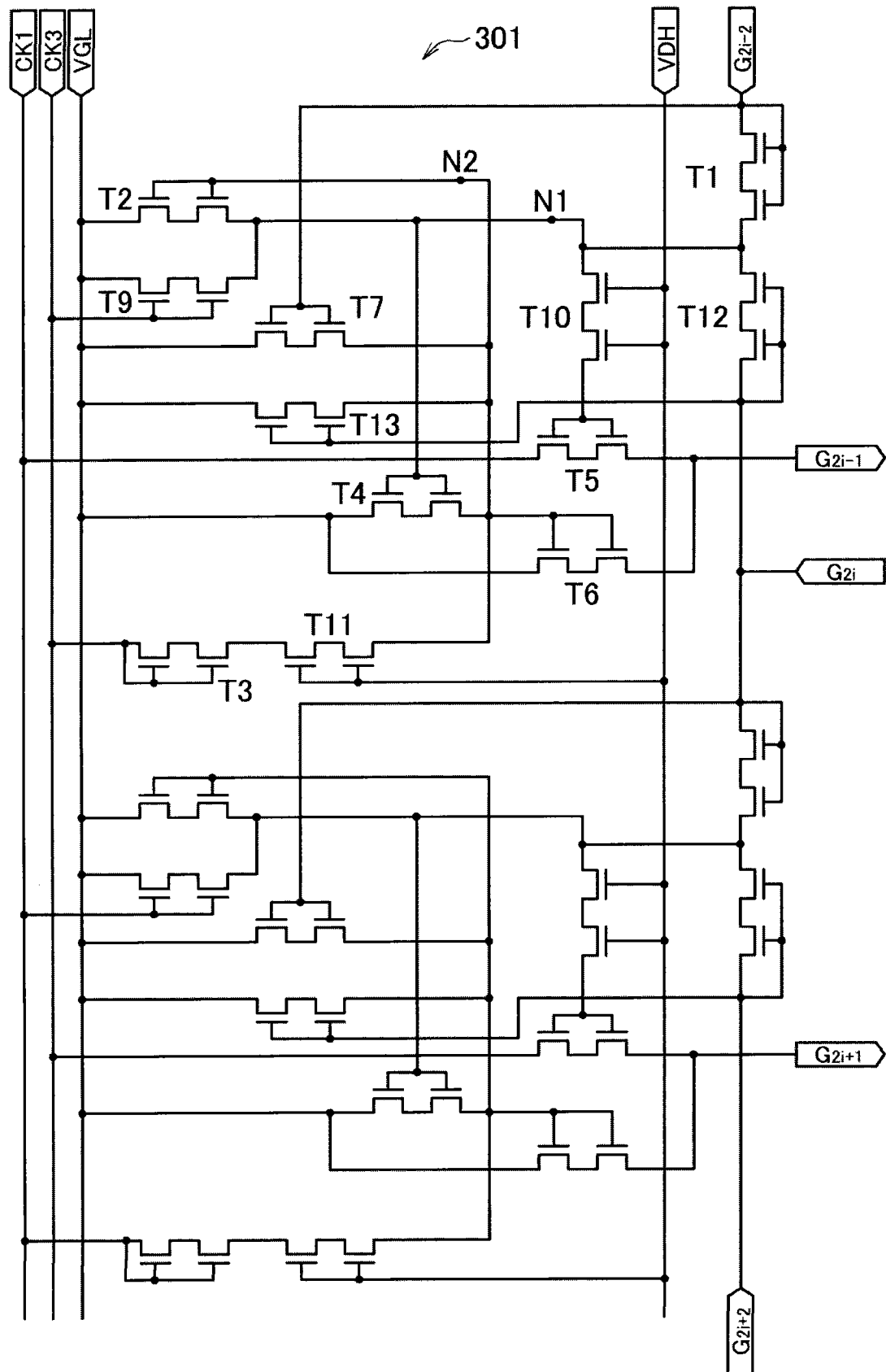


图 10

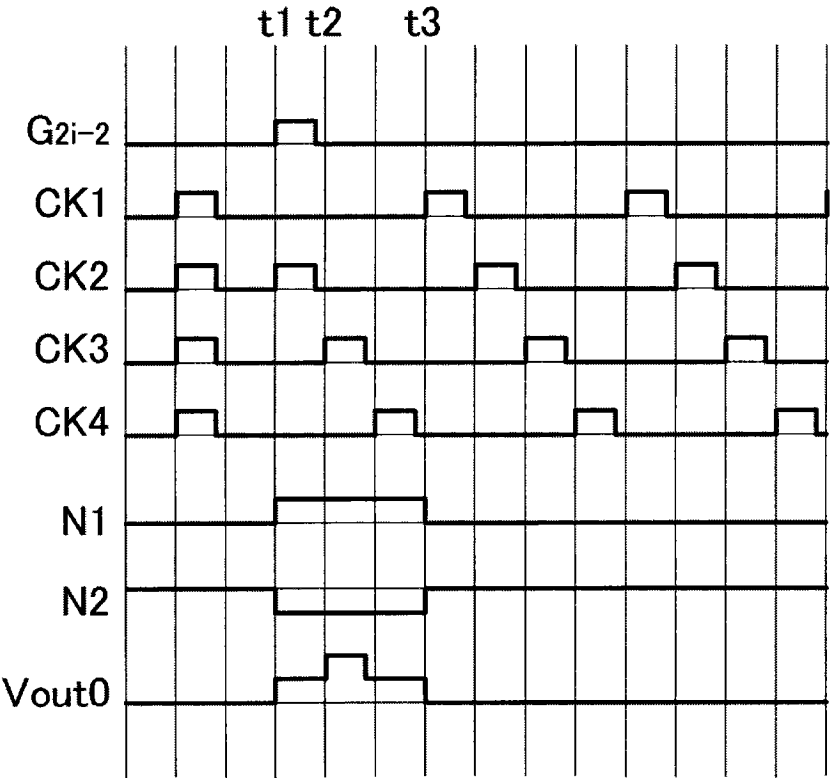


图 11

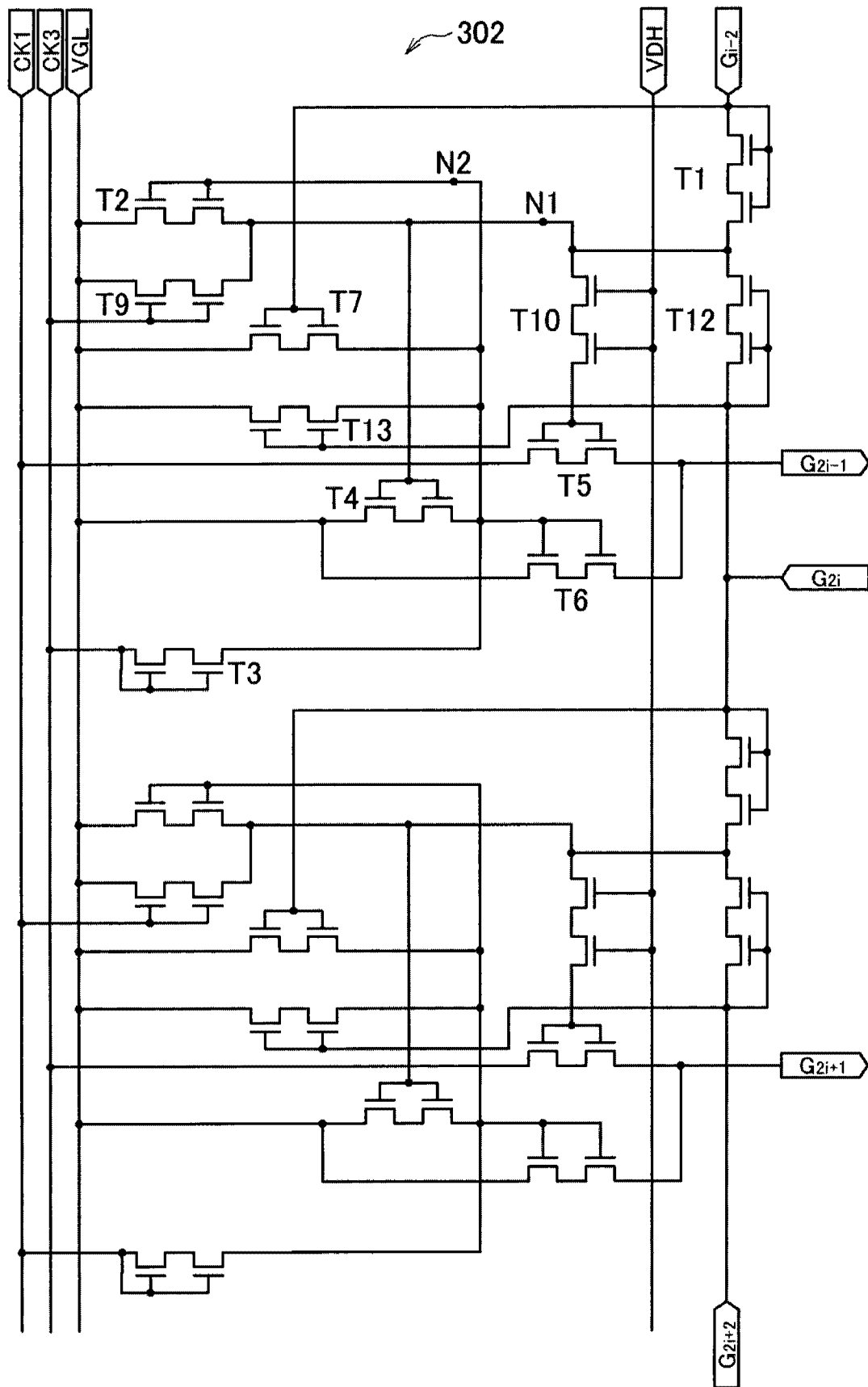


图 12

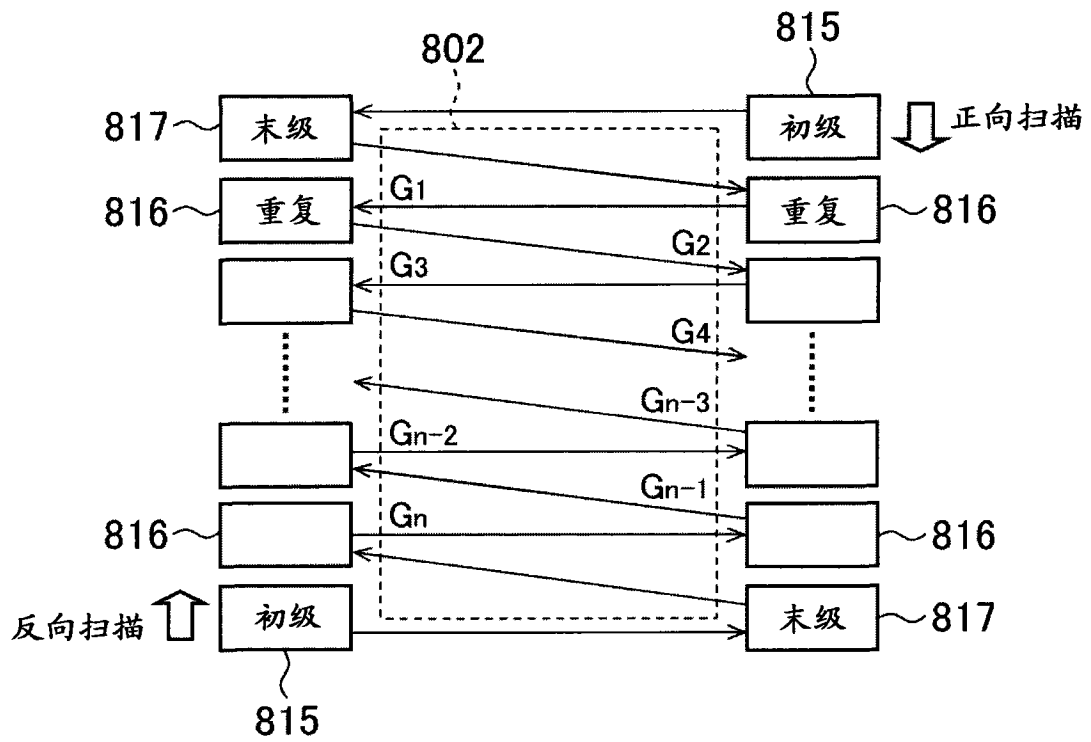


图 13

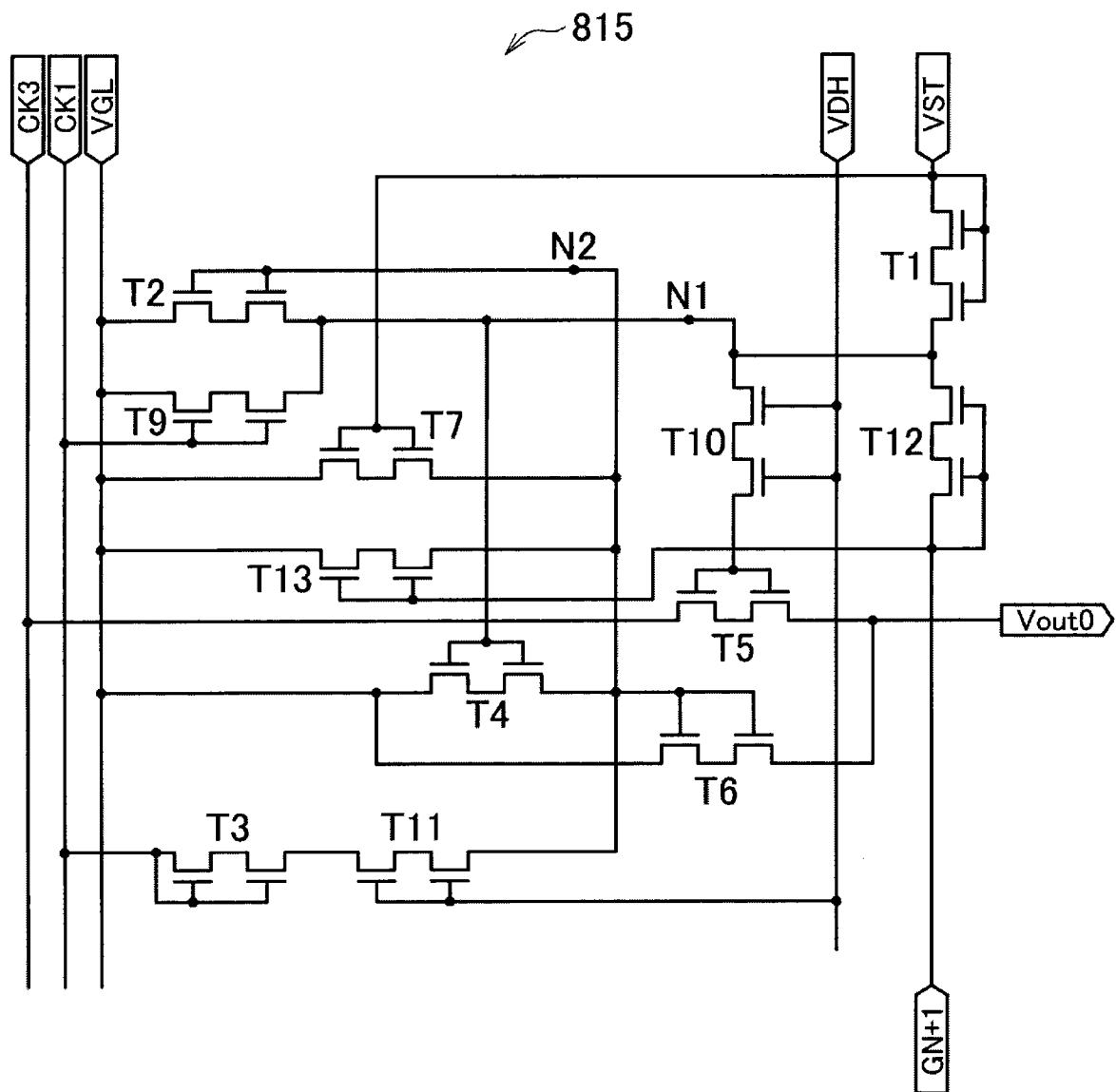


图 14

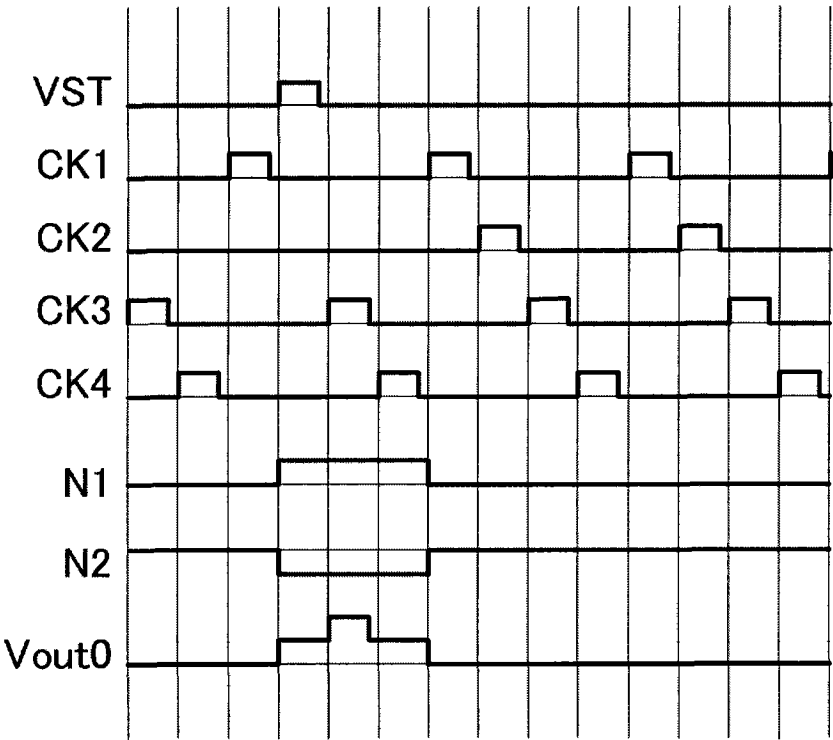


图 15

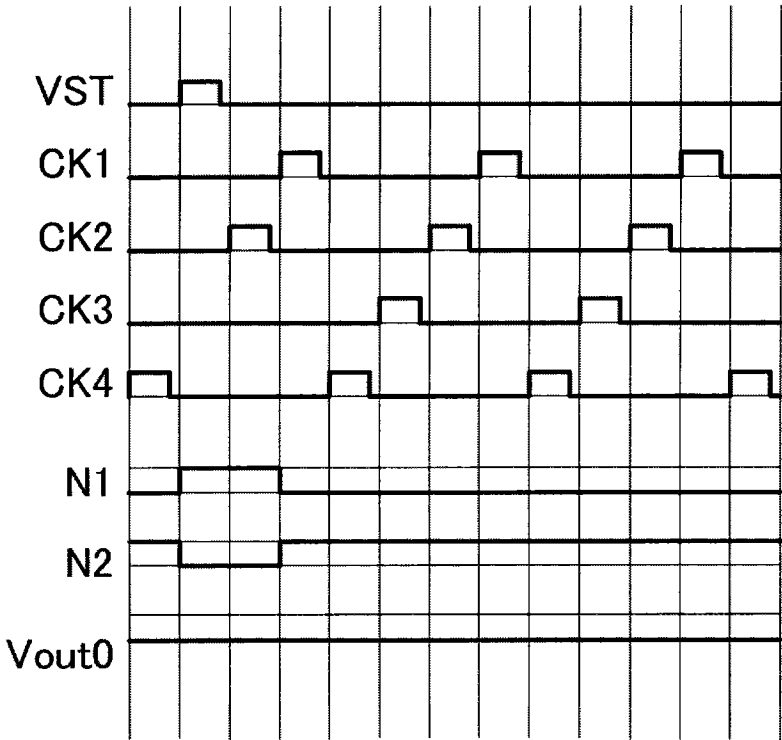


图 16

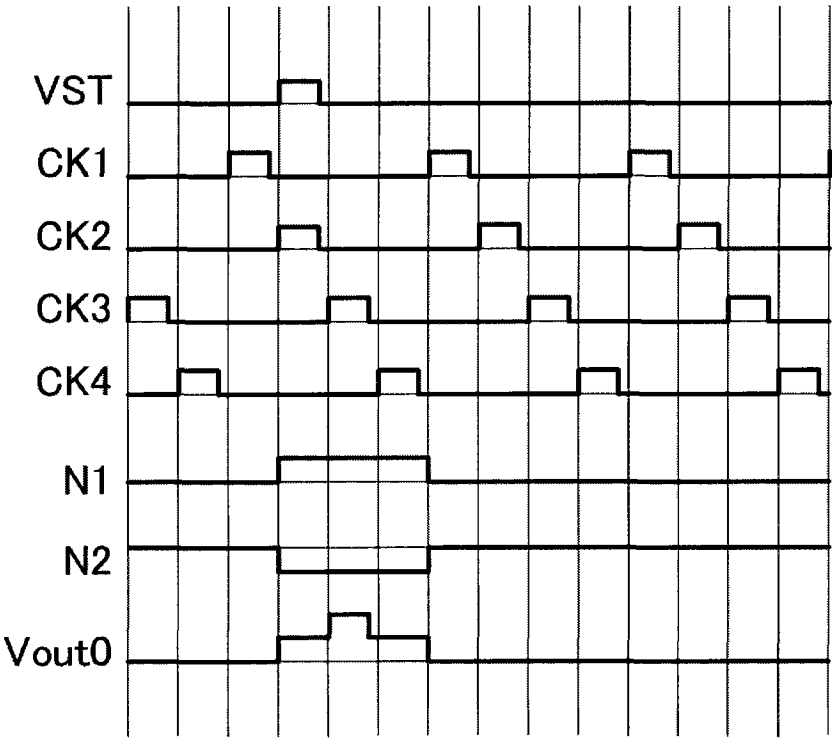


图 17

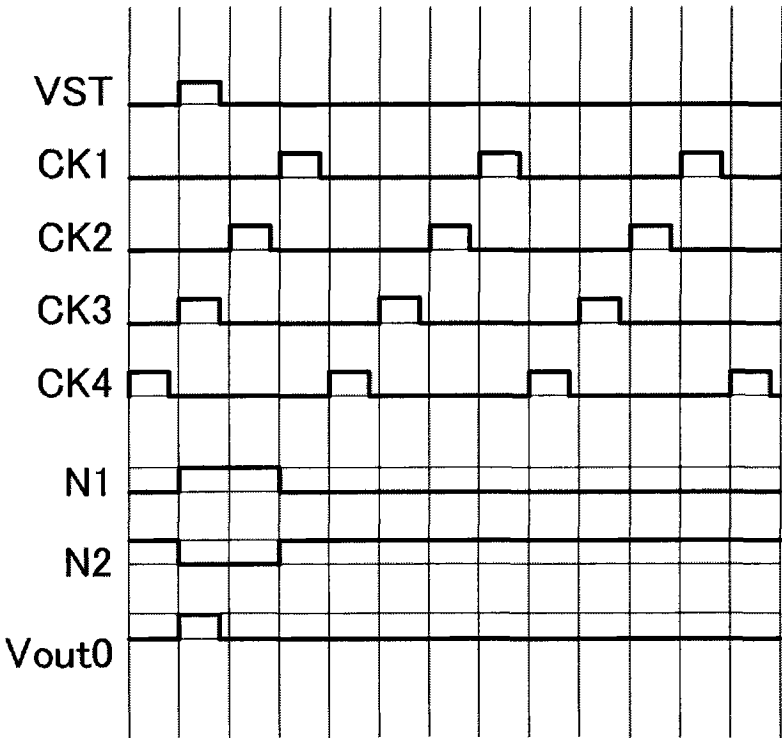


图 18