(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月8日(08.02.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/025658 A1

(51) 国際特許分類:
H04N 5/378 (2011.01) *H04N 5/363* (2011.01)
H03M 1/56 (2006.01) *H04N 5/374* (2011.01)

(21) 国際出願番号： PCT/JP2017/026409

(22) 国際出願日： 2017年7月21日(21.07.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-153665 2016年8月4日(04.08.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 岡元 立太 (**OKAMOTO Ryuta**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 植野 洋介(**UENO Yosuke**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 佃 恭範 (**TSUKUDA Yasunori**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

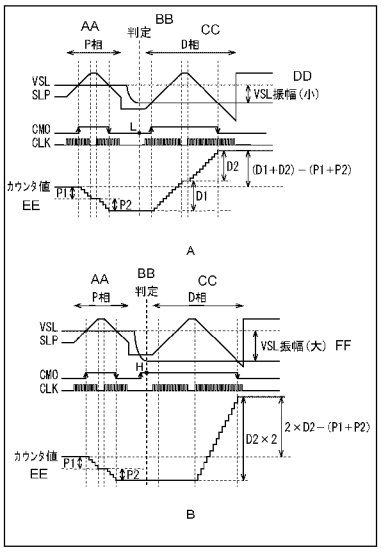
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿木村屋ビルディング９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** IMAGE CAPTURE ELEMENT, DRIVE METHOD, AND ELECTRONIC DEVICE

(54) 発明の名称： 撮像素子、駆動方法、および電子機器

[図2]
FIG. 2



AA P-phase
BB Determination
CC D-phase
DD VSL amplitude (small)
EE Counter value
FF VSL amplitude (large)

(57) **Abstract:** The present disclosure relates to an image capture element, a drive method, and an electronic device with which an image can be captured at higher speed. The image capture element is provided with: a pixel array in which a plurality of pixels are arranged in a matrix; an AD conversion unit which performs parallel AD conversion on a pixel signal output from the pixels for each of pixel columns arranged in the pixel array; and a reference signal generation unit which generates a reference signal that has a waveform with a slope of a certain gradient and that the AD conversion unit references during pixel signal AD conversion with respect to the same pixel signal. When the AD conversion unit performs multi-sampling in which a P-phase period sampling and a D-phase period sampling are performed at least once with respect to the same pixel signal, the reference signal generation unit generates the reference signal in which, among a plurality of slopes in the D-phase period, the sampling period for a second slope is set shorter than the sampling period for a first slope. The present technology can be applied in a CMOS image sensor equipped with a column-parallel ADC, for example.

WO 2018/025658 A1

［続葉有］

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:本開示は、より高速に撮像を行うことができるようにする撮像素子、駆動方法、および電子機器に関する。 撮像素子は、複数の画素が行列状に配置されている画素アレイと、画素アレイに配置されている画素の列ごとに、画素から出力される画素信号を並列的にＡＤ変換するＡＤ変換部と、ＡＤ変換部が、同一の画素信号に対して、画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部とを備える。そして、ＡＤ変換部が、同一の画素信号に対して、Ｐ相期間のサンプリングとＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、参照信号生成部は、Ｄ相期間における複数のスロープのうち、第２のスロープのサンプリング期間が、第１のスロープのサンプリング期間よりも短く設定された参照信号を生成する。本技術は、例えば、列並列ＡＤＣを備えたCMOSイメージセンサに適用できる。

明　細　書

発明の名称 ： 撮像素子、駆動方法、および電子機器

技術分野

[0001] 本開示は、撮像素子、駆動方法、および電子機器に関し、特に、より高速に撮像を行うことができるようにした撮像素子、駆動方法、および電子機器に関する。

背景技術

[0002] 従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD（Charge Coupled Device）やCMOS（Complementary Metal Oxide Semiconductor）イメージセンサなどの固体撮像素子が使用されている。固体撮像素子は、光電変換を行うＰＤ（photodiode：フォトダイオード）と複数のトランジスタとが組み合わされた画素を有しており、被写体の像が結像する像面に配置された複数の画素から出力される画素信号に基づいて画像が構築される。

[0003] また、CMOSイメージセンサは、列並列シングルスロープＡＤＣ（Analog-to-digital Converter）を利用し、画素から出力される画素信号とシングルスロープの参照信号とを比較して画素信号をＡＤ変換する処理を列ごとに並列的に行うことによって、画素信号の高速なＡＤ変換を実現することができる。さらに、CMOSイメージセンサは、同一の画素信号に対するＡＤ変換処理を列並列シングルスロープＡＤＣにより複数回行うこと（マルチサンプリング）によって、画素信号に発生するノイズの低減を図ることができる。

[0004] 例えば、特許文献１には、処理対象信号について、ｎビットのＡＤ変換処理を２回以上繰り返して行なうデジタル積分処理を実行することで、ＡＤ変換に伴う量子化ノイズや回路ノイズなどのランダムノイズを低減することができる固体撮像装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００９－２９６４２３号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、近年、CMOSイメージセンサによる撮像の高速化が図られている。これに伴い、マルチサンプリングによる画素信号のＡＤ変換処理の処理時間を短縮して、より高速に撮像を行うことが求められている。

[0007] 本開示は、このような状況に鑑みてなされたものであり、より高速に撮像を行うことができるようにするものである。

課題を解決するための手段

[0008] 本開示の一側面の撮像素子は、複数の画素が行列状に配置されている画素アレイと、前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部とを備え、前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する。

[0009] 本開示の一側面の駆動方法は、複数の画素が行列状に配置されている画素アレイと、前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部とを備える撮像素子の駆動方法において、前記ＡＤ変換部が、同一の前記画素信

号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する。

[0010] 本開示の一側面の電子機器は、複数の画素が行列状に配置されている画素アレイと、前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部とを有し、前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する。

[0011] 本開示の一側面においては、同一の前記画素信号に対して、画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングが行われる際に、Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、第１のスロープのサンプリング期間よりも短く設定された前記参照信号が生成される。

発明の効果

[0012] 本開示の一側面によれば、より高速に撮像を行うことができる。

図面の簡単な説明

[0013] [図1]本技術を適用した撮像素子の第１の実施の形態の構成例を示すブロック図である。

[図2]撮像素子の第１の駆動方法を説明する図である。

[図3]撮像素子の第２の駆動方法を説明する図である。

[図4]本技術を適用した撮像素子の第２の実施の形態の構成例を示すブロック図である。

[図5]撮像素子の第３の駆動方法を説明する図である。

[図6]スロープ信号の第１の例を示す図である。

[図7]スロープ信号の第２の例を示す図である。

[図8]スロープ信号の第３の例を示す図である。

[図9]撮像装置の構成例を示すブロック図である。

[図10]イメージセンサを使用する使用例を示す図である。

発明を実施するための形態

[0014] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0015] ＜撮像素子の第１の構成例＞

[0016] 図１は、本技術を適用した撮像素子の第１の実施の形態の構成例を示すブロック図である。

[0017] 図１において、撮像素子１１は、画素アレイ１２、垂直走査部１３、読み出し電流制御部１４、参照信号生成部１５、クロック信号生成部１６、列並列ＡＤＣ１７、およびデータ処理部１８を備えて構成される。

[0018] 画素アレイ１２は、図示しない光学系により集光される光を受光する受光面である。画素アレイ１２には、複数の画素２１が行列状に配置されており、それぞれの画素２１は、水平信号線２２を介して行ごとに垂直走査部１３に接続されるとともに、垂直信号線２３を介して列ごとに列並列ＡＤＣ１７に接続される。複数の画素２１は、それぞれ受光する光の光量に応じたレベ

ルの画素信号を出力し、それらの画素信号から、画素アレイ１２に結像する被写体の画像が構築される。

[0019] 垂直走査部１３は、画素アレイ１２に配置される複数の画素２１の行ごとに順次、それぞれの画素２１を駆動するための各種の駆動信号を、水平信号線２２を介して画素２１に供給する。例えば、垂直走査部１３は、画素２１のＰＤで発生した電荷をＦＤ（Floating Diffusion）部に転送する転送信号や、ＰＤおよびＦＤ部に蓄積されている電荷をリセットするリセット信号、垂直信号線２３に接続される画素２１を選択する選択信号などを出力する。

[0020] 読み出し電流制御部１４は、垂直信号線２３に接続される電流源回路２４を、画素アレイ１２の画素２１の列ごとに有して構成され、画素２１から画素信号を読み出すための電流を制御する。そして、読み出し電流制御部１４により画素２１から読み出される画素信号は、垂直信号線２３の電位ＶＳＬとして列並列ＡＤＣ１７に供給される。

[0021] 参照信号生成部１５は、列並列ＡＤＣ１７が画素信号をＡＤ変換する際に、垂直信号線２３の電位ＶＳＬと比較するための一定の勾配のスロープを有する波形の参照信号ＳＬＰを生成して、列並列ＡＤＣ１７に供給する。

[0022] クロック信号生成部１６は、列並列ＡＤＣ１７が画素信号をＡＤ変換する際に、垂直信号線２３の電位ＶＳＬをサンプリングするための所定のクロック周波数のクロック信号ＣＬＫを生成して、列並列ＡＤＣ１７に供給する。

[0023] 列並列ＡＤＣ１７は、複数の画素２１から垂直信号線２３を介して出力される画素信号に対してCDS(Correlated Double Sampling：相関２重サンプリング)処理を施すことにより、画素信号のＡＤ変換を列並列的に行うとともにリセットノイズを除去する。

[0024] 例えば、列並列ＡＤＣ１７は、画素２１のリセットレベルにおける垂直信号線２３の電位ＶＳＬをサンプリングしたカウンタ値（Ｐ相）と、画素２１が受光した光の光量に応じたレベルにおける垂直信号線２３の電位ＶＳＬをサンプリングしたカウンタ値（Ｄ相）との差分を、アナログの画素信号をＡＤ変換した画素値データとして出力する。このとき、列並列ＡＤＣ１７は、

図２および図３を参照して後述するように、画素２１が受光した光が明るい場合と、画素２１が受光した光が暗い（明るくない）場合とで、Ｄ相のサンプリングを行うサンプリング回数を切り替えることができる。

[0025] また、列並列ＡＤＣ１７は、図示するように、コンパレータ２５、信号判定ラッチ２６、カウンタ２７、およびデータ保持ラッチ２８を、それぞれ画素アレイ１２の画素２１の列数に応じた個数で有して構成される。なお、コンパレータ２５、信号判定ラッチ２６、カウンタ２７、およびデータ保持ラッチ２８は、画素２１の列ごとに同様に構成されており、以下では、ある１列における処理について説明する。

[0026] コンパレータ２５は、垂直信号線２３を介して画素２１から供給される画素信号と、参照信号生成部１５から供給される参照信号ＳＬＰとを比較し、その比較結果を示す比較結果信号ＣＭＯを出力する。例えば、コンパレータ２５は、垂直信号線２３の電位ＶＳＬが参照信号ＳＬＰ以上であるときにはＬレベルを示す比較結果信号ＣＭＯを出力し、垂直信号線２３の電位ＶＳＬが参照信号ＳＬＰ未満であるときにはＨレベルを示す比較結果信号ＣＭＯを出力する。

[0027] 信号判定ラッチ２６は、画素２１が受光した光が明るいか否を判定し、その判定結果保持する。即ち、信号判定ラッチ２６は、垂直信号線２３の電位ＶＳＬの振幅の大きさを判定する判定タイミングにおける比較結果信号ＣＭＯのレベルに従った１ビットの判定信号Ｇを保持し、その判定信号Ｇをカウンタ２７に通知する。

[0028] 例えば、画素２１が受光した光が暗い場合には、判定タイミングにおいて、コンパレータ２５はＬレベルの比較結果信号ＣＭＯを出力（例えば、後述の図２のＡ参照）している。この場合、信号判定ラッチ２６は、Ｄ相のサンプリング回数をＰ相のサンプリング回数と同一とする処理を示すＬレベルの判定信号Ｇを保持する。一方、画素２１が受光した光が明るい場合には、判定タイミングにおいて、コンパレータ２５はＨレベルの比較結果信号ＣＭＯを出力（例えば、後述の図２のＢ参照）している。この場合、信号判定ラッ

チ２６は、Ｄ相のサンプリング回数を１回だけとする処理を示すＨレベルの判定信号Ｇを保持する。

[0029] カウンタ２７は、クロック信号生成部１６から供給されるクロック信号ＣＬＫをカウントすることにより、垂直信号線２３の電位ＶＳＬをサンプリングしたカウンタ値を取得し、データ保持ラッチ２８に保持させる。例えば、カウンタ２７は、Ｐ相における垂直信号線２３の電位ＶＳＬをカウントダウンすることでＰ相のカウンタ値Ｐを取得し、Ｄ相における垂直信号線２３の電位ＶＳＬをカウントアップすることでＤ相のカウンタ値Ｄを取得する。

[0030] また、カウンタ２７は、Ｐ相およびＤ相それぞれにおいて、垂直信号線２３の電位ＶＳＬを複数回サンプリングするマルチサンプリングを実行することができる。このとき、カウンタ２７は、図２および図３を参照して後述するように、信号判定ラッチ２６に保持されている判定信号Ｇに従って、Ｄ相のサンプリング回数を切り替えてサンプリングを行うことができる。

[0031] データ保持ラッチ２８は、カウンタ２７により取得された画素値データを保持し、適宜、データ処理部１８に供給する。例えば、データ保持ラッチ２８は、カウントダウンにより取得されるＰ相のカウンタ値Ｐを保持し、その後、カウントダウンにより取得されるＤ相のカウンタ値Ｄが供給されると、それらの差分を画素値データ（＝Ｄ－Ｐ）として保持する。

[0032] データ処理部１８は、データ保持ラッチ２８の保持されている画素値データを読み出して、例えば、隣接する複数の画素２１の画素値データを利用したノイズ除去処理や動き検出処理などの各種のデータ処理を施し、図示しない後段の画像処理回路に出力する。

[0033] 以上のように撮像素子１１は構成されており、列並列ＡＤＣ１７においてマルチサンプリングを実行することによって、ＡＤ変換に伴う量子化ノイズや回路ノイズなどのランダムノイズを低減することができる。

[0034] そして、撮像素子１１は、画素２１が受光した光の明るさに応じて、Ｐ相のサンプリング回数と同一のサンプリング回数でＤ相のサンプリングを行う処理と、Ｄ相のサンプリングを行う１回（Ｐ相のサンプリング回数未満）だ

け行う処理とを切り替えることができる。これにより、撮像素子１１は、図２および図３を参照して後述するように、Ｄ相のサンプリングに要するサンプリング期間を短縮すること、即ち、画素信号のＡＤ変換処理の処理時間を短縮することができ、より高速に撮像を行うことができる。また、撮像素子１１では、画素２１の列ごとに適応的に、画素２１が受光した光の明るさの判定を行うことができる。

[0035] なお、撮像素子１１は、例えば、列並列ＡＤＣ１７がデータ保持ラッチ２８を有さない構成としてもよい。この場合、カウンタ２７から出力されるＰ相のカウンタ値ＰおよびＤ相のカウンタ値Ｄは、データ処理部１８に直接的に供給され、データ処理部１８において画素値データ（＝Ｄ－Ｐ）を求める演算が行われる。

[0036] ＜第１の駆動方法＞

[0037] 図２を参照して、撮像素子１１の第１の駆動方法について説明する。なお、第１の駆動方法では、マルチサンプリング（図２の例では２回のサンプリング）されるＰ相のカウンタ値を加算した値を用いて画素値データを求める処理が行われ、第１の駆動方法により画素値データを求める処理を、以下適宜、Ｐ相加算処理と称する。

[0038] 参照信号生成部１５は、第１のＰ相スロープ、第２のＰ相スロープ、判定レベル電位、第１のＤ相スロープ、および第２のＤ相スロープを有する参照信号ＳＬＰを生成する。即ち、図２のＡおよび図２のＢに示すように、参照信号生成部１５は、Ｐ相期間において、一定の勾配で上昇する第１のＰ相スロープを生成した後、一定の勾配で降下する第２のＰ相スロープを生成する。そして、参照信号生成部１５は、Ｐ相期間およびＤ相期間の間において、垂直信号線２３の電位ＶＳＬの振幅の大きさを判定するための一定の判定レベル電位を維持する。その後、参照信号生成部１５は、Ｄ相期間において、一定の勾配で上昇する第１のＤ相スロープを生成した後、一定の勾配で降下する第２のＤ相スロープを生成する。

[0039] また、クロック信号生成部１６は、第１のＰ相スロープ、第２のＰ相スロ

ープ、第１のＤ相スロープ、および第２のＤ相スロープそれぞれに対応する期間において、所定のクロック周波数のクロック信号ＣＬＫを生成する。

[0040] ここで、参照信号生成部１５が生成する参照信号ＳＬＰ、および、クロック信号生成部１６は、垂直信号線２３の電位ＶＳＬの振幅の大きさに依らず同一の波形である。

[0041] そして、撮像素子１１では、画素２１が受光した光が暗い場合、図２のＡに示すように、垂直信号線２３の電位ＶＳＬの振幅は小さくなる。一方、画素２１が受光した光が明るい場合、図２のＢに示すように、垂直信号線２３の電位ＶＳＬの振幅は大きくなる。ここで、垂直信号線２３の電位ＶＳＬの振幅は、画素２１から出力される画素信号のリセットレベルと信号レベルとの差を表し、画素２１が受光した光の光量に応じたものとなる。

[0042] また、撮像素子１１では、Ｐ相期間の後、画素２１のＰＤで発生した電荷がＦＤ部に転送されるのに伴って垂直信号線２３の電位ＶＳＬが変化し、垂直信号線２３の電位ＶＳＬが安定したタイミングで、垂直信号線２３の電位ＶＳＬの振幅の大きさが判定される。

[0043] 従って、画素２１が受光した光が暗い場合、図２のＡに示すように、判定タイミングにおいて、垂直信号線２３の電位ＶＳＬは参照信号ＳＬＰ以上となり、コンパレータ２５は、Ｌレベルの比較結果信号ＣＭＯを出力する。この場合、信号判定ラッチ２６は、Ｄ相のサンプリング回数をＰ相のサンプリング回数と同一とする処理を示すＬレベルの判定信号Ｇを保持する。

[0044] 一方、画素２１が受光した光が明るい場合、図２のＢに示すように、判定タイミングにおいて、垂直信号線２３の電位ＶＳＬは参照信号ＳＬＰ未満となり、コンパレータ２５は、Ｈレベルの比較結果信号ＣＭＯを出力する。この場合、信号判定ラッチ２６は、Ｄ相のサンプリング回数を１回だけとする処理を示すＨレベルの判定信号Ｇを保持する。

[0045] まず、図２のＡを参照して、画素２１が受光した光が暗く、垂直信号線２３の電位ＶＳＬの振幅が小さい場合におけるコンパレータ２５およびカウンタ２７の動作について説明する。

[0046] Ｐ相において、第１のＰ相スロープの参照信号ＳＬＰが、一定の勾配で上昇して、リセットレベルの垂直信号線２３の電位ＶＳＬ以上となったタイミングで、コンパレータ２５から出力される比較結果信号ＣＭＯが、Ｌレベルからｈレベルに切り替わる。従って、カウンタ２７は、このタイミングから第１のＰ相スロープが終了するまで、カウントダウンを行って垂直信号線２３の電位ＶＳＬをサンプリングし、第１のＰ相のカウンタ値Ｐ１を取得して、データ保持ラッチ２８に保持させる。

[0047] 続いて、第２のＰ相スロープの参照信号ＳＬＰが、一定の勾配で降下して、リセットレベルの垂直信号線２３の電位ＶＳＬ未満となったタイミングで、コンパレータ２５から出力される比較結果信号ＣＭＯが、ｈレベルからＬレベルに切り替わる。従って、カウンタ２７は、第２のＰ相スロープが開始されてから、このタイミングまで、カウントダウンを行って垂直信号線２３の電位ＶＳＬをサンプリングし、第２のＰ相のカウンタ値Ｐ２を取得して、データ保持ラッチ２８に保持させる。

[0048] そして、画素２１が受光した光が暗い場合、コンパレータ２５から出力される比較結果信号ＣＭＯはＬレベルとなっており、信号判定ラッチ２６にはＬレベルの判定信号Ｇが保持される。従って、カウンタ２７は、Ｄ相のサンプリング回数をＰ相のサンプリング回数と同一とする処理を行う。

[0049] その後、Ｄ相において、第１のＤ相スロープの参照信号ＳＬＰが、一定の勾配で上昇して、信号レベルの垂直信号線２３の電位ＶＳＬ以上となったタイミングで、コンパレータ２５から出力される比較結果信号ＣＭＯが、Ｌレベルからｈレベルに切り替わる。従って、カウンタ２７は、このタイミングから第１のＤ相スロープが終了するまで、カウントアップを行って垂直信号線２３の電位ＶＳＬをサンプリングし、第１のＤ相のカウンタ値Ｄ１を取得して、データ保持ラッチ２８に保持させる。

[0050] 続いて、第２のＤ相スロープの参照信号ＳＬＰが、一定の勾配で降下して、信号レベルの垂直信号線２３の電位ＶＳＬ未満となったタイミングで、コンパレータ２５から出力される比較結果信号ＣＭＯが、ｈレベルからＬレベ

ルに切り替わる。従って、カウンタ２７は、第２のＤ相スロープが開始されてから、このタイミングまで、カウントアップを行って垂直信号線２３の電位ＶＳＬをサンプリングし、第２のＤ相のカウンタ値Ｄ２を取得して、データ保持ラッチ２８に保持させる。

[0051] このように、画素２１が受光した光が暗い場合、カウンタ２７は、Ｐ相のサンプリングとＤ相のサンプリングとを、それぞれ２回行う。そして、データ保持ラッチ２８において、第１のＤ相のカウンタ値Ｄ１および第２のＤ相のカウンタ値Ｐ２の加算値から、第１のＰ相のカウンタ値Ｐ１および第２のＰ相のカウンタ値Ｐ２の加算値を減算して得られる画素値データ（＝（Ｄ１＋Ｄ２）－（Ｐ１＋Ｐ２））が取得される。

[0052] 次に、図２のＢを参照して、画素２１が受光した光が明るく、垂直信号線２３の電位ＶＳＬの振幅が大きい場合におけるコンパレータ２５およびカウンタ２７の動作について説明する。

[0053] ここで、Ｐ相においては、コンパレータ２５およびカウンタ２７は、垂直信号線２３の電位ＶＳＬの振幅が小さい場合と同様の動作を行うため、その説明は省略する。

[0054] そして、画素２１が受光した光が明るい場合、Ｐ相期間およびＤ相期間の間で、垂直信号線２３の電位ＶＳＬが参照信号ＳＬＰ未満となる。このため、垂直信号線２３の電位ＶＳＬが参照信号ＳＬＰ未満となったタイミングで、コンパレータ２５から出力される比較結果信号ＣＭＯが、ＬレベルからＨレベルに切り替わり、信号判定ラッチ２６にはＨレベルの判定信号Ｇが保持される。従って、カウンタ２７は、Ｄ相のサンプリング回数を１回だけとする処理を行う。

[0055] 即ち、カウンタ２７は、参照信号ＳＬＰが第１のＤ相スロープである期間におけるカウントをストップし、垂直信号線２３の電位ＶＳＬのサンプリングを行わず、データ保持ラッチ２８では、その時点でのカウンタ値が維持される。そして、カウンタ２７は、第２のＤ相スロープが開始されると、Ｐ相におけるカウントダウンのカウンタ幅の２倍のカウンタ幅で、カウントアッ

プを開始する。

[0056] その後、第２のＤ相スロープの参照信号ＳＬＰが、一定の勾配で降下して、信号レベルの垂直信号線２３の電位ＶＳＬ未満となったタイミングで、コンパレータ２５から出力される比較結果信号ＣＭＯが、ＨレベルからＬレベルに切り替わる。従って、カウンタ２７は、第２のＤ相スロープが開始されてから、このタイミングまで、２倍のカウントアップ幅でカウントアップを行って垂直信号線２３の電位ＶＳＬをサンプリングし、第２のＤ相のカウンタ値Ｄ２を取得して、データ保持ラッチ２８に保持させる。

[0057] このように、画素２１が受光した光が明るい場合、カウンタ２７は、Ｐ相のサンプリングを２回行い、Ｄ相のサンプリングを１回行う。そして、データ保持ラッチ２８において、第２のＤ相のカウンタ値Ｄ２の２倍した値から、第１のＰ相のカウンタ値Ｐ１および第２のＰ相のカウンタ値Ｐ２の加算値を減算して得られる画素値データ（＝２×Ｄ２－（Ｐ１＋Ｐ２））が取得される。

[0058] 以上のように、撮像素子１１は、第１の駆動方法において、画素２１が受光した光の明るさに応じて、Ｐ相のサンプリング回数と同一のサンプリング回数でＤ相のサンプリングを行う処理と、Ｄ相のサンプリングを行う１回だけ行う処理とを切り替えて行う。

[0059] ここで、画素２１が受光した光が明るい場合、即ち、垂直信号線２３の電位ＶＳＬの振幅が大きい場合には、Ｄ相のサンプリングに要するサンプリング期間を長くする必要がある。即ち、この場合、Ｄ相のサンプリング期間は、画素２１が明るい光を受光したときの画素信号（振幅の大きな電位ＶＳＬ）をＡＤ変換するのに必要な時間に設定される。

[0060] 一方、画素２１が受光した光が暗い場合、即ち、垂直信号線２３の電位ＶＳＬの振幅が小さい場合には、Ｄ相のサンプリングに要するサンプリング期間は、画素２１が受光した光が明るい場合よりも短くてよい。即ち、この場合、Ｄ相のサンプリング期間は、画素２１が暗い光を受光したときの画素信号（振幅の小さな電位ＶＳＬ）をＡＤ変換するのに必要な時間に設定される

。これにより、撮像素子１１は、第１のＤ相スロープの期間を、従来よりも短縮して設定することができる。

[0061] 即ち、撮像素子１１では、第１のＤ相スロープにおいて、振幅が小さい垂直信号線２３の電位ＶＳＬだけをサンプリングし（図２のＡ）、振幅が大きい垂直信号線２３の電位ＶＳＬのサンプリングは行われない（図２のＢ）。従って、撮像素子１１は、第１のＤ相スロープの期間を、振幅が小さい垂直信号線２３の電位ＶＳＬをサンプリングするのに必要な最小の時間に設定することができる。

[0062] このように、撮像素子１１は、列並列ＡＤＣ１７においてマルチサンプリングを実行する際に、Ｄ相のサンプリング期間を従来よりも短縮することができるので、マルチサンプリングを行う全体としてのＡＤ変換処理の処理時間を短縮することができる。これにより、撮像素子１１は、より高速に撮像を行うことができる。

[0063] また、第１の駆動方法は、Ｐ相のカウンタ値を加算した値を用いて画素値データを求めることより、例えば、第２の駆動方法と比較して良好なＳ／Ｎ（signal / noise）比の画素値データを取得することができる。

[0064] なお、図２に示す第１の駆動方法では、２回のサンプリングを行うことより、第２のＤ相スロープを利用して、Ｐ相におけるカウンタ幅の２倍のカウンタ幅でサンプリングが行われている。これに対し、例えば、４回のサンプリングを行う場合には、第２のＤ相スロープを利用して、Ｐ相におけるカウンタ幅の４倍のカウンタ幅で、即ち、マルチサンプリングを行う回数に応じた整数倍のカウンタ幅でサンプリングが行われる。

[0065] ＜第２の駆動方法＞

[0066] 図３を参照して、撮像素子の第２の駆動方法について説明する。なお、第２の駆動方法では、マルチサンプリング（図３の例では２回のサンプリング）されるＰ相のカウンタ値を平均した値を用いて画素値データを求める処理が行われ、第２の駆動方法により画素値データを求める処理を、以下適宜、Ｐ相平均処理と称する。

[0067] 図３のＡには、図２のＡと同様に、画素２１が受光した光が暗く、振幅が小さい垂直信号線２３の電位ＶＳＬが示されており、コンパレータ２５およびカウンタ２７は、図２のＡを参照して上述した説明と同様に動作する。

[0068] 図３のＢには、図２のＢと同様に、画素２１が受光した光が明るく、振幅が大きい垂直信号線２３の電位ＶＳＬが示されている。また、画素２１が受光した光が明るい場合、Ｐ相において、コンパレータ２５およびカウンタ２７は、画素２１が受光した光が暗い場合と同様の動作を行うため、その説明は省略する。

[0069] そして、画素２１が受光した光が明るい場合、信号判定ラッチ２６にはＨレベルの判定信号Ｇが保持されており、カウンタ２７は、Ｄ相のサンプリング回数を１回だけとする処理を行う。

[0070] 即ち、カウンタ２７は、参照信号ＳＬＰが第１のＤ相スロープである期間におけるカウントをストップし、垂直信号線２３の電位ＶＳＬのサンプリングを行わない。そして、第２の駆動方法においては、データ保持ラッチ２８は、この時点におけるカウンタ値を、第１のＰ相のカウンタ値Ｐ１および第２のＰ相のカウンタ値Ｐ２の平均値（＝（Ｐ１＋Ｐ２）／２）にシフトする。

[0071] そして、カウンタ２７は、第２のＤ相スロープが開始されると、カウントアップを開始する。このとき、第２の駆動方法では、図２を参照して上述した第１の駆動方法と異なり、Ｐ相におけるカウンタ幅と同一の通常のカウンタ幅でカウントアップを行う。

[0072] その後、第２のＤ相スロープの参照信号ＳＬＰが、一定の勾配で降下して、信号レベルの垂直信号線２３の電位ＶＳＬ未満となったタイミングで、コンパレータ２５から出力される比較結果信号ＣＭＯが、ＨレベルからＬレベルに切り替わる。従って、カウンタ２７は、第２のＤ相スロープが開始されてから、このタイミングまで、カウントアップを行って垂直信号線２３の電位ＶＳＬをサンプリングし、第２のＤ相のカウンタ値Ｄ２を取得して、データ保持ラッチ２８に保持させる。

[0073] このように、画素２１が受光した光が明るい場合、カウンタ２７は、Ｐ相のサンプリングを２回行い、Ｄ相のサンプリングを１回行う。そして、データ保持ラッチ２８において、第２のＤ相のカウンタ値Ｄ２から、第１のＰ相のカウンタ値Ｐ１および第２のＰ相のカウンタ値Ｐ２の平均値を減算した画素値データ（＝Ｄ２－（Ｐ１＋Ｐ２）／２）が取得される。

[0074] なお、第２の駆動方法では、画素２１が受光した光が明るい場合の画素値データに合わせるため、データ処理部１８において、画素２１が受光した光が暗い場合の画素値データを１／２にする処理（＝［（Ｄ１＋Ｄ２）－（Ｐ１＋Ｐ２）］／２）が行われる。

[0075] 以上のように、撮像素子１１は、第２の駆動方法において、第１の駆動方法と同様に、画素２１が受光した光の明るさに応じて、Ｐ相のサンプリング回数と同一のサンプリング回数でＤ相のサンプリングを行う処理と、Ｄ相のサンプリングを行う１回だけ行う処理とを切り替えて行う。このとき、上述したように、撮像素子１１は、第１のＤ相スロープの期間を、振幅が小さい垂直信号線２３の電位ＶＳＬをサンプリングするのに必要な最小の時間に設定することができる。従って、撮像素子１１は、マルチサンプリングを行う全体としてのＡＤ変換処理の処理時間を短縮することができ、より高速に撮像を行うことができる。

[0076] ＜撮像素子の第２の構成例＞

[0077] 図４は、撮像素子の第２の実施の形態の構成例を示すブロック図である。なお、図４に示す撮像素子１１Ａにおいて、図１の撮像素子１１と共通する構成については、同一の符号を付し、その詳細な説明は省略する。

[0078] 図４に示すように、撮像素子１１Ａは、図１の撮像素子１１と同様に、画素アレイ１２、垂直走査部１３、読み出し電流制御部１４、参照信号生成部１５、クロック信号生成部１６、およびデータ処理部１８を備えて構成される。そして、撮像素子１１Ａは、列並列ＡＤＣ１７Ａの構成が、図１の撮像素子１１の列並列ＡＤＣ１７と異なるものとなっている。

[0079] 即ち、列並列ＡＤＣ１７Ａは、コンパレータ２５、信号判定ラッチ２６、

２個のカウンタ２７－１および２７－２、並びに、２個のデータ保持ラッチ２８－１および２８－２を、画素アレイ１２の画素２１の列数に応じた個数で有して構成される。また、列並列ＡＤＣ１７Ａでは、信号判定ラッチ２６は、保持している判定信号Ｇをカウンタ２７－１に通知する。

[0080] カウンタ２７－１は、信号判定ラッチ２６から通知される判定信号Ｇに従って、画素２１が受光した光が明るい場合と、画素２１が受光した光が暗い（明るくない）場合とで、Ｄ相のサンプリングを行うサンプリング回数を切り替える。具体的には、カウンタ２７－１は、画素２１が受光した光が暗い場合には、第１のＰ相のカウンタ値Ｐ１および第２のＤ相のカウンタ値Ｄ２をサンプリングし、画素２１が受光した光が明るい場合には、第１のＰ相のカウンタ値Ｐ１のみをサンプリングする。

[0081] カウンタ２７－２は、第２のＰ相のカウンタ値Ｐ２および第２のＤ相のカウンタ値Ｄ２をサンプリングする。

[0082] データ保持ラッチ２８－１は、カウンタ２７－１により取得された画素値データを保持し、データ保持ラッチ２８－２は、カウンタ２７－２により取得された画素値データを保持する。

[0083] 以上のように撮像素子１１Ａは構成されており、列並列ＡＤＣ１７Ａにおいてマルチサンプリングを実行することによって、ＡＤ変換に伴う量子化ノイズや回路ノイズなどのランダムノイズを低減することができる。そして、撮像素子１１Ａにおいても、図１の撮像素子１１と同様に、Ｄ相をサンプリングするサンプリングの間隔を短縮して、より高速に撮像を行うことができる。

[0084] また、撮像素子１１Ａは、画素２１が受光した光が暗い場合には、カウンタ２７－１およびカウンタ２７－２の両方のカウント値を用い、画素２１が受光した光が明るい場合には、カウンタ２７－２のカウント値のみを用いるように構成されている。従って、例えば、マルチサンプリングを４回行う場合にも、撮像素子１１Ａは、同様に、画素２１が受光した光が暗い場合には、カウンタ２７－１およびカウンタ２７－２の両方のカウント値を用い、画

素２１が受光した光が明るい場合には、カウンタ２７－２のカウント値のみを用いるように構成することができる。即ち、撮像素子１１Ａは、カウンタ値Ｐ１乃至Ｐ３およびカウンタ値Ｄ１乃至Ｄ３に対してカウンタ２７－１によりサンプリングを行い、カウンタ値Ｐ４およびカウンタ値Ｄ４に対してカウンタ２７－２によりサンプリングを行うことができる。このとき、データ保持ラッチ２８－１にはカウンタ値（(D1+D2+D3)-(P1+P2+P3)）が保持され、データ保持ラッチ２８－２にはカウンタ値（(D4-P4)）が保持される。

[0085] このように、撮像素子１１Ａは、画素アレイ１２の画素２１の列ごとに、カウンタ２７およびデータ保持ラッチ２８－１をそれぞれ少なくとも２個ずつ有して構成されていれば、２回またはそれ以上の回数のマルチサンプリングに対応することができる。

[0086] ＜第３の駆動方法＞

[0087] 図５を参照して、撮像素子１１Ａによる第３の駆動方法について説明する。

[0088] 図５に示すように、参照信号生成部１５が生成する参照信号ＳＬＰ、および、クロック信号生成部１６が生成するクロック信号ＣＬＫは、図４を参照して説明した第１の駆動方法と同様の波形である。

[0089] 図５のＡに示すように、画素２１が受光した光が暗く、垂直信号線２３の電位ＶＳＬの振幅が小さい場合、まず、Ｐ相において、カウンタ２７－１が、カウントダウンを行って第１のＰ相のカウンタ値Ｐ１を取得して、データ保持ラッチ２８－１に保持させる。同様に、カウンタ２７－２が、カウントダウンを行って第２のＰ相のカウンタ値Ｐ２を取得して、データ保持ラッチ２８－２に保持させる。

[0090] その後、Ｄ相において、カウンタ２７－１が、カウントアップを行って第１のＤ相のカウンタ値Ｄ１を取得して、データ保持ラッチ２８－１に保持させる。同様に、カウンタ２７－２が、カウントアップを行って第２のＤ相のカウンタ値Ｄ２を取得して、データ保持ラッチ２８－２に保持させる。

[0091] 従って、この場合、データ保持ラッチ２８－１において、第１のＤ相のカ

ウンタ値Ｄ１から第１のＰ相のカウンタ値Ｐ１を減算した値（＝Ｄ１－Ｐ１）が取得される。同様に、データ保持ラッチ２８－２において、第２のＤ相のカウンタ値Ｄ２から第２のＰ相のカウンタ値Ｐ２を減算した値（＝Ｄ２－Ｐ２）が取得される。

[0092] また、図５のＢに示すように、画素２１が受光した光が明るく、垂直信号線２３の電位ＶＳＬの振幅が大きい場合、Ｐ相においては、コンパレータ２５並びにカウンタ２７－１および２７－２は、画素２１が受光した光が暗い場合と同様の動作を行うため、その説明は省略する。

[0093] そして、撮像素子１１Ａによる第３の駆動方法では、Ｐ相において、カウンタ２７－１は、カウントをストップし、垂直信号線２３の電位ＶＳＬのサンプリングを行わない。従って、カウンタ２７－１は、第１のＰ相のカウンタ値Ｐ１を保持したままとなる。なお、第１のＰ相のカウンタ値Ｐ１は、その後の処理で用いられないため、カウンタ２７－１は、第１のＰ相のカウンタ値Ｐ１を出力しなくてもよい。

[0094] また、カウンタ２７－２は、参照信号ＳＬＰが第１のＤ相スロープである期間におけるカウントをストップし、垂直信号線２３の電位ＶＳＬのサンプリングを行わずに、データ保持ラッチ２８－２では、その時点でのカウンタ値が維持される。その後、カウンタ２７－２は、第２のＤ相スロープが開始されると、カウントアップを開始する。そして、カウンタ２７－２は、第２のＤ相スロープの参照信号ＳＬＰが、一定の勾配で降下して、信号レベルの垂直信号線２３の電位ＶＳＬ未満となったタイミングまで、カウントアップを行って垂直信号線２３の電位ＶＳＬをサンプリングし、第２のＤ相のカウンタ値Ｄ２を取得して、データ保持ラッチ２８に保持させる。従って、データ保持ラッチ２８－２において、第２のＤ相のカウンタ値Ｄ２から、第２のＰ相のカウンタ値Ｐ２を減算した値（＝Ｄ２－Ｐ２）が取得される。

[0095] 以上のように、撮像素子１１Ａは、第３の駆動方法において、第１および第２の駆動方法と同様に、画素２１が受光した光の明るさに応じて、Ｐ相のサンプリング回数と同一のサンプリング回数でＤ相のサンプリングを行う処

理と、Ｄ相のサンプリングを行う１回だけ行う処理とを切り替えて行う。

[0096] また、撮像素子１１Ａでは、画素２１が受光した光が明るい場合、データ処理部１８は、データ保持ラッチ２８－１に保持されている値（＝Ｄ１－Ｐ１）、および、データ保持ラッチ２８－２に保持されている値（＝Ｄ２－Ｐ２）を読み差して、画素値データ（＝（Ｄ１＋Ｄ２）－（Ｐ１＋Ｐ２））を算出する。一方、撮像素子１１Ａでは、画素２１が受光した光が暗い場合、データ処理部１８は、データ保持ラッチ２８－２に保持されている値（＝Ｄ２－Ｐ２）を画素値データとして取得する。

[0097] そして、撮像素子１１Ａは、上述した撮像素子１１と同様に、第１のＤ相スロープの期間を、振幅が小さい垂直信号線２３の電位ＶＳＬをサンプリングするのに必要な最小の時間に設定することができる。従って、撮像素子１１Ａは、マルチサンプリングを行う全体としてのＡＤ変換処理の処理時間を短縮することができ、より高速に撮像を行うことができる。

[0098] ＜スロープ信号の例＞

[0099] 図６乃至図８を参照して、撮像素子１１において用いられるスロープ信号の例について説明する。

[0100] 図６には、スロープ信号の第１の例として、奇数番目において電圧値を上昇させながらＡＤ変換を行うスロープを利用し、偶数番目において電圧を降下させながらＡＤ変換を行うスロープを利用するようなスロープが山型に折り返すスロープ信号が示されている。

[0101] 図６のＡには、Ｐ相およびＤ相を２回サンプリングするときのスロープ信号が示されている。なお、スロープ信号の第１の例は、図２に示したスロープ信号の波形と同一である。

[0102] 即ち、スロープ信号は、Ｐ相において、電圧値を上昇させながらＡＤ変換を行う第１のＰ相スロープ、および、電圧値を降下させながらＡＤ変換を行う第２のＰ相スロープを有する。また、スロープ信号は、Ｄ相において、電圧値を上昇させながらＡＤ変換を行う第１のＤ相スロープ、および、電圧値を降下させながらＡＤ変換を行う第２のＤ相スロープを有する。

[0103] 従って、Ｐ相において、第１のＰ相スロープを利用して第１のＰ相のカウンタ値Ｐ１が取得され、第２のＰ相スロープを利用して第２のＰ相のカウンタ値Ｐ２が取得される。また、Ｄ相において、第１のＤ相スロープを利用して第１のＤ相のカウンタ値Ｄ１が取得され、第２のＤ相スロープを利用して第２のＤ相のカウンタ値Ｄ２が取得される。

[0104] そして、画素２１が受光した光が暗い場合、図１の撮像素子１１および図４の撮像素子１１Ａのどちらも、画素値データ（＝（Ｄ１＋Ｄ２）－（Ｐ１＋Ｐ２））を取得する。

[0105] 一方、画素２１が受光した光が明るい場合、Ｄ相のサンプリング回数は１回だけとされ、第２のＤ相のカウンタ値Ｄ２のみが取得される。従って、図１の撮像素子１１は、画素値データ（＝Ｄ２－（Ｐ１＋Ｐ２）／２）を取得し、図４の撮像素子１１Ａは、画素値データ（＝Ｄ２－Ｐ２）を取得する。

[0106] 図６のＢには、Ｐ相およびＤ相を４回サンプリングするときのスロープ信号が示されている。

[0107] 即ち、スロープ信号は、Ｐ相において、電圧値を上昇させながらＡＤ変換を行う第１のＰ相スロープ、電圧値を降下させながらＡＤ変換を行う第２のＰ相スロープ、電圧値を上昇させながらＡＤ変換を行う第３のＰ相スロープ、および、電圧値を降下させながらＡＤ変換を行う第４のＰ相スロープを有する。また、スロープ信号は、Ｄ相において、電圧値を上昇させながらＡＤ変換を行う第１のＤ相スロープ、電圧値を降下させながらＡＤ変換を行う第２のＤ相スロープ、電圧値を上昇させながらＡＤ変換を行う第３のＤ相スロープ、および電圧値を降下させながらＡＤ変換を行う第４のＤ相スロープを有する。

[0108] 従って、第１のＰ相スロープを利用して第１のＰ相のカウンタ値Ｐ１が取得され、第２のＰ相スロープを利用して第２のＰ相のカウンタ値Ｐ２が取得され、第３のＰ相スロープを利用して第３のＰ相のカウンタ値Ｐ３が取得され、第４のＰ相スロープを利用して第４のＰ相のカウンタ値Ｐ４が取得される。また、第１のＤ相スロープを利用して第１のＤ相のカウンタ値Ｄ１が取

得され、第２のＤ相スロープを利用して第２のＤ相のカウンタ値Ｄ２が取得され、第３のＤ相スロープを利用して第３のＤ相のカウンタ値Ｄ３が取得され、第４のＤ相スロープを利用して第４のＤ相のカウンタ値Ｄ４が取得される。

[0109] そして、画素２１が受光した光が暗い場合、図１の撮像素子１１および図４の撮像素子１１Ａのどちらも、画素値データ（＝（Ｄ１＋Ｄ２＋Ｄ３＋Ｄ４）－（Ｐ１＋Ｐ２＋Ｐ３＋Ｐ４））を取得する。

[0110] 一方、画素２１が受光した光が明るい場合、Ｄ相のサンプリング回数は１回だけとされ、第４のＤ相のカウンタ値Ｄ４のみが取得される。従って、図１の撮像素子１１は、画素値データ（＝Ｄ４－（Ｐ１＋Ｐ２＋Ｐ３＋Ｐ４）／４）を取得し、図４の撮像素子１１Ａは、画素値データ（＝Ｄ４－Ｐ４）を取得する。

[0111] 図７には、スロープ信号の第２の例として、奇数番目において電圧値を降下させながらＡＤ変換を行うスロープを利用し、偶数番目において電圧を上昇させながらＡＤ変換を行うスロープを利用するようなスロープが谷型に折り返すスロープ信号が示されている。

[0112] 図７のＡには、Ｐ相およびＤ相を２回サンプリングするときのスロープ信号が示されている。

[0113] 即ち、スロープ信号は、Ｐ相において、電圧値を降下させながらＡＤ変換を行う第１のＰ相スロープ、および、電圧値を上昇させながらＡＤ変換を行う第２のＰ相スロープを有する。また、スロープ信号は、Ｄ相において、電圧値を降下させながらＡＤ変換を行う第１のＤ相スロープ、および、電圧値を上昇させながらＡＤ変換を行う第２のＤ相スロープを有する。

[0114] 図７のＢには、Ｐ相およびＤ相を４回サンプリングするときのスロープ信号が示されている。

[0115] 即ち、スロープ信号は、Ｐ相において、電圧値を上昇させながらＡＤ変換を行う第１のＰ相スロープ、電圧値を降下させながらＡＤ変換を行う第２のＰ相スロープ、電圧値を上昇させながらＡＤ変換を行う第３のＰ相スロープ

、および、電圧値を降下させながらＡＤ変換を行う第４のＰ相スロープを有する。また、スロープ信号は、Ｄ相において、電圧値を上昇させながらＡＤ変換を行う第１のＤ相スロープ、電圧値を降下させながらＡＤ変換を行う第２のＤ相スロープ、電圧値を上昇させながらＡＤ変換を行う第３のＤ相スロープ、および電圧値を降下させながらＡＤ変換を行う第４のＤ相スロープを有する。

[0116] そして、図７に示すようなスロープ信号を用いて、図１の撮像素子１１および図４の撮像素子１１Ａは、図６を参照した説明と同様に、画素値データを取得することができる。

[0117] 図８には、スロープ信号の第３の例として、全てのスロープにおいて電圧を降下させながらＡＤ変換を行うスロープ信号が示されている。

[0118] 図８のＡには、Ｐ相およびＤ相を２回サンプリングするときのスロープ信号が示されている。

[0119] 即ち、スロープ信号は、Ｐ相において、電圧値を降下させながらＡＤ変換を行う第１のＰ相スロープ、および、電圧値を降下させながらＡＤ変換を行う第２のＰ相スロープを有する。また、スロープ信号は、Ｄ相において、電圧値を降下させながらＡＤ変換を行う第１のＤ相スロープ、および、電圧値を降下させながらＡＤ変換を行う第２のＤ相スロープを有する。

[0120] 図８のＢには、Ｐ相およびＤ相を４回サンプリングするときのスロープ信号が示されている。

[0121] 即ち、スロープ信号は、Ｐ相において、電圧値を降下させながらＡＤ変換を行う第１のＰ相スロープ、電圧値を降下させながらＡＤ変換を行う第２のＰ相スロープ、電圧値を降下させながらＡＤ変換を行う第３のＰ相スロープ、および、電圧値を降下させながらＡＤ変換を行う第４のＰ相スロープを有する。また、スロープ信号は、Ｄ相において、電圧値を降下させながらＡＤ変換を行う第１のＤ相スロープ、電圧値を降下させながらＡＤ変換を行う第２のＤ相スロープ、電圧値を降下させながらＡＤ変換を行う第３のＤ相スロープ、および電圧値を降下させながらＡＤ変換を行う第４のＤ相スロープを

有する。

[0122] そして、図８に示すようなスロープ信号を用いて、図１の撮像素子１１および図４の撮像素子１１Ａは、図６を参照した説明と同様に、画素値データを取得することができる。

[0123] なお、スロープ信号の波形としては、上述したような例に限定されることなく、例えば、全てのスロープにおいて電圧を上昇させながらＡＤ変換を行うスロープ信号や、Ｐ相およびＤ相を４回以上サンプリングするようなスロープ信号を用いてもよい。また、Ｐ相をサンプリングするためのスロープと、Ｄ相をサンプリングするためのスロープとの数が異なっていてもよい。

[0124] 即ち、画素２１が受光した光が明るいときにサンプリングされるＤ相のサンプリング期間が長く、それ以外のＤ相のサンプリング期間が、振幅が小さい垂直信号線２３の電位ＶＳＬをサンプリングするのに必要な最小の時間に設定されていれば、スロープ信号の波形は、どのような波形でもよい。

[0125] また、上述した各実施の形態では、画素２１が受光した光が明るい場合、Ｄ相のサンプリング回数を１回だけとして説明したが、例えば、Ｄ相のサンプリング回数がＰ相のサンプリング回数未満であれば、画素信号のＡＤ変換処理の処理時間を短縮することができる。即ち、撮像素子１１は、例えば、マルチサンプリングを４回行う場合に、画素２１が受光した光が明るいとき、Ｐ相のサンプリングを４回行い、Ｄ相のサンプリングを２回行うようにしてもよい。

[0126] なお、上述したような撮像素子１１は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0127] ＜撮像装置の構成例＞

[0128] 図９は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0129] 図９に示すように、撮像装置１０１は、光学系１０２、撮像素子１０３、

信号処理回路１０４、モニタ１０５、およびメモリ１０６を備えて構成され、静止画像および動画像を撮像可能である。

[0130] 光学系１０２は、１枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子１０３に導き、撮像素子１０３の受光面（センサ部）に結像させる。

[0131] 撮像素子１０３としては、上述した撮像素子１１が適用される。撮像素子１０３には、光学系１０２を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子１０３に蓄積された電子に応じた信号が信号処理回路１０４に供給される。

[0132] 信号処理回路１０４は、撮像素子１０３から出力された画素信号に対して各種の信号処理を施す。信号処理回路１０４が信号処理を施すことにより得られた画像（画像データ）は、モニタ１０５に供給されて表示されたり、メモリ１０６に供給されて記憶（記録）されたりする。

[0133] このように構成されている撮像装置１０１では、上述した撮像素子１１を適用することで、例えば、よりノイズの少ない画像を高速に撮像することができる。

[0134] ＜イメージセンサの使用例＞

[0135] 図１０は、上述のイメージセンサを使用する使用例を示す図である。

[0136] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0137] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0138] なお、本技術は以下のような構成も取ることができる。

（１）

複数の画素が行列状に配置されている画素アレイと、

前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、

前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部と

を備え、

前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、

前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する

撮像素子。

（２）

前記ＡＤ変換部は、前記Ｄ相期間のサンプリング回数を前記Ｐ相期間のサンプリング回数と同一とする第１の処理と、前記Ｄ相期間のサンプリング回数を前記Ｐ相期間のサンプリング回数未満とする第２の処理とで、前記画素の列ごとに切り替えて前記画素信号のＡＤ変換を行う

上記（１）に記載の撮像素子。

（３）

前記ＡＤ変換部は、ＡＤ変換を行う対象の前記画素が受光した光が暗い場合には前記第１の処理を行い、ＡＤ変換を行う対象の前記画素が受光した光が明るい場合には前記第２の処理を行う

上記（２）に記載の撮像素子。

（４）

前記第１のスロープのサンプリング期間は、前記画素が明るい光を受光したときの画素信号をＡＤ変換するのに要する時間に設定され、

前記第２のスロープのサンプリング期間は、前記画素が暗い光を受光したときの画素信号をＡＤ変換するのに要する時間に設定される

上記（２）または（３）に記載の撮像素子。

（５）

前記ＡＤ変換部は、前記画素アレイに配置されている前記画素の行ごとに、

前記画素から供給される前記画素信号と、前記参照信号生成部から供給される参照信号とを比較するコンパレータと、

前記コンパレータによる比較結果に基づいて、前記画素が受光した光が明るいか否かを示す判定信号を保持する信号判定保持部と、

所定のクロック周波数のクロック信号をカウントすることにより、前記画素信号をサンプリングするカウンタと

を有して構成され、

前記カウンタは、前記信号判定保持部に保持されている前記判定信号に従って、前記第１の処理と前記第２の処理とを切り替えて前記画素信号のサン

プリングを行う

上記（２）から（４）までのいずれかに記載の撮像素子。

（６）

前記ＡＤ変換部は、前記画素アレイに配置されている前記画素の行ごとに、前記カウンタから出力されるカウンタ値を保持するデータ保持部をさらに有して構成される

上記（５）に記載の撮像素子。

（７）

前記画素が受光した光が明るい場合、前記カウンタは、前記Ｄ相期間において、前記第２のスロープのサンプリング期間においてサンプリングを停止し、前記第１のスロープのサンプリング期間において、マルチサンプリングを行う回数に応じた整数倍のカウンタ幅でサンプリングを行う

上記（５）または（６）に記載の撮像素子。

（８）

前記画素が受光した光が明るい場合、前記カウンタは、前記Ｄ相期間において、前記第２のスロープのサンプリング期間においてサンプリングを停止し、前記データ保持部は、それらのサンプリング期間において取得されたカウンタ値の平均値にシフトした値を保持し、前記カウンタは、前記第１のスロープのサンプリング期間において通常のカウンタ幅でサンプリングを行う

上記（６）に記載の撮像素子。

（９）

前記ＡＤ変換部は、前記画素アレイに配置されている前記画素の行ごとに、少なくとも２個ずつの前記カウンタおよび前記データ保持部を有して構成され、

それらの前記カウンタのうち１個のカウンタが、前記信号判定保持部の保持されている判定信号に従って、前記第１の処理と前記第２の処理とで切り替えて前記画素信号のＡＤ変換を行う

上記（６）から（８）までのいずれかにに記載の撮像素子。

（１０）

前記カウンタから出力されるカウンタ値に基づいたデータ処理を行うデータ処理部をさらに備え、

前記カウンタは、前記Ｐ相期間および前記Ｄ相期間においてサンプリングしたカウンタ値を前記データ処理部に出力し、

前記データ処理部は、それらのカウンタ値から画素値データを算出するデータ処理を行う

上記（５）に記載の撮像素子。

（１１）

前記参照信号生成部は、奇数番目において電圧値を上昇させながらＡＤ変換を行うスロープを有し、偶数番目において電圧を降下させながらＡＤ変換を行うスロープを有する山型に折り返すようなスロープ信号を生成する

上記（１）から（１０）までのいずれかに記載の撮像素子。

（１２）

前記参照信号生成部は、奇数番目において電圧値を降下させながらＡＤ変換を行うスロープを有し、偶数番目において電圧を上昇させながらＡＤ変換を行うスロープを有する谷型に折り返すようなスロープ信号を生成する

上記（１）から（１０）までのいずれかに記載の撮像素子。

（１３）

前記参照信号生成部は、全てのスロープにおいて電圧を降下させながらＡＤ変換を行うスロープ信号を生成する

上記（１）から（１０）までのいずれかに記載の撮像素子。

（１４）

複数の画素が行列状に配置されている画素アレイと、

前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、

前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配

のスロープを有する波形の参照信号を生成する参照信号生成部と

を備える撮像素子の駆動方法において、

前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、

前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する

駆動方法。

（１５）

複数の画素が行列状に配置されている画素アレイと、

前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、

前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部と

を有し、

前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、

前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する

撮像素子を備える電子機器。

[0139] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

符号の説明

[0140] １１ 撮像素子，１２ 画素アレイ，１３ 垂直走査部，１４ 読み出し電流制御部，１５ 参照信号生成部，１６ クロック信号生成部，１７ 列並列ＡＤＣ，１８ データ処理部，２１ 画素，２２ 水平信号線，２３ 垂直信号線，２４ 電流源回路，２５ コンパレータ，２６ 信号判定ラッチ，２７ カウンタ，２８ データ保持ラッチ

請求の範囲

[請求項1] 複数の画素が行列状に配置されている画素アレイと、

前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、

前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部と

を備え、

前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、

前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する

撮像素子。

[請求項2] 前記ＡＤ変換部は、前記Ｄ相期間のサンプリング回数を前記Ｐ相期間のサンプリング回数と同一とする第１の処理と、前記Ｄ相期間のサンプリング回数を前記Ｐ相期間のサンプリング回数未満とする第２の処理とで、前記画素の列ごとに切り替えて前記画素信号のＡＤ変換を行う

請求項１に記載の撮像素子。

[請求項3] 前記ＡＤ変換部は、ＡＤ変換を行う対象の前記画素が受光した光が暗い場合には前記第１の処理を行い、ＡＤ変換を行う対象の前記画素が受光した光が明るい場合には前記第２の処理を行う

請求項２に記載の撮像素子。

[請求項4] 前記第１のスロープのサンプリング期間は、前記画素が明るい光を受光したときの画素信号をＡＤ変換するのに要する時間に設定され、

前記第２のスロープのサンプリング期間は、前記画素が暗い光を受光したときの画素信号をＡＤ変換するのに要する時間に設定される

請求項３に記載の撮像素子。

[請求項5] 前記ＡＤ変換部は、前記画素アレイに配置されている前記画素の行ごとに、

前記画素から供給される前記画素信号と、前記参照信号生成部から供給される参照信号とを比較するコンパレータと、

前記コンパレータによる比較結果に基づいて、前記画素が受光した光が明るいか否かを示す判定信号を保持する信号判定保持部と、

所定のクロック周波数のクロック信号をカウントすることにより、前記画素信号をサンプリングするカウンタと

を有して構成され、

前記カウンタは、前記信号判定保持部に保持されている前記判定信号に従って、前記第１の処理と前記第２の処理とを切り替えて前記画素信号のサンプリングを行う

請求項２に記載の撮像素子。

[請求項6] 前記ＡＤ変換部は、前記画素アレイに配置されている前記画素の行ごとに、前記カウンタから出力されるカウンタ値を保持するデータ保持部をさらに有して構成される

請求項５に記載の撮像素子。

[請求項7] 前記画素が受光した光が明るい場合、前記カウンタは、前記Ｄ相期間において、前記第２のスロープのサンプリング期間においてサンプリングを停止し、前記第１のスロープのサンプリング期間において、マルチサンプリングを行う回数に応じた整数倍のカウンタ幅でサンプリングを行う

請求項５に記載の撮像素子。

[請求項8] 前記画素が受光した光が明るい場合、前記カウンタは、前記Ｄ相期間において、前記第２のスロープのサンプリング期間においてサンプリングを停止し、前記データ保持部は、それらのサンプリング期間において取得されたカウンタ値の平均値にシフトした値を保持し、前記カウンタは、前記第１のスロープのサンプリング期間において通常のカウンタ幅でサンプリングを行う

請求項６に記載の撮像素子。

[請求項9] 前記ＡＤ変換部は、前記画素アレイに配置されている前記画素の行ごとに、少なくとも２個ずつの前記カウンタおよび前記データ保持部を有して構成され、

それらの前記カウンタのうち１個のカウンタが、前記信号判定保持部の保持されている判定信号に従って、前記第１の処理と前記第２の処理とで切り替えて前記画素信号のＡＤ変換を行う

請求項６に記載の撮像素子。

[請求項10] 前記カウンタから出力されるカウンタ値に基づいたデータ処理を行うデータ処理部をさらに備え、

前記カウンタは、前記Ｐ相期間および前記Ｄ相期間においてサンプリングしたカウンタ値を前記データ処理部に出力し、

前記データ処理部は、それらのカウンタ値から画素値データを算出するデータ処理を行う

請求項５に記載の撮像素子。

[請求項11] 前記参照信号生成部は、奇数番目において電圧値を上昇させながらＡＤ変換を行うスロープを有し、偶数番目において電圧を降下させながらＡＤ変換を行うスロープを有する山型に折り返すようなスロープ信号を生成する

請求項１に記載の撮像素子。

[請求項12] 前記参照信号生成部は、奇数番目において電圧値を降下させながら

ＡＤ変換を行うスロープを有し、偶数番目において電圧を上昇させながらＡＤ変換を行うスロープを有する谷型に折り返すようなスロープ信号を生成する

請求項１に記載の撮像素子。

[請求項13] 前記参照信号生成部は、全てのスロープにおいて電圧を降下させながらＡＤ変換を行うスロープ信号を生成する

請求項１に記載の撮像素子。

[請求項14] 複数の画素が行列状に配置されている画素アレイと、

前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換するＡＤ変換部と、

前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部と

を備える撮像素子の駆動方法において、

前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、

前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する

駆動方法。

[請求項15] 複数の画素が行列状に配置されている画素アレイと、

前記画素アレイに配置されている前記画素の列ごとに、前記画素から出力される画素信号を並列的にＡＤ（Analog-to-digital）変換す

るＡＤ変換部と、

前記ＡＤ変換部が、前記画素信号をＡＤ変換する際に参照する一定の勾配のスロープを有する波形の参照信号を生成する参照信号生成部と

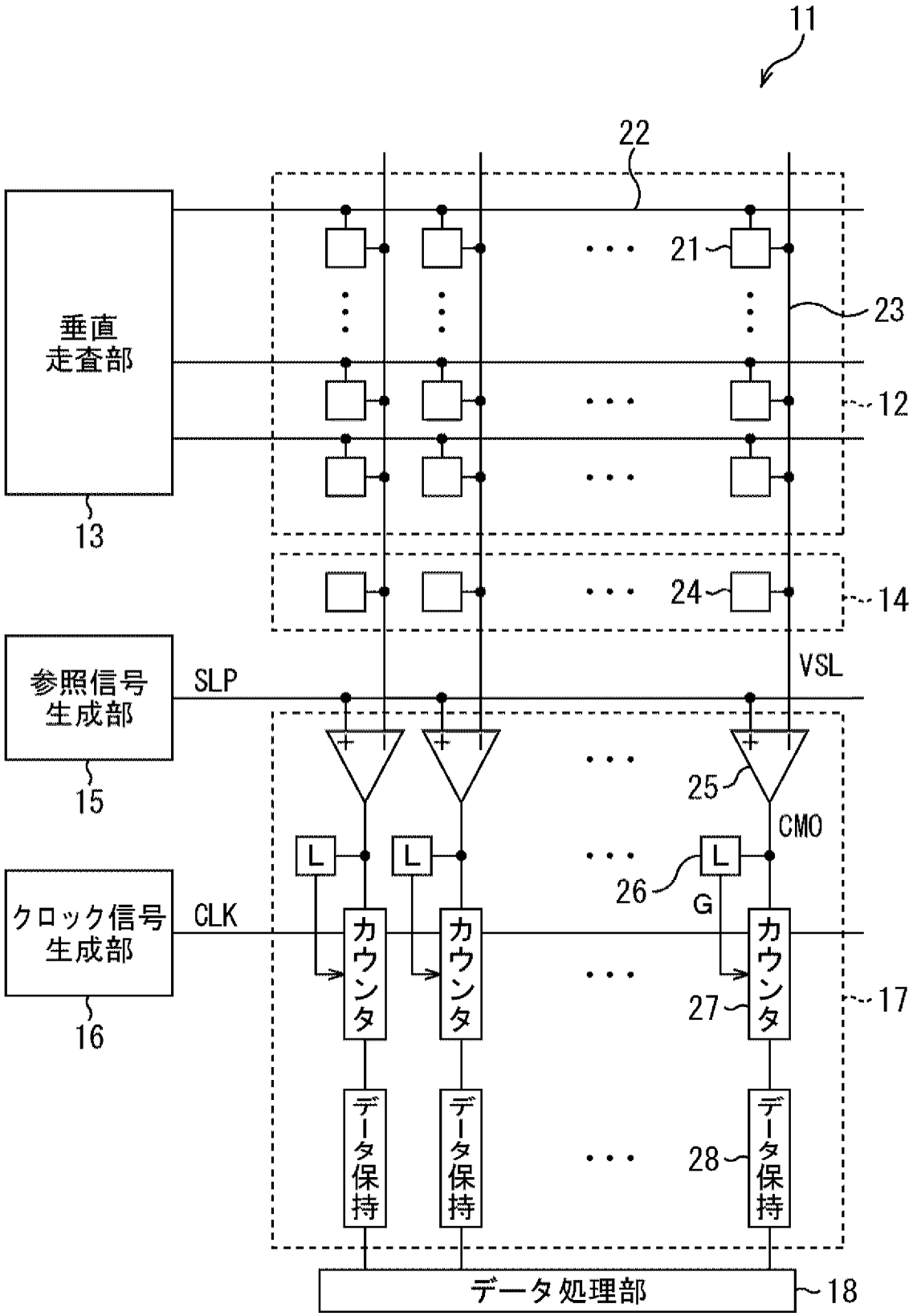
を有し、

前記ＡＤ変換部が、同一の前記画素信号に対して、前記画素のリセットレベルの画素信号をＡＤ変換するＰ相期間のサンプリングと、前記画素が受光した光の光量に応じたレベルの画素信号をＡＤ変換するＤ相期間のサンプリングとを少なくとも１回以上行うマルチサンプリングを行う際に、

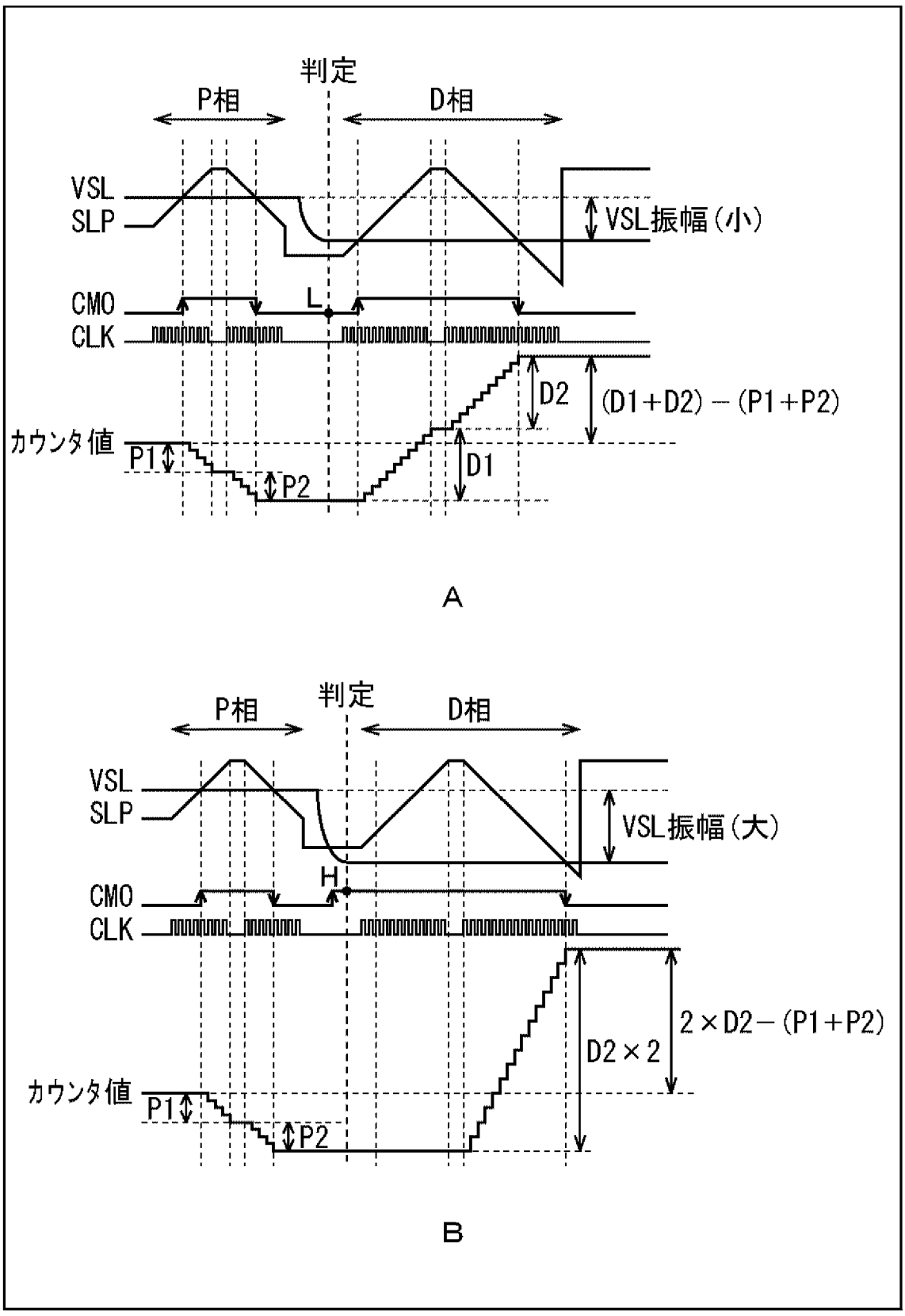
前記参照信号生成部は、前記Ｄ相期間における複数のスロープのうち、所定の長さのサンプリング期間である第１のスロープ以外の第２のスロープのサンプリング期間が、前記第１のスロープのサンプリング期間よりも短く設定された前記参照信号を生成する

撮像素子を備える電子機器。

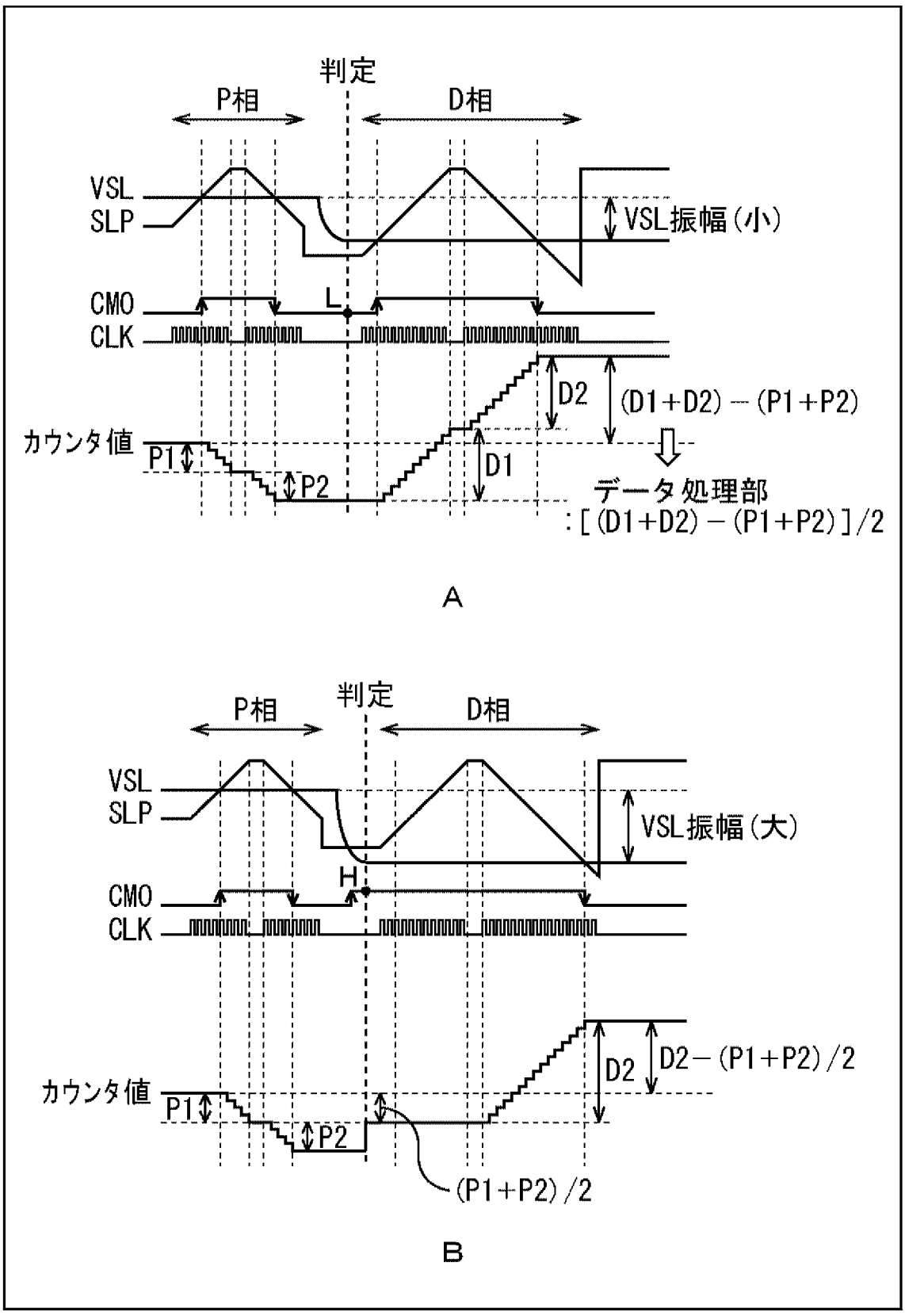
[図1]
FIG. 1


11
22
垂直
走査部
13
21
23
12
24
14
参照信号
生成部
15
SLP
VSL
25
CMO
L
26
G
クロック信号
生成部
16
CLK
カウンタ
27
17
データ保持
28
データ処理部
18

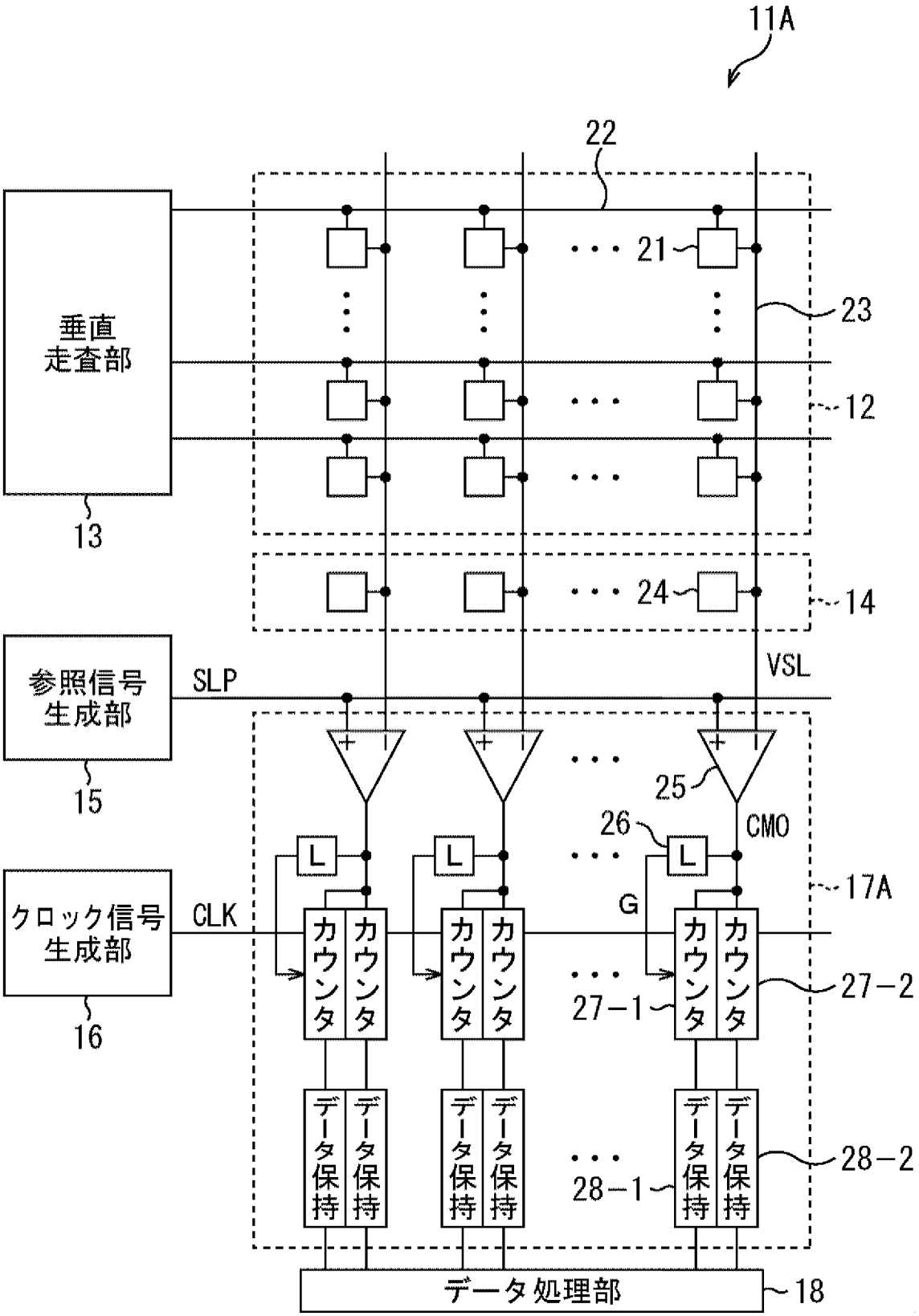
[図2]
FIG. 2


判定
P相
D相
VSL
SLP
VSL振幅(小)
CMO
CLK
L
D2
(D1+D2)−(P1+P2)
カウンタ値
P1
P2
D1
A
判定
P相
D相
VSL
SLP
VSL振幅(大)
CMO
CLK
H
2×D2−(P1+P2)
D2×2
カウンタ値
P1
P2
B

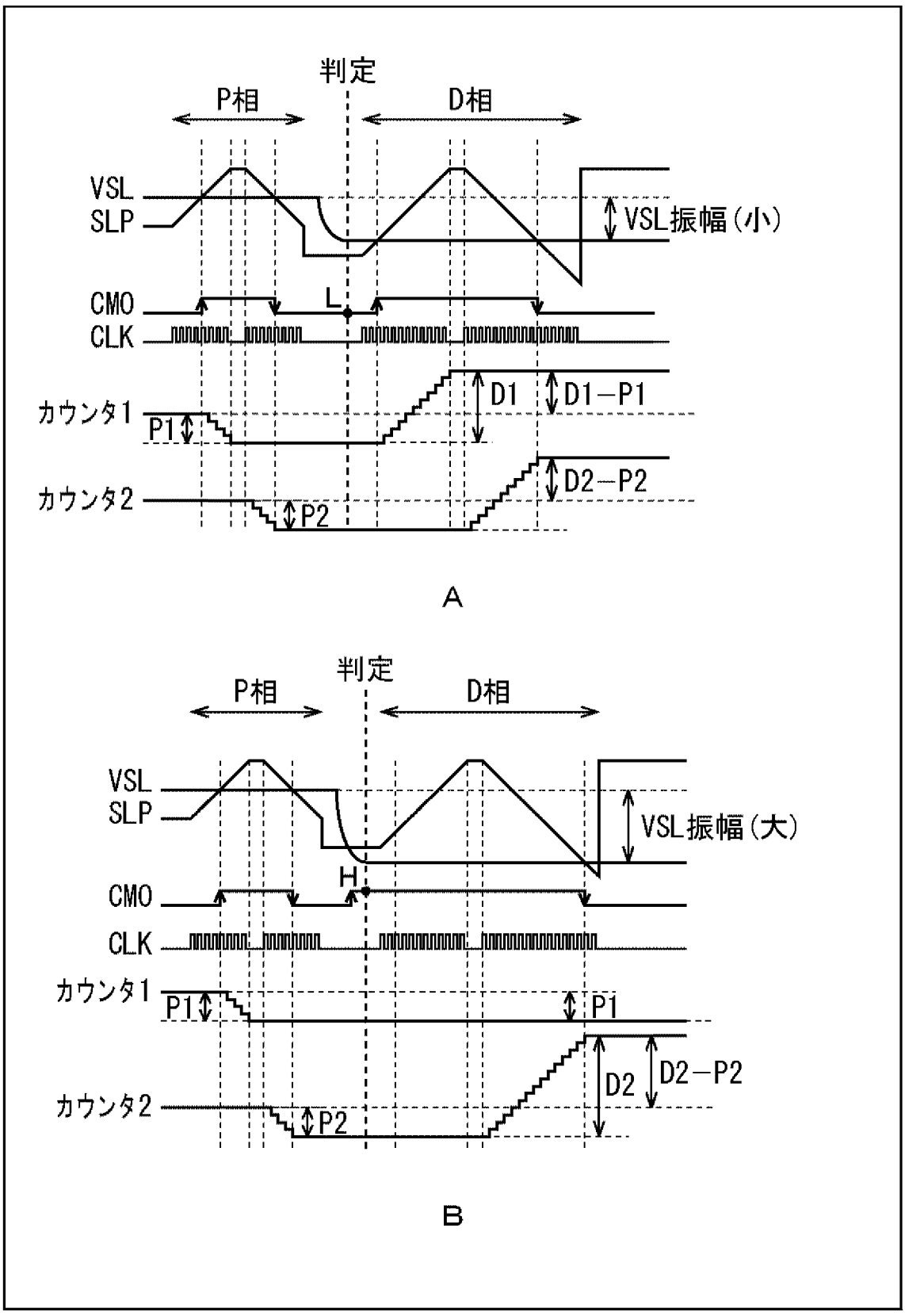
[図3]
FIG. 3


判定
P相
D相
VSL
SLP
VSL振幅(小)
CMO
CLK
L
D2
(D1+D2)－(P1+P2)
カウンタ値
P1
P2
D1
データ処理部
:[(D1+D2)－(P1+P2)]/2
A
判定
P相
D相
VSL
SLP
VSL振幅(大)
CMO
CLK
H
D2
D2－(P1+P2)/2
カウンタ値
P1
P2
(P1+P2)/2
B

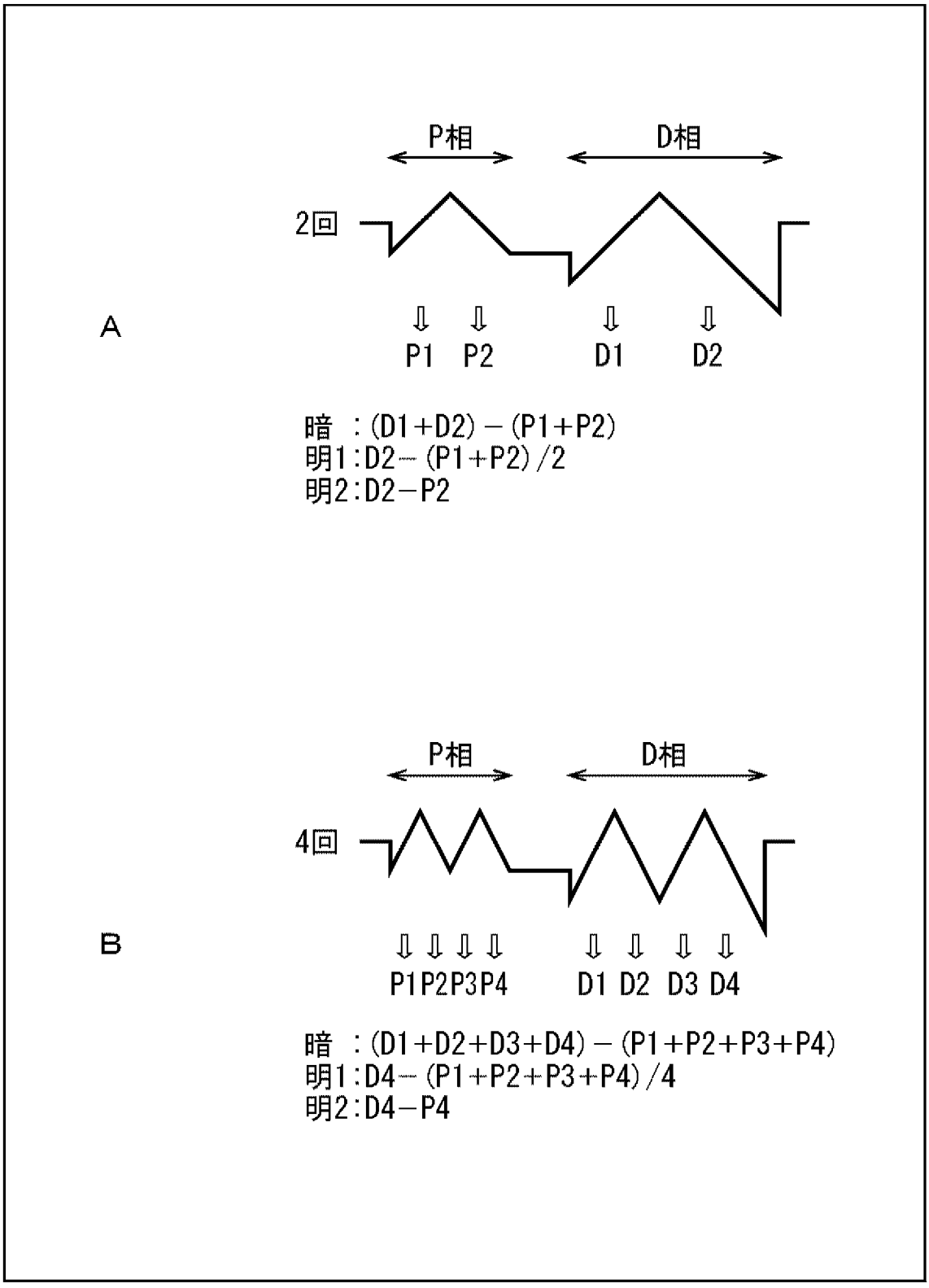
[図4]
FIG. 4


11A
22
垂直
走査部
13
21
23
12
24
14
参照信号
生成部
15
SLP
VSL
25
26
CMO
L
17A
G
クロック信号
生成部
16
CLK
カウンタ
27−1
27−2
データ保持
28−1
28−2
データ処理部
18

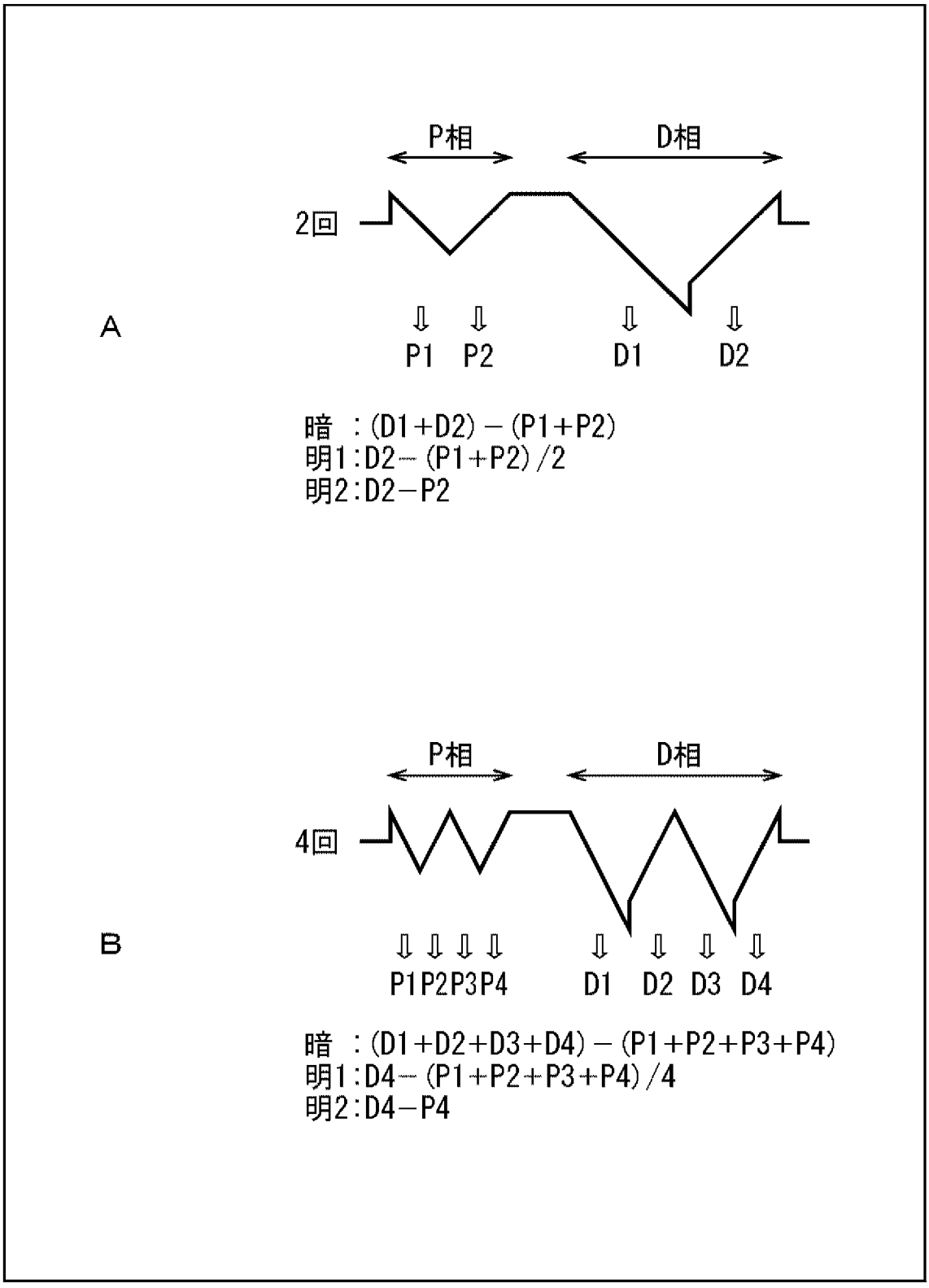
[図5]
FIG. 5


判定
P相
D相
VSL
SLP
VSL振幅(小)
CMO
L
CLK
カウンタ1
P1
D1
D1−P1
カウンタ2
P2
D2−P2
A
判定
P相
D相
VSL
SLP
VSL振幅(大)
H
CMO
CLK
カウンタ1
P1
P1
D2
D2−P2
カウンタ2
P2
B

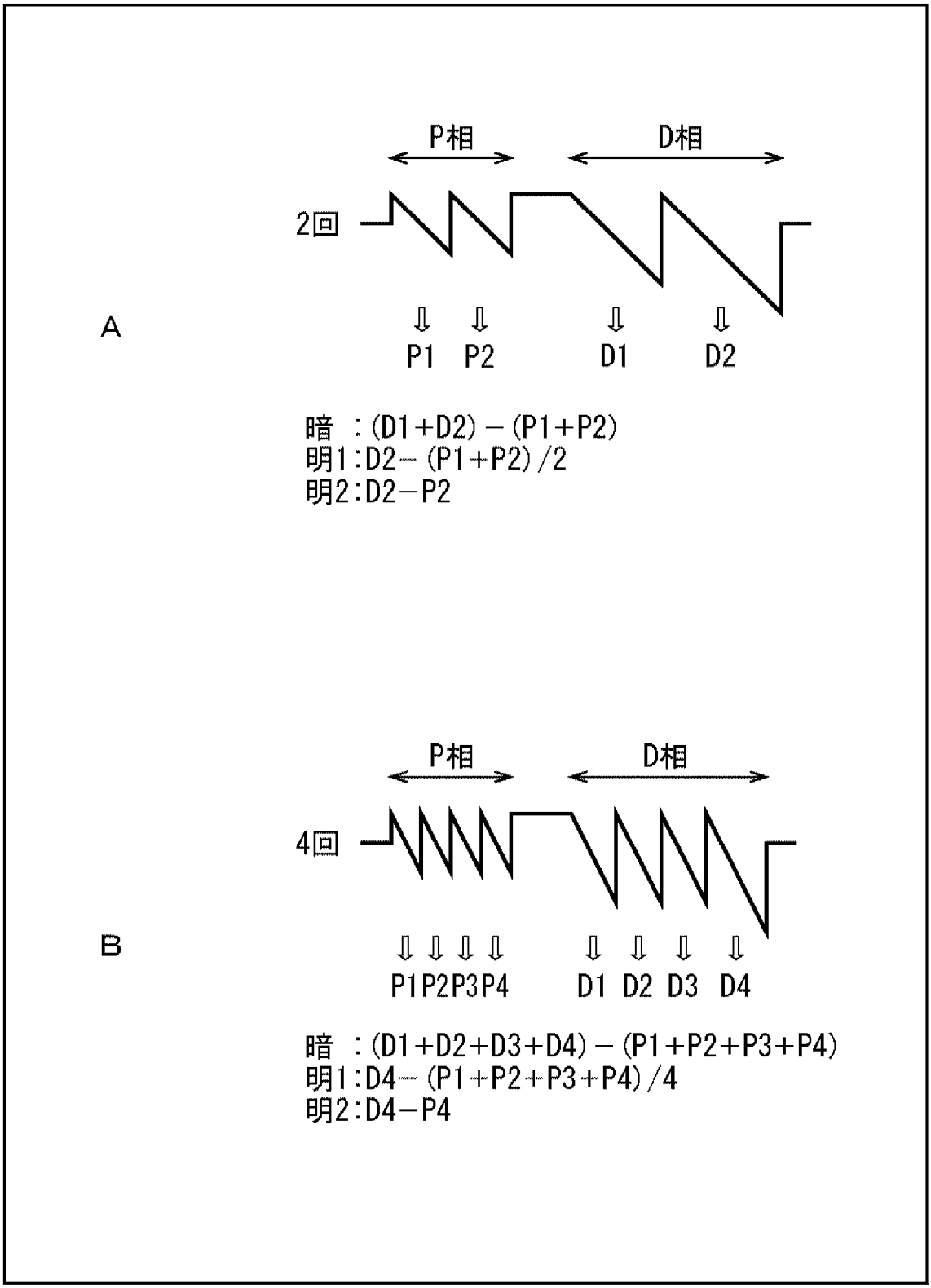
[図6]
FIG. 6


A
P相
D相
2回
P1
P2
D1
D2
暗 :(D1+D2)−(P1+P2)
明1:D2−(P1+P2)/2
明2:D2−P2
B
P相
D相
4回
P1P2P3P4
D1 D2 D3 D4
暗 :(D1+D2+D3+D4)−(P1+P2+P3+P4)
明1:D4−(P1+P2+P3+P4)/4
明2:D4−P4

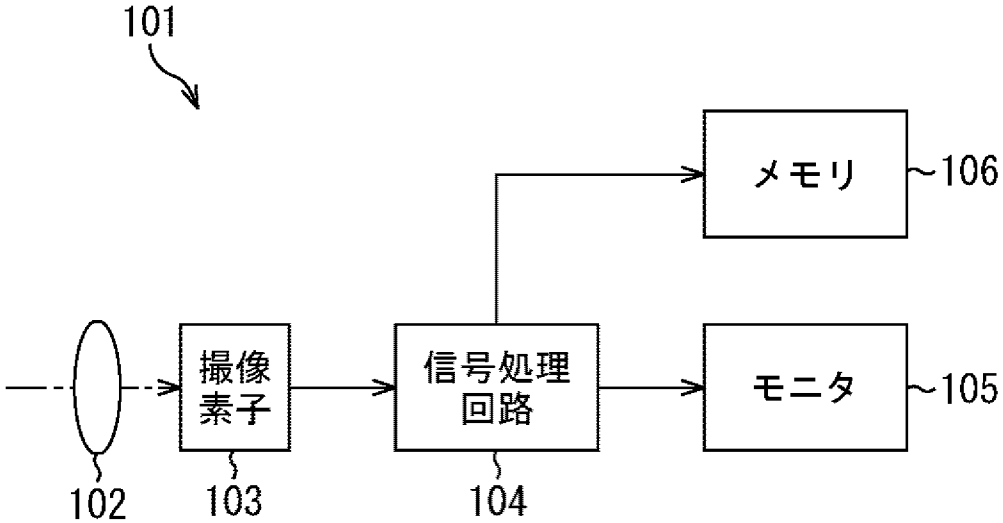
[図7]
FIG. 7


A
P相
D相
2回
P1
P2
D1
D2
暗 :(D1+D2)−(P1+P2)
明1:D2−(P1+P2)/2
明2:D2−P2
B
P相
D相
4回
P1P2P3P4
D1
D2
D3
D4
暗 :(D1+D2+D3+D4)−(P1+P2+P3+P4)
明1:D4−(P1+P2+P3+P4)/4
明2:D4−P4

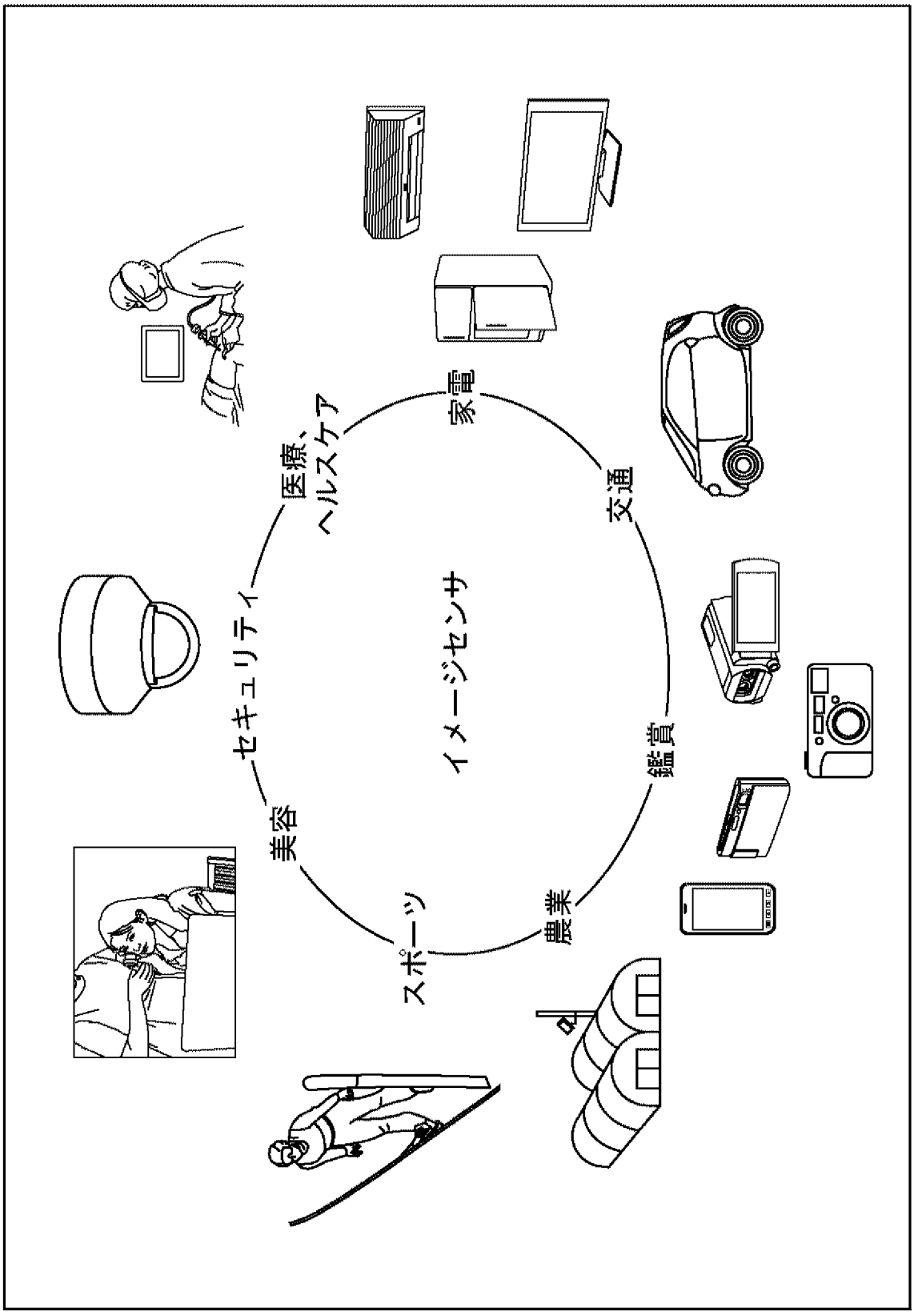
[図8]
FIG. 8


A
P相
D相
2回
P1
P2
D1
D2
暗 :(D1+D2)−(P1+P2)
明1:D2−(P1+P2)/2
明2:D2−P2
B
P相
D相
4回
P1P2P3P4
D1 D2 D3 D4
暗 :(D1+D2+D3+D4)−(P1+P2+P3+P4)
明1:D4−(P1+P2+P3+P4)/4
明2:D4−P4

[図9]
FIG. 9



[図10]
FIG. 10



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/026409

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/378(2011.01)i, *H03M1/56*(2006.01)i, *H04N5/363*(2011.01)i, *H04N5/374*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/378, H03M1/56, H04N5/363, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-296423 A (Sony Corp.), 17 December 2009 (17.12.2009), paragraphs [0100] to [0103]; fig. 3B & US 2011/0074994 A1 paragraphs [0138] to [0141]; fig. 3B & WO 2009/148107 A1 & EP 2290823 A1 & CN 102047563 A	1-15
A	JP 2012-4727 A (Sony Corp.), 05 January 2012 (05.01.2012), entire text; all drawings & US 2011/0304755 A1 & CN 102291543 A	1-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 September 2017 (27.09.17)	10 October 2017 (10.10.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/026409

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-55589 A (Sony Corp.), 21 March 2013 (21.03.2013), entire text; all drawings & US 2014/0160334 A1 & WO 2013/035616 A1 & EP 2755379 A1 & CN 103782587 A	1-15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２６４０９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378(2011.01)i, H03M1/56(2006.01)i, H04N5/363(2011.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378, H03M1/56, H04N5/363, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-296423 A (ソニー株式会社) 2009.12.17, 段落 [0100] - [0103], 第3B図 & US 2011/0074994 A1, 段落 [0138] - [0141], 第3B図 & WO 2009/148107 A1 & EP 2290823 A1 & CN 102047563 A	１－１５
A	JP 2012-4727 A (ソニー株式会社) 2012.01.05, 全文, 全図 & US 2011/0304755 A1 & CN 102291543 A	１－１５

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２７．０９．２０１７	１０．１０．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　９１８５
鈴木　明
電話番号　０３－３５８１－１１０１　内線　３５７１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-55589 A（ソニー株式会社）2013.03.21，全文，全図 & US 2014/0160334 A1 & WO 2013/035616 A1 & EP 2755379 A1 & CN 103782587 A	１－１５