

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128182
(P2004-128182A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 2 6 A	5 F 0 4 8
HO 1 L 21/20	HO 1 L 21/20	5 F 0 5 2
HO 1 L 21/336	HO 1 L 27/10 3 8 1	5 F 0 8 3
HO 1 L 21/8234	HO 1 L 29/78 6 2 7 G	5 F 1 1 0
HO 1 L 21/8244	HO 1 L 29/78 6 1 3 B	
審査請求 未請求 請求項の数 5 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2002-289641 (P2002-289641)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成14年10月2日(2002.10.2)	(71) 出願人	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号
		(74) 代理人	100080001 弁理士 筒井 大和
		(72) 発明者	大川 章 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
		(72) 発明者	茂庭 昌弘 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

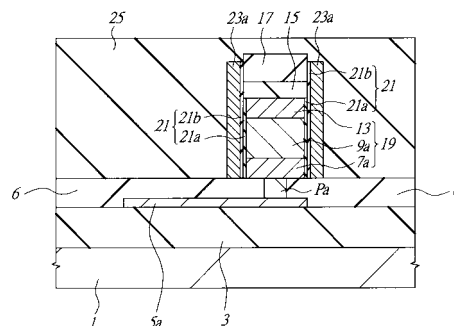
(57) 【要約】

【課題】 半導体集積回路装置のリーク電流を低減し、装置の高性能化を図る。

【解決手段】 プラグ P a 等の上に、ボロンを添加したアモルファスシリコン膜およびアモルファスシリコン膜を順次堆積し、100気圧下、500℃、アルゴン雰囲気中で、1～10時間の熱処理を施すことにより、これらのアモルファスシリコン膜を多結晶化し、多結晶シリコン膜7 aおよび9 aとした後、さらに、ボロンを添加したアモルファスシリコン膜13を堆積し、その上部の窒化シリコン膜17等をマスクに、アモルファスシリコン膜13、多結晶シリコン膜7 aおよび9 aをエッチングし、シリコン柱19を形成した後、その側壁にゲート絶縁膜21を形成し、さらに、ゲート電極23 aを形成する。このように縦型MISFETのチャンネル層となるアモルファスシリコン膜の多結晶化を高圧、低温下で行うことにより結晶粒間の隙間を小さくし、リーク電流を低減する。

【選択図】 図10

図 10



【特許請求の範囲】

【請求項 1】

(a) 基板上に、アモルファス状態の半導体膜を形成する工程と、
 (b) 前記半導体膜に 10 気圧以上、25 以上 700 以下の雰囲気下で、熱処理を施し、前記半導体膜を結晶化する工程と、
 (c) 前記半導体膜中にチャネル部を有する MISFET を形成する工程と、
 を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】

(a) 第 1 の半導体領域を形成する工程と、
 (b) 前記第 1 の半導体領域上にアモルファス状態の半導体膜を形成する工程と、 10
 (c) 前記 (b) 工程の後、前記半導体膜に 10 気圧以上、25 以上 700 以下の雰囲気下で、熱処理を施し、前記半導体膜を結晶化する工程と、
 (d) 前記半導体膜の上部に第 2 の半導体領域を形成する工程と、
 (e) 前記半導体膜を柱状にパターンニングする工程と、
 (f) 前記 (e) 工程の後、前記半導体膜の側壁に絶縁膜を介してゲート電極を形成する工程と、
 を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】

一対の縦型の p チャネル型 MISFET を有する SRAM メモリセルを有する半導体集積回路装置の製造方法であって、 20
 (a) p 型の第 1 半導体領域を形成する工程と、
 (b) 前記第 1 半導体領域上にアモルファス状態の半導体膜を形成する工程と、
 (c) 前記 (b) 工程の後、前記半導体膜に 10 気圧以上、25 以上 700 以下の雰囲気下で熱処理を施し、前記半導体膜を結晶化する工程と、
 (d) 前記半導体膜の上部に p 型の第 2 半導体領域を形成する工程と、
 (e) 前記半導体膜を柱状にパターンニングする工程と、
 (f) 前記 (e) 工程の後、前記半導体膜の側壁に絶縁膜を介してゲート電極を形成する工程と、
 を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 4】

(a) 第 1 の半導体領域と、 30
 (b) 前記第 1 の半導体領域上に形成された半導体柱と、
 (c) 前記半導体柱の上部に形成された第 2 の半導体領域と、
 (d) 前記半導体柱の側壁に、絶縁膜を介して形成されたゲート電極と、
 を有し、
 (e) 前記半導体柱は、アモルファス状態の半導体を、高圧下で熱処理することにより結晶化された半導体よりなることを特徴とする半導体集積回路装置。

【請求項 5】

(a) 第 1 の半導体領域と、
 (b) 前記第 1 の半導体領域上に形成された半導体柱と、 40
 (c) 前記半導体柱の上部に形成された第 2 の半導体領域と、
 (d) 前記半導体柱の側壁に、絶縁膜を介して形成されたゲート電極と、
 を有し、
 (e) 前記半導体柱およびゲート電極は、多結晶化した半導体材料より成り、
 前記半導体柱の結晶粒の粒界は、前記ゲート電極の結晶粒の粒界より小さいことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、アモルファス状態の半 50

導体を結晶化する技術に関するものである。

【0002】

【従来の技術】

シリコン(Si)膜等の半導体膜は、CVD(Chemical Vapor Deposition)装置等を用いてアモルファス(非結晶化)状態で成膜することが可能である。

【0003】

このようなアモルファス状態の膜に、1気圧下で、500~700程度の熱処理を施すと、多結晶化する。

【0004】

このような多結晶膜、例えば、ポリシリコン膜は、半導体装置のゲート電極やプラグ(接続部)等、種々の導電性部に用いられる。

【0005】

【発明が解決しようとする課題】

本発明者らは、半導体集積回路装置の研究・開発に従事しており、この度、縦型MISFET(Metal Insulator Semiconductor Field Effect Transistor)の構造およびその製法についての検討を行った。

【0006】

この縦型MISFETの構成は種々提案されているが、例えば、シリコン膜等よりなる半導体柱を形成し、その上部および下部にソース・ドレインとなる半導体領域を設けるとい

【0007】

ここで、この半導体柱に前述の多結晶化されたシリコン膜を用いた場合、トランジスタのソース・ドレイン間のリーク電流が大きくなるという問題がある。

【0008】

これは、多結晶シリコン膜中には、複数の結晶粒が存在し、結晶粒界(結晶粒と結晶粒との間)に沿って電流が流れやすくなることが原因と考えられる。

【0009】

なお、例えば、Q. C. Ouyang、IEEE trans. Electron Devices, vol. 48, No. 6 (2001) p. 1245 - 1250. "Built-in Longitudinal Field Effects in Sub-100nm Graded Si-Ge Channel PMOSFETs"には、チャンネル部にシリコン・ゲルマニウム合金を用いたMOSトランジスタが記載されている。

【0010】

本発明の目的は、半導体集積回路装置のリーク電流の低減を図ることにある。

【0011】

また、本発明の他の目的は、半導体集積回路装置の高性能化を図ることにある。

【0012】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】

(1)本発明の半導体集積回路装置の製造方法は、(a)基板上に、アモルファス状態の半導体膜を形成する工程と、(b)前記半導体膜に10気圧以上、25以上700以下の雰囲気下で、熱処理を施し、前記半導体膜を結晶化する工程と、(c)前記半導体膜中にチャンネル部を有するMISFETを形成する工程と、を有するものである。

10

20

30

40

50

【 0 0 1 5 】

(2) 本発明の半導体集積回路装置は、(a) 第 1 の半導体領域と、(b) 前記第 1 の半導体領域上に形成された半導体柱と、(c) 前記半導体柱の上部に形成された第 2 の半導体領域と、(d) 前記半導体柱の側壁に、絶縁膜を介して形成されたゲート電極と、を有し、(e) 前記半導体柱は、アモルファス状態の半導体を、高圧下で熱処理することにより結晶化された半導体よりなる。

【 0 0 1 6 】

【 発明の実施の形態 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。 10

【 0 0 1 7 】

(実施の形態 1)

本発明の実施の形態 1 である半導体集積回路装置の製造方法を図 1 ~ 図 1 1 を用いて工程順に説明する。図 1 ~ 図 1 1 は、本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図もしくは要部平面図である。

【 0 0 1 8 】

まず、図 1 に示すように、半導体基板 (例えば、シリコン基板) 1 上に、絶縁膜として例えば酸化シリコン膜 3 を C V D 法により堆積する。次いで、酸化シリコン膜 3 上に、導電性膜を堆積し、フォトリソグラフィ技術を用いて所望の形状にパターニングすることにより、引き出し電極 5 a を形成する。この引き出し電極は、M I S F E T のソースもしくはドレインの引き出し電極となる。 20

【 0 0 1 9 】

次いで、図 2 に示すように、引き出し電極 5 a 上を含む酸化シリコン膜 3 上に、絶縁膜として例えば酸化シリコン膜 6 を堆積する。

【 0 0 2 0 】

次いで、引き出し電極 5 a の酸化シリコン膜 6 を除去することによりコンタクトホールを形成し、さらに、この内部に導電性膜として例えばタングステン膜を埋め込むことによりプラグ P a を形成する。

【 0 0 2 1 】

次いで、プラグ P a 上を含む酸化シリコン膜 6 上に、p 型不純物として例えばボロンを添加したアモルファスシリコン膜 7 を堆積する。このアモルファスシリコン膜 7 は、例えば、減圧 C V D 法により、装置内において (i n - s i t u で) ボロンをドーブしながら成膜することが可能である。 30

【 0 0 2 2 】

次いで、アモルファスシリコン膜 7 上に、アモルファスシリコン膜 9 を形成する。このアモルファスシリコン膜 9 は、アモルファスシリコン膜 7 を形成した減圧 C V D 装置内で、半導体基板 1 を大気に晒すことなく、連続して形成することができる。

【 0 0 2 3 】

次いで、半導体基板 1 に、1 0 0 気圧下、5 0 0 、アルゴン (A r) 雰囲気中で、1 ~ 1 0 時間の熱処理 (アニール) を施す。 40

【 0 0 2 4 】

この熱処理によりアモルファスシリコン膜 7 および 9 は、多結晶化 (結晶化) する。即ち、ボロンを含有するアモルファスシリコン膜 7 は、ボロンを含有する多結晶シリコン膜 7 a となり、アモルファスシリコン膜 9 は、多結晶シリコン膜 9 a となる (図 3) 。

【 0 0 2 5 】

なお、前記熱処理は、多結晶シリコン膜 9 a に後述する不純物を注入した後に行ってもよい。また、アモルファスシリコン膜 9 を成膜しつつ不純物を注入した後に行ってもよい。また、後述するアモルファスシリコン膜 1 3 の堆積後や、シリコン柱 1 9 の形成後にかかる熱処理を行ってもよい。 50

【0026】

次いで、図4に示すように、多結晶シリコン膜9a上に、スルー絶縁膜として例えば酸化シリコン膜11を減圧CVD法で堆積し、多結晶シリコン膜9a中に、n型不純物として例えばリンをイオン打ち込みする。この多結晶シリコン膜9aは、縦型のpチャネル型MISFETのチャネル層となる。

【0027】

次いで、図5に示すように、酸化シリコン膜11をエッチングにより除去し、多結晶シリコン膜9a上に、p型不純物として例えばボロンを添加したアモルファスシリコン膜13を減圧CVD法でアモルファスシリコン膜7と同様に堆積する。

【0028】

次いで、図6に示すように、アモルファスシリコン膜13上に、絶縁膜として例えば酸化シリコン膜15を700、2.5Paの雰囲気下の減圧CVD法により形成する。

【0029】

次いで、酸化シリコン膜15上に絶縁膜として例えば窒化シリコン膜17をプラズマCVD法により形成する。

【0030】

次いで、図7に示すように、フォトリソグラフィ技術を用いて所望の領域にフォトレジスト膜(図示せず、以下単に「レジスト膜」という)を形成し、前記レジスト膜をマスクに、酸化シリコン膜15および窒化シリコン膜17をドライエッチングした後、前記レジスト膜を除去する。

【0031】

次いで、図8に示すように、酸化シリコン膜15および窒化シリコン膜17をマスクとして、アモルファスシリコン膜13、多結晶シリコン膜7aおよび9aをドライエッチングする。

【0032】

その結果、プラグPa上には、アモルファスシリコン膜13、多結晶シリコン膜7aおよび9aよりなるシリコン柱19が形成される(図11参照)。

【0033】

次いで、図9に示すように、シリコン柱19(多結晶シリコン膜9a)の側壁を、例えば希フッ酸系の水溶液で洗浄した後、酸素および水素原子を含む雰囲気下で熱処理を施すことにより、シリコン柱19(多結晶シリコン膜9a)の側壁に熱酸化膜21aを形成する。次いで、半導体基板1上に、絶縁膜として例えば酸化シリコン膜21bを減圧CVD法で薄く堆積し、前記熱酸化膜21aと酸化シリコン膜21bとの積層膜よりなるゲート絶縁膜21を形成する。もちろん、ゲート絶縁膜を熱酸化膜単層で構成し、もしくは、CVD絶縁膜単層で構成してもよい。また、酸化膜を窒化処理し、酸窒化膜でゲート絶縁膜を構成してもよい。

【0034】

次いで、図10に示すように、半導体基板1上に、500~600の雰囲気下のCVD法で、リン(P)等の不純物を添加した多結晶シリコン膜23を堆積し、フォトリソグラフィ技術を用いて所望の形状にパターニングすることにより、ゲート電極23aを形成する。この際、窒化シリコン膜17の表面が露出するよう多結晶シリコン膜23をオーバーエッチングする。

【0035】

図11に、ゲート電極形成後の縦型のpチャネル型MISFETの要部平面図の一例を示す。

【0036】

次いで、例えば、ゲート電極23a等の上部に酸化シリコン膜25を形成し、酸化シリコン膜25、15および窒化シリコン膜17をエッチングし、コンタクトホールを形成し、その内部に導電性膜を埋め込むことによりプラグPbを形成する。このプラグPbを介してアモルファスシリコン膜13が引き出される。さらに、この後、配線や層間絶縁膜等が

10

20

30

40

50

形成されるがこれらの形成工程の説明および図示は省略する。

【0037】

このように、本実施の形態によれば、MISFETのチャンネル層となるアモルファスシリコン膜9に、高圧および比較的低温下で熱処理を施したので、その結晶化の際、結晶粒間（結晶粒界）の幅を小さくすることができる。

【0038】

図12(a)および(b)は、各種条件でアニール（多結晶化）した場合の多結晶シリコンの結晶粒の様子を模式的に表した図である。即ち、図12(a)に示すように、低圧、高温下（例えば、1気圧、650程度）でアモルファスシリコンを多結晶化した場合には、結晶粒Gと結晶粒の隙間(D1)が大きくなってしまふ。また、このような結晶粒界近傍においては、その結晶粒の内部においては規則正しく配列されている原子の結合状態が乱れた領域（図中の斜線部）が存在すると考えられる。このような、結晶粒界や原子の結合状態が乱れた領域においては、それに沿って電流が流れやすい。

10

【0039】

従って、このような箇所の体積が大きいと、リーク電流が大きくなり、ゲート電極がオフ時のスタンバイ電流や、ゲート電極がオン時の動作電流が大きくなってしまふ。

【0040】

これに対し、図12(b)に示すように、アモルファスシリコンの多結晶化を高圧、低温下で行えば、結晶粒G間の隙間(D2)や結合状態が乱れた領域（図中の斜線部）を小さく(D2 < D1)でき、リーク電流を低減できる。また、各素子におけるリーク電流のばらつきを小さくできる。

20

【0041】

特に、本実施の形態においては、多結晶シリコン膜9aの多結晶化を高圧、低温下で行ったので、ソース、ドレイン間（多結晶シリコン膜7aとアモルファスシリコン膜13との間）のリーク電流を低減することができ、縦型MISFETの特性を向上させることができる。

【0042】

ここで、高圧とは、10気圧以上の圧力をいう。また、低温とは、室温（25程度）～700であって、アモルファス状態の膜が結晶化する温度をいう。シリコン膜においては、540～580以上の温度で、アモルファス状態の膜が多結晶化する。

30

【0043】

なお、ゲート電極23aの多結晶化の際にも前記技術を用い、結晶粒間の隙間を小さくしてもよい。また、アモルファスシリコン膜13を多結晶化しても良く、この際も、前記技術を用いてもよい。

【0044】

また、例えば、アモルファスシリコン膜13やゲート電極23aの多結晶化を低圧下で行えば、これらの結晶粒間の幅と、前記多結晶シリコン膜9a結晶粒間の幅は異なることとなる。

【0045】

また、本実施形態においては、縦型のpチャンネル型MISFETを例に説明したが、nチャンネル型MISFETの場合は、ソース、ドレインやチャンネル層の導電型が逆導電型となることを除いては、pチャンネル型の場合と同様に形成することができる。なお、n型の不純物には、例えば、リンやヒ素等がある。

40

【0046】

また、本実施の形態においては、縦型のMISFETを例に説明したが、例えば横型のMISFETのチャンネル層の多結晶化の際に、前記技術を用いてもよい。

【0047】

例えば、図13に示すように、ガラス等よりなる基板31を準備し、この基板31上に、n型の不純物を含むアモルファスシリコン膜33を、減圧CVD法により堆積する。次いで、基板31に、100気圧下、500、アルゴン(Ar)雰囲気中で、1～10

50

時間の熱処理を施し、アモルファスシリコン膜 33 を、多結晶化し、多結晶シリコン膜 33a とする (図 14)。

【 0048 】

次いで、アモルファスシリコン膜 33 上に薄い絶縁膜 35 を形成し、さらにその上部に導電性膜を形成した後、導電性膜をパターンングすることによりゲート電極 37 を形成する。絶縁膜 35 は、MISFET のゲート絶縁膜となる。

【 0049 】

さらに、ゲート電極 37 の両側の n 型の多結晶シリコン膜 33a 中に例えば p 型の不純物をイオン打ち込みし、ソース、ドレイン領域 39 を形成することにより横型の p チャネル型 MISFET を形成することができる。多結晶シリコン膜 33a が p 型場合には、n 型の不純物 (例えば、リンやヒ素) をイオン打ち込みすれば、横型の n チャネル型 MISFET となる。

10

【 0050 】

なお、ゲート電極 37 上に絶縁膜を堆積した後、異方的にエッチングを行うことによりサイドウォール膜を形成し、このサイドウォール膜の形成前後に、それぞれ低濃度の不純物注入および高濃度の不純物注入を行うことによって、ソース、ドレインを LDD (Lightly doped Drain) 型にしてもよい。

【 0051 】

このように、縦型の MISFET においても、チャネル層となるアモルファスシリコン膜 33 を、高圧、低温下で多結晶化することにより、結晶粒間の隙間や原子の結合状態が乱れた領域を小さくでき、ソース、ドレイン間のリーク電流を低減することができる。

20

【 0052 】

(実施の形態 2)

本実施の形態においては、実施の形態 1 で説明した縦型の p チャネル型 MISFET を SRAM (Static Random Access Memory) メモリセルに用いた場合について説明する。

【 0053 】

図 15 は、本実施の形態の半導体集積回路装置 (SRAM) を示す等価回路図である。

【 0054 】

即ち、図示するように、このメモリセル MC は、一对の相補性データ線 (データ線 DL、データ線 / (バー) DL) とワード線 WL との交差部に配置され、一对の駆動用 MISFET Qd1、Qd2、一对の負荷用 MISFET Qp3、Qp4 および一对の転送用 MISFET Qt1、Qt2 により構成されている。駆動用 MISFET Qd1、Qd2 および転送用 MISFET Qt1、Qt2 は n チャネル型 MISFET で構成され、負荷用 MISFET Qp3、Qp4 は p チャネル型 MISFET で構成されている。

30

【 0055 】

メモリセル MC を構成する上記 6 個の MISFET のうち、駆動用 MISFET Qd1 および負荷用 MISFET Qp3 は、CMOS インバータ INV1 を構成し、駆動用 MISFET Qd2 および負荷用 MISFET Qp4 は、CMOS インバータ INV2 を構成している。これら一对の CMOS インバータ INV1、INV2 の相互の入出力端子 (蓄積ノード NA、NB) は、交差結合され、1 ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。また、このフリップフロップ回路の一方の入出力端子 (蓄積ノード NA) は、転送用 MISFET Qt1 のソース、ドレイン領域の一方に接続され、他方の入出力端子 (蓄積ノード NB) は、転送用 MISFET Qt2 のソース、ドレイン領域の一方に接続されている。

40

【 0056 】

さらに、転送用 MISFET Qt1 のソース、ドレイン領域の他方はデータ線 DL に接続され、転送用 MISFET Qt2 のソース、ドレイン領域の他方はデータ線 / DL に接続されている。また、フリップフロップ回路の一端 (負荷用 MISFET Qp3、Qp4 の各ソース領域) は電源電圧 (Vcc) に接続され、他端 (駆動用 MISFET Qd1、

50

Q d 2 の各ソース領域) は接地 (基準) 電圧 (G N D) に接続されている。

【 0 0 5 7 】

上記回路の動作を説明すると、一方の C M O S インバータ I N V 1 の蓄積ノード N A が高電位 (“ H ”) であるときには、駆動用 M I S F E T Q d 2 が O N になるので、他方の C M O S インバータ I N V 2 の蓄積ノード N B が低電位 (“ L ”) になる。従って、駆動用 M I S F E T Q d 1 が O F F になり、蓄積ノード N A の高電位 (“ H ”) が保持される。すなわち、一对の C M O S インバータ I N V 1、I N V 2 を交差結合させたラッチ回路によって相互の蓄積ノード N A、N B の状態が保持され、電源電圧が印加されている間、情報が保存される。

【 0 0 5 8 】

転送用 M I S F E T Q t 1、Q t 2 のそれぞれのゲート電極にはワード線 W L が接続され、このワード線 W L によって転送用 M I S F E T Q t 1、Q t 2 の導通、非導通が制御される。すなわち、ワード線 W L が高電位 (“ H ”) であるときには、転送用 M I S F E T Q t 1、Q t 2 が O N になり、フリップフロップ回路と相補性データ線 (データ線 D L、/ D L) とが電氣的に接続されるので、蓄積ノード N A、N B の電位状態 (“ H ” または “ L ”) がデータ線 D L、/ D L に現れ、メモリセルの情報として読み出される。

【 0 0 5 9 】

メモリセルに情報を書き込むには、ワード線 W L を “ H ” 電位レベル、転送用 M I S F E T Q t 1、Q t 2 を O N 状態にしてデータ線 D L、/ D L の情報を蓄積ノード N A、N B に伝達する。

【 0 0 6 0 】

ここで、本実施の形態においては、負荷用 M I S F E T Q p 3、Q p 4 を縦型 M I S F E T で構成する。以下その構造および形成方法の一例を説明する。

【 0 0 6 1 】

また、図 1 6 および図 1 7 は、本実施の形態の半導体集積回路装置 (S R A M) を示す基板の要部断面図である。また、図 1 8 は、本実施の形態の半導体集積回路装置 (S R A M) を示す基板の要部平面図である。なお、図 1 8 の上部は、配線 M 1 a、M 1 b までの平面図であり、下部は、配線 M 1 a、M 1 b およびその上層の各部の平面図である。また、図 1 6 は、図 1 8 の A - A 断面部に対応し、図 1 7 は、図 1 8 の B - B 断面部に対応する。

【 0 0 6 2 】

図 1 6 ~ 図 1 8 に示すように、半導体基板 (例えば、シリコン基板) 2 0 1 をエッチングすることにより溝を形成し、さらに、この溝内に絶縁膜として例えば酸化シリコン膜を埋め込むことにより素子分離 2 0 3 を形成する。

【 0 0 6 3 】

次いで、半導体基板 2 0 1 中に n 型不純物を注入し、拡散させることにより p 型ウエル 2 0 5 を形成する。

【 0 0 6 4 】

次いで、半導体基板 2 0 1 上に、熱酸化によりゲート絶縁膜 2 0 7 を形成した後、前記半導体基板 2 0 1 上に導電性膜として例えば多結晶シリコン膜とタングステン膜とを順次堆積し、これらの積層膜を所望の形状にパターンングすることによりゲート電極 2 0 9 を形成する。

【 0 0 6 5 】

次いで、ゲート電極 2 0 9 の両側の半導体基板中に n 型不純物を注入することにより低濃度の半導体領域を形成し、さらに、ゲート電極 2 0 9 の側壁に絶縁膜よりなるサイドウォール膜を形成した後、ゲート電極 2 0 9 の両側の半導体基板中に n 型不純物を注入することにより高濃度の半導体領域を形成する。その結果、ゲート電極 2 0 9 の両側の半導体基板中に、L D D 型のソース、ドレイン領域が形成される。なお、このソース、ドレイン領域および前記サイドウォール膜は、図 1 6 および図 1 7 に示す断面部には表れない。

【 0 0 6 6 】

10

20

30

40

50

ここまでの工程により n チャンネル型 M I S F E T (Q t 1、Q t 2、Q d 1、Q d 2) が形成される。なお、図 1 6 には、n チャンネル型 M I S F E T Q d 2 のゲート電極 2 0 9 が表れ、図 1 7 には、n チャンネル型 M I S F E T Q d 1 のゲート電極 2 0 9 が表れている。

【 0 0 6 7 】

次いで、ゲート電極 2 0 9 上を含む半導体基板の上に、絶縁膜として例えば酸化シリコン膜 2 1 1 を堆積する。

【 0 0 6 8 】

次いで、前記ゲート電極 2 0 9 および p 型ウエル 2 0 5 上の酸化シリコン膜 2 1 1 を除去することによりコンタクトホールを形成し、さらに、この内部に導電性膜として例えばタングステン膜を埋め込むことによりプラグ P 1 a ~ P 1 d を形成する。

10

【 0 0 6 9 】

次いで、酸化シリコン膜 2 1 1 上に導電性膜として例えばタングステン膜を堆積し、パターンニングすることによりプラグ P 1 a および P 1 b 上に配線 M 1 a、M 1 b を形成する。なお、この配線 M 1 a 部は、図 1 5 のノード N A に、配線 M 1 b 部は、図 1 5 のノード N B に対応付けられる。

【 0 0 7 0 】

次いで、配線 M 1 a 等の上部に絶縁膜として例えば酸化シリコン膜 2 1 3 を堆積し、配線 M 1 a、M 1 b 上の酸化シリコン膜 2 1 3 を除去することによりコンタクトホールを形成し、さらに、このコンタクトホール内に、導電性膜として例えばタングステン膜を埋め込むことによりプラグ P 2 a、P 2 b を形成する。

20

【 0 0 7 1 】

次いで、プラグ P 2 a、P 2 b 上を含む酸化シリコン膜 2 1 3 上に、窒化タングステン膜 2 1 4 を堆積し、フォトリソグラフィ技術を用いて図示しないレジスト膜を形成し、このレジスト膜をマスクにドライエッチングすることによりプラグ P 2 a、P 2 b 上にのみ窒化タングステン膜 2 1 4 を残存させる。

【 0 0 7 2 】

次いで、窒化タングステン膜 2 1 4 上を含む酸化シリコン膜 2 1 3 上に、実施の形態 1 と同様に、p 型不純物として例えばボロンを添加したアモルファスシリコン膜 7 を堆積し、さらに、その上部に、アモルファスシリコン膜 9 を形成する。

【 0 0 7 3 】

次いで、1 0 0 気圧下、5 8 0、アルゴン (A r) 雰囲気中で、1 ~ 1 0 時間の熱処理を施すことにより、アモルファスシリコン膜 7 および 9 は、多結晶化し、ボロンを含有する多結晶シリコン膜 7 a および多結晶シリコン膜 9 a を形成する。

30

【 0 0 7 4 】

次いで、多結晶シリコン膜 9 a 中に、実施の形態 1 と同様に、n 型不純物をイオン打ち込みする。この多結晶シリコン膜 9 a は、縦型の p チャンネル型 M I S F E T のチャンネル層となる。

【 0 0 7 5 】

さらに、実施の形態 1 と同様に、多結晶シリコン膜 9 a 上に、p 型不純物として例えばボロンを添加したアモルファスシリコン膜 1 3 を堆積する。

40

【 0 0 7 6 】

次いで、図示しないマスク膜をマスクに、アモルファスシリコン膜 1 3、多結晶シリコン膜 7 a および 9 a をドライエッチングし、アモルファスシリコン膜 1 3、多結晶シリコン膜 7 a および 9 a よりなるシリコン柱 1 9 a、1 9 b を形成する。

【 0 0 7 7 】

次いで、実施の形態 1 と同様に、シリコン柱 1 9 a、1 9 b (多結晶シリコン膜 9 a) の側壁を、洗浄した後、この側壁にゲート絶縁膜 2 1 を形成する。

【 0 0 7 8 】

次いで、半導体基板 2 0 1 上に、多結晶シリコン膜 2 3 を堆積し、フォトリソグラフィ技術を用いて所望の形状にパターンニングすることにより、ゲート電極 2 3 a、2 3 b を形

50

成する。なお、この際、アモルファスシリコン膜 13 の表面が露出するよう、例えば、多結晶シリコン膜 23 をオーバーエッチングする。

【0079】

次いで、半導体基板上に絶縁膜として酸化シリコン膜 215 をシリコン柱 19 を埋め込む程度の厚さ堆積する。次いで、アモルファスシリコン膜 13 上の酸化シリコン膜 215 をエッチングにより除去することによりコンタクトホールを形成し、この内部に導電性膜として例えばタングステン膜を埋め込むことによりプラグ P3a、P3b を形成する。

【0080】

さらに、配線 M1a、M1b 上およびゲート電極 23a、23b 上の酸化シリコン膜 215 等をエッチングすることによりコンタクトホールを形成し、この内部に導電性膜として例えばタングステン膜を埋め込むことによりプラグ P4a ~ P4d を形成する。 10

【0081】

次いで、酸化シリコン膜 215 上に導電性膜として例えばタングステン膜を堆積し、所望の形状にパターニングすることにより、プラグ P4a ~ P4d 上に配線 M2a、M2b を形成する。

【0082】

次いで、配線 M2a、M2b 上に絶縁膜として例えば酸化シリコン膜 217 を堆積し、前記プラグ P3a、P3b 上の酸化シリコン膜 217 をエッチングすることによりコンタクトホールを形成し、このコンタクトホールに導電性膜として例えばタングステン膜を埋め込むことによりプラグ P5a、P5b を形成する。 20

【0083】

次いで、酸化シリコン膜 217 上に導電性膜として例えばタングステン膜を堆積し、所望の形状にパターニングすることにより、配線 M3 を形成する。この配線 M3 のうち、プラグ P5a、P5b 上の配線 M3 には、電源電圧 (Vcc) が供給される。また、かかる配線の両側の配線は、データ線 (データ線 DL、データ線 / (バー) DL) となる。

【0084】

なお、図 18 中のプラグ P6a ~ P6d は、図 16 および図 17 に示す断面部には表れないが、プラグ P6a および P6d は、ワード線 WL と接続され、プラグ P6c および P6f には、接地電圧 (Vss) が印加される。また、プラグ P6b は、データ線 DL に、プラグ P6e は、データ線 / DL に接続される。 30

【0085】

この後、必要に応じてさらに上層の配線が絶縁膜を介して形成され、最上層配線の上部には保護膜等が形成されるが、以降の工程の説明およびその図示は省略する。

【0086】

このように、本実施の形態においては、SRAM を構成する負荷用 MISFET を縦型 MISFET で構成し、例えば、駆動用の横型の MISFET 上に積層したので、SRAM の小面積化を図ることができる。

【0087】

また、負荷用 MISFET Qp3、Qp4 のチャンネル層となるアモルファスシリコンを実施の形態 1 で詳細に説明したように、高圧、低温下で多結晶化したので、ソース、ドレイン間のリーク電流を低減することができる。 40

【0088】

特に、SRAM においては、微細な領域に多数の MISFET を有しているため、個々の MISFET のリーク電流は微少であっても、メモリ全体としては、非常に大きなリーク電流となるため、前記技術を適用して好適である。

【0089】

また、SRAM は、携帯電話等のモバイル製品に用いられることも多く、これらの製品用のメモリには、低消費電力化の要求が大きい。従って、前記技術を適用して好適である。

【0090】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明 50

は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0091】

特に、本実施の形態においては、シリコンを高圧アニールで処理したが、この他、シリコンゲルマニウム（SiGe）等、他の半導体層を用いても良い。

【0092】

また、前記実施の形態においては、MISFETのチャネル層等に高圧アニールを用いたが、この他、高圧アニールが施された半導体層を抵抗層として用いる等、種々の応用が可能である。

【0093】

また、前記実施の形態においては、高圧アニールを用いて結晶粒界の幅を小さくしたが、結晶化に際し、圧力以外の諸条件を調整することにより、結晶粒界の幅を小さくできる場合には、かかる条件によって結晶化された膜を半導体装置に用いても良い。

【0094】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0095】

アモルファス状態の半導体膜に、10気圧以上、25 ~ 700 の雰囲気下の熱処理を施すことにより前記半導体膜を結晶化したので、結晶粒間の隙間を小さくでき、前記半導体膜中に流れるリーク電流を低減することができる。また、前記半導体膜を有する半導体集積回路装置の性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図11】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図12】(a)および(b)は、本発明の実施の形態1の効果を示すための多結晶シリコンの結晶粒の様子を模式的に表した図である。

【図13】本発明の実施の形態1である他の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図14】本発明の実施の形態1である他の半導体集積回路装置の製造方法を示す基板の

10

20

30

40

50

要部断面図である。

【図 1 5】本発明の実施の形態 2 である半導体集積回路装置 (S R A M) を示す等価回路図である。

【図 1 6】本発明の実施の形態 2 である半導体集積回路装置 (S R A M) を示す基板の要部断面図である。

【図 1 7】本発明の実施の形態 2 である半導体集積回路装置 (S R A M) を示す基板の要部断面図である。

【図 1 8】本発明の実施の形態 2 である半導体集積回路装置 (S R A M) を示す基板の要部平面図である。

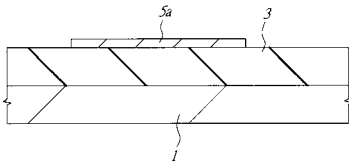
【符号の説明】

1	半導体基板	
3	酸化シリコン膜	
5 a	引き出し電極	
6	酸化シリコン膜	
7	アモルファスシリコン膜	
7 a	多結晶シリコン膜	
9	アモルファスシリコン膜	
9 a	多結晶シリコン膜	
1 1	酸化シリコン膜	
1 3	アモルファスシリコン膜	20
1 5	酸化シリコン膜	
1 7	窒化シリコン膜	
1 9	シリコン柱	
1 9 a、1 9 b	シリコン柱	
2 1	ゲート絶縁膜	
2 1 a	熱酸化膜	
2 1 b	酸化シリコン膜	
2 3	多結晶シリコン膜	
2 5	酸化シリコン膜	
2 3 a、2 3 b	ゲート電極	30
3 1	基板	
3 3	アモルファスシリコン膜	
3 3 a	多結晶シリコン膜	
3 5	絶縁膜	
3 7	ゲート電極	
3 9	ソース・ドレイン領域	
2 0 1	半導体基板	
2 0 3	素子分離	
2 0 5	p 型ウエル	
2 0 7	ゲート絶縁膜	40
2 0 9	ゲート電極	
2 1 1	酸化シリコン膜	
2 1 3	酸化シリコン膜	
2 1 5	酸化シリコン膜	
2 1 7	酸化シリコン膜	
D L、/ D L	データ線	
G	結晶粒	
I N V 1	C M O S インバータ	
I N V 2	C M O S インバータ	
M 1 a、M 1 b	配線	50

- M 2 a、M 2 b 配線
- M 3 配線
- M C メモリセル
- N A 蓄積ノード
- N B 蓄積ノード
- P 1 a ~ P 1 d プラグ
- P 2 a、P 2 b プラグ
- P 3 a、P 3 b プラグ
- P 4 a ~ P 4 d プラグ
- P 5 a、P 5 b プラグ
- P 6 a ~ P 6 f プラグ
- P a プラグ
- P b プラグ
- Q d 1 駆動用 n チャンネル M I S F E T
- Q d 2 駆動用 n チャンネル M I S F E T
- Q p 3 負荷用 p チャンネル M I S F E T
- Q p 4 負荷用 p チャンネル M I S F E T
- Q t 1 転送用 n チャンネル M I S F E T
- Q t 2 転送用 n チャンネル M I S F E T

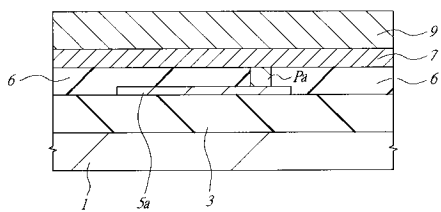
【図 1】

図 1



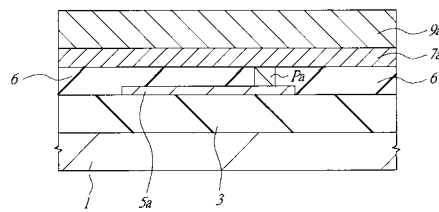
【図 2】

図 2



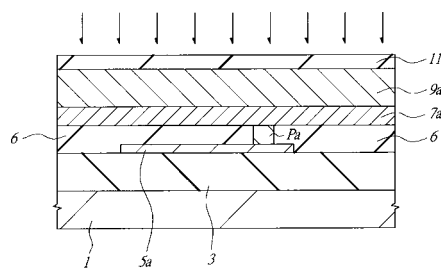
【図 3】

図 3



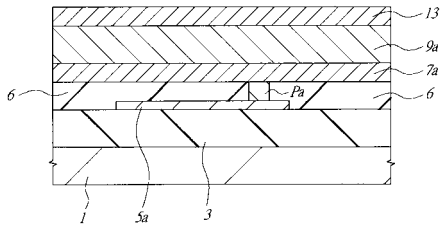
【図 4】

図 4



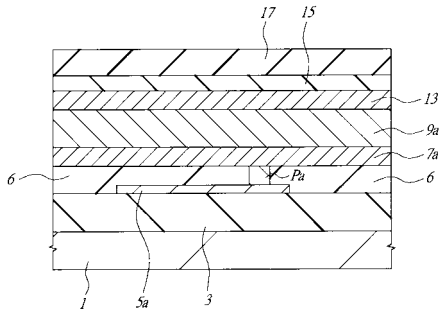
【図5】

図5



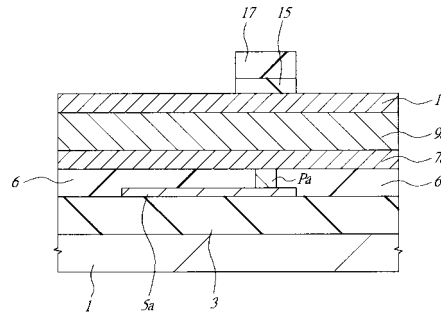
【図6】

図6



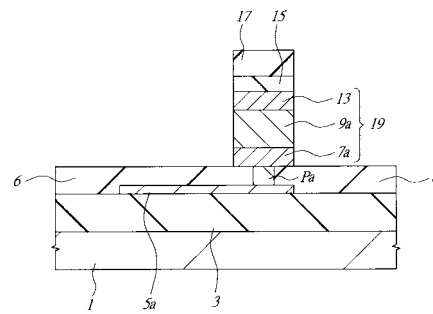
【図7】

図7



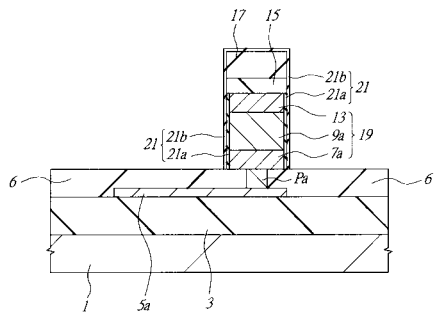
【図8】

図8



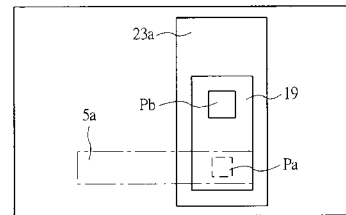
【図9】

図9



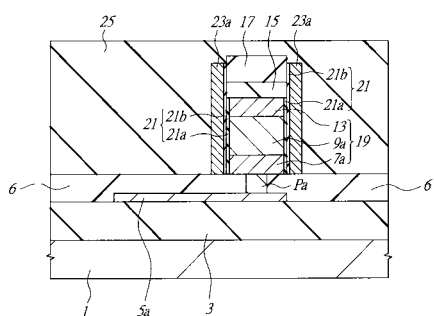
【図11】

図11



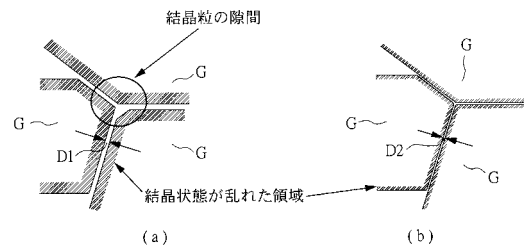
【図10】

図10



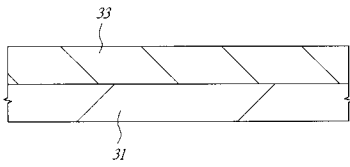
【図12】

図12



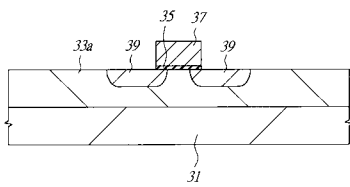
【 図 1 3 】

図 13



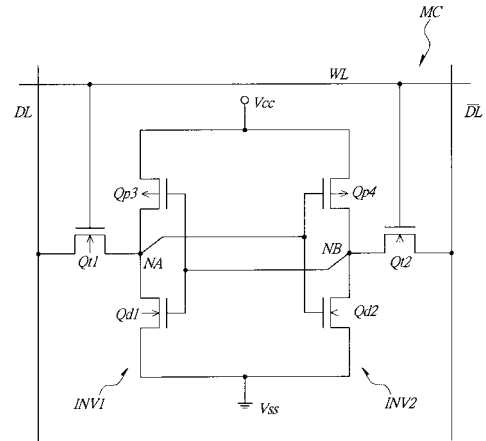
【 図 1 4 】

図 14



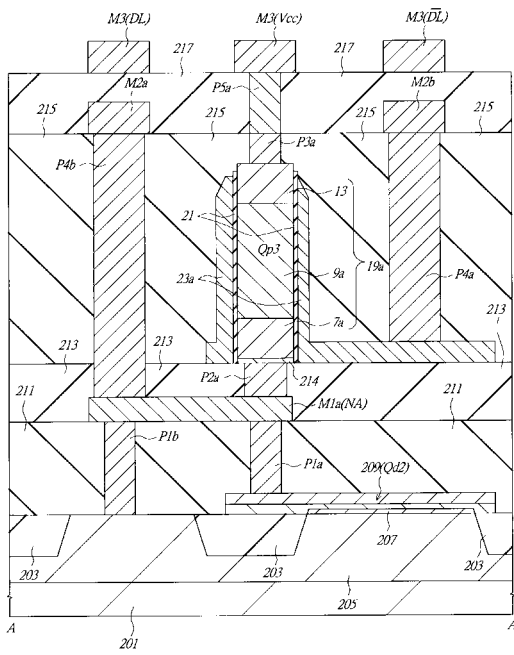
【 図 1 5 】

図 15



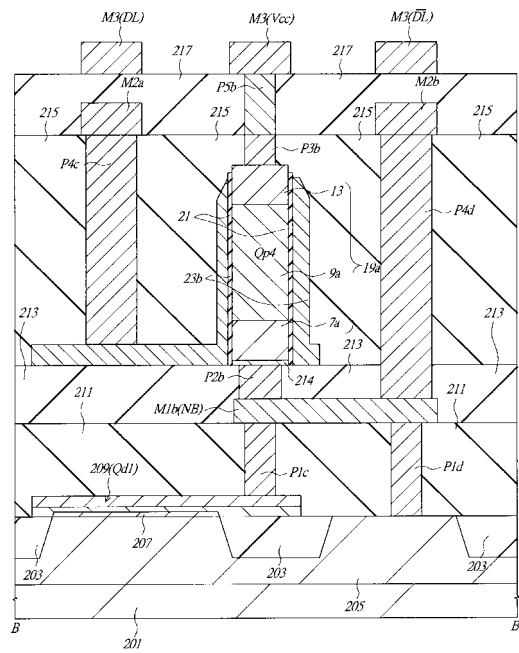
【 図 1 6 】

図 16

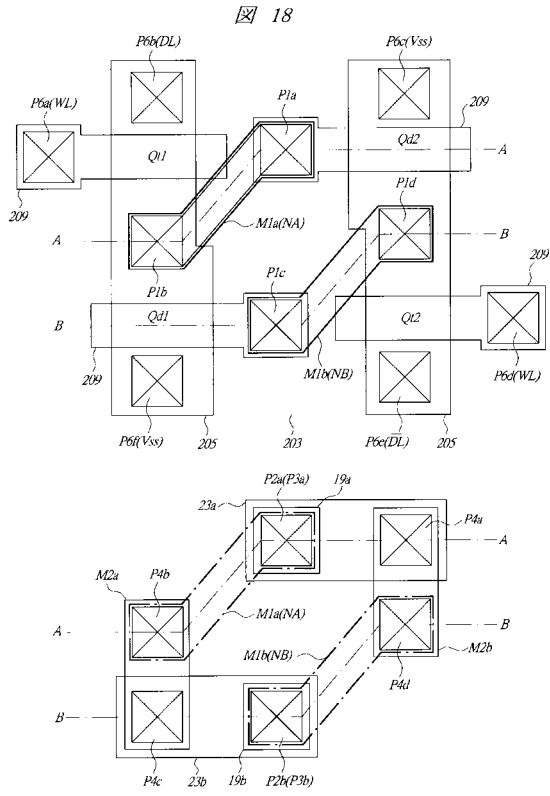


【 図 1 7 】

図 17



【 図 18 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
 H 0 1 L 27/088 H 0 1 L 27/08 1 0 2 E
 H 0 1 L 27/11

(72)発明者 茶木原 啓
 東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 松岡 正道
 東京都小平市上水本町五丁目2番1号 株式会社日立製作所半導体グループ内

(72)発明者 野口 光弘
 東京都小平市上水本町五丁目2番1号 株式会社日立製作所半導体グループ内

F ターム(参考) 5F048 AA01 AB01 AB03 AC01 BA09 BA19 BA20 BB05 BC03 BC11
 BC16 BC18 BC19 BD07 BF07 BF11 BF12 BF15 BF16 BF17
 BG13 CB03 CB04 CB06 CB07
 5F052 AA11 AA17 DA02 DA03 DB02 JA01
 5F083 BS01 BS13 BS27 JA19 JA33 JA39 MA06 MA16 MA19 PR12
 PR21 PR33 PR36
 5F110 AA06 BB07 CC02 CC09 DD05 DD13 EE09 EE32 EE45 FF02
 FF04 FF09 FF23 FF26 FF32 GG01 GG02 GG13 GG32 GG47
 GG52 HJ01 HJ13 HK04 HK09 HK14 HK16 HK21 HK25 HK32
 HK37 HL04 HM12 HM15 HM17 NN03 NN23 NN33 PP01 PP10
 PP13 QQ09 QQ11