



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I600020 B

(45)公告日：中華民國 106 (2017) 年 09 月 21 日

(21)申請案號：102112739

(22)申請日：中華民國 102 (2013) 年 04 月 10 日

(51)Int. Cl. : G11C16/14 (2006.01)

G11C16/10 (2006.01)

(30)優先權：2012/04/18 美國

13/450,313

(71)申請人：桑迪士克科技有限責任公司 (美國) SANDISK TECHNOLOGIES LLC (US)
美國

(72)發明人：柯斯達 欣瑩 COSTA, XIYING (US)；李海波 LI, HAIBO (CN)；東谷雅明 HIGASHITANI, MASAAKI (JP)；慕依 曼 L MUI, MAN L. (US)

(74)代理人：黃章典；樓穎智

(56)參考文獻：

US 7400537B2 US 7499317B2

US 2003/0235080A1 US 2010/0232224A1

US 2012/0051143A1

審查人員：蔡明宏

申請專利範圍項數：22 項 圖式數：14 共 86 頁

(54)名稱

用於三維非揮發性記憶體具有可控閘極誘發汲漏電流之抹除操作

ERASE OPERATION FOR 3D NON-VOLATILE MEMORY WITH CONTROLLABLE GATE-INDUCED DRAIN LEAKAGE CURRENT

(57)摘要

用於三維(3D)堆疊記憶體裝置之一抹除操作將包含一中間位準(Vgidl)及一峰值位準(Verase)之一抹除脈衝施加至一組記憶體胞，且在該抹除操作之抹除反覆中升高 Vgidl。可在該等記憶體胞之一指定部分已達到抹除驗證位準時升高 Vgidl。在此情況中，該等記憶體胞之大多數已達到該抹除驗證位準，使得剩餘記憶體胞可受益於一較高閘極誘發汲漏(GIDL)電流以達到該抹除驗證位準。Verase 可在 Vigdl 升高之前及視情況在 Vigdl 升高之後升高，但在 Vigdl 升高時保持固定。可升高 Vigdl，直至達到一最大容許位準 Vigdl_max。Vgidl 可分別經由一位元線或源極線而施加至一反及串之一汲極側及/或源極側。

An erase operation for a 3D stacked memory device applies an erase pulse which includes an intermediate level (Vgidl) and a peak level (Verase) to a set of memory cells, and steps up Vgidl in erase iterations of the erase operation. Vgidl can be stepped up when a specified portion of the cells have reached the erase verify level. In this case, a majority of the cells may have reached the erase verify level, such that the remaining cells can benefit from a higher gate-induced drain leakage (GIDL) current to reach the erase verify level. Verase can step up before and, optionally, after Vigdl is stepped up, but remain fixed while Vigdl is stepped. Vigdl can be stepped up until a maximum allowed level, Vigdl_max, is reached. Vigdl may be applied to a drain-side and/or source-side of a NAND string via a bit line or source line, respectively.

指定代表圖：

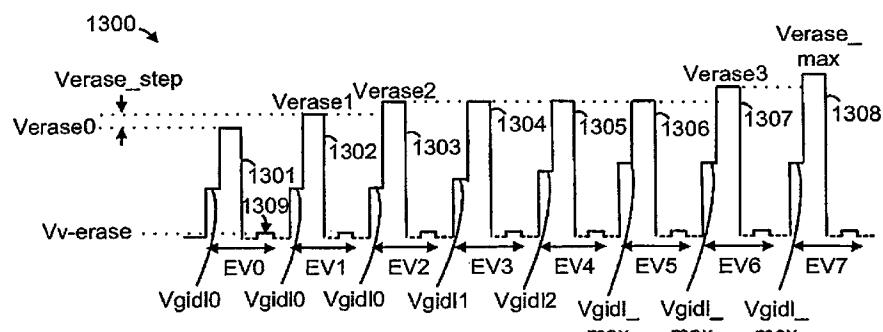


圖13

符號簡單說明：

- 1300 · · · 波形
- 1301 · · · 抹除脈衝
- 1302 · · · 抹除脈衝
- 1303 · · · 抹除脈衝
- 1304 · · · 抹除脈衝/
抹除-驗證反覆
- 1305 · · · 抹除脈衝/
抹除-驗證反覆
- 1306 · · · 抹除脈衝/
抹除-驗證反覆
- 1307 · · · 抹除脈衝/
抹除-驗證反覆
- 1308 · · · 抹除脈衝/
抹除-驗證反覆
- 1309 · · · 驗證脈衝

公告本

發明摘要

※ 申請案號：102112739

※ 申請日： 102/04/10

※IPC 分類：
G11C 16/14 (2006.01)
G11C 16/10 (2006.01)

【發明名稱】

用於三維非揮發性記憶體具有可控閘極誘發汲漏電流之抹除操作

ERASE OPERATION FOR 3D NON-VOLATILE MEMORY WITH
CONTROLLABLE GATE-INDUCED DRAIN LEAKAGE
CURRENT

【中文】

用於三維(3D)堆疊記憶體裝置之一抹除操作將包含一中間位準(Vgidl)及一峰值位準(Verase)之一抹除脈衝施加至一組記憶體胞，且在該抹除操作之抹除反覆中升高Vgidl。可在該等記憶體胞之一指定部分已達到抹除驗證位準時升高Vgidl。在此情況中，該等記憶體胞之大多數已達到該抹除驗證位準，使得剩餘記憶體胞可受益於一較高閘極誘發汲漏(GIDL)電流以達到該抹除驗證位準。Verase可在Vgidl升高之前及視情況在Vgidl升高之後升高，但在Vgidl升高時保持固定。可升高Vgidl，直至達到一最大容許位準Vgidl_max。Vgidl可分別經由一位元線或源極線而施加至一反及串之一汲極側及/或源極側。

【英文】

An erase operation for a 3D stacked memory device applies an erase pulse which includes an intermediate level (Vgidl) and a peak level (Verase) to a set of memory cells, and steps up Vgidl in erase iterations of the erase operation. Vgidl can be stepped up when a specified portion of the cells have reached the erase verify level. In this case, a majority of the cells may have reached the erase verify level, such that the remaining cells can benefit from a higher gate-induced drain leakage (GIDL) current to reach the erase verify level. Verase can step up before and, optionally, after Vgidl is stepped up, but remain fixed while Vgidl is stepped. Vgidl can be stepped up until a maximum allowed level, Vgidl_max, is reached. Vgidl may be applied to a drain-side and/or source-side of a NAND string via a bit line or source line, respectively.



【代表圖】

【本案指定代表圖】：第（13）圖。

【本代表圖之符號簡單說明】：

1300	波形
1301	抹除脈衝
1302	抹除脈衝
1303	抹除脈衝
1304	抹除脈衝/抹除-驗證反覆
1305	抹除脈衝/抹除-驗證反覆
1306	抹除脈衝/抹除-驗證反覆
1307	抹除脈衝/抹除-驗證反覆
1308	抹除脈衝/抹除-驗證反覆
1309	驗證脈衝

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於三維非揮發性記憶體具有可控閘極誘發汲漏電流之抹除操作

ERASE OPERATION FOR 3D NON-VOLATILE MEMORY WITH
CONTROLLABLE GATE-INDUCED DRAIN LEAKAGE
CURRENT

相關申請案之交叉參考

本申請案相關於以引用方式併入本文中之名稱為「Soft Erase Operation For 3d Non-Volatile Memory with Selective Inhibiting Of Passed Bits」之與本申請案一起提交之美國專利申請案_____(檔案號SAND-01558US0)。

【技術領域】

本發明係關於用於抹除三維(3D)非揮發性記憶體裝置中之記憶體胞之技術。

【先前技術】

近年來，已提出使用一3D堆疊記憶體結構(有時被稱為一位元可變成本(BiCS)架構)之超高密度儲存裝置。例如，一3D反及堆疊記憶體裝置可由一陣列之交替導電層及介電層形成。在該等層中鑽一記憶體洞以同時界定諸多記憶體層。接著，藉由用適當材料填充該記憶體洞而形成一反及串。一筆直反及串在一記憶體洞中延伸，同時一管狀或U形反及串(P-BiCS)包含在兩個記憶體洞中延伸且由一底部背閘極接合之記憶體胞之一對垂直行。該等記憶體胞之控制閘極由該等導電層提供。

【圖式簡單說明】

相同符號元件意指不同圖中之共同組件。

圖1A係一3D堆疊非揮發性記憶體裝置之一透視圖。

圖1B係圖1A之3D堆疊非揮發性記憶體裝置100之一功能方塊圖。

圖2A描繪作為圖1A中之BLK0之一實例性實施方案之一區塊200之一U形反及實施例之一俯視圖，其展示實例性SGD線子集SGDL-SB0及SGDL-SB1。

圖2B描繪圖2A之區塊200，其展示實例性字線子集WL3D-SB及WL3S-SB及實例性位元線子集BL-SB0及BL-SB1。

圖2C描繪沿線220之圖2A之區塊200之部分210之一橫截面圖。

圖2D描繪圖2C之行C0之區域236之一近視圖，其展示一汲極側選擇閘極SGD0及一記憶體胞MC303。

圖2E描繪圖2D之行C0之一橫截面圖。

圖3A描繪與圖2A之區塊之部分210一致之一電路300之一實施例，其展示U形反及串之汲極側之間之電連接。

圖3B描繪與圖3A之電路一致之U形反及串之源極側之間之連接之一實施例。

圖3C描繪與圖3A及圖3B一致之圖2A之SGD線子集SGDL-SB0之一實例。

圖3D描繪與圖3A及圖3B一致之圖2B之位元線子集BL-SB0之一實例。

圖3E描繪與圖3A及圖3B一致之圖2B之字線子集WL3D-SB之一實例，其用於U形反及串之汲極側。

圖3F描繪與圖3A及圖3B一致之圖2B之字線子集WL3S-SB之一實例，其用於U形反及串之源極側。

圖3G描繪與圖3A及圖3B之U形反及串之電路一致之記憶體胞之一實例性配置。

圖4A描繪圖1A之區塊BLK0之一筆直反及串實施例480之一俯視圖，其展示實例性SGD線子集SGDL-SB0A及SGDL-SB1A及實例性位元線子集。

圖4B描繪圖4A之區塊BLK0，其展示一實例性WL子集WL3-SB及實例性位元線子集BL-SB0A及BL-SB1A。

圖4C描繪沿線486之圖4A之區塊480之部分488之一橫截面圖。

圖4D描繪與圖4A之筆直反及串之電路一致之記憶體胞之一實例性配置。

圖5描繪使用記憶體胞之選擇性抑制之一實例性抹除程序之一流程圖，其中存在一種類型之記憶體胞子集。

圖6描繪使用記憶體胞之選擇性抑制之一實例性抹除程序之一流程圖，其中存在兩種類型之記憶體胞子集。

圖7描繪使用記憶體胞之選擇性抑制之一實例性抹除程序之一流程圖，其中存在三種類型之記憶體胞子集。

圖8描繪一抹除操作，其中在一抹除操作之不同抹除反覆中調整諸多不同類型之記憶體胞子集。

圖9A描繪一實例性抹除程序之一流程圖，其中在一或多個連續抹除-驗證反覆之抹除部分中升高Vgidl。

圖9B描繪一實例性抹除操作之一深度抹除狀態、一最終抹除狀態及更高資料狀態之臨限電壓分佈。

圖9C描繪另一實例性抹除操作之一軟性抹除狀態及更高資料狀態之臨限電壓分佈。

圖10A至圖10I描繪一抹除操作之一抹除-驗證反覆之抹除部分期間之實例性電壓。

圖10A描繪針對單側抹除或雙側抹除之一位元線之實例性電壓。

圖10B描繪針對單側抹除或雙側抹除之一SGD電晶體之實例性電壓。

圖10C描繪針對單側抹除之一SGS電晶體之實例性電壓。

圖10D描繪針對單側抹除之一SL之實例性電壓。

圖10E描繪針對單側抹除或雙側抹除之一WL之實例性電壓。

圖10F描繪針對單側抹除或雙側抹除之一柱電壓，其展示使Vgidl升高之一選項(虛線)。

圖10G描繪針對單側抹除或雙側抹除之經抹除之一記憶體胞之一臨限電壓(Vth)。

圖10H描繪針對雙側抹除之一SL之實例性電壓。

圖10I描繪針對雙側抹除之一SGS電晶體之實例性電壓。

圖11A至圖11C描繪一抹除操作之一抹除-驗證反覆之驗證部分中之電壓。

圖11A描繪一位元線電壓1100。

圖11B描繪一SGS電晶體及SGD電晶體電壓1102。

圖11C描繪一未選定字線電壓1104及一選定字線電壓1106。

圖12描繪一抹除操作中之一系列抹除脈衝及驗證脈衝，其中升高Verase，直至達到Verase_max，此時結束該抹除操作。

圖13描繪一抹除操作中之一系列抹除脈衝及驗證脈衝，其中：升高Verase，直至滿足一驗證條件；接著升高Vgidl，直至達到Vgidl_max；接著再次升高Verase，直至達到Verase_max，此時結束該抹除操作。

圖14描繪一抹除操作中之一系列抹除脈衝及驗證脈衝，其中：升高Verase，直至達到Verase_max；接著升高Vgidl，直至達到Vgidl_max。

【實施方式】

一3D堆疊非揮發性記憶體裝置可配置於多個區塊中，其中通常一次一區塊地執行一抹除操作。一抹除操作可包含多次抹除-驗證反覆，其等被執行，直至區塊滿足一驗證條件，此時該抹除操作結束。在一方法中，該記憶體裝置包含在一端上具有一汲極側選擇閘極(SGD)電晶體及在另一端上具有一源極側選擇閘極(SGS)電晶體之反及串。該等選擇閘極電晶體在一抹除操作中起重要作用，此係因為其等用於產生足夠量之閘極誘發汲極洩漏(GIDL)電流以在一合理時間訊框內對反及串之浮動體充電。與該等選擇閘極電晶體之汲極至閘極電壓(Vdg)成比例地增大GIDL。在一抹除操作期間會遭遇各種挑戰。例如，應使經抹除之記憶體胞下方之過量電洞最小化以避免由程式化-抹除(P/E)循環應力誘發之捕捉狀態(trap state)。此應力由一橫向電場引起。為最小化由P/E循環應力引起之降級，可藉由使用一抹除驗證位準(Vv-erase)來抹除記憶體胞(減小其等之Vth)且接著使用一軟性程式化驗證位準(Vv-sgpm)來軟性程式化記憶體胞(增大其等之Vth)而減少經抹除之記憶體胞下方之過量電洞之存在。亦參閱圖9B及圖9C。預期在軟性程式化期間由電子替換過量電洞。

然而，一相對較強之抹除電壓(例如，就振幅及持續時間而言)常用於完成被程式化至最高資料狀態之記憶體胞之抹除及/或用於完成緩慢抹除記憶體胞。通常，可使用四個、八個或十六個資料狀態。抹除最高資料狀態之記憶體胞所需之相對較強抹除電壓可導致由過度抹除較低資料狀態之記憶體胞引起之一深度抹除現象，且此過度抹除無法由隨後軟性程式化完全修復。此外，需要升高Vv-spgm以容許軟性程式化補償深度抹除狀態中之過量電洞。然而，增大Vv-spgm會使Vth預算值降至低於在BiCS技術中實施多層級記憶體胞(MLC)所需之一可接受位準。

本文所提供之各種抹除技術抑制一組記憶體胞中之一或多個記憶體胞子集被抹除。例如，該等子集可為與一共同位元線、一共同SGD線或一共同字線相關聯之記憶體胞群組。各子集可在其滿足一驗證條件(諸如具有不超過最大可容許數目之失效位元)時被抑制。一失效位元可為未通過一給定抹除-驗證反覆中之一驗證測試之一記憶體胞，例如其V_{th}不低於V_{v-erase}之一記憶體胞。

在另一態樣中，解決其中抹除速率可受GIDL電流限制之一情形。為此，用於在一3D堆疊非揮發性記憶體裝置中執行一抹除操作之一方法可施加包含一中間位準(V_{gidl})及一峰值位準(Verase)之一抹除脈衝，且在該抹除操作之抹除反覆之部分中升高V_{gidl}。例如，可在記憶體胞之一指定部分已達到抹除驗證位準時升高V_{gidl}。在此情況中，大多數記憶體胞已達到抹除驗證位準，使得剩餘記憶體胞可受益於藉由增大V_{gidl}而提供之一更高GIDL位準。

在下文討論中，圖1A至圖4D提供一3D堆疊非揮發性記憶體裝置之結構細節，圖5至圖9A提供抹除操作之實例性方法之流程圖，圖9B及圖9C提供實例性V_{th}分佈，及圖10至圖14提供一抹除操作中之實例性波形。

圖1A係一3D堆疊非揮發性記憶體裝置之一透視圖。記憶體裝置100包含一基板101。記憶體胞之實例性區塊BLK0及BLK1及具有供該等區塊使用之電路之一周邊區域104位於該基板上。基板101亦可承載該等區塊下方之電路，以及圖案化於導電路徑中以載送該電路之信號之一或多個下金屬層。該等區塊形成於該記憶體裝置之一中間區域102中。在該記憶體裝置之上區域103中，一或多個上金屬層圖案化於導電路徑中以載送該電路之信號。各區塊包括記憶體胞之一堆疊區域，其中該堆疊之交替層級表示字線。在一可能方法中，各區塊具有相對分層側，垂直接觸件自該等相對分層側向上延伸至一上金屬層以

形成至導電路徑之連接。儘管圖中描繪兩個區塊作為一實例，但可使用沿x方向及/或y方向延伸之額外區塊。

在一可能方法中，沿x方向之平面之長度表示至字線之信號路徑在一或多個上金屬層中延伸所沿之一方向(一字線或SGD線方向)，及沿y方向之平面之寬度表示至位元線之信號路徑在一或多個上金屬層中延伸所沿之一方向(一位元線方向)。z方向表示記憶體裝置之一高度。

圖1B係圖1A之3D堆疊非揮發性記憶體裝置100之一功能方塊圖。記憶體裝置100可包含一或多個記憶體晶粒108。記憶體晶粒108包含一3D(三維)記憶體陣列之儲存元件126(其例如包含區塊BLK0及BLK1)、控制電路110及讀取/寫入電路128。記憶體陣列126可由字線經由一列解碼器124而定址，及可由位元線經由一行解碼器132而定址。讀取/寫入電路128包含多個感測區塊130(感測電路)且容許並行地讀取或程式化一頁面之儲存元件。通常，一控制器122包含於與一或多個記憶體晶粒108相同之記憶體裝置100(例如一可移除儲存卡)中。命令及資料經由線120而在主機與控制器122之間傳送及經由線118而在該控制器與一或多個記憶體晶粒108之間傳送。

控制電路110與讀取/寫入電路128協作以對記憶體陣列126執行記憶操作，且包含一狀態機112、一晶片上位址解碼器114及一電力控制模組116。狀態機112提供記憶操作之晶片級控制。晶片上位址解碼器114提供由主機或一記憶體控制器使用之硬體位址至由解碼器124及132使用之硬體位址之間之一位址介面。電力控制模組116控制在記憶操作期間供應至字線及位元線之電力及電壓。電力控制模組116可包含用於字線層及字線層部分之驅動器、汲極側及源極側選擇閘極驅動器(其例如意指一串記憶體胞(諸如(例如)一反及串)之汲極側及源極側或汲極端及源極端)及源極線。在一方法中，感測區塊130可包含位元

線驅動器。

在一些實施方案中，可組合組件之部分。在各種設計中，除記憶體陣列126之外之組件之一或更多者(單獨或組合)可被視為至少一控制電路。例如，一控制電路可包含控制電路110、狀態機112、解碼器114/132、電力控制116、感測區塊130、讀取/寫入電路128及控制器122等等之任一者或一組合。

在另一實施例中，一非揮發性記憶體系統使用雙重列/行解碼器及讀取/寫入電路。在陣列之相對側上以一對稱方式實施藉由各種周邊電路之至記憶體陣列126之存取，使得各側上之存取線及電路之密度被減半。因此，列解碼器被分成兩個列解碼器及行解碼器被分成兩個行解碼器。類似地，讀取/寫入電路被分成自陣列126之底部連接至位元線之讀取/寫入電路及自陣列126之頂部連接至位元線之讀取/寫入電路。以此方式，讀取/寫入模組之密度被減半。

除可使用反及快閃記憶體之外，亦可使用其他類型之非揮發性記憶體。

圖2A描繪作為圖1A中之BLK0之一實例性實施方案之一區塊200之一U形反及實施例之一俯視圖，其展示實例性SGD線子集SGDL-SB0及SGDL-SB1。該視圖為一堆疊中之多個字線層中之一代表層。亦參考圖2C，該堆疊包含交替之介電層及導電層。該等介電層包含D0至D5且可由(例如) SiO_2 製成。該等導電層包含：BG，其為一背閘極層；WL0至WL3，其等形成字線層，例如至該層處之記憶體胞之控制閘極之導電路徑；及SG，其形成一選擇閘極層，例如至反及串之選擇閘極電晶體之控制閘極之一導電路徑。圖2A之字線層可表示(例如)WL0至WL3之任一者。該等導電層可包含(例如)摻雜多晶矽或金屬矽化物。可將5伏特至10伏特之一實例性電壓施加至背閘極以維持使汲極側行與源極側行連接之一導電狀態。

對於各區塊，字線層被分成兩個字線層部分202及204。各區塊包含一狹縫圖案。一狹縫意指(例如)在堆疊中通常自底部處之一蝕刻終止層垂直延伸至堆疊之至少一頂層之一空隙。該狹縫可填充有絕緣材料以使字線層部分彼此絕緣。一狹縫206為一單一連續狹縫，其在區塊中沿z字形延伸，使得區塊被分成彼此絕緣之兩個部分202及204。此方法可在控制記憶體胞時提供更大靈活性，此係因為字線層部分可被獨立驅動。

各區塊包含由圓圈表示之柱形列，例如垂直記憶體洞或柱。各列表示圖中之行之一垂直群組。記憶體洞在堆疊中垂直延伸且包含(諸如)呈一垂直反及串之記憶體胞。沿一線220之記憶體胞之實例性行包含C0至C11。該圖表示一簡化形式，此係因為通常將使用延伸至圖中之右邊及左邊之更多列之記憶體洞。此外，該等圖未必按比例繪製。記憶體胞行可配置成子集或子區塊。

記憶體胞之子集可為不同類型，諸如WL子集、SGD線子集及BL子集。

圖2B描繪圖2A之區塊200，其展示實例性字線子集WL3D-SB及WL3S-SB及實例性位元線子集BL-SB0及BL-SB1。此實例假定：描繪WL3層。WL3S-SB為與各U形反及串之源極側中之一個(例如恰好一個)記憶體胞連通之一字線層或字線層部分，及WL3D-SB為與各U形反及串之汲極側中之一個(例如恰好一個)記憶體胞連通之一字線層或字線層部分。

可獨立地抑制各子集被抹除。例如，可藉由使WL之一電壓浮動而獨立地抑制一WL子集被抹除。可藉由將SGD線之一電壓設定至使抹除受抑制之足夠高位準(但低於選定BL偏壓)而獨立地抑制一SGD線子集被抹除。若Vdg為足夠小以致無法產生對未選定通道充電之GIDL，則可抑制未選定SGD線子集被抹除。類似地，可藉由將BL之

一電壓設定至使抹除受抑制之一足夠低位準而獨立地抑制一BL子集被抹除。術語「使抹除受抑制」或類似者意指(例如)實質上防止或不促進抹除。如本文所使用，一「子集」一般意指一適當子集。當 $A \subset B$ 且 $A \neq B$ 時，一子集「A」為一集合「B」之一適當子集。即，A 含有亦含於B內之一或多個記憶體胞，但A不含B中之全部記憶體胞。A含有比B少之記憶體胞。相同類型之子集通常彼此不同且不含共同記憶體胞。不同類型之子集可含有一或多個共同記憶體胞。

當使用U形反及串時，各SGD線子集可包含兩個相鄰列之記憶體胞行。在一子集中，該等相鄰列由狹縫分離。狹縫之一側上之記憶體胞行為反及串之汲極側行(例如圖2C中之C0、C3、C4及C7)，及狹縫之另一側上之記憶體胞行為該等反及串之源極側行(例如圖2C中之C1、C2、C5及C6)。應注意，兩個汲極側行之間之兩個源極側行之圖案沿y方向重複。

字線驅動器可將諸如電壓波形之信號獨立地提供至字線層部分202及204。

圖式未按比例繪製且未展示全部記憶體行。例如，一更現實區塊可具有沿y方向之12個記憶體行(如圖所展示)及沿x方向之非常大數目(諸如32k)個記憶體行，一區塊中總計有384k個記憶體行。就U形反及串而言，此實例中提供192k個反及串。就筆直反及串而言，此實例中提供384k個反及串。假定：每行具有四個記憶體胞，因此記憶體胞組總計有 $384k \times 4 = 1,536k$ 或1,536,000個記憶體胞。

下文結合圖3A而進一步描述區塊200之一部分210。

圖2C描繪沿線220之圖2A之區塊200之部分210之一橫截面圖。圖中描繪多層堆疊中之記憶體胞行C0至C7。堆疊230包含基板101、該基板上之一絕緣膜250及該絕緣膜上之一背閘極層BG(其為一導電

層)。一溝渠設置於一U形反及串之記憶體胞行對下方之背閘極之部分中。設置於該等行中以形成記憶體胞之材料層亦設置於該等溝渠中，且該等溝渠中之剩餘空間填充有一半導體材料以形成使該等行連接之連接部分263至266。因此，該背閘極連接各U形反及串之兩行。例如，NS0(NS=反及串)包含行C0及C1及連接部分263。NS0具有一汲極端232及一源極端240。NS1包含行C2及C3及連接部分264。NS1具有一汲極端244及一源極端242。NS2包含行C4及C5及連接部分265。NS3包含行C6及C7及連接部分266。

源極線SL0連接至兩個相鄰記憶體串NS0及NS1之源極端240及242。源極線SL0亦沿x方向連接至NS0及NS1後方之其他組之記憶體串。回想到，堆疊230中之額外U形反及串沿一SGD線方向在(例如)沿x軸之橫截面中所描繪之U形反及串後方延伸。U形反及串NS0至NS3各位於一不同SGD線子集中，但位於一共同BL子集中。

作為一實例，圖中亦描繪來自圖2A之狹縫部分206。在橫截面中，看見多個狹縫部分，其中各狹縫部分介於一U形反及串之汲極側行與源極側行之間。圖中亦描繪位元線BL0之一部分。

短虛線描繪記憶體胞及選擇閘極電晶體，如下文進一步所討論。圖2D中更詳細地展示堆疊之一區域236。

圖2D描繪圖2C之行C0之區域236之一近視圖，其展示一汲極側選擇閘極電晶體SGD0及一記憶體胞MC303。該區域展示介電層D3至D5及導電層WL3及SG之部分。各行包含沿該行之側壁沈積之諸多層。此等層可包含(例如)使用原子層沈積來沈積之氧化物-氮化物-氧化物及多晶矽層。例如，區塊氧化物可沈積為層296，作為一電荷捕捉層之氮化物(諸如SiN)可沈積為層297，穿隧氧化物可沈積為層298，多晶矽主體或通道可沈積為層299，及核心填充介電質可沈積為區域300。在全部行中類似地形成額外記憶體胞。

當程式化一記憶體胞時，電子儲存於與該記憶體胞相關聯之電荷捕捉層之一部分中。例如，在MC303之電荷捕捉層297中由「-」符號表示電子。此等電子自多晶矽主體汲取至電荷捕捉層中且穿過穿隧氧化物。與儲存電荷量成比例地增大一記憶體胞之臨限電壓。在一抹除操作期間，例如下文結合圖10A至圖10I進一步所討論，多晶矽主體之一電壓歸因於如所提及之閘極誘發汲極洩漏(GIDL)而升高，同時一或多個選定字線層之一電壓浮動。接著，該一或多個選定字線層之電壓被急劇壓低至一低位準(諸如0伏特)以產生橫跨穿隧氧化物之一電場(其引起電洞自記憶體胞之主體注入至電荷捕捉層)，從而導致朝向一抹除-驗證位準Vv-erase之一大V_{th}下移(downshift)。可在連續反覆中重複此程序，直至滿足一驗證條件，如下文進一步所討論。對於未選定字線，該等字線係浮動的，但未被壓低至一低位準，使得橫跨穿隧氧化物之該電場相對較小且不會發生或很少發生電洞穿隧。該等未選定字線之記憶體胞將很少經歷或不經歷V_{th}下移，因此，其等不會被抹除。

圖2E描繪圖2D之行C0之一橫截面圖。在一可能方法中，各層呈環狀，呈圓柱形之核心濾波器除外。

圖3A描繪與圖2A之區塊之部分210一致之一電路300之一實施例，其展示U形反及串之汲極側之間之電連接。諸多反及串NS0至NS3與一位元線BL0連通，及諸多反及串NS4至NS7與一位元線BL1連通。各反及串具有擁有四個記憶體胞及一SGD電晶體之一汲極側行，及擁有四個記憶體胞及一SGS電晶體之一源極側行。例如，在該汲極側上，NS0具有CG0至CG3及SGD0，NS1具有CG8至CG11及SGD1，NS2具有CG8至CG11及SGD2，NS3具有CG16至CG19及SGD3，NS4具有CG20至CG23及SGD4，NS5具有CG28至CG31及SGD5，NS6具有CG28至CG31及SGD6，及NS7具有CG36至CG39及SGD7。在該源極側

上，NS0具有CG4至CG7及SGS0，NS1具有CG4至CG7及SGS1，NS2具有CG12至CG15及SGS2，NS3具有CG12至CG15及SGS3，NS4具有CG24至CG27及SGS4，NS5具有CG24至CG27及SGS5，NS6具有CG32至CG35及SGS6，及NS7具有CG32至CG35及SGS7。汲極側行分別為NS0至NS7之C0、C3、C4、C7、C0A、C3A、C4A及C7A。源極側行分別為NS0至NS7之C1、C2、C5、C6、C1A、C2A、C5A及C6A。

此外，各反及串具有一源極側端(由NS0及NS1共用之SSE0、由NS2及NS3共用之SSE1、由NS4及NS5共用之SSE2及由NS6及NS7共用之SSE3)及一汲極側端(NS0之DSE0、NS1之DSE1、NS2之DSE2、NS3之DSE3、NS4之DSE4、NS5之DSE5、NS6之DSE6及NS7之DSE7)。各反及串具有一背閘極(NS0之BG0、NS1之BG1、NS2之BG2及NS3之BG3)。該等背閘極可彼此連接。一源極線SL0連接SSE0與SSE2，及一源極線SL1連接SSE1與SSE3。一源極線連接器(SLC)視情況連接SL0與SL1。通常，對於單側抹除，將該等源極線繫在一起且使用該SLC。對於雙側抹除，未將該等源極線繫在一起且不使用該SLC。

汲極側記憶體胞之控制閘極(CG)藉由字線層而彼此連接。例如，CG0至CG3分別連接至CG20至CG23，CG8至CG11分別連接至CG28至CG31，及CG16至CG19分別連接至CG36至CG39。源極側記憶體胞之控制閘極(CG)亦藉由字線層而彼此連接。例如，CG4至CG7分別連接至CG24至CG27，及CG12至CG15分別連接至CG32至CG35。

另外，堆疊3D記憶體裝置之一給定層級處之記憶體胞之汲極側控制閘極彼此連接。例如，CG0、CG8、CG16、CG20、CG28及CG36在第一字線層級(WL0)處彼此連接。CG1、CG9、CG17、CG21、CG29及CG37在第二字線層級(WL1)處彼此連接。CG2、CG10、CG18、CG22、CG30及CG38在第三字線層級(WL2)處彼此連接。CG3、CG11、CG19、CG23、CG31及CG39在第四字線層級(WL3)處

彼此連接(與圖3E一致)。

另外，SGD電晶體控制閘極在各自SGD線子集中彼此連接。例如，SGD0藉由SGD線390而連接至SGD4，SGD1藉由SGD線391而連接至SGD5，SGD2藉由SGD線392而連接至SGD6，及SGD3藉由SGD線393而連接至SGD7。

在一實施方案中，(例如)與一共同SGD線連通之一SGD線子集中之SGD電晶體獨立於其他SGD線子集中之SGD電晶體。例如，SGD0及SGD4獨立於SGD1及SGD5，獨立於SGD2及SGD6，及獨立於SGD3及SGD7。

另外，堆疊3D記憶體裝置之一給定層級處之記憶體胞之源極側控制閘極彼此連接。例如，CG4、CG12、CG24及CG32在第一字線層級(WL0)處彼此連接。CG5、CG13、CG25及CG33在第二字線層級(WL1)處彼此連接。CG6、CG14、CG26及CG34在第三字線層級(WL2)處彼此連接。CG7、CG15、CG27及CG35在第四字線層級(WL3)處彼此連接(與圖3F一致)。

控制閘極與亦藉由參考圖3G而可見之記憶體胞相關聯。具體言之，CG0至CG3分別與MC300至MC303相關聯。CG4至CG7分別與MC304至MC307及分別與MC308至MC311相關聯。CG8至CG11分別與MC312至MC315及分別與MC316至MC319相關聯。CG12至CG15分別與MC320至MC323及分別與MC324至MC327相關。CG16至CG19分別與MC328至MC331相關聯。此外，CG20至CG23分別與MC340至MC343相關聯。CG24至CG27分別與MC344至MC347及分別與MC348至MC351相關聯。CG28至CG31分別與MC352至MC355及分別與MC356至MC359相關聯。CG32至CG35分別與MC360至MC363及分別與MC364至MC367相關聯。CG36至CG39分別與MC368至MC371相關聯。

黑色圓圈指示記憶體胞及SGD電晶體之汲極側控制閘極。圖3B描繪與圖3A之電路一致之U形反及串之源極側之間之連接之一實施例。

SGS電晶體控制閘極沿x方向彼此連接。例如，SGS0連接至SGS4，SGS1連接至SGS5，SGS2連接至SGS6，及SGS3連接至SGS7。黑色圓圈指示記憶體胞及SGS電晶體之源極側控制閘極。

圖3A及圖3B之電路連接被單獨展示(為了清楚)，但設置於一共同電路中。

圖3C描繪與圖3A及圖3B一致之圖2A之SGD線子集SGDL-SB0之一實例。此子集包含與一個(例如恰好一個)SGD線相關聯之反及串，例如NS0及NS4(及其等之間之任何額外反及串)。其他實例性SGD線子集可由與SGD線391連通之NS1及NS5(及其等之間之任何額外反及串)、與SGD線392連通之NS2及NS6(及其等之間之任何額外反及串)及與SGD線393連通之NS3及NS7(及其等之間之任何額外反及串)提供。

換言之，一SGD線子集包含其之電晶體與一個(例如恰好一個)SGD線連通之反及串。可藉由控制該SGD線而一起抑制一SGD線子集之反及串被抹除。例如，在SGDL-SB0中，藉由控制SGD線390而抑制NS0及NS4。

可獨立於一SGD線子集之反及串而抑制另一SGD線子集之反及串。SGD線與SGD線子集中之各反及串之SGD電晶體連通，且可(諸如)藉由在將一位元線電壓施加至反及串之一汲極側端時設定不容許發生GIDL及對反及串之通道充電之一電壓而抑制抹除。例如，SGD線390與SGD0及SGD4連通，且因此可在此等選擇閘極電晶體之控制閘極處設定一電壓。一SGD電晶體可被視為位元線與反及串之通道之間之一閘極。

例如，假定：一第一SGD線子集具有一不受抑制狀態且因此在一

電流抹除反覆中不抑制其被抹除，及一第二SGD線子集具有一受抑制狀態且因此在該電流抹除反覆中抑制其被抹除。當將一抹除電壓施加至一位元線以抹除該第一SGD線子集之反及串中之記憶體胞時，該第一SGD線子集之SGD線可經控制以容許對該第一SGD線子集中之反及串之通道充電，同時該第二SGD線子集之SGD線可經控制以防止或阻礙對該第二SGD線子集中之反及串之通道充電。

圖3D描繪與圖3A及圖3B一致之圖2B之位元線子集BL-SB0之一實例。

此子集包含與一個(例如恰好一個)位元線連通之反及串。可藉由控制該BL而一起抑制一BL子集之反及串被抹除。可獨立於一BL子集之反及串而抑制另一BL子集之反及串。該BL與BL子集中之各反及串之汲極側端連通，且可(諸如)藉由在施加一位元線電壓時設定不容許發生GIDL及對反及串之通道充電之一電壓而抑制抹除。例如，在位元線子集BL-SB0中，BL0與DSE0至DSE3連通，而非與DSE4至DSE7連通。在另一位元線子集中，BL1與DSE4至DSE7連通，而非與DSE0至DSE3連通。

例如，假定：一第一BL子集(與BL0相關聯)具有一不受抑制狀態且因此在一電流抹除反覆中不抑制其被抹除，及一第二BL子集(與BL1相關聯)具有一受抑制狀態且因此在該電流抹除反覆中抑制其被抹除。將一足夠高之抹除電壓施加至BL0以容許對該第一BL子集中之反及串之通道充電，同時將一較低電壓施加至BL1以實質上防止或阻礙對該第二BL子集中之反及串之通道充電。

圖3E描繪與圖3A及圖3B一致之圖2B之字線子集WL3D-SB之一實例，其用於U形反及串之汲極側。

此子集包含與一個(例如恰好一個)字線或字線部分相關聯之記憶體胞。在一實施方案(其可包含U形反及串或筆直反及串組態)中，此

子集包含一區塊或另一組之各反及串中之一個(例如恰好一個)記憶體胞。在U形反及串組態中，各反及串具有一源極側或汲極側中之記憶體胞。例如，可在該源極側與該汲極側之間均等地劃分一反及串之記憶體胞。如所提及，一導電層可包含兩個獨立導電部分。在一3D非揮發性記憶體裝置之一給定層級中，該等導電部分之一者之一字線子集可包含一區塊或另一組之各反及串之汲極側上之一個(例如恰好一個)記憶體胞。WL3D-SB為此一子集之一實例。下導電層處之其他實例為WL2D-SB、WL1D-SB及WL0D-SB(圖中未展示)。

應注意，WL3D-SB包含與其他子集共用之記憶體胞。例如，CG3(MC303)、CG11(MC315及MC319)、CG19(MC331)與BL-SB0共用。此外，CG23(MC343)、CG31(MC355及MC359)及CG39(MC371)與BL1之BL子集共用。WL3D-SB未與記憶體裝置之其他層級處之控制閘極連通，或與相同層級處之源極側記憶體胞之控制閘極連通，如圖3F中所展示。

可藉由控制字線而一起抑制一字線子集之記憶體胞被抹除。可獨立於一字線子集之記憶體胞而抑制記憶體裝置之相同層級或一不同層級處之另一字線子集之記憶體胞。字線或字線部分與該層處之各源極側或汲極側記憶體胞之控制閘極連通，且可(諸如)藉由使字線上之一電壓浮動使得記憶體胞之一抹除被防止或阻礙而抑制抹除。一記憶體胞之抹除動作發生在對反及串通道充電且將該記憶體胞之控制閘極向下驅動時。抹除動作因使記憶體胞之控制閘極浮動且不將其向下驅動而不發生。

例如，假定：一第一字線子集(例如WL3D-SB)具有一不受抑制狀態且因此在一電流抹除反覆中不抑制其被抹除，及一第二字線子集(例如WL2D-SB，其為WL3D-SB下方之一層級且與MC302、MC314、MC318、MC330、MC342、MC354、MC358及MC370連通)具有一受

抑制狀態且因此在該電流抹除反覆中抑制其被抹除。當將一抹除電壓施加至一位元線以對反及串之通道充電時，可藉由將字線之電壓向下驅動而控制該第一字線子集之字線以容許該第一字線子集之記憶體胞之一抹除，同時可藉由使字線之電壓浮動而控制該第二字線子集之字線以防止該第二字線子集之記憶體胞之抹除。

在另一實例中，假定：第一字線子集為具有一不受抑制狀態之WL3D-SB，及第二字線子集為處於與WL3D-SB相同之層級且與MC307、MC311、MC323、MC327、MC347、MC351、MC363及MC367連通之WL3S-SB(圖3F)，其具有一受抑制狀態且因此在電流抹除反覆中抑制其被抹除。當將一抹除電壓施加至一位元線以對反及串之通道充電時，可藉由向下驅動第一字線子集之字線而控制第一字線子集之字線以容許第一字線子集之記憶體胞之一抹除，同時可藉由使第二字線子集之字線浮動而控制第二字線子集之字線以防止第二字線子集之記憶體胞之抹除。

圖3F描繪與圖3A及圖3B一致之圖2B之字線子集WL3S-SB之一實例，其用於U形反及串之源極側。在一3D非揮發性記憶體裝置之一給定層級中，WL3S為導電部分之一者之一字線子集之一實例，其包含一區塊或另一組中之各反及串之源極側上之一個(例如恰好一個)記憶體胞。下導電層處之其他實例為WL2S-SB、WL1S-SB及WL0S-SB。

應注意，WL3S-SB包含與其他子集共用之記憶體胞。例如，CG7(MC307及MC311)及CG15(MC323及MC327)與BL-SB0共用。此外，CG27(MC347及MC351)及CG35(MC363及MC367)與BL1之BL子集共用。

在一方法中，WL3S-SB未與記憶體裝置之其他層級處之控制閘極連通，或與相同層級處之汲極側記憶體胞之控制閘極連通，如圖3E中所展示。

可達成獨立地抹除或抑制記憶體胞之一字線子集之能力，如上文結合圖3E所討論。

圖3G描繪與圖3A及圖3B之U形反及串之電路一致之記憶體胞之一實例性配置，如所討論。亦參閱圖3B之討論。

圖4A描繪圖1A之區塊BLK0之一筆直反及串實施例480之一俯視圖，其展示實例性SGD線子集SGDL-SB0A及SGDL-SB1A。在此組態中，一反及串僅具有一行，且源極側選擇閘極位於該行之底部上而非頂部上，如同一U形反及串。再者，一區塊之一給定層級具有連接至該層之記憶體胞之各者之一字線層。例如，圖4B描繪圖4A之區塊BLK0，其展示一實例性WL子集WL3-SB及實例性位元線子集BL-SB0A及BL-SB1A。亦可使用諸多狹縫，諸如實例性狹縫482。此等經絕緣材料填充之狹縫在製程中用於在藉由一濕式蝕刻而移除未摻雜多晶矽層且沈積一介電質以形成交替介電層時給堆疊提供結構支撐。一虛線486延伸穿過行C12至C17。圖4C中展示沿部分488之線486之一橫截面圖。

圖4C描繪沿線486之圖4A之區塊480之部分488之一橫截面圖。圖中描繪多層堆疊中之對應於反及串NS8至NS11之記憶體胞行。堆疊490包含一基板101、該基板上之一絕緣膜250及一源極線SL0A之一部分。回想到，一SGD線子集中之額外筆直反及串(例如)沿x軸在該橫截面中所描繪之反及串之前面及後面延伸。NS8具有一源極端494及一汲極端492。圖中亦描繪來自圖4A之狹縫482及其他狹縫。圖中亦描繪位元線BL0A之一部分。虛線描繪記憶體胞及選擇閘極電晶體。

圖4D描繪與圖4A之筆直反及串之電路一致之記憶體胞之一實例性配置。由與一位元線BL0A及一源極線SL0A連通之反及串NS0B至NS7B之記憶體胞表示一實例性位元線子集，及由與一位元線BL1A及一源極線SL1A連通之反及串NS0C至NS7C之記憶體胞表示另一實例

性位元線子集。在一位元線子集中，反及串及其記憶體胞為：NS0B(MC400至MC403)、NS1B(MC404至MC407)、NS2B(MC408至MC411)、NS3B(MC412至MC415)、NS4B(MC416至MC419)、NS5B(MC420至MC423)、NS6B(MC424至MC427)及NS7B(MC428至MC431)。在另一位元線子集中，反及串及其記憶體胞為：NS0C(MC440至MC443)、NS1C(MC444至MC447)、NS2C(MC448至MC451)、NS3C(MC452至MC455)、NS4C(MC456至MC459)、NS5C(MC460至MC463)、NS6C(MC464至MC467)及NS7C(MC468至MC471)。

此外，由NS0B及NS0C(及其等之間之任何反及串)、NS1B及NS1C(及其等之間之任何反及串)、NS2B及NS2C(及其等之間之任何反及串)、NS3B及NS3C(及其等之間之任何反及串)、NS4B及NS4C(及其等之間之任何反及串)、NS5B及NS5C(及其等之間之任何反及串)、NS6B及NS6C(及其等之間之任何反及串)及NS7B及NS7C(及其等之間之任何反及串)表示八個實例性SGD線子集。

此外，由MC400、MC404、MC408、MC412、MC416、MC420、MC424、MC428、MC440、MC444、MC448、MC452、MC456、MC460、MC464及MC468表示一第一字線層級(WL0)處之一實例性字線子集。由MC401、MC405、MC409、MC413、MC417、MC421、MC425、MC429、MC441、MC445、MC449、MC453、MC457、MC461、MC465及MC469表示一第二字線層級(WL1)處之一實例性字線子集。由MC402、MC406、MC410、MC414、MC418、MC422、MC426、MC430、MC442、MC446、MC450、MC454、MC458、MC462、MC466及MC470表示一第三字線層級(WL2)處之一實例性字線子集。由MC403、MC407、MC411、MC415、MC419、MC423、MC427、MC431、MC443、MC447、MC451、MC455、MC459、

MC463、MC467及MC471表示一第四字線層級(WL3)處之一實例性字線子集。

各反及串包含介於其記憶體胞與位元線之間之一SGD電晶體，及介於其記憶體胞與源極線之間之一SGS電晶體。反及串之該 SGD 電晶體及該 SGS 電晶體為：NS0B(SGD0B 及 SGS0B)、NS1B(SGD1B 及 SGS1B)、NS2B(SGD2B 及 SGS2B)、NS3B(SGD3B 及 SGS3B)、NS4B(SGD4B 及 SGS4B)、NS5B(SGD5B 及 SGS5B)、NS6B(SGD6B 及 SGS6B)、NS7B(SGD7B 及 SGS7B)、NS0C(SGD0C 及 SGS0C)、NS1C(SGD1C 及 SGS1C)、NS2C(SGD2C 及 SGS2C)、NS3C(SGD3C 及 SGS3C)、NS4C(SGD4C 及 SGS4C)、NS5C(SGD5C 及 SGS5C)、NS6C(SGD6C 及 SGS6C)及 NS7C(SGD7C 及 SGS7C)。

圖5描繪使用記憶體胞之選擇性抑制之一實例性抹除程序之流程圖，其中存在一種類型之記憶體胞子集。如所討論，子集之實例性類型包含 SGD 線子集、WL 子集及 BL 子集。一或多種類型之子集可被界定且用於一抹除操作。

在記憶體胞之子集達到一驗證條件之後，可在一抹除操作之剩餘部分中獨立地抑制該等子集被進一步抹除。因此，可減少或避免與過度抹除相關之問題。在一子集之記憶體胞滿足一驗證條件之後，該等記憶體胞不會遇見隨後抹除信號。此方法可收緊抹除分佈，避免經驗證之記憶體胞經受過應力，防止經深度抹除之記憶體胞，且最小化一橫向場。若發生深度抹除，則將過量電洞儲存於經抹除之記憶體胞中。此外，若鄰近記憶體胞為經程式化之記憶體胞，則將過量電子儲存於經程式化之記憶體胞中。由於電荷捕捉層透過整個串而連接，所以一橫向場將歸因於經抹除記憶體胞中之過量電洞及經程式化記憶體胞中之過量電子而在電荷捕捉層中發展。

再者，在一些情況中，未必在抹除之後使用軟性程式化以最小

化對裝置效能之深度抹除影響。

步驟500使包括一類型之子集之一組記憶體胞開始抹除操作。該組記憶體胞可為(例如)一區塊之記憶體胞。可使各子集維持狀態資料以指示該子集具有一「受抑制」狀態(其指示：在抹除操作之一連續抹除反覆之抹除部分中抑制該子集被進一步抹除)或一「不受抑制」狀態(其指示：在抹除操作之一連續抹除反覆之抹除部分中不受抑制該子集被進一步抹除(即，該子集繼續經受抹除))。該狀態資料可由(例如)晶片上控制電路110或晶片外控制器122維持，且基於各抹除反覆之一驗證測試之結果而更新。

如開始時所提及，需要一相對較強之抹除電壓來抹除最高資料狀態之記憶體胞，且此可導致一深度抹除現象。即使抹除之後之軟性程式化可用電子替換大多數過量電洞，但歸因於由強抹除條件引起之過應力之降級可為永久的。利用具有預定容許數目個失效位元之驗證演算法之一抹除能夠使永久降級最小化。然而，若已傳遞位元(例如，滿足基於一驗證測試之一驗證條件之記憶體胞)不受抑制，則其等仍會遇見隨後抹除信號且被過度抹除。本文所提供之技術容許在隨後抹除信號期間抑制已傳遞位元以減少或避免此問題。

步驟502初始化Verase，即，峰值電壓，其在一單側抹除操作中施加至一位元線或在一雙側抹除操作中施加至一位元線及一源極線兩者。亦視情況初始化Vgidl，例如結合圖9A所討論。

步驟504對具有不受抑制狀態之子集執行一抹除反覆。此等子集經受抹除。步驟506對具有不受抑制狀態之子集執行一驗證測試。該驗證測試指示何種記憶體胞具有低於一驗證電壓Vv-erase之一Vth。當一記憶體胞之Vth低於Vv-erase時，該記憶體胞被視為已通過該驗證測試，及當一記憶體胞之Vth不低於Vv-erase時，該記憶體胞被視為未通過該驗證測試。可提供一失效位元計數以指示一子集中未通過

該驗證測試之記憶體胞之數目。或可提供一通過位元計數以指示一子集中已通過該驗證測試之記憶體胞之數目。

判定步驟508判定記憶體胞組是否滿足一驗證條件。例如，當存在 $\leq N1$ 個失效位元時，可滿足一驗證條件，其中N1為一自然數。例如，N1可為記憶體胞組中記憶體胞之總數之1%至10%。若判定步驟508為真，則操作在步驟520中成功地結束。若判定步驟508為假，則判定步驟510判定Verase是否等於Verase_max，其中Verase_max為一最大可容許電壓。為避免損害，此電壓受一最大值限制。若判定步驟510為真，則抹除操作在步驟520中不成功地結束。若判定步驟510為假，則判定步驟512判定任何記憶體胞(位於具有一不受抑制狀態之子集中)是否已通過驗證測試。若判定步驟512為假，則在步驟522中升高Verase且在步驟504中執行下一抹除反覆。步驟522視情況升高被稱為Vgidl之一電壓，例如結合圖9A所進一步描述。

若判定步驟512為真，則步驟514考量針對一子集之驗證測試之結果。該結果可指示(例如)該子集中之失效位元之數目。在步驟516中，若該子集滿足一各自驗證條件(例如一第一驗證條件)，則將該子集之狀態設定為受抑制。因此，將在抹除操作之剩餘部分中(例如在抹除操作之一隨後抹除反覆之一抹除部分中)抑制該子集之記憶體胞(例如一第一子集)被抹除。若該子集不滿足該各自驗證條件，則該子集之狀態保持為不受抑制。例如，當該子集中之失效位元之數目小於最大可容許數目時，可滿足該各自驗證條件。

對於相同類型之子集，每子集之失效位元之最大可容許數目可相同；及當存在不同類型之子集時，各不同類型之子集之每子集之失效位元之最大可容許數目可不同。亦可(諸如)基於子集在一記憶體裝置中之一位置而將相同類型之不同子集之每子集之失效位元之最大可容許數目設定為不同。在一方法中，相對較難抹除之一子集之每子集

之失效位元之最大可容許數目可較高，或相對較易抹除之一子集之每子集之失效位元之最大可容許數目可較低。抹除一子集之難度可基於諸如以下各者之因數：子集在記憶體裝置中之位置、與感測電路之接近度、干涉源、製造變動及其他因數。實驗可指示抹除一子集之難度之概率量測。此外，可基於記憶體裝置之時序壽命、程式化-抹除之累積數目及/或諸如溫度之條件而調整每子集之失效位元之最大可容許數目。

例如，使用結合圖2B所討論之實例，假定：存在沿y方向之12個記憶體行、沿x方向之32k個記憶體行及四個層級之記憶體胞(每層級具有兩個字線部分)，記憶體胞組中總計有1,536,000個記憶體胞。假定：記憶體胞組中存在 $N1=1,536,000 \times 2\% = 30,720$ 個容許失效位元。第一類型之子集為一BL子集且存在32k個此等子集，每子集具有 $12 \times 4 = 48$ 個記憶體胞。第二類型之子集為一WL子集且存在 $4 \times 2 = 8$ 個此等子集，每子集具有 $32,000 \times 12/2 = 192,000$ 個記憶體胞。第三類型之子集為一SGD線子集且存在6個此等子集，每子集具有 $32,000 \times 2 \times 4 = 256,000$ 個記憶體胞。使用2%之比率，每BL子集之失效位元之最大可容許數目為 $48 \times .02 = 1$ 個位元，每WL子集之失效位元之最大可容許數目為 $192,000 \times .02 = 3840$ 個位元，及每SGD線子集之失效位元之最大可容許數目為 $256,000 \times .02 = 5120$ 個位元。

應注意，歸因於不同類型之子集之間之重疊，相同記憶體胞可位於不同類型之兩個或三個子集中。若一記憶體胞為一失效位元，則用於一給定抹除-驗證反覆，該失效位元將計入不同類型之該兩個或三個子集之各者中之失效位元之最大可容許數目。

若存在待在判定步驟518中考量之下一子集，則使該下一子集重複步驟514。若判定步驟518為假，則到達先前所討論之步驟522。

圖6描繪使用記憶體胞之選擇性抑制之一實例性抹除程序之一流

程圖，其中存在兩種類型之記憶體胞子集。兩種類型之子集之實例性案例包含：BL子集，接著SGD線子集；BL子集，接著WL子集；SGD線子集，接著BL子集；SGD線子集，接著WL子集；WL子集，接著BL子集；及WL子集，接著SGD線子集。順序意指抑制一子集之判定順序。在一些情況中，順序並不重要。然而，實驗及測試可判定一順序是否優於另一順序。

步驟600使包括第一類型及第二類型之子集(例如BL子集、WL子集及SGD線子集之兩者)之一組記憶體胞開始抹除操作。步驟602初始化Verase。亦視情況初始化Vgid1，例如結合圖9A所討論。

步驟604對具有不受抑制狀態之子集執行一抹除反覆。步驟606對具有不受抑制狀態之子集執行一驗證測試。判定步驟608判定記憶體胞組是否滿足一驗證條件。若判定步驟608為真，則操作在步驟626中成功地結束。在一第一選項中，一組記憶體胞之該驗證條件需要全部子集滿足一各自驗證條件。為繪示，在先前實例中，存在8個WL子集，每WL子集之失效位元之最大可容許數目為每WL子集3,840個位元及該組記憶體胞中之失效位元之最大可容許數目為30,720。因此，即使該組記憶體胞中總計存在不超過30,720個失效位元，但該第一選項需要每WL子集存在不超過3,840個失效位元。在此情況中，若至少一WL子集具有超過3,840個失效位元，則判定步驟608為假。在基於此等事實之一第二選項中，判定步驟608為真，此係因為驗證條件基於整體記憶體胞組。該第一選項較寬鬆且避免在一些情況中宣告抹除操作不成功，同時該第二選擇較嚴格且避免未經抹除記憶體胞在一子集中之一相對較大濃度。

若判定步驟608為假，則判定步驟610判定Verase是否等於Verase_max。若判定步驟610為真，則抹除操作在步驟626中不成功地結束。若判定步驟610為假，則判定步驟612判定任何記憶體胞(位於

具有一不受抑制狀態之子集中)是否已通過驗證測試。若判定步驟612為假，則在步驟628中升高Verase且在步驟604中執行下一抹除反覆。步驟628視情況升高Vgidl，例如結合圖9A所進一步描述。

若判定步驟612為真，則步驟614考量針對第一類型之一子集之驗證測試之結果。在步驟616中，若該子集滿足一各自驗證條件(例如一第一驗證條件)，則將該子集之狀態設定為受抑制。若該子集不滿足該各自驗證條件，則該子集之狀態保持為不受抑制。例如，當該子集中之失效位元之數目小於最大可容許數目時，可滿足該各自驗證條件。對於各不同類型之子集，該各自驗證條件可不同。例如，對於一類型之子集(例如BL子集、WL子集及SGD線子集之一者)，失效位元之最大可容許數目可具有一值，及對於另一類型之子集(例如BL子集、WL子集及SGD線子集之另一者)，失效位元之最大可容許數目可具有另一不同值。

例如，具有比一第二類型之子集多之記憶體胞之一第一類型之子集可具有更大之最大可容許數目個失效位元。不同類型之子集之抹除特性可不同，使得一類型之子集比另一類型之子集更難以抹除，在該情況中，更大之最大可容許數目個失效位元可用於更難以抹除之子集。然而，亦可使用其他方法。

若存在待在判定步驟618中考量之第一類型之下一子集，則使第一類型之該下一子集重複步驟614。若判定步驟618為假，則步驟620考量針對第二類型之一子集之驗證測試之結果。在步驟622中，若該子集滿足一各自驗證條件(例如一第二驗證條件)，則將該子集之狀態設定為受抑制。若該子集不滿足該各自驗證條件，則該子集之狀態保持為不受抑制。若存在待在判定步驟624處考量之第二類型之下一子集，則使第二類型之該下一子集重複步驟620。若判定步驟624為假，則到達如所討論之步驟628。

圖7描繪使用記憶體胞之選擇性抑制之一實例性抹除程序之一流程圖，其中存在三種類型之記憶體胞子集。

三種類型之子集之實例性案例包含：BL子集，接著SGD線子集，接著WL子集；BL子集，接著WL子集，接著SGD線子集；SGD線子集，接著WL子集，接著BL子集；SGD線子集，接著BL子集，接著WL子集；WL子集，接著BL子集，接著SGD線子集；及WL子集，接著SGD線子集，接著BL子集。順序意指抑制一子集之判定順序。

步驟700使包括第一類型、第二類型及第三類型之子集(例如BL子集、WL子集及SGD線子集)之一組記憶體胞開始抹除操作。步驟702初始化Verase。亦視情況初始化Vgidl，例如結合圖9A所討論。

步驟704對具有不受抑制狀態之子集執行一抹除反覆。步驟706對具有不受抑制狀態之子集執行一驗證測試。判定步驟708判定記憶體胞組是否滿足一驗證條件。若判定步驟708為真，則操作在步驟732中成功地結束。若判定步驟708為假，則判定步驟710判定Verase是否等於Verase_max。若判定步驟710為真，則抹除操作在步驟732中不成功地結束。若判定步驟710為假，則判定步驟712判定任何記憶體胞(位於具有一不受抑制狀態之子集中)是否已通過該驗證測試。若判定步驟712為假，則在步驟734中升高Verase且在步驟704中執行下一抹除反覆。步驟734視情況升高Vgidl，例如結合圖9A所進一步描述。

若判定步驟712為真，則步驟714考量針對第一類型之一子集之驗證測試之結果。在步驟716中，若該子集滿足一各自驗證條件(例如一第一驗證條件)，則將該子集之狀態設定為受抑制。若該子集不滿足該各自驗證條件，則該子集之狀態保持為不受抑制。

若存在待在判定步驟718中考量之第一類型之下一子集，則使第一類型之該下一子集重複步驟714。若判定步驟718為假，則步驟720

考量針對第二類型之一子集之驗證測試之結果。在步驟722中，若該子集滿足一各自驗證條件(例如一第二驗證條件)，則將該子集之狀態設定為受抑制。若該子集不滿足該各自驗證條件，則該子集之狀態保持為不受抑制。若存在待在判定步驟724中考量之第二類型之下一子集，則使第二類型之該下一子集重複步驟720。

若判定步驟724為假，則步驟726考量針對第三類型之一子集之驗證測試之結果。在步驟728中，若該子集滿足一各自驗證條件(例如一第三驗證條件)，則將該子集之狀態設定為受抑制。若該子集不滿足該各自驗證條件，則該子集之狀態保持為不受抑制。若存在待在判定步驟730中考量之第三類型之下一子集，則使第三類型之該下一子集重複步驟726。若判定步驟730為假，則到達如所討論之步驟734。

圖8描繪一抹除操作，其中在一抹除操作之不同抹除反覆中調整諸多不同類型之記憶體胞子集。步驟800使使用一類型之子集之一組記憶體胞開始該抹除操作。當滿足一第一條件時，步驟802切換至使用兩種類型之子集。當滿足一第二條件時，步驟804切換至使用三種類型之子集。一般而言，當使用更大數目個不同類型之子集時，該等子集之一或者將更可能滿足一各自驗證條件且更可能在該抹除操作之剩餘部分中抑制該等子集之一或者被抹除。因為可減少過度抹除且改良耐久性，所以此係可期望的。然而，隨著子集數目增加，需要額外計算及抹除時間。可基於抹除時間與耐久性損害之間之一權衡而選擇待用在一給定抹除反覆或抹除操作中之子集類型之數目。子集類型越多，抹除時間越長，但耐久性損害越少。

相應地，一方法為隨著抹除操作進展而逐漸增加不同類型之子集之數目，且其更可能使更大數目個記憶體胞達到一各自驗證條件。例如，當已分別執行指定之固定數目個抹除反覆NE1及NE2時，可滿足第一條件及第二條件，其中 $N_2 > N_1$ 且 N_1 及 N_2 為自然數(正整數)。或

在一自適應方法中，當失效位元之數目分別降至低於一指定數目FB1及FB2時，可滿足第一條件及第二條件，其中 $FB1 > FB2$ 且 $FB1$ 及 $FB2$ 為自然數。或一條件(例如第一條件)可為固定的，同時另一條件(例如第二條件)係自適應的。

圖9A描繪一實例性抹除程序之一流程圖，其中在一或多個連續抹除-驗證反覆之抹除部分中升高 $Vgidl$ 。可與抑制記憶體胞子集之抹除技術分開地使用此方法，或可將此方法併入至抑制記憶體胞子集之抹除技術中，諸如結合圖5至圖8所討論。

步驟900使一組記憶體胞開始一抹除操作。步驟902初始化Verase及 $Vgidl$ 。步驟904對具有不受抑制狀態之子集執行一抹除反覆。步驟906對該組記憶體胞執行一驗證測試。判定步驟908判定該組記憶體胞是否滿足 $\leq N1$ 個失效位元之一驗證條件。若判定步驟908為真，則該操作在步驟918中成功地結束。若判定步驟908為假，則判定步驟910判定Verase是否等於Verase_max。若判定步驟910為真，則該抹除操作在步驟918中不成功地結束。

視情況，抹除操作可繼續，且當達到Verase_max時，可容許 $Vgidl$ 在一或多個反覆中增大，如結合圖14所討論。

若判定步驟910為假，則判定步驟912判定記憶體胞組中之任何記憶體胞是否已通過驗證測試。若判定步驟912為假，則在步驟922中升高Verase(而非 $Vgidl$)且在步驟904中執行下一抹除反覆。若判定步驟912為真，判定步驟914判定記憶體胞組是否滿足 $\leq N2$ 個失效位元之一驗證條件，其中 $N2 > N1$ 且 $N1$ 及 $N2$ 為自然數。若判定步驟914為假，則步驟920視情況抑制滿足一驗證條件之記憶體胞子集。可執行先前所討論之額外步驟(諸如判定個別子集是否滿足一各自驗證條件)以判定此是否可行。隨後，到達步驟922。

判定步驟914為假指示：諸多記憶體胞無法達到抹除驗證位準。

最可能地，穿隧場(抹除電壓)不夠大，因此吾人增大Verase而非Vgidl。若判定步驟914為真，則判定步驟916判定Vgidl是否等於Vgidl_max。判定步驟914為真指示：僅緩慢抹除記憶體胞(其之Vth彌補記憶體胞組之Vth分佈之較慢尾部)未達到抹除驗證位準。最可能地，此係歸因於某些反及串處之不足GIDL，因此吾人增大Vgidl而非Verase。在另一選項中，可在相同抹除反覆中升高Vgidl及Verase。

若判定步驟916為假，則步驟924視情況抑制滿足一驗證條件之記憶體胞子集。在步驟926中升高Vgidl(而非Verase)且在步驟904中執行下一抹除反覆。若判定步驟916為真，則到達步驟920。

因此，強加兩個驗證條件。判定步驟908中之一第一條件為一較嚴格條件，若滿足該條件，則成功地結束抹除操作。判定步驟914中之一第二條件為一較不嚴格條件，若滿足該條件，則指示記憶體胞之諸多者已被抹除且記憶體胞組幾乎完全被抹除。例如，當約75%之記憶體胞已被抹除時，可滿足判定步驟914。可將失效位元之最大可容許數目N2設定為記憶體胞組中之記憶體胞數目之25%。

因此，N1及N2為兩個不同之預定失效位元計數。在滿足≤N2個失效位元之驗證條件之後，可在抹除操作之一或多個連續抹除反覆中固定峰值抹除電壓(Verase)，同時增大Vgidl(GIDL電壓，其為SGD及/或SGS選擇裝置之間控接面之電壓差)。就一較高GIDL電壓而言，位元能夠在抹除受GIDL電流限制之情況中達到抹除驗證條件。此方法可收緊抹除分佈且避免將在使Verase(其引起GIDL電壓)過大之條件下發生之閘控接面之一過應力。再者，在一些情況中，完成抹除操作所需之最高Verase可低於Verase_max。參閱圖12至圖14之進一步細節。

在另一選項中，Vgidl可在固定抹除-驗證反覆次數(其代表被滿足之一驗證條件)內開始升高。Vgidl或可在基於Verase之位準及一驗證條件之一組合之一抹除-驗證反覆中開始升高。Vgidl或可在達到

Verase_max時開始升高，無論是否滿足一驗證條件(參閱圖14)。

圖9B描繪一實例性抹除操作之一深度抹除狀態、一最終抹除狀態及更高資料狀態之臨限電壓分佈。記憶體胞可經程式化使得其等之臨限電壓在表示資料狀態之各自範圍內。最初，執行一抹除操作，其使全部記憶體胞處於抹除狀態(E)。隨後，記憶體胞之部分可被程式化至一更高臨限電壓以便表示A資料狀態、B資料狀態或C資料狀態。

x軸指示一臨限電壓，及y軸指示儲存元件之數目。在此實例中，存在四個資料狀態(各由一臨限電壓分佈表示)：一初始(深度)抹除狀態900、一軟性程式化抹除狀態(E)902、一A狀態904、一B狀態906及一C狀態908。亦可使用具有額外資料狀態(例如八個或十六個資料狀態)之記憶體裝置。當儲存元件通常經過度抹除，通過抹除狀態902時，在抹除操作之後實現分佈900。在抹除操作中，將一或多個抹除脈衝施加至反及串之源極端及/或汲極端處，直至在一方法中經抹除之該等儲存元件之臨限電壓變為低於可為0伏特或接近0伏特之一抹除-驗證位準Vv-erase。在一區塊完成抹除操作之後，可執行軟性程式化操作，其中(諸如)經由一字線而將一或多個正電壓脈衝施加至該等儲存元件之控制閘極，以增大接近且低於一軟性程式化(SPGM)驗證位準Vv-spgm之分佈900中之該等儲存元件之部分或全部之臨限電壓，至抹除狀態902。例如，該等儲存元件之小部分可經軟性程式化以具有高於Vv-spgm之一Vth，此時軟性程式化結束以留下具有接近但低於Vv-spgm之一Vth之大多數其他儲存元件。Vv-spgm通常高於或等於Vv-erase。軟性程式化操作有利地導致一窄的抹除狀態分佈902。在軟性程式化操作完成之後，可發生程式化至更高資料狀態，諸如分別使用驗證位準VvA、VvB及VvC來程式化至狀態A、B及C。一隨後讀取操作可使用位準VreadA、VreadB及VreadC。

圖9C描繪另一實例性抹除操作之一軟性抹除狀態及更高資料狀

態之臨限電壓分佈。在此方法中，在一軟性抹除之後達到抹除狀態 910。在一選項中，未執行軟性程式化。圖9B及圖9C中之 Vv-erase 可相同或不同。

圖10A至圖10I描繪一抹除操作之一抹除-驗證反覆之抹除部分期間之實例性電壓。一抹除操作可包含多次抹除-驗證反覆，例如 EV0、EV1、EV2...，諸如結合圖12至圖14所討論。各抹除-驗證反覆可包含後接一驗證部分(或反覆)之一抹除部分(或反覆)。再者，各抹除部分可具有多個位準。在一方法中，使用一雙位準抹除部分。此外，一抹除操作可涉及一單側抹除或一雙側抹除。一單側抹除經由一位元線而將一電壓施加至一反及串之汲極端以對該反及串充電，同時該反及串之源極端未用於對該反及串充電。一雙側抹除經由汲極端及源極端兩者而對一反及串充電。雙側或兩側抹除比單側抹除快，但需要一更大晶片尺寸。一般而言，抹除部分可包含三個部分：一準備階段(t0至t2)、一充電階段(t2至t4)及一抹除階段(t4至t7)。

圖10A至圖10I具有一共同時間軸，但時間增量未必被均等間隔且圖式未必按比例繪製。

圖10A描繪針對單側抹除或雙側抹除之一位元線之實例性電壓。一選定位元線與在電流抹除反覆中待抹除之記憶體胞或反及串連通，同時一未選定位元線未與在電流抹除反覆中待抹除之記憶體胞或反及串連通。對於該選定位元線(波形1000)，電壓 Vbl_selected 在 t0 至 t1 內自(例如)Vss=0 伏特增大至 Vgidl，接著在 t2 至 t3 內自 Vgidl 增大至 Verase，在自 t3 至 t6 內固定為 Verase，及接著在 t6 至 t7 內自 Verase 降低至 Vss。Vbl_selected 自 Vss=0 伏特增大至 Vgidl 引起在 SGD 汲極邊緣處產生電洞。對於該未選定位元線(波形1002)，電壓 Vbl_unselected 在 t2 至 t3 內自 Vss 增大至 Vbl_inhibit，在自 t3 至 t6 內固定為 Vbl_inhibit，接著在 t6 至 t7 內自 Vbl_inhibit 降低至 Vss。實例性電壓位準為：Verase=15

伏特至20伏特且 $V_{gidl}=10$ 伏特。

圖 10B 描繪針對單側抹除或雙側抹除之一 SGD 電晶體之實例性電壓。一選定 SGD 電晶體與在電流抹除反覆中待抹除之記憶體胞或反及串連通，同時一未選定 SGD 電晶體未與在電流抹除反覆中待抹除之記憶體胞或反及串連通。對於該選定 SGD 電晶體(波形 1006)，電壓 $V_{sgd_selected}$ 在 t_2 至 t_3 內自 V_{ss} 增大至 $Verase-V_{gidl}$ ，在自 t_3 至 t_6 內固定為 $Verase-V_{gidl}$ ，接著在 t_6 至 t_7 內自 $Verase-V_{gidl}$ 降低至 V_{ss} 。 $Verase-V_{gidl}$ 表示 $Verase$ 與 V_{gidl} 之間之差異。對於該未選定 SGD 電晶體(波形 1004)，電壓 $V_{sgd_unselected}$ 在 t_2 至 t_3 內自 V_{ss} 增大至 $Verase-V_{rev}$ ，在自 t_3 至 t_6 內固定為 $Verase-V_{rev}$ ，接著在 t_6 至 t_7 內自 $Verase-V_{rev}$ 降低至 V_{ss} 。 $Verase-V_{rev}$ 表示 $Verase$ 與 V_{rev} 之間之差異。實例性電壓位準為： $V_{rev}=2$ 伏特至 3 伏特， $Verase-V_{rev}=17$ 伏特至 18 伏特， $Verase-V_{gidl}=10$ 伏特。「rev」表示一反向偏壓。

圖 10C 描繪針對單側抹除之一 SGS 電晶體之實例性電壓。對於單側抹除，該 SGS 電晶體處於一非導電狀態，使得源極線未與反及串連通。對於該 SGS 電晶體(波形 1008)，電壓在 t_0 至 t_1 內自 V_{ss} 增大至 V_{sgs_off} ，在自 t_1 至 t_6 內固定為 V_{sgs_off} ，接著在 t_6 至 t_7 內自 V_{sgs_off} 降低至 V_{ss} 。實例性電壓位準為： $V_{sgs_off}=10$ 伏特。

圖 10D 描繪針對單側抹除之一 SL 之實例性電壓。對於該源極線(SL)(波形 1010)，電壓在 t_0 至 t_1 內自 V_{ss} 增大至 V_{sl_com} ，在自 t_1 至 t_6 內固定為 V_{sl_com} ，接著在 t_6 至 t_7 內自 V_{sl_com} 降低至 V_{ss} 。實例性電壓位準為： $V_{sl_com}=12$ 伏特。「sl_com」表示用於單側抹除之一共同或關聯源極線。

圖 10E 描繪針對單側抹除或雙側抹除之一 WL 之實例性電壓。一選定字線(WL)與在電流抹除反覆中待抹除之記憶體胞或反及串連通，同時一未選定 WL 未與在電流抹除反覆中待抹除之記憶體胞或反

及串連通。對於該選定 WL(波形 1014)，容許電壓 $V_{wl_selected}$ 在 t_2 至 t_3 內自 $V_{ss}=0$ 伏特向上浮動至一升高位準，接著在自 t_3 至 t_4 內維持為該升高位準，接著在 t_4 至 t_5 內自該升高位準向下驅動至 V_{ss} ，及在自 t_5 至 t_7 內固定為 V_{ss} 。對於該未選定 WL(波形 1012)，容許電壓 $V_{wl_unselected}$ 在 t_2 至 t_3 內自 $V_{ss}=0$ 伏特向上浮動至一升高位準，接著在自 t_3 至 t_6 內維持為該升高位準，接著在 t_6 至 t_7 內自該升高位準向下驅動至 V_{ss} 。該升高位準可接近於 Verase。WL 電壓歸因於與 Vpillar 電容耦合而向上浮動。

圖 10F 描繪針對單側抹除或雙側抹除之一柱電壓，其展示使 V_{gidl} 升高之一選項(虛線)。Vpillar 或 Vchannel 為一反及串通道中之一代表電壓。若 V_{gidl} 足夠高(例如 5 伏特或更大)，則可在自 t_1 至 t_2 內看見 Vpillar 之增大(波形 1018)。亦參閱圖 12 至圖 14，其等展示在連續抹除反覆中增大 V_{gidl} 之位準使得 Vpillar 可快速達到充電位準之實例。當在自 t_2 至 t_3 內增大位元線上之 Verase 時，Vpillar 被充電至(例如)接近於 Verase 之位準。對於選定 WL 及未選定 WL 兩者，Vpillar 在自 t_3 至 t_6 內維持為充電位準且在自 t_6 至 t_7 內降回至 V_{ss} 。波形 1016 表示 V_{gidl} 不足以在自 t_1 至 t_2 內略微增大 Vpillar 之情況。相反，在自 t_2 至 t_3 內增大 Vpillar。

具體言之， V_{bl} 具有一初始位準(V_{gidl})及一最終峰值位準(Verase)。此外， V_{sgd} (選定)具有一初始位準(0 伏特)及一最終峰值位準 Verase- V_{gidl} 。因此， V_{bl} 與 V_{sgd} 之間之電位差可保持相同，直至抹除事件完成。關於 V_{gidl} ，其可為(例如)10 伏特。由於閘控接面被反向偏壓至 10 伏特(V_{bl} 與 V_{sgd} 之間之電位差)，所以將在 BL 接面附近產生電子-電洞對。電子將因電場而被掃除且聚集於 BL 終端處；同時電洞將浮動至通道且有助於對通道電位充電。在一足夠長之預充電時間內，Vpillar 在進一步升壓至接近於 Verase 之前在自 t_1 至 t_2 內升壓至接

近於Vgidl。當t1至t2之間發生充電時，Vpillar將快速達到其峰值。若Vgidl不夠大，則某些反及串無法充電至最終Vbl(Verase)。因此，穿隧場(或Vchannel與Vss之間之電位差)(其有助於通道穿隧中之電洞至電荷捕捉層)亦不夠大。可藉由如本文所描述般升高Vgidl(參閱圖9A、圖13及圖14)而避免此問題。

圖10G描繪針對單側抹除或雙側抹除之經抹除之一記憶體胞之一臨限電壓(Vth)。當Vwl_selected被向下驅動(波形1014)時，在自t4至t5內發生Vth之減小(波形1020)。Vth在A狀態、B狀態或C狀態中通常處於某一非零位準，例如高於0伏特，可能為1伏特至6伏特。

圖10H描繪針對雙側抹除之一SL之實例性電壓。一選定源極線(SL)與在電流抹除反覆中待抹除之記憶體胞或反及串連通，同時一未選定SL未與在電流抹除反覆中待抹除之記憶體胞或反及串連通。對於雙側抹除，SL電壓可相同於Vbl。對於該選定SL(波形1030)，電壓Vsl_selected在t0至t1內自Vss=0伏特增大至Vgidl，接著在t2至t3內自Vgidl增大至Verase，在自t3至t6內固定為Verase，及接著在t6至t7內自Verase降低至Vss。Vsl_selected自Vss=0伏特增大至Vgidl引起在SGS源極邊緣處產生電洞。對於該未選定SL(波形1032)，電壓Vsl_unselected在t2至t3內自Vss增大至Vbl，在自t3至t6內固定為Vbl_inhibit，接著在t6至t7內自Vbl_inhibit降低至Vss。

圖10I描繪針對雙側抹除之一SGS電晶體之實例性電壓。一選定SGS電晶體與具有在電流抹除反覆中待抹除之一或多個記憶體胞之一反及串相關聯，同時一未選定SGS電晶體與不具有在電流抹除反覆中待抹除之記憶體胞之一反及串相關聯。對於雙側抹除，SGS電晶體電壓可相同於SGD電晶體電壓。

對於選定SGS電晶體(波形1036)，電壓Vsgs_selected在t2至t3內自Vss增大至Verase-Vgidl，在自t3至t6內固定為Verase-Vgidl，接著在t6

至 t7 內自 Verase-Vgidl 降低至 Vss。對於未選定 SGS 電晶體(波形 1034)，電壓 Vsgs_unselected 在 t2 至 t3 內自 Vss 增大至 Verase-Vrev，在自 t3 至 t6 內固定為 Verase-Vrev，接著在 t6 至 t7 內自 Verase-Vrev 降低至 Vss。

一般而言，在具有對已傳遞位元之抑制之一單側抹除中，將全部 SL 繫在一起。與已通過驗證位準之一子集之位元連通之一 BL 被稱為一未選定或受抑制 BL，及與需要經受進一步抹除之一子集之位元連通之一 BL 被稱為一選定 BL。在抹除反覆之第一(準備)階段期間，選定 BL 被偏壓至 Vgidl(例如 10 伏特)。因此，BL 側選擇裝置(SGD 電晶體)之閘控接面遇見 Vgidl 且產生一 GIDL 電流。

一選擇閘極處之 GIDL 電流取決於汲極電壓(Vd)與該選擇閘極之閘極電壓(Vg)之間之偏壓差($Vdg = Vd - Vg$)。GIDL 電流密度可模型化為： $J = A * Es * \exp(-B/Es)$ ，其中 Es 為表面處之橫向電場且 $Es = (Vdg + C)/Tox$ 。因此， $J = A' * (Vdg + C) * \exp(-B'/(Vdg + C))$ ，其中 A' ， B' 及 C 為由一些物理參數判定之常數。通常，該選擇閘極之 $Vdg >> Vth$ 以獲得一相當大之 GIDL 電流。在一組態中，需要 $Vdg > 5$ 伏特以在約 1 毫秒之一抹除脈衝寬度內產生足夠 GIDL。當 Vdg 較小時，GIDL 可忽略且無法對受抑制通道充電以引起抹除。

未選定 BL 被偏壓至 $Vbl_inhibit$ 。例如，若一選定 BL 被偏壓至 20 伏特(Verase)以具有足以對通道充電之一大 GIDL 電流，則 SGD 需要被偏壓至 10 伏特(Verase-Vgidl)。若未選定 BL 被偏壓至 0 伏特(Vss)，則未選定 SGD 將處於將在抹除期間引入嚴重洩漏之一導電狀態。

共同 SL 被偏壓至 Vsl_com 及 SGS 電晶體被偏壓至 $Vsgs_off$ 。SL 偏壓(Vsl_com)可略大於 SGS 偏壓($Vsgs_off$)(例如 12 伏特對 10 伏特)，使得通道在與選定 BL 及未選定 BL 兩者連通之反及串之源極側處被切

斷，但具有少量截止漏電。 V_{sl_com} 及 V_{sgs_off} 升高至比升壓通道電位(例如20伏特)小約10伏特之一電壓(例如10伏特)以避免在SL側接面中發生穿通(現象)。

在抹除反覆之第二(充電)階段期間，選定BL之BL側選擇裝置(SGD電晶體)之間控接面保持處於 V_{gidl} ，使得電洞產生被維持且柱電位(V_{pillar})被升高以接近 V_{erase} 。未選定SGD電晶體被偏壓至 $V_{erase-V_{rev}}$ ，及未選定BL被偏壓至 $V_{bl_inhibit}$ (其之位準可略高於未選定SGD電晶體偏壓($V_{erase-V_{rev}}$))以可導致少量截止漏電。此外，對於與一選定BL連通之一未選定反及串，間控接面上存在一反向偏壓(V_{rev})以亦導致一截止漏電。反向洩漏(GIDL電流)應高於約10微微安培以能夠對通道完全充電且避免抹除速率不受GIDL電流限制之一情形。被偏壓至一適當位準(諸如約2伏特至約3伏特)之 V_{rev} 應能夠消除對通道完全充電。

在抹除反覆之第三(抹除)階段期間，選定CG線(WL)被下拉至 V_{ss} 。在選定串中，完成記憶體胞之至電荷捕捉層之電洞注入。在與選定BL連通之未選定串中，對於共用與選定串中之位元相同之CG/WL之位元，BL側處之間控接面偏壓為 V_{rev} 。此不足以產生足以對未選定通道完全充電之電流。即使CG受迫至 V_{ss} ，但可抑制與一選定BL連通之一未選定串被抹除。有時，未選定通道能夠利用此一截止漏電來進行部分充電，然而，抹除速率會受GIDL電流限制。因此，可部分地抑制與一選定BL連通之一未選定串被抹除。對於一未選定(受抑制)BL，由於BL偏壓($V_{bl_inhibit}$)幾乎不大於SGD偏壓($V_{erase-V_{rev}}$)，所以洩漏不足以對通道完全充電。此外，BL偏壓不足以干擾受抑制位元。因此，與未選定BL連通之已通過反及串中之抹除驗證位準之位元成功地受抑制。

具有對已傳遞位元之抑制之一雙側抹除類似於單側抹除，但具

有若干差異。例如，SL被獨立控制且未被繫在一起。與已通過驗證位準之位元連通之一SL被稱為一未選定或受抑制SL，及與需要經受進一步抹除之位元連通之一SL被稱為一選定SL。在抹除反覆之第一階段期間，選定BL及選定SL被偏壓至Vgidl(例如10伏特)。因此，BL側選擇電晶體及SL側選擇電晶體(分別為SGD電晶體及SGS電晶體)之閘控接面遇見Vgidl且由一反及串之兩側產生一GIDL電流。未選定BL及SL分別被偏壓至Vbl_inhibit及Vsl_inhibit。

在抹除反覆之第二階段期間，BL側選擇裝置及SL側選擇裝置(分別為SGD電晶體及SGS電晶體)之閘控接面保持處於Vgidl，使得電洞產生被維持且柱電位被升高以接近Verase。未選定SGD電晶體及未選定SGS電晶體被偏壓至Verase-Vrev，及未選定BL及未選定SL分別被偏壓至Vbl_inhibit及Vsl_inhibit。此等位準可略高於未選定SGD或SGS電晶體偏壓(Verase-Vrev)以可導致少量截止漏電。此外，對於與一選定BL或一選定SL連通之一未選定反及串，閘控接面上存在一反向偏壓(Vrev)以亦導致一截止漏電。反向洩漏(GIDL電流)應高於約10微微安培以能夠對通道完全充電且避免抹除速率不受GIDL電流限制之一情形。被偏壓至一適當位準(諸如約2伏特至約3伏特)之Vrev應能夠消除對通道完全充電。

在抹除反覆之第三階段期間，選定CG線(WL)被下拉至Vss。在選定串中，完成記憶體胞之至電荷捕捉層之電洞注入。在與選定BL或選定SL連通之未選定串中，對於共用與選定串中之位元相同之CG/WL之位元，BL側及WL側處之閘控接面偏壓為Vrev。此不足以產生足以對未選定通道完全充電之電流。即使CG受迫至Vss，但能夠使與一選定BL連通之一未選定串受抑制。有時，未選定通道能夠利用此一截止漏電來進行部分充電，然而，抹除速率會受GIDL電流限制。因此，可部分地抑制與一選定BL或一選定SL連通之一未選定

串。對於一未選定(受抑制)BL或一未選定SL，由於BL偏壓或SL偏壓(分別為Vbl_inhibit及Vsl_inhibit)幾乎不大於SGD或SGS電晶體偏壓(Verase-Vrev)，所以洩漏不足以對通道完全充電。此外，BL偏壓或SL偏壓不足以干擾受抑制位元。因此，與未選定BL或未選定SL連通之已通過反及串中之驗證位準之位元成功地受抑制。

圖11A至圖11C描繪一抹除操作之一抹除-驗證反覆之驗證部分中之電壓。圖11A描繪一位元線電壓1100。圖11B描繪一SGS電晶體及SGD電晶體電壓1102。圖11C描繪一未選定字線電壓1104及一選定字線電壓1106。在驗證部分期間，使用感測電路來感測反及串之選定組以判定選定記憶體胞之臨限電壓是否已通過驗證測試。在感測期間，將Vbl設定為一感測電壓Vsense(圖11A中之波形1100)。將Vsgs及Vsgd(圖11B中之波形1102)設定為使該等選定記憶體胞導電之一位準(諸如Vsg)。可將Vsgs及Vsgd設定為相同或不同位準。將Vwl_unselected(圖11C中之波形1104)設定為一足夠高位準(例如8伏特)以使未選定記憶體胞處於一導電狀態。將Vwl_selected(圖11C中之波形1106)設定為Vv-erase。連接至一反及串之感測電路感測該反及串是否處於一導電狀態以指示該反及串之選定記憶體胞已被抹除且因此通過驗證測試。

在一方方法中，驗證部分涉及對一次連接至一BL(例如一BL子集)之選定反及串執行驗證測試。圖11A至圖11C具有一共同時間軸，但時間增量未必被均等間隔且圖式未必按比例繪製。

圖12描繪一抹除操作中之一系列抹除脈衝及驗證脈衝，其中升高Verase，直至達到Verase_max，此時結束該抹除操作。一波形1200表示諸多抹除-驗證反覆EV0、EV1、EV2...。各抹除-驗證反覆包含後接一驗證脈衝(諸如量值為Vv-erase之1209)之一抹除脈衝1201至1205。該等抹除脈衝具有兩個位準。一第一位準為Vgid1及一第二位

準為Verase。在此實例中，Verase在各反覆中以一步長Verase_step升高，使得抹除脈衝1201具有Verase0之一峰值振幅，抹除脈衝1202具有Verase1之一峰值振幅，抹除脈衝1203具有Verase2之一峰值振幅，抹除脈衝1204具有Verase3之一峰值振幅，及抹除脈衝1205具有Verase_max(Verase之一最大容許位準)之一峰值振幅。在此情況中，在抹除操作中相對較快地達到最大抹除電壓。

圖13描繪一抹除操作中之一系列抹除脈衝及驗證脈衝，其中：升高Verase，直至滿足一驗證條件；接著升高Vgidl，直至達到Vgidl_max；接著再次升高Verase，直至達到Verase_max，此時結束該抹除操作。一波形1300表示諸多抹除-驗證反覆EV0、EV1、EV2...。各抹除-驗證反覆包含後接一驗證脈衝(諸如量值為Vv-erase之1309)之一抹除脈衝1301至1308或抹除反覆。該等抹除脈衝具有兩個位準。一第一中間位準為Vgidl及一第二位準為Verase。在此實例中，在該等反覆之部分中升高Verase(步長為Verasez_step)。特定言之，抹除脈衝1301具有Verase0之一峰值振幅，抹除脈衝1302具有Verase1之一峰值振幅，及抹除脈衝1303具有Verase2之一峰值振幅。另外，Vgidl在抹除脈衝1301至1303中固定為一起始位準Vgidl0。未在緊接之三個抹除-驗證反覆中升高Verase。相反，Vgidl開始以一步長Vgidl_step升高，使得抹除脈衝1304具有Vgidl1之一位準，抹除脈衝1305具有Vgidl2之一位準，及抹除脈衝1306具有Vgidl_max之一位準(Vgidl之一最大容許位準)。在抹除-驗證反覆1304至1306中，抹除脈衝之峰值位準為Verase2。在緊接之抹除-驗證反覆1307及1308中，再次升高Verase，同時Vgidl固定為Vgidl_max。抹除脈衝1307具有Verase3之一峰值位準及抹除脈衝1308具有Verase_max之一峰值位準。此實例之一優點在於：在不增大Verase之情況下，Vgidl之增大位準繼續抹除記憶體胞以繼續促使記憶體胞更接近於滿足一驗證條件。

Vgidl之步長可固定或變動。在一方法中，第一步長比隨後步長相對更大。在相同或不同反覆中，升高Vgidl及Verase兩者解決緩慢抹除位元之間問題，且無需強調快速抹除位元。緩慢抹除位元之一原因為一GIDL電流不足以對通道充電，且此藉由升高Vgidl而解決。一不足GIDL電流可由選擇閘極接面中之製造變動引起。緩慢抹除位元之另一原因為一不足穿隧場，且此藉由升高Verase而解決。一不足穿隧場可由MONOS中之製造變動引起。

圖14描繪一抹除操作中之一系列抹除脈衝及驗證脈衝，其中：升高Verase，直至達到Verase_max；接著升高Vgidl，直至達到Vgidl_max。在此情況中，Vgidl之升高未必基於滿足一驗證條件。相反，Vgidl之升高係基於Verase達到Verase_max。此方法使用Verase_max處之額外反覆來試圖成功地完成一抹除操作。限制Verase以防止損害，同時Vgidl之增大位準繼續抹除記憶體胞以促使記憶體胞更接近於滿足一驗證條件。一波形1400表示諸多抹除-驗證反覆EV0、EV1、EV2...。各抹除-驗證反覆包含後接一驗證脈衝(諸如量值為Vv-erase之1409)之一抹除脈衝1401至1408。該等抹除脈衝具有兩個位準。一第一位準為Vgidl及一第二位準為Verase。在此實例中，在連續反覆1401至1405中升高Verase(步長為Verase_step)，直至達到Verase_max。在下一反覆1406中，Vgidl開始在各連續反覆1406至1408中升高，直至達到Vgidl_max或直至滿足該驗證條件。

因此，執行各抹除反覆可包含：將位元線之一電壓自一起始位準(Vss)升高至一中間位準(Vgidl)；及將位元線之該電壓自該中間位準(Vgidl)升高至一峰值位準(Verase)。此外，當位元線之該電壓處於該起始位準及該中間位準時，可控制SGD電晶體之控制閘極以提供SGD電晶體之一閘極至汲極電壓，該電壓足夠高以在一反及串中產生閘極誘發汲極洩漏(GIDL)電流。對於SGD電晶體，該電晶體之一汲極

連接至位元線且與位元線連通，及該電晶體之一源極與反及串通道連通。因此，該閘極至汲極電壓為 $V_{sgd}-V_{bl}$ 。對於SGS電晶體，該電晶體之一汲極連接至源極線且與源極線連通，及該電晶體之一源極與反及串通道連通。因此，該閘極至汲極電壓為 $V_{sgs}-V_{bl}$ 。

執行各抹除反覆進一步包含：在複數個抹除反覆之至少一抹除反覆(例如1304至1306、1406至1408)中升高中間位準。

可在複數個抹除反覆之連續抹除反覆(例如1304至1306、1406至1408)中升高中間位準(V_{gidl})，直至中間位準達到一各自最大容許位準(V_{gidl_max})或直至結束抹除操作(以先到者為限)。

在其中已升高中間位準之複數個抹除反覆之至少一抹除反覆之前，無法在複數個抹除反覆之至少一抹除反覆(例如1302、1303、1402至1405)中升高中間位準。

抹除操作可包含：在其中已升高中間位準(V_{gidl})之複數個抹除反覆之至少一抹除反覆之前，在複數個抹除反覆之至少一抹除反覆(例如1302、1303、1402至1405)中升高峰值位準($Verase$)；及在其中已升高中間位準之複數個抹除反覆之至少一抹除反覆期間中斷峰值位準之升高。

抹除操作可包含：中斷中間位準之升高；及在其中已升高中間位準之複數個抹除反覆之至少一抹除反覆之後，在複數個抹除反覆之一隨後抹除反覆(例如1307、1308)中恢復峰值位準($Verase$)之升高。

抹除操作可包含：在恢復之後繼續峰值位準($Verase$)之升高，直至峰值位準達到一各自最大容許位準($Verase_max$)或直至結束抹除操作(以先到者為限)。

中間位準之升高之中斷可為對中間位準達到一各自最大容許位準(V_{gidl_max})之回應。

抹除操作可包含：對記憶體胞組執行一驗證測試；及判定未通

過該驗證測試之記憶體胞之數目，其中若未通過該驗證測試之記憶體胞之數目低於一最大可容許數目(N2)，則發生在複數個抹除反覆之至少一抹除反覆中升高中間位準。抹除操作可包含：若未通過該驗證測試之記憶體胞之數目低於另一最大可容許數目(N1)(其小於最大可容許數目(N2))，則結束記憶體胞組之抹除操作。

抹除操作可包含：在複數個抹除反覆之連續抹除反覆中升高峰值位準，直至峰值位準達到一各自最大容許位準(Verase_max)，其中回應於峰值位準達到該各自最大容許位準而發生在複數個抹除反覆之至少一抹除反覆中升高中間位準。

抹除操作可包含：當位元線之電壓處於中間位準及峰值位準時，藉由控制SGD電晶體之控制閘極之一電壓而使SGD電晶體之閘極至汲極電壓維持低於一最大容許電壓。此外，可在複數個抹除反覆之一預定抹除反覆處發生在複數個抹除反覆之至少一抹除反覆中升高中間位準。

另一選項為在一或多個相同抹除反覆期間升高Vgid1及Verase。

本文所描述技術之優點包含：藉由省略軟性程式化且用抹除位準(Vv-erase)替換軟性程式化驗證位準(Vv-spgm)而降低最大驗證位準之能力、增大讀取裕度、減小連接SiN區域中之一可能橫向電場、減少P/E循環應力誘發之降級、避免過度抹除已傳遞位元且收緊抹除分佈及避免選定裝置之接面之過應力。各種實施方案包含：具有對已傳遞位元子集之抑制之軟性抹除、具有對已傳遞位元子集之抑制之單側軟性抹除、具有對已傳遞位元子集之抑制之選擇性BL子區塊單側軟性抹除、具有對已傳遞位元子集之抑制之選擇性SGD線子區塊單側軟性抹除、具有對已傳遞位元子集之抑制之選擇性WL子區塊單側軟性抹除、具有對已傳遞位元子集之抑制之區塊單側軟性抹除、具有對已傳遞位元子集之抑制之雙側軟性抹除、具有對已傳遞位元子集之抑制

之選擇性SGD線子區塊雙側軟性抹除、具有對已傳遞位元子集之抑制之選擇性WL子區塊雙側軟性抹除、具有對已傳遞位元子集之抑制之選擇性區塊雙側軟性抹除及具有對已傳遞位元子集之抑制之可控GIDL軟性抹除。

在一實施例中，一種用於在一3D堆疊非揮發性記憶體裝置中執行一抹除操作之方法包括：(a)對至少一反及串中之一組記憶體胞執行該抹除操作之複數個抹除反覆之各抹除反覆，該至少一反及串包括一汲極側端(其與一位元線連通)及一選擇閘極汲極(SGD)電晶體，該SGD電晶體包括與該汲極側端連通之一汲極，且該SGD電晶體包括一控制閘極，執行各抹除反覆包括：(i)將該位元線之一電壓自一起始位準(Vss)升高至一中間位準(Vgidl)；(ii)將該位元線之該電壓自該中間位準(Vgidl)升高至一峰值位準(Verase)；(iii)當該位元線之該電壓處於該起始位準及該中間位準時，控制該SGD電晶體之該控制閘極以提供該SGD電晶體之一閘極至汲極電壓，該電壓足夠高以在該至少一反及串中產生閘極誘發汲極洩漏(GIDL)電流；及(b)在該複數個抹除反覆之至少一抹除反覆中升高該中間位準。

在另一實施例中，一種3D堆疊非揮發性記憶體裝置包括：一位元線；至少一反及串中之一組記憶體胞，該至少一反及串包括一汲極側端(其與該位元線連通)及一選擇閘極汲極(SGD)電晶體，該SGD電晶體包括與該汲極側端連通之一汲極，且該SGD電晶體包括一控制閘極；及一控制電路，用於對一組記憶體胞執行一抹除操作之複數個抹除反覆之各抹除反覆之該控制電路：將該位元線之一電壓自一起始位準(Vss)升高至一中間位準(Vgidl)；將該位元線之該電壓自該中間位準(Vgidl)升高至一峰值位準(Verase)；當該位元線之該電壓處於該起始位準及該中間位準時，控制該SGD電晶體之該控制閘極以提供該SGD電晶體之一閘極至汲極電壓，該電壓足夠高以在該至少一反及串

中產生閘極誘發汲極洩漏(GIDL)電流；及該控制電路在該複數個抹除反覆之至少一抹除反覆中升高該中間位準。

在另一實施例中，一種用於在一3D堆疊非揮發性記憶體裝置中執行一抹除操作之方法包括：對至少一反及串中之一組記憶體胞執行該抹除操作之複數個抹除反覆之一抹除反覆，執行該抹除反覆包括將與該至少一反及串連通之一位元線之一電壓自一起始位準(Vss)升高至一中間位準(Vgidl)、將該位元線之該電壓自該中間位準(Vgidl)升高至一峰值位準(Verase)；對該組記憶體胞執行一驗證測試；基於該驗證測試而判定是否滿足一驗證條件，該驗證條件指示該組記憶體胞在該抹除操作中之一進展；若滿足該驗證條件，則在該複數個抹除反覆之下一抹除反覆中升高該中間位準；及若不滿足該驗證條件，則在該複數個抹除反覆之該下一抹除反覆中不升高該中間位準。

已為了繪示及描述而呈現本發明之前述詳細描述。非意欲具窮舉性或使本發明受限於所揭示之精確形式。可鑒於上述教示而進行諸多修改及變動。所描述之實施例經選擇以最佳地解釋本發明之原理及其實際應用，以藉此使熟習技術者能夠在各種實施例中最佳地利用本發明及適合於特定預期用途之各種修改。意欲由本發明之隨附申請專利範圍界定本發明之範疇。

【符號說明】

- 100 三維(3D)堆疊非揮發性記憶體裝置
- 101 基板
- 102 中間區域
- 103 上區域
- 104 周邊區域
- 108 記憶體晶粒
- 110 控制電路

112	狀態機
114	晶片上位址解碼器
116	電力控制模組
118	線
120	線
122	控制器
124	列解碼器
126	儲存元件/記憶體陣列
128	讀取/寫入電路
130	感測區塊
132	行解碼器
200	區塊
202	字線層部分
204	字線層部分
206	狹縫
210	部分
220	線
230	堆疊
232	汲極端
236	區域
240	源極端
242	源極端
244	汲極端
250	絕緣膜
263	連接部分
264	連接部分

265	連接部分
266	連接部分
296	層
297	電荷捕捉層
298	層
299	層
300	區域/電路
390	SGD線
391	SGD線
393	SGD線
480	區域/筆直反及串實施例
482	狹縫
486	線
488	部分
490	堆疊
492	汲極端
494	源極端
500	步驟
502	步驟
504	步驟
506	步驟
508	判定步驟
510	判定步驟
512	判定步驟
514	步驟
516	步驟

518	判定步驟
520	步驟
522	步驟
600	步驟
602	步驟
604	步驟
606	步驟
608	判定步驟
610	判定步驟
612	判定步驟
614	步驟
616	步驟
618	判定步驟
620	步驟
622	步驟
624	判定步驟
626	步驟
628	步驟
700	步驟
702	步驟
704	步驟
706	步驟
708	判定步驟
710	判定步驟
712	判定步驟
714	步驟

716	步驟
718	判定步驟
720	步驟
722	步驟
724	判定步驟
726	步驟
728	步驟
730	判定步驟
732	步驟
734	步驟
800	步驟
802	步驟
804	步驟
900	步驟/初始(深度)抹除狀態/分佈
902	步驟/軟性程式化抹除狀態(E)/抹除狀態分佈
904	步驟/A狀態
906	步驟/B狀態
908	判定步驟/C狀態
910	判定步驟/抹除狀態
912	判定步驟
914	判定步驟
916	判定步驟
918	步驟
920	步驟
922	步驟
924	步驟

926	步驟
1000	波形
1002	波形
1004	波形
1006	波形
1008	波形
1010	波形
1012	波形
1014	波形
1016	波形
1018	波形
1020	波形
1030	波形
1032	波形
1034	波形
1036	波形
1100	位元線電壓/波形
1102	SGS電晶體及SGD電晶體電壓/波形
1104	未選定字線電壓/波形
1106	選定字線電壓/波形
1200	波形
1201	抹除脈衝
1202	抹除脈衝
1203	抹除脈衝
1204	抹除脈衝
1205	抹除脈衝

- 1209 驗證脈衝
1300 波形
1301 抹除脈衝
1302 抹除脈衝
1303 抹除脈衝
1304 抹除脈衝/抹除-驗證反覆
1305 抹除脈衝/抹除-驗證反覆
1306 抹除脈衝/抹除-驗證反覆
1307 抹除脈衝/抹除-驗證反覆
1308 抹除脈衝/抹除-驗證反覆
1309 驗證脈衝
1400 波形
1401 抹除脈衝/反覆
1402 抹除脈衝/反覆
1403 抹除脈衝/反覆
1404 抹除脈衝/反覆
1405 抹除脈衝/反覆
1406 抹除脈衝/反覆
1407 抹除脈衝/反覆
1408 抹除脈衝/反覆
1409 驗證脈衝

申請專利範圍

1. 一種用於在一3D堆疊非揮發性記憶體裝置中執行一抹除操作之方法，其包括：

對至少一反及串中之一組記憶體胞執行該抹除操作之複數個抹除反覆之各抹除反覆，該至少一反及串包括與一位元線連通之一汲極側端，及一選擇閘極汲極(SGD)電晶體，該SGD電晶體包括與該汲極側端連通之一汲極，且該SGD電晶體包括一控制閘極，執行各抹除反覆包括：

將該位元線之一電壓自一起始位準(V_{ss})升高至一中間位準(V_{gidl})；

將該位元線之該電壓自該中間位準(V_{gidl})升高至一峰值位準(V_{erase})；

當該位元線之該電壓處於該起始位準及該中間位準時，控制該SGD電晶體之該控制閘極以提供該SGD電晶體之一閘極至汲極電壓，該電壓足夠高以在該至少一反及串中產生閘極誘發汲極洩漏(GIDL)電流；及

在該複數個抹除反覆之至少一抹除反覆中升高該中間位準。

2. 如請求項1之方法，其中：

在該複數個抹除反覆之連續抹除反覆中升高該中間位準，直至該中間位準達到一各自最大容許位準或直至結束該抹除操作，以先到者為限。

3. 如請求項1之方法，其中：

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆之前，在該複數個抹除反覆之至少一抹除反覆中不升高該中間位準。

4. 如請求項1之方法，其進一步包括：

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆之前，在該複數個抹除反覆之至少一抹除反覆中升高該峰值位準；及

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆期間中斷該峰值位準之升高。

5. 如請求項4之方法，其進一步包括：

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆之後，中斷該中間位準之升高且在該複數個抹除反覆之一隨後抹除反覆中恢復該峰值位準之升高。

6. 如請求項5之方法，其中：

在該恢復之後繼續該峰值位準之升高，直至該峰值位準達到一各自最大容許位準或直至結束該抹除擦操作，以先到者為限。

7. 如請求項5之方法，其中：

該中間位準之升高中斷為對該中間位準達到一各自最大容許位準之回應。

8. 如請求項1之方法，其進一步包括：

對該組記憶體胞執行一驗證測試；及

判定未通過該驗證測試之該等記憶體胞之數目，若未通過該驗證測試之該等記憶體胞之數目低於一最大可容許數目(N_2)，則發生在該複數個抹除反覆之該至少一抹除反覆中升高該中間位準。

9. 如請求項8之方法，其進一步包括：

若未通過該驗證測試之該等記憶體胞之數目低於另一最大可容許數目(N_1)，則結束該組記憶體胞之該抹除操作，最大可容許

數目(N1)小於最大可容許數目(N2)。

10. 如請求項1之方法，其進一步包括：

在該複數個抹除反覆之連續抹除反覆中升高該峰值位準，直至該峰值位準達到一各自最大容許位準，回應於該峰值位準達到該各自最大容許位準而發生在該複數個抹除反覆之該至少一抹除反覆中升高該中間位準。

11. 如請求項1之方法，其進一步包括：

當該位元線之該電壓處於該中間位準及該峰值位準時，藉由控制該SGD電晶體之該控制閘極之一電壓而使該SGD電晶體之該閘極至汲極電壓維持低於一最大容許電壓。

12. 如請求項1之方法，其中：

在該複數個抹除反覆之一預定抹除反覆處發生在該複數個抹除反覆之該至少一抹除反覆中升高之該中間位準。

13. 如請求項1之方法，其中：

該至少一反及串包括與一源極線連通之一源極側端，及一選擇閘極源極(SGS)電晶體，該SGS電晶體包括與該源極側端連通之一源極，且該SGS電晶體包括一控制閘極，執行各抹除反覆進一步包括：

將該源極線之一電壓自一各自起始位準(V_{ss})升高至一各自中間位準(V_{gidl})；

將該源極線之該電壓自該各自中間位準(V_{gidl})升高至一各自峰值位準(Verase)；

當該源極線之該電壓處於該各自起始位準及該各自中間位準時，控制該SGS電晶體之該控制閘極以提供該SGS電晶體之一閘極至汲極電壓，該電壓足夠高以在至少一反及串中產生閘極誘發汲極洩漏(GIDL)電流；及

在該複數個抹除反覆之至少一抹除反覆中升高該各自中間位準。

14. 一種3D堆疊非揮發性記憶體裝置，其包括：

一位元線；

至少一反及串中之一組記憶體胞，該至少一反及串包括與該位元線連通之一汲極側端，及一選擇閘極汲極(SGD)電晶體，該SGD電晶體包括與該汲極側端連通之一汲極，且該SGD電晶體包括一控制閘極；及

一控制電路，用於對一組記憶體胞執行一抹除操作之複數個抹除反覆之各抹除反覆之該控制電路：將該位元線之一電壓自一起始位準(Vss)升高至一中間位準(Vgidl)；將該位元線之該電壓自該中間位準(Vgidl)升高至一峰值位準(Verase)；當該位元線之該電壓處於該起始位準及該中間位準時，控制該SGD電晶體之該控制閘極以提供該SGD電晶體之一閘極至汲極電壓，該電壓足夠高以在該至少一反及串中產生閘極誘發汲極洩漏(GIDL)電流；及該控制電路在該複數個抹除反覆之至少一抹除反覆中升高該中間位準。

15. 如請求項14之3D堆疊非揮發性記憶體裝置，其中：

在該複數個抹除反覆之連續抹除反覆中升高該中間位準，直至該中間位準達到一各自最大容許位準或直至結束該抹除操作，以先到者為限；及

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆之前，在該複數個抹除反覆之至少一抹除反覆中不升高該中間位準。

16. 如請求項14之3D堆疊非揮發性記憶體裝置，其中該控制電路：

對該組記憶體胞執行一驗證測試；及

判定未通過該驗證測試之該等記憶體胞之數目，若未通過該驗證測試之該等記憶體胞之數目低於一最大可容許數目(N_2)，則發生在該複數個抹除反覆之該至少一抹除反覆中升高該中間位準。

17. 如請求項14之3D堆疊非揮發性記憶體裝置，其中該控制電路：

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆之前，在該複數個抹除反覆之至少一抹除反覆中升高該峰值位準；及

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆期間中斷該峰值位準之升高。

18. 如請求項17之3D堆疊非揮發性記憶體裝置，其中該控制電路：

在其中已升高該中間位準之該複數個抹除反覆之該至少一抹除反覆之後，中斷該中間位準之升高且在該複數個抹除反覆之一隨後抹除反覆中恢復該峰值位準之升高。

19. 一種用於在一3D堆疊非揮發性記憶體裝置中執行一抹除操作之方法，其包括：

對至少一反及串中之一組記憶體胞執行該抹除操作之複數個抹除反覆之一抹除反覆，執行該抹除反覆包括將與該至少一反及串連通之一位元線之一電壓自一起始位準(V_{ss})升高至一中間位準(V_{gidl})、將該位元線之該電壓自該中間位準(V_{gidl})升高至一峰值位準(V_{erase})；

對該組記憶體胞執行一驗證測試；

基於該驗證測試而判定是否滿足一驗證條件，該驗證條件指示該組記憶體胞在該抹除操作中之一進展；

若滿足該驗證條件，則在該複數個抹除反覆之下一抹除反覆中升高該中間位準；及

若不滿足該驗證條件，則在該複數個抹除反覆之該下一抹除反覆中不升高該中間位準。

20. 如請求項19之方法，其進一步包括：

判定未通過該驗證測試之該等記憶體胞之數目，若未通過該驗證測試之該等記憶體胞之數目低於一最大可容許數目(N_2)，則滿足該驗證條件。

21. 如請求項19之方法，其進一步包括：

若滿足該驗證條件，則在該複數個抹除反覆之連續抹除反覆中升高該中間位準，直至達到一各自最大容許位準。

22. 如請求項21之方法，其進一步包括：

在達到該各自最大容許位準之後，執行該複數個抹除反覆之一額外抹除反覆。

圖式

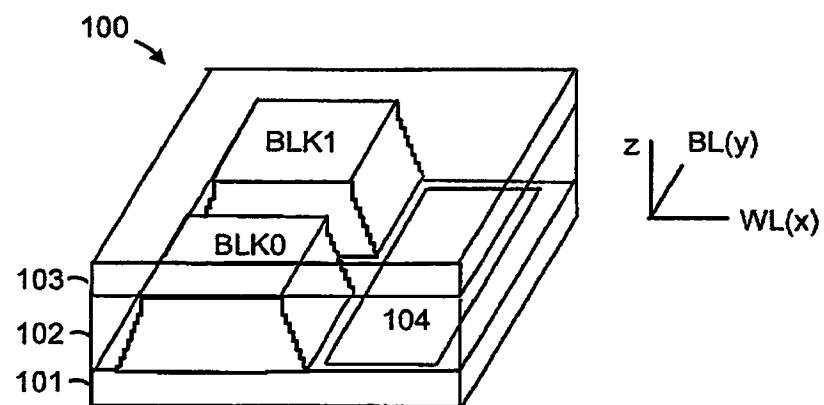


圖1A

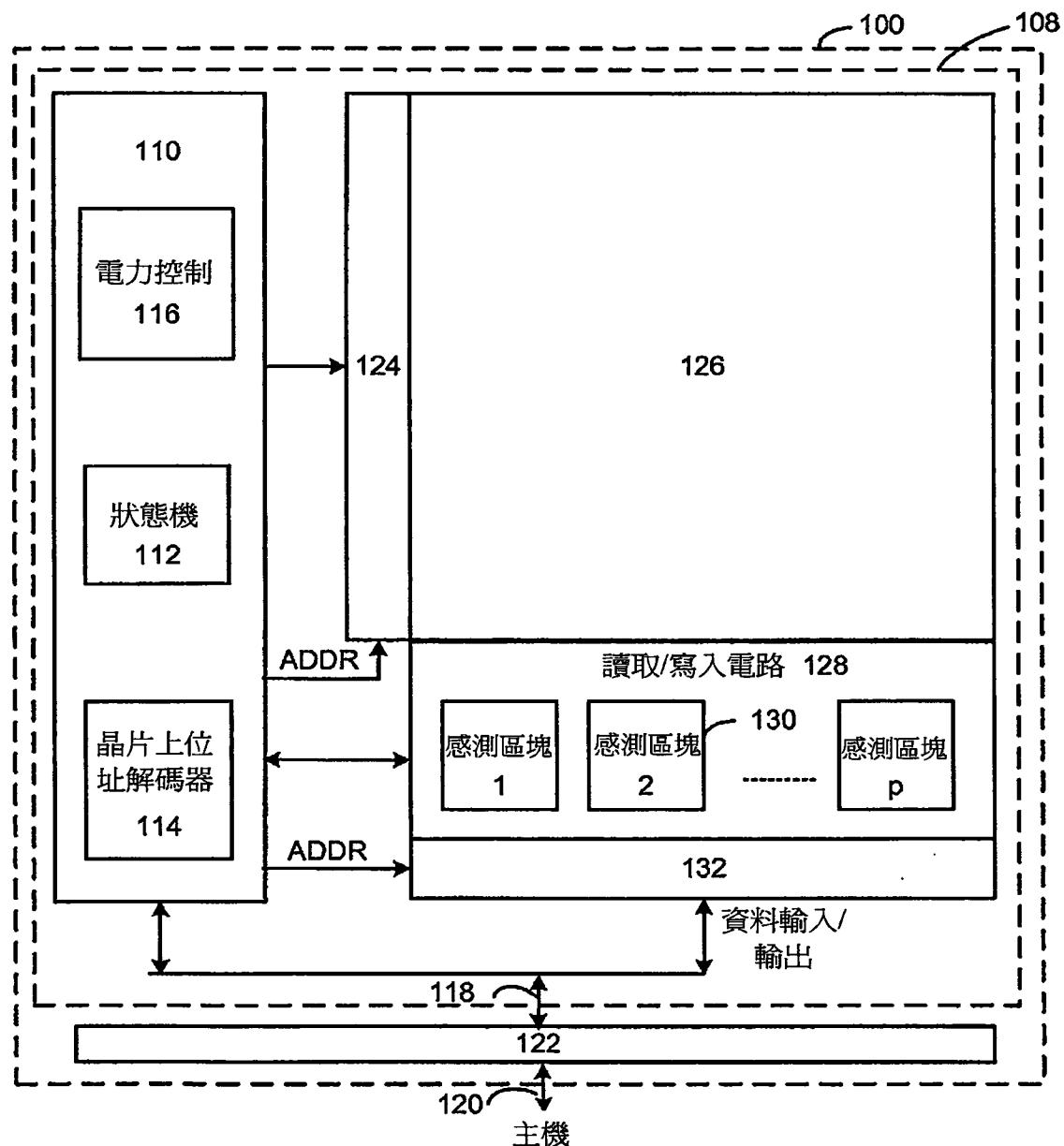


圖1B

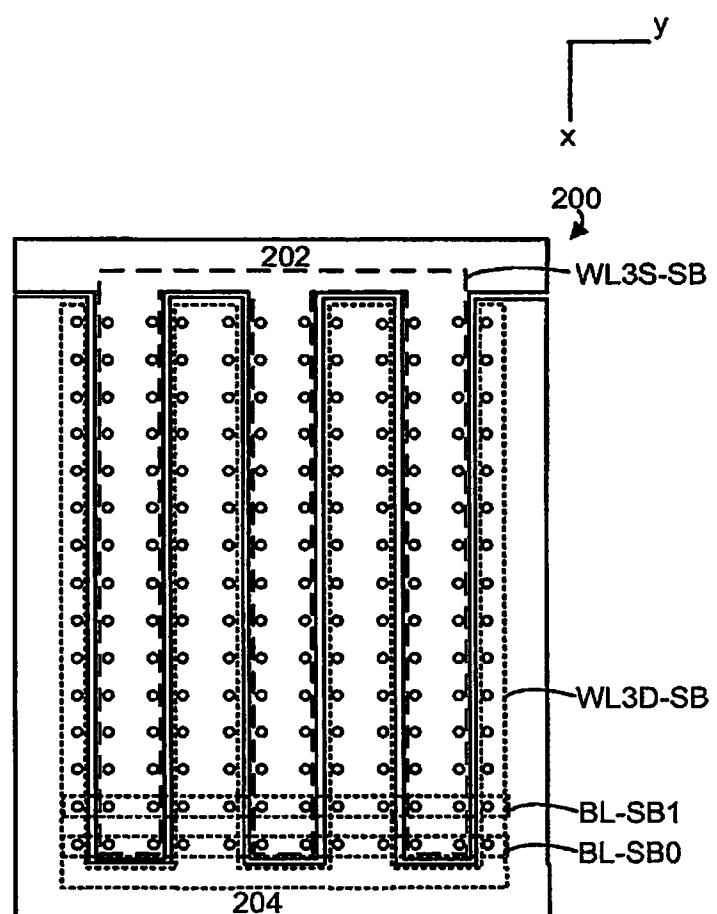


圖2B

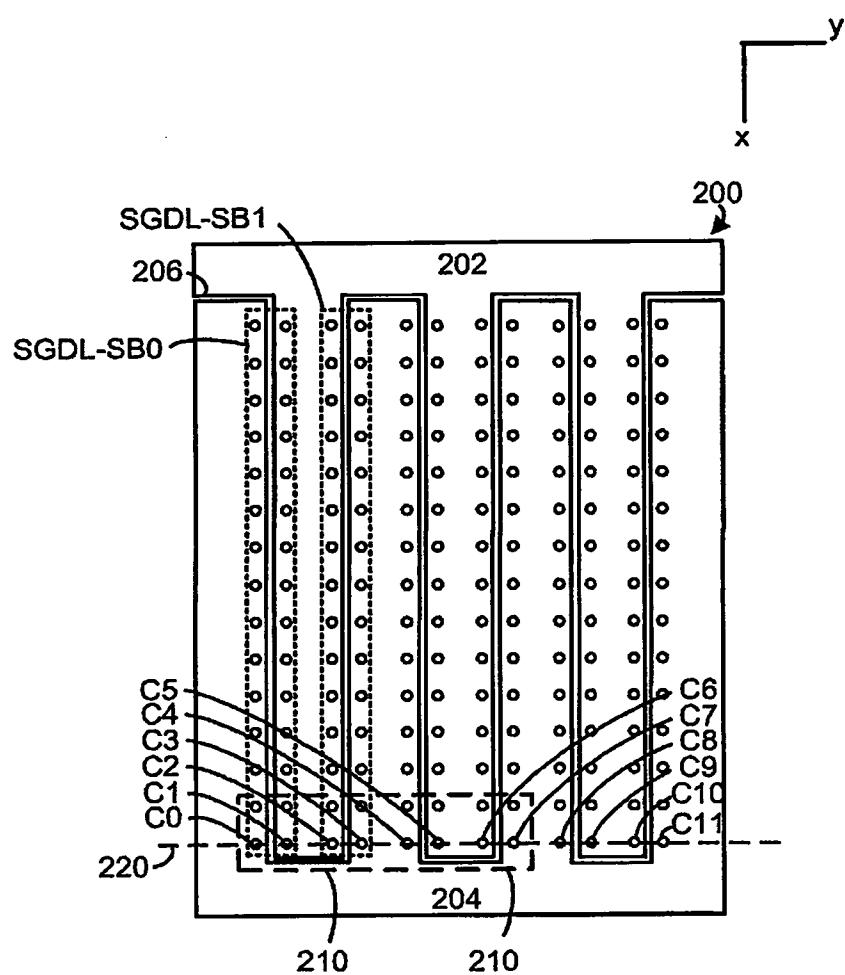


圖2A

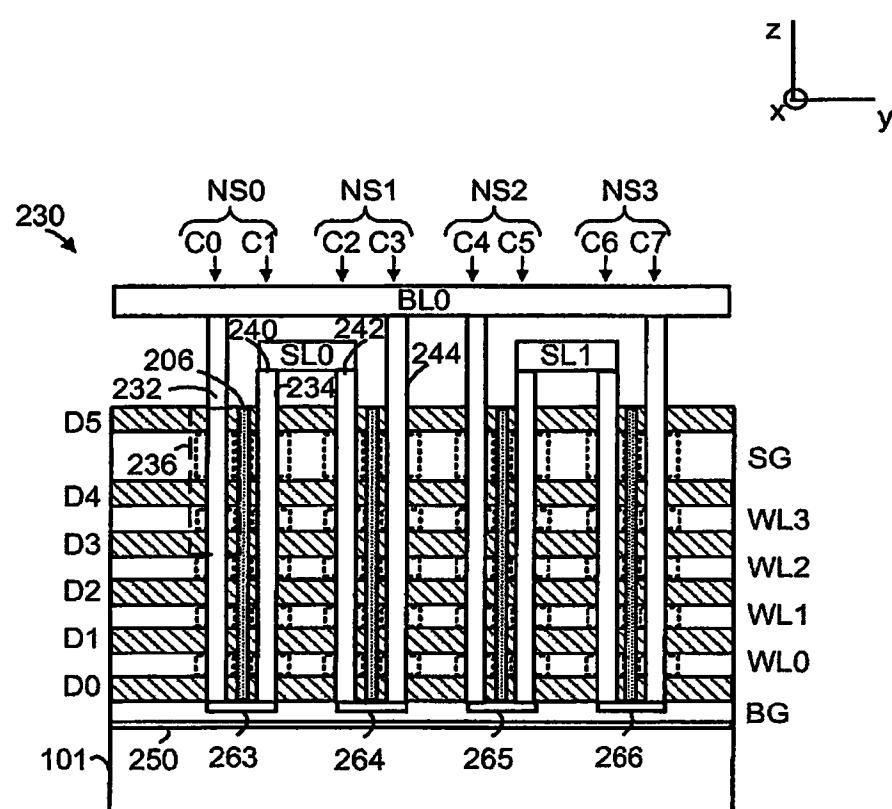


圖2C

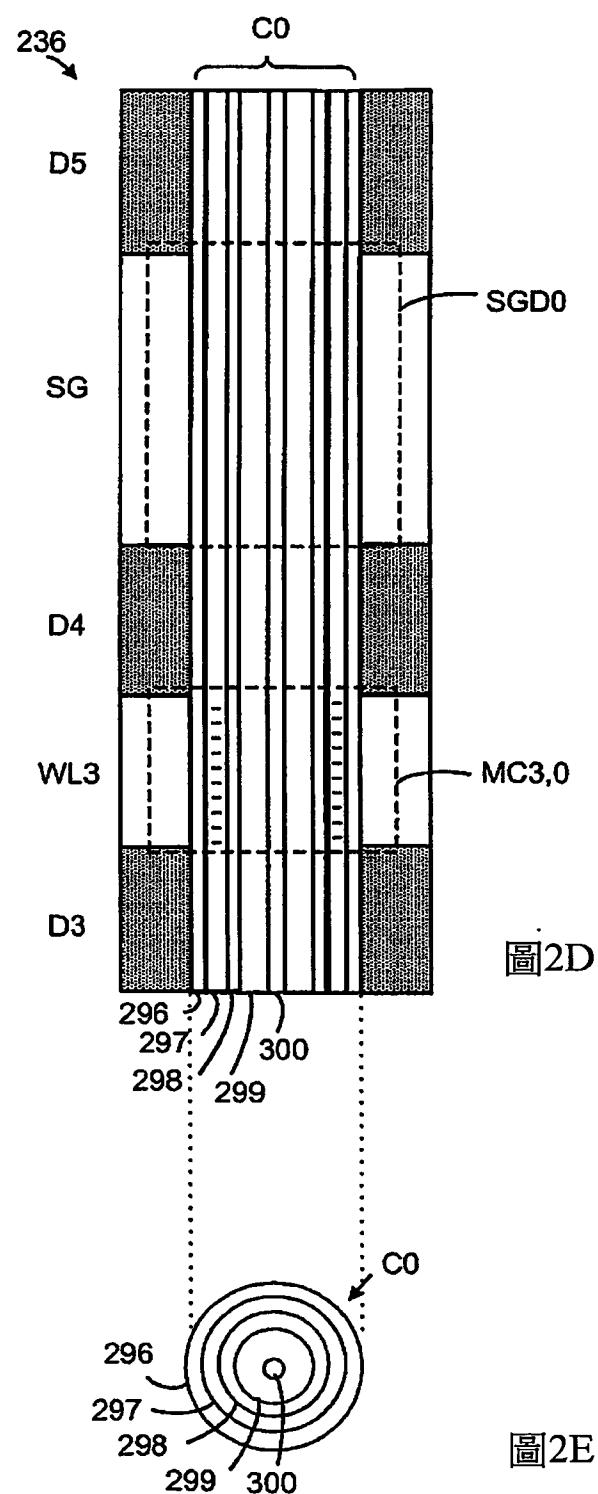
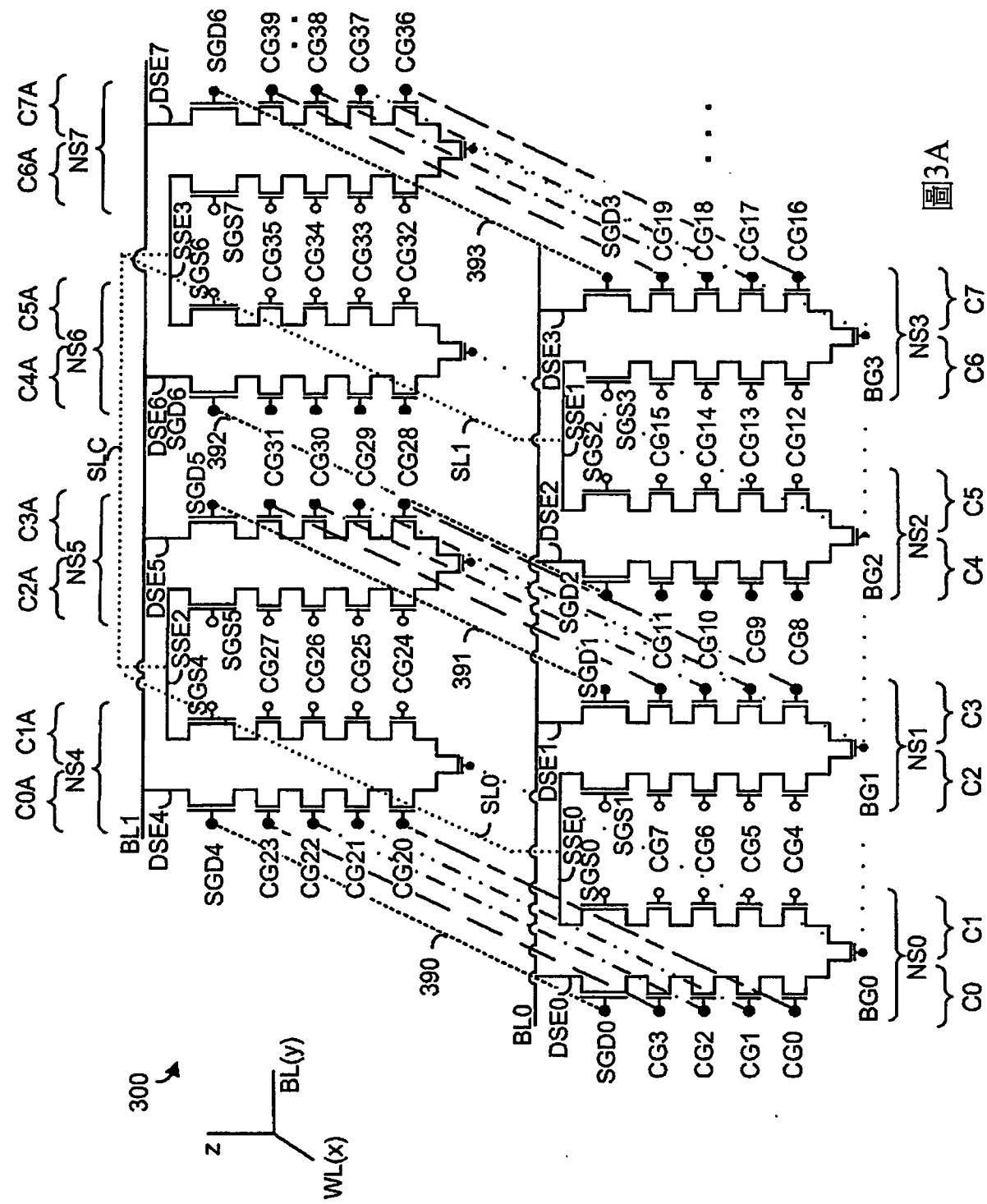
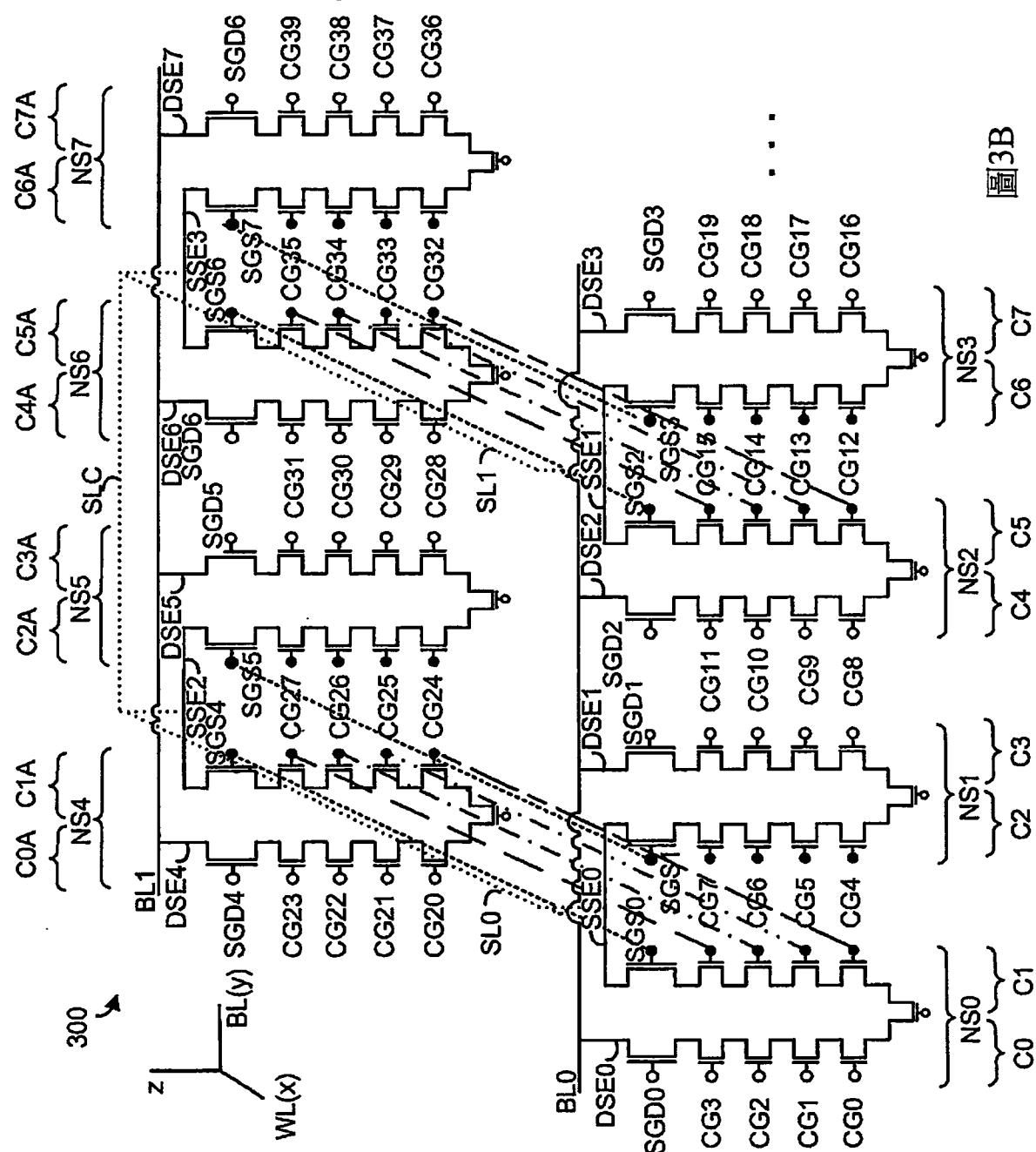
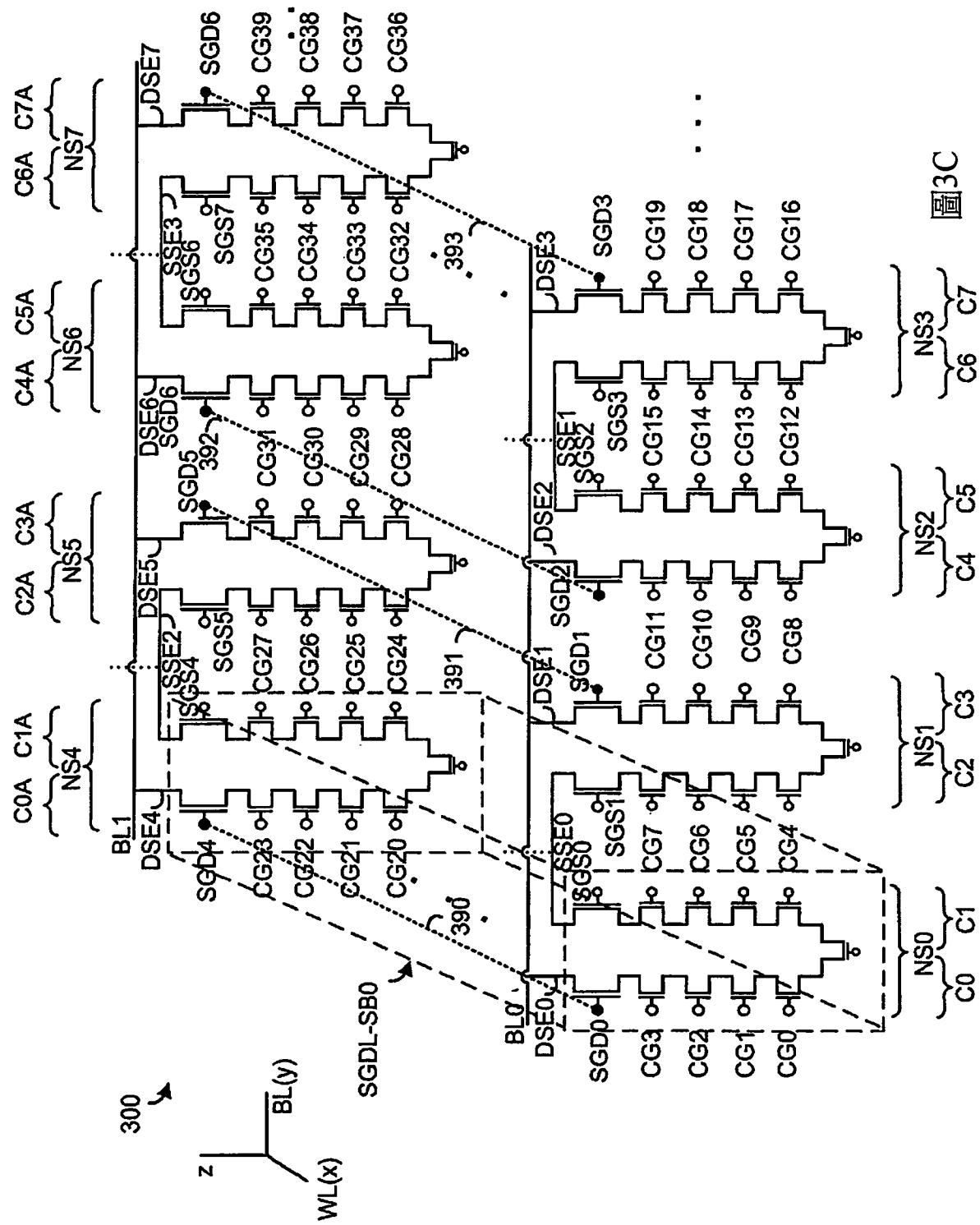


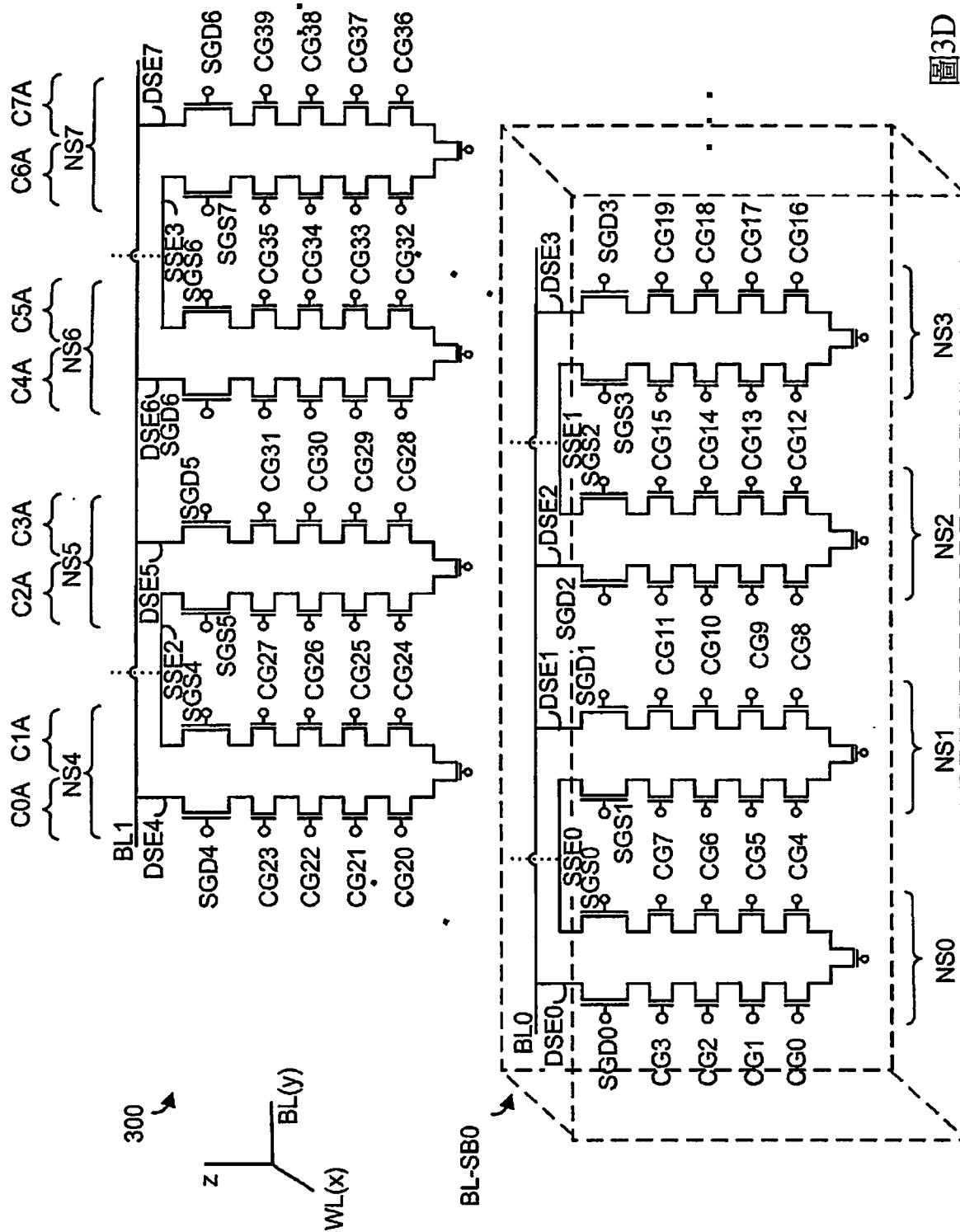
圖2D

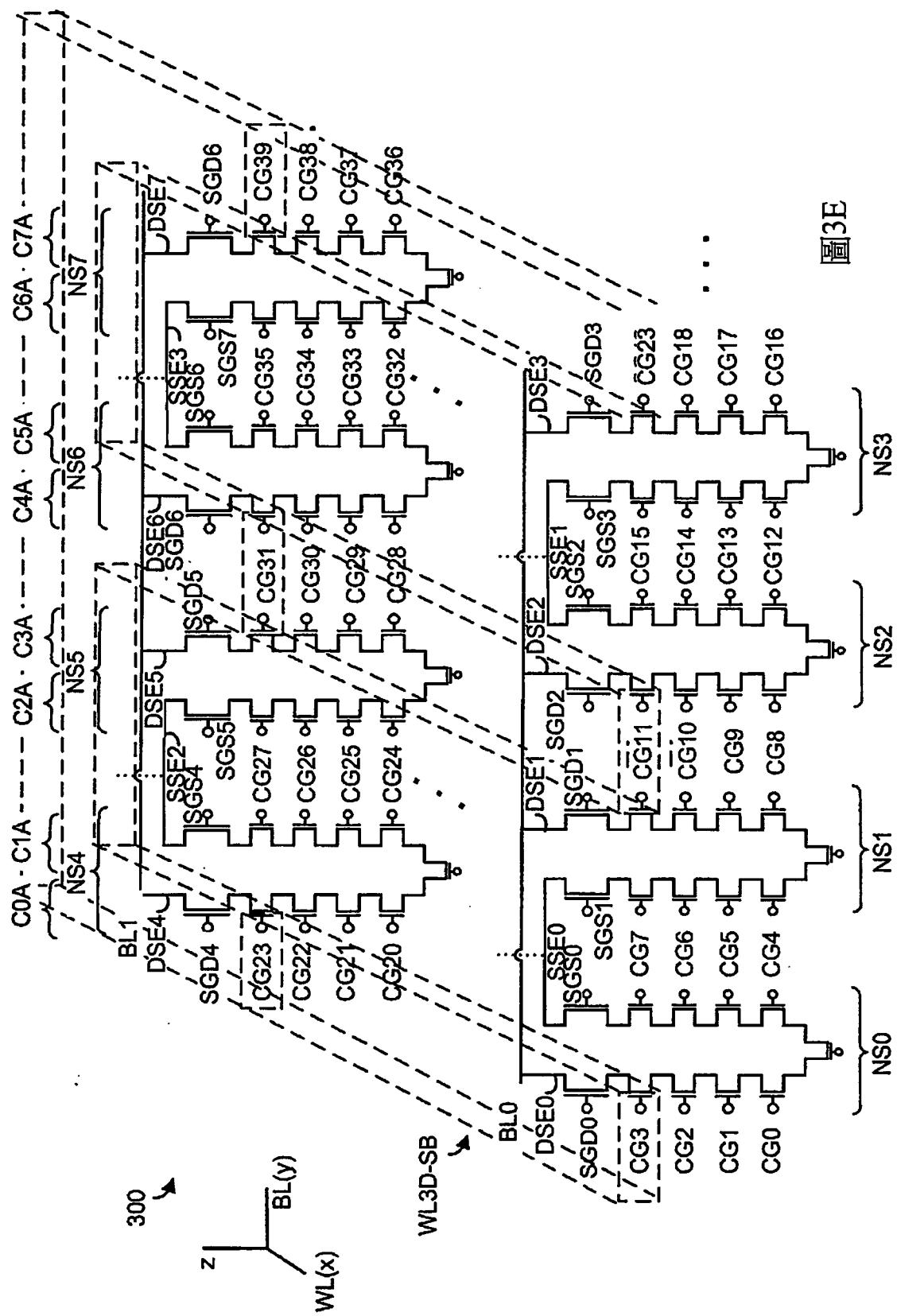
圖2E



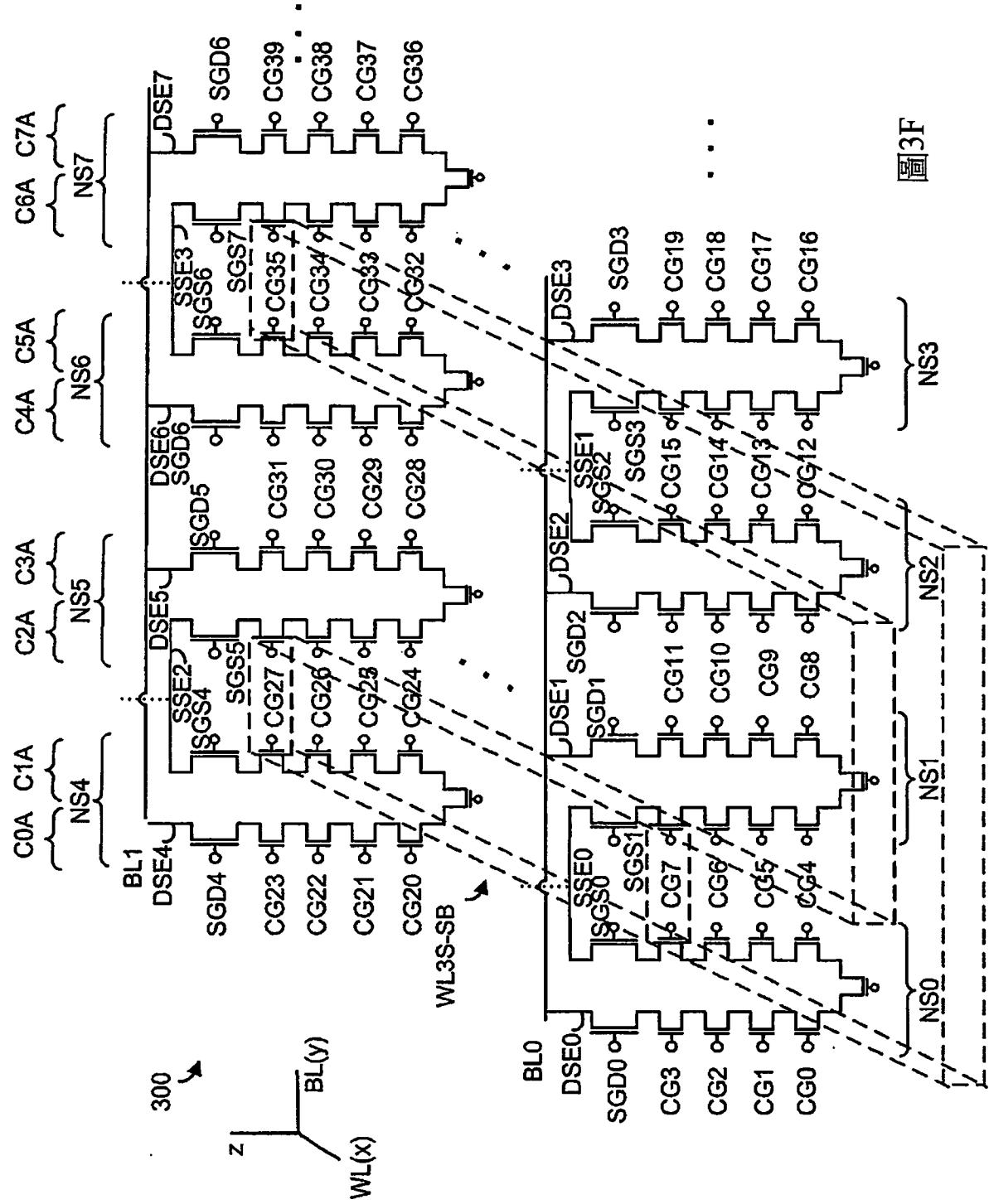


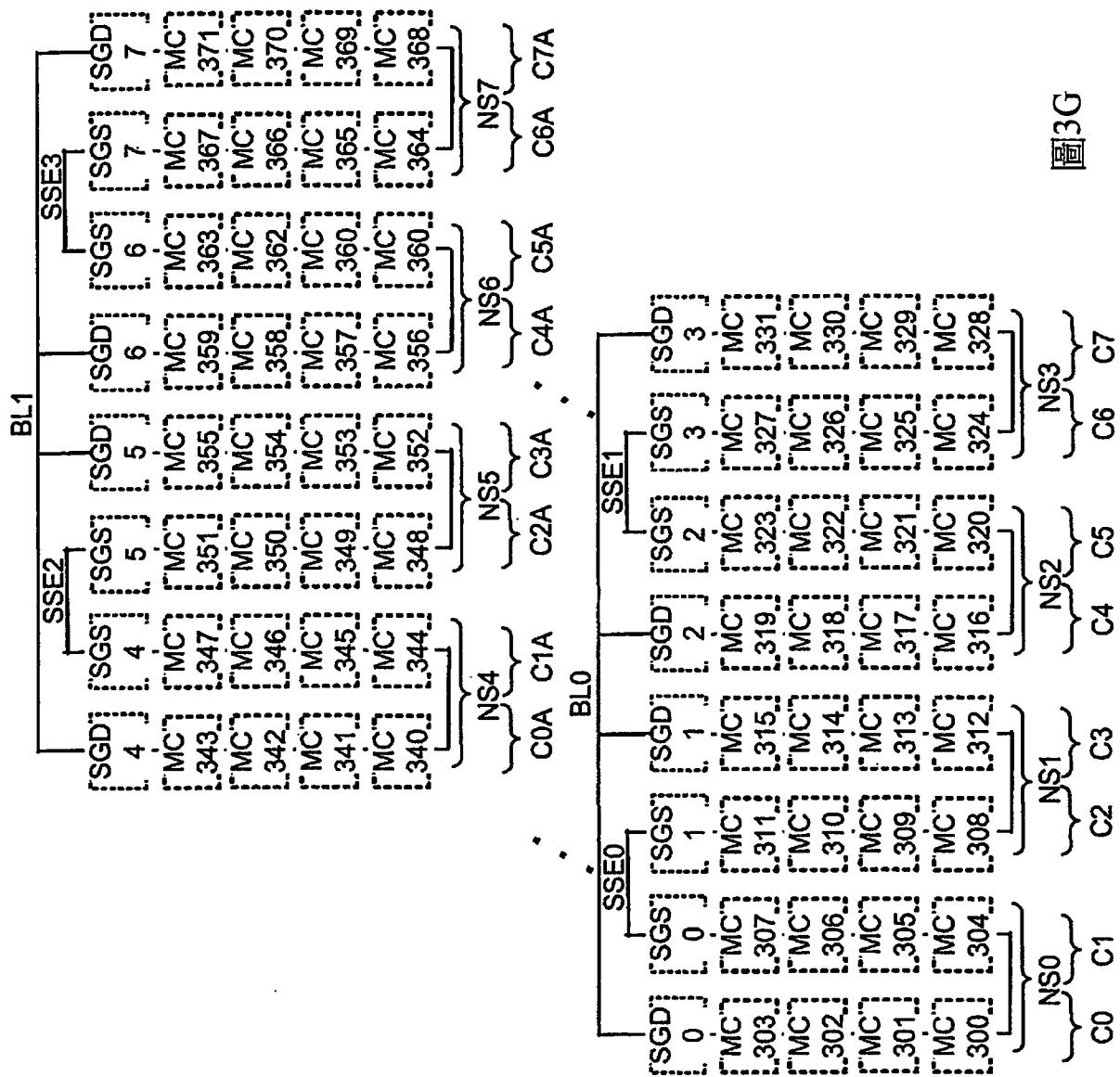






S





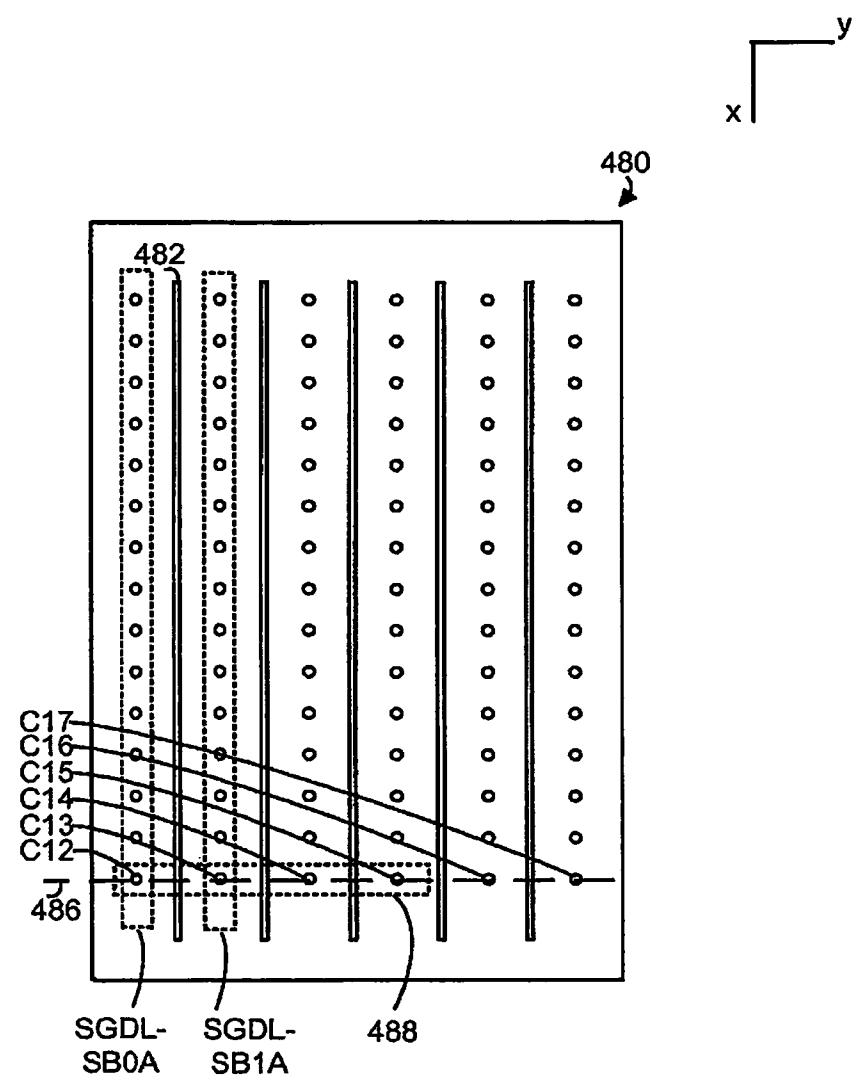


圖4A

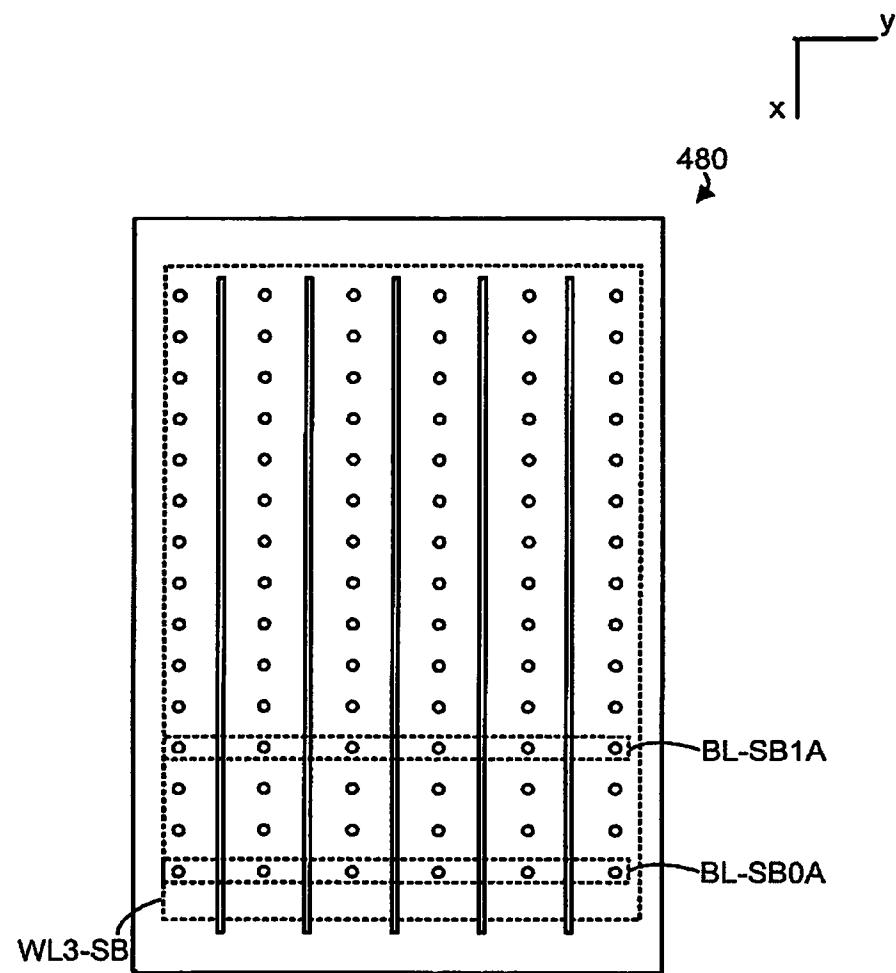


圖4B

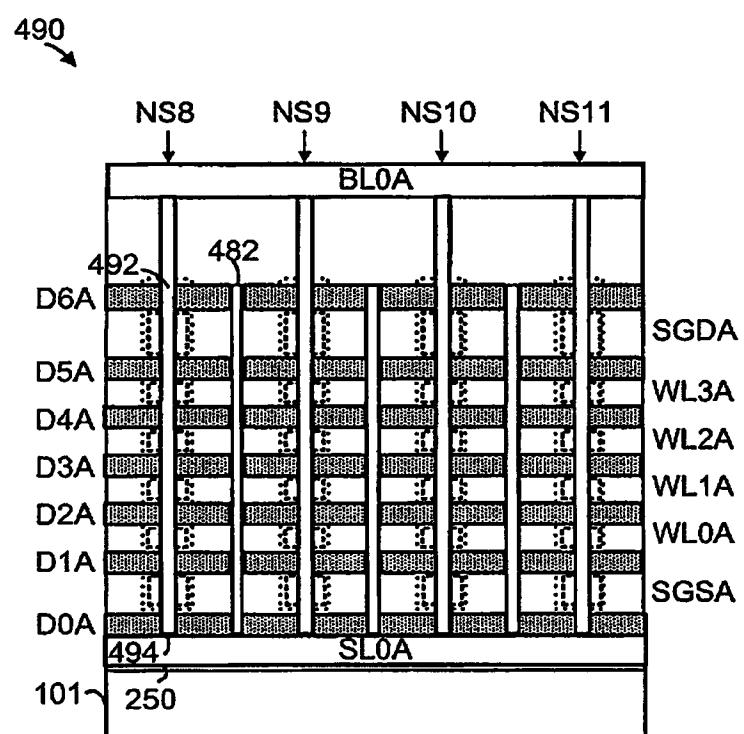
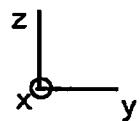
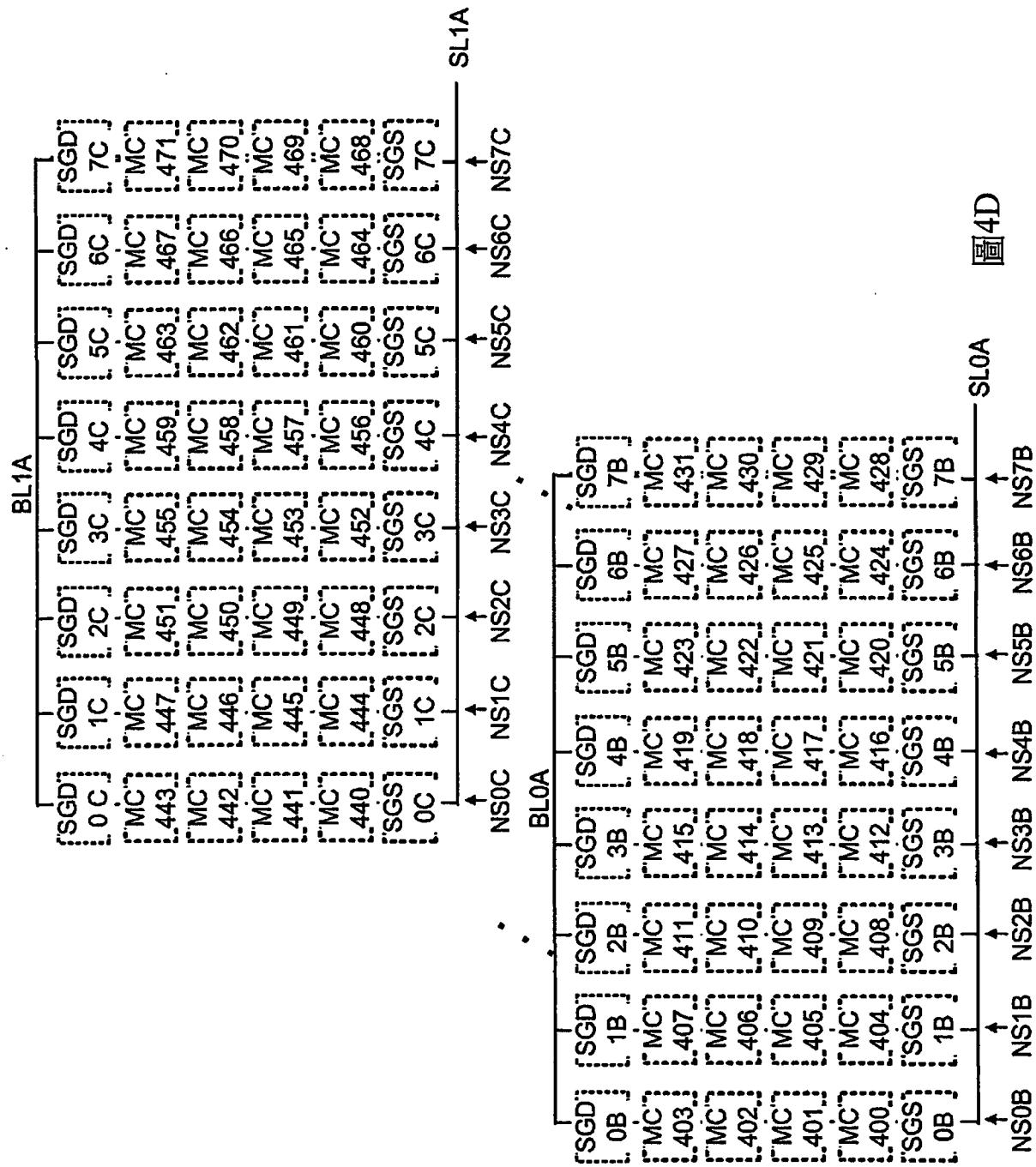
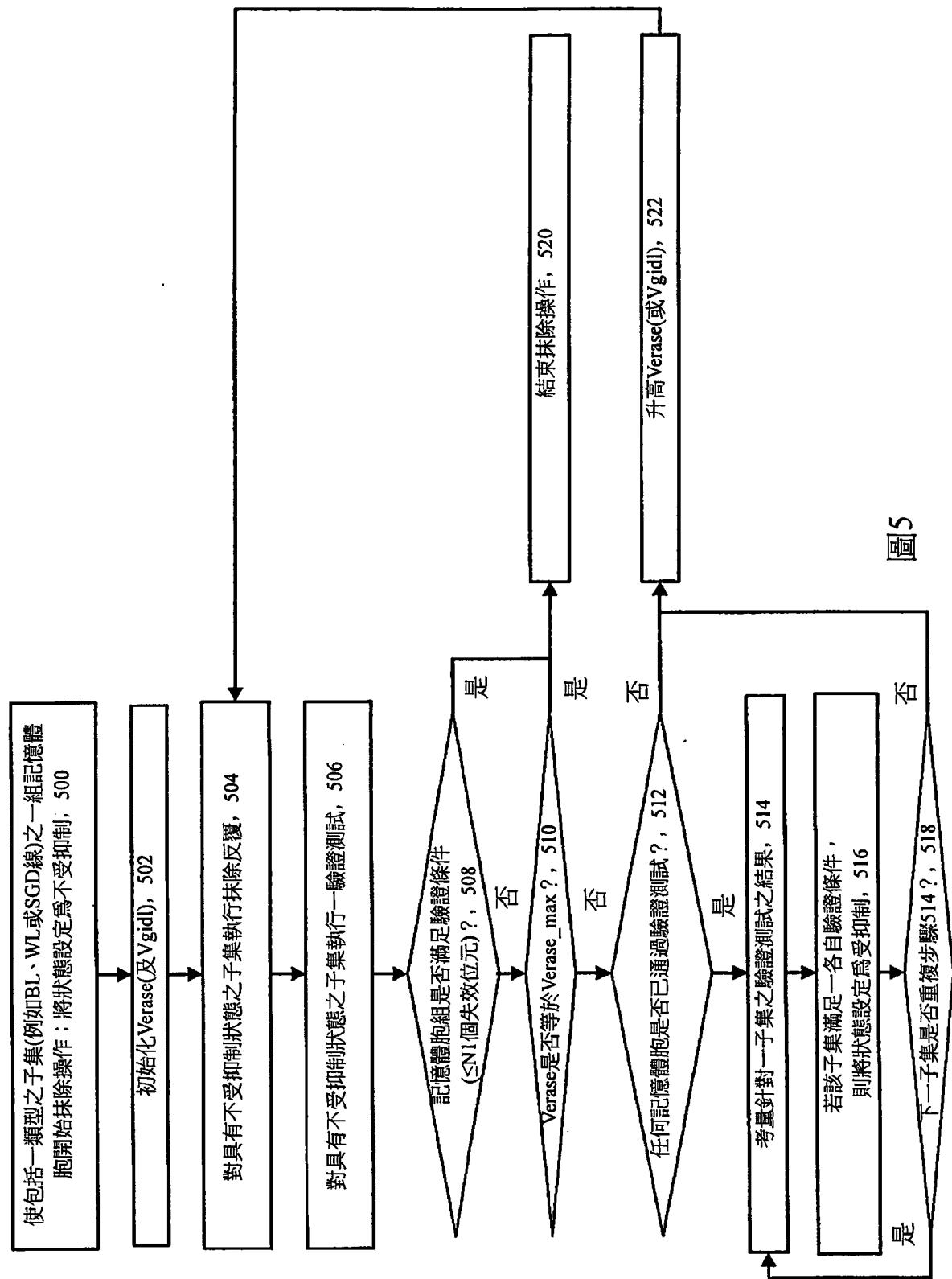


圖4C





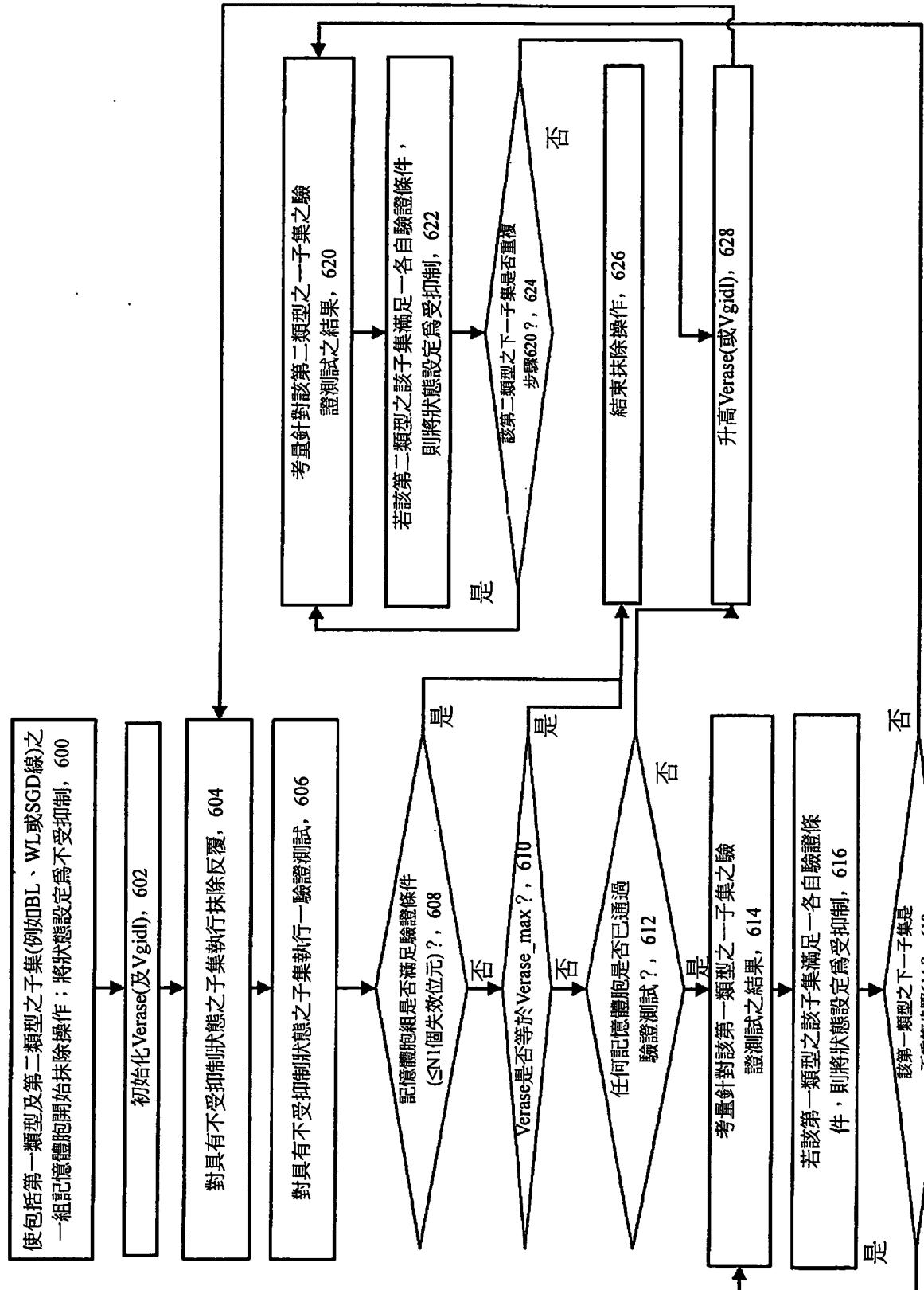
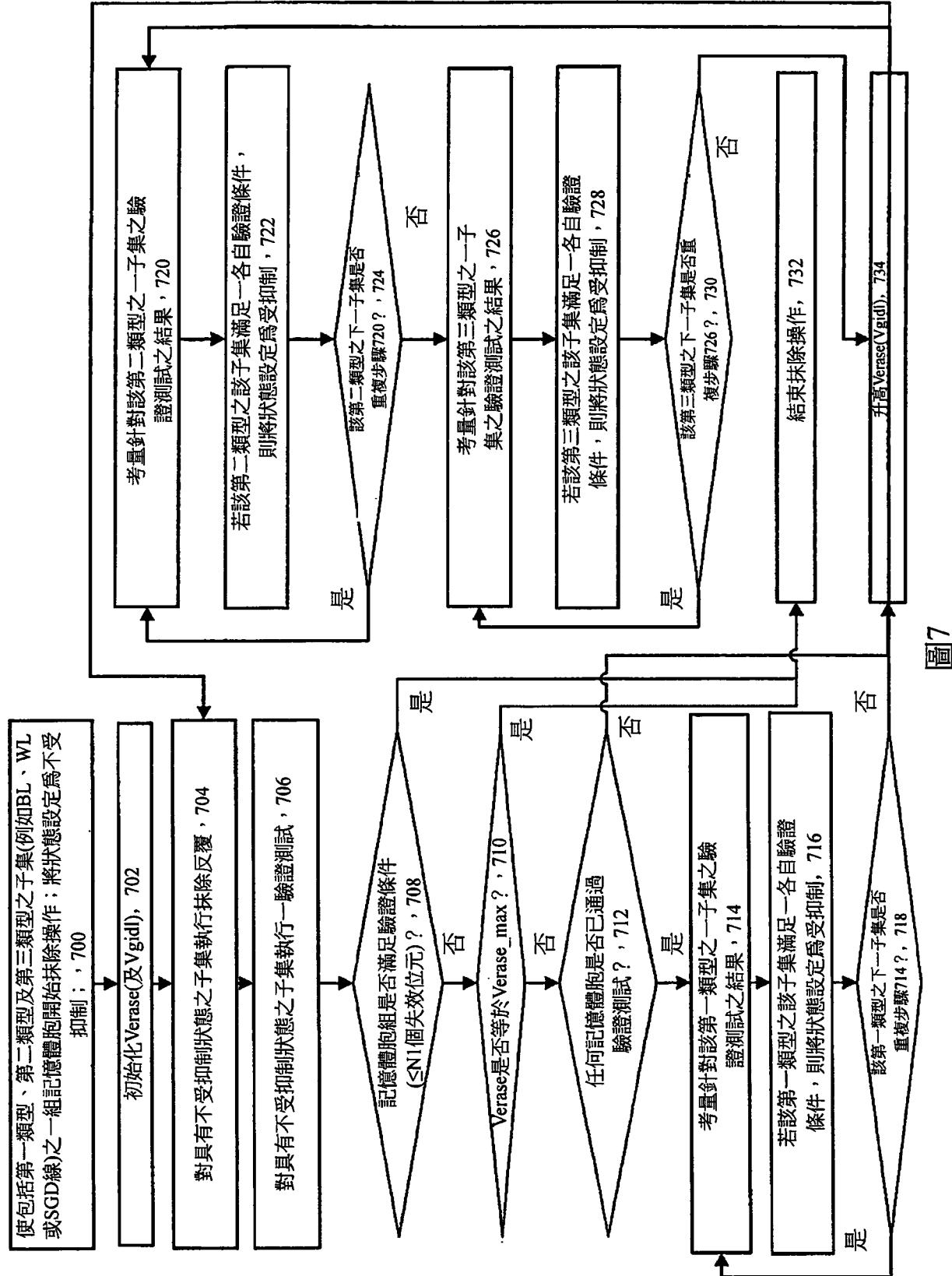


圖6



四

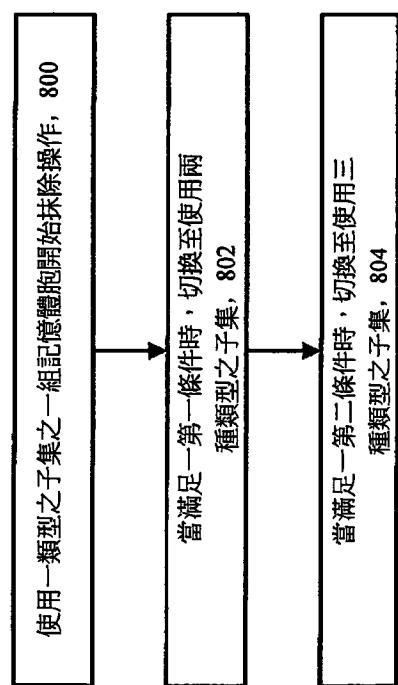
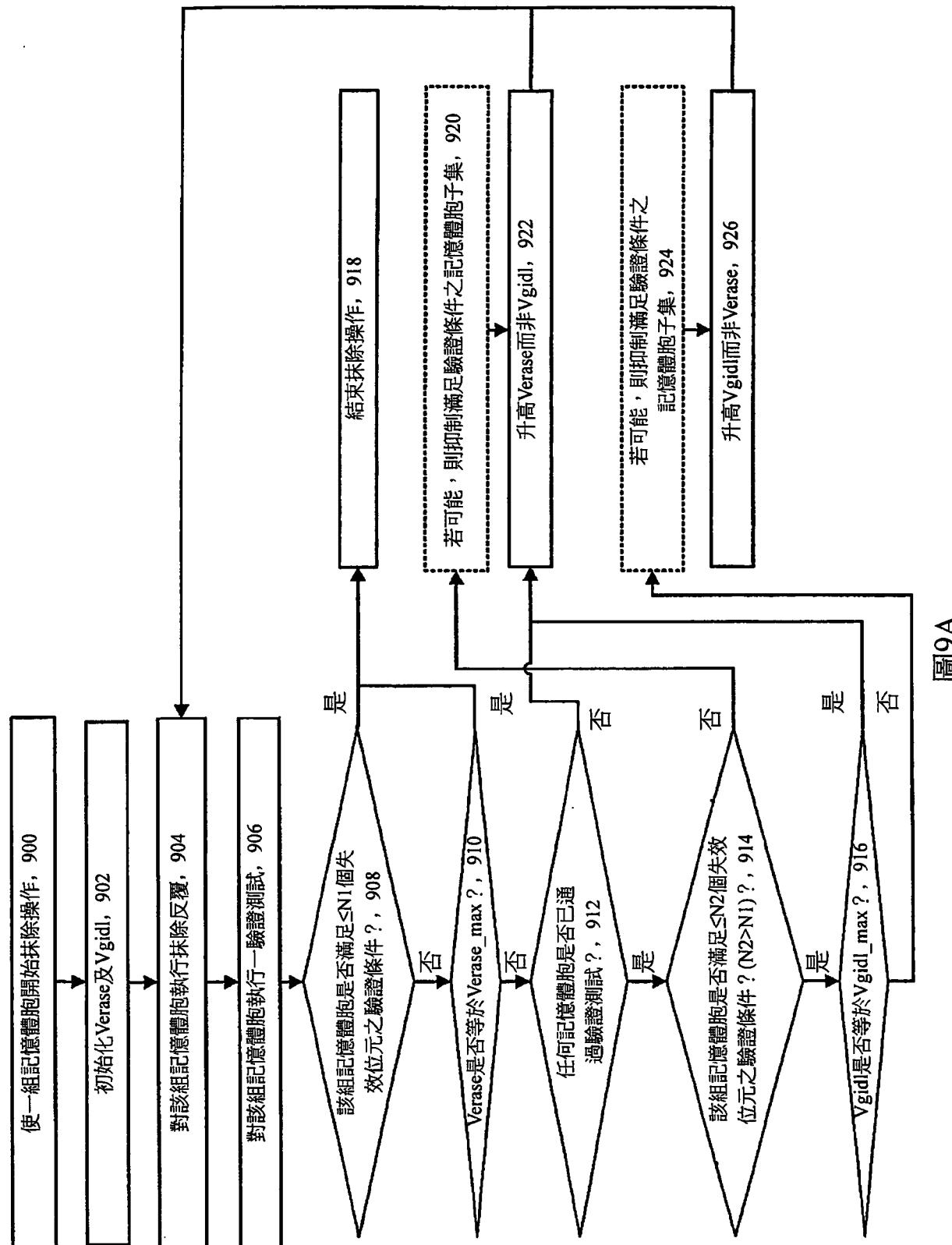


圖8



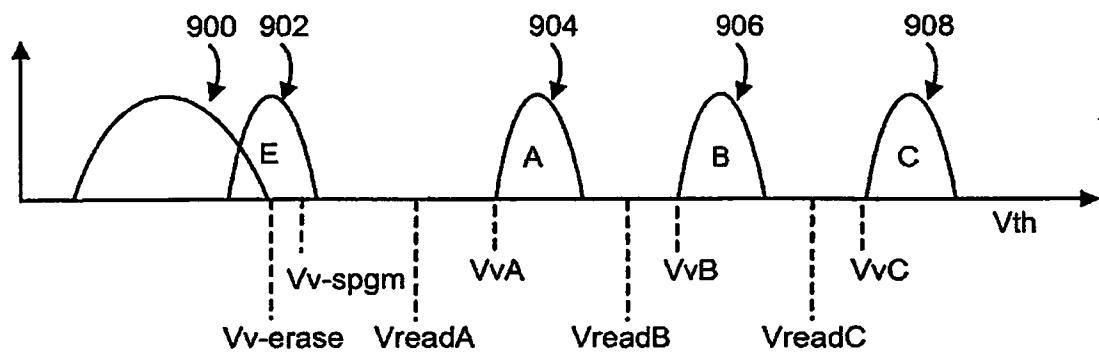


圖9B

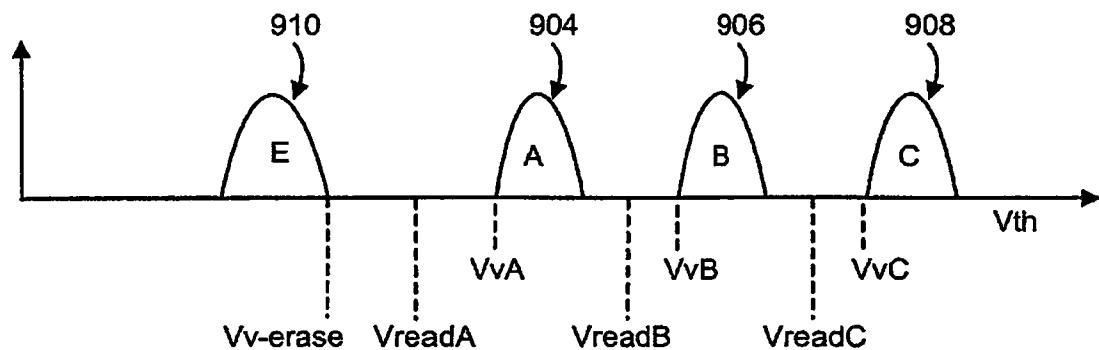
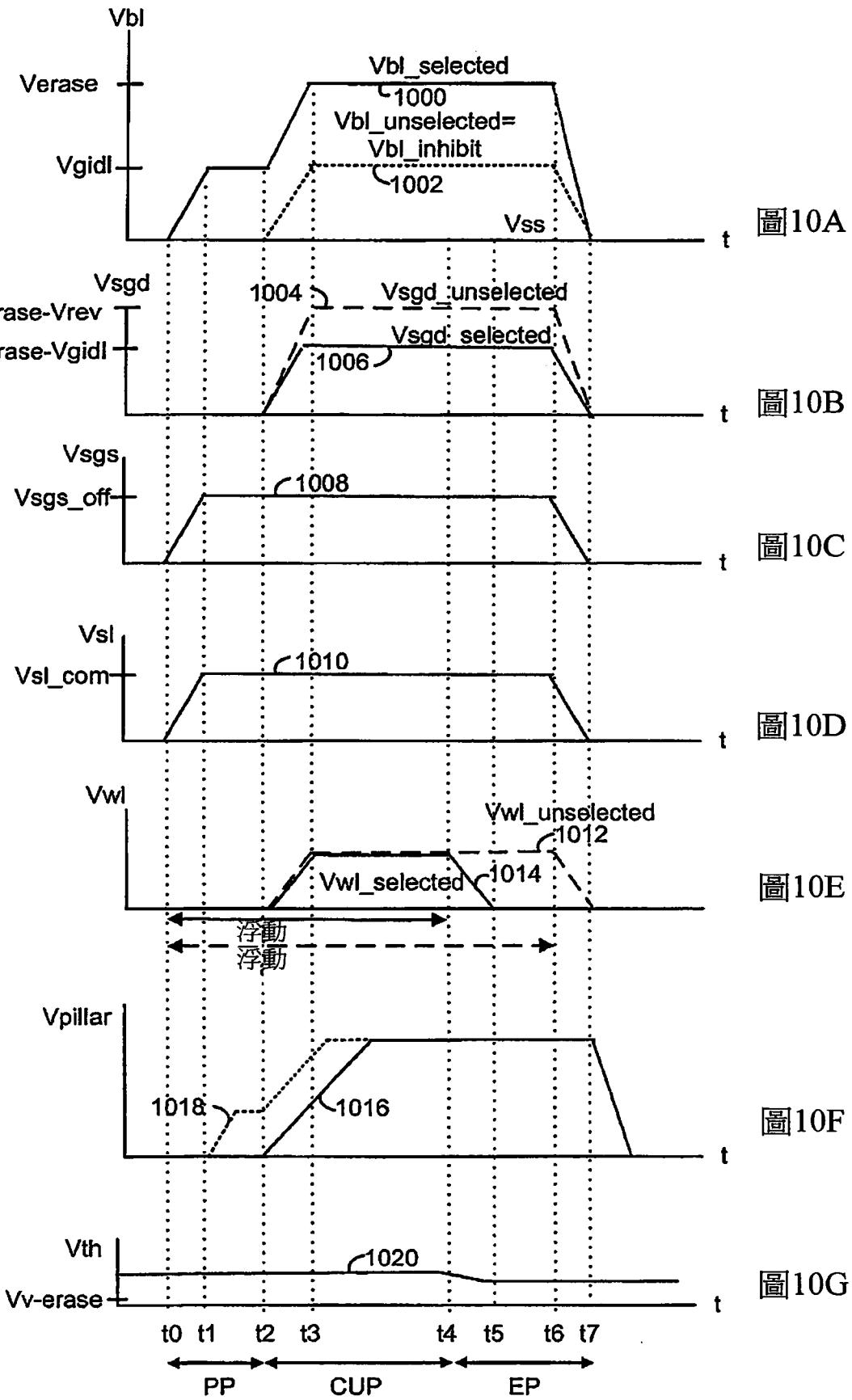


圖9C



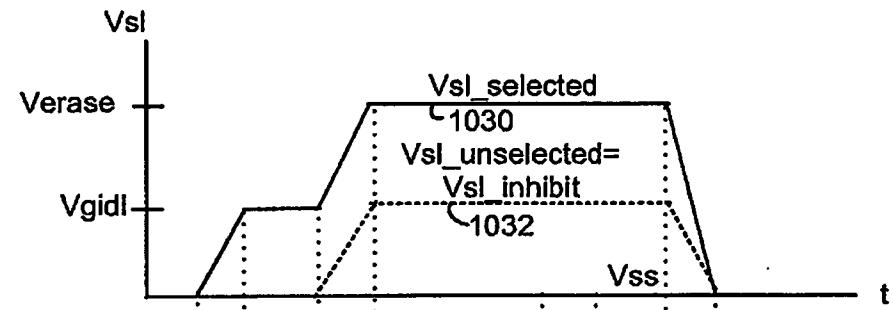


圖10H

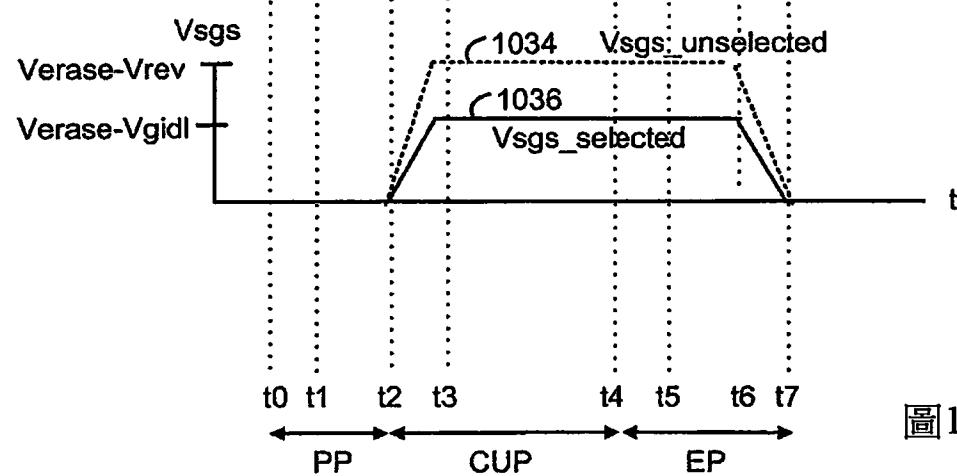


圖10I

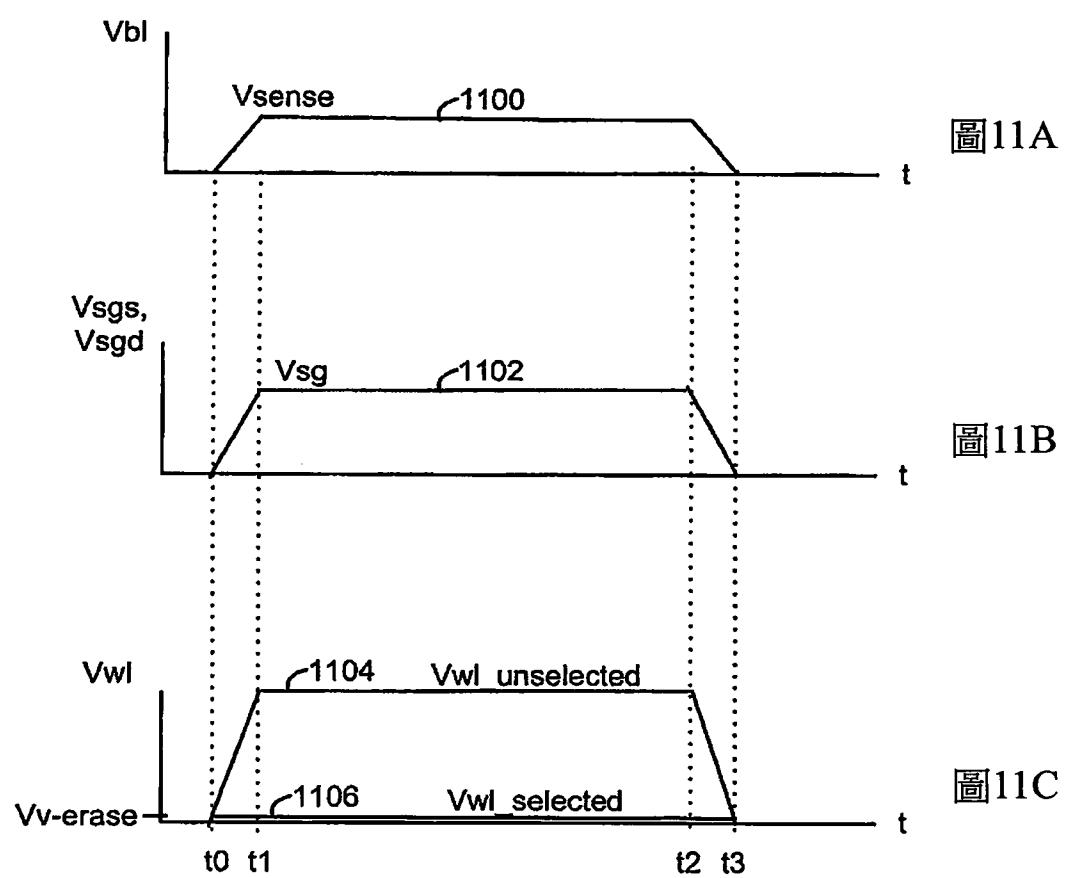


圖11A

圖11B

圖11C

S

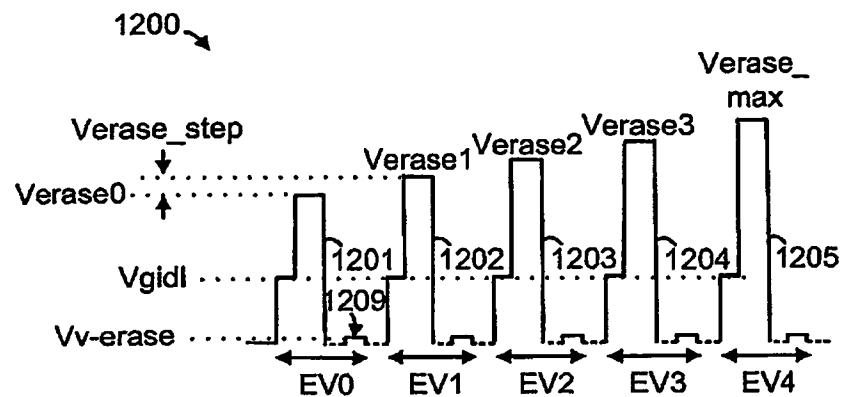


圖12

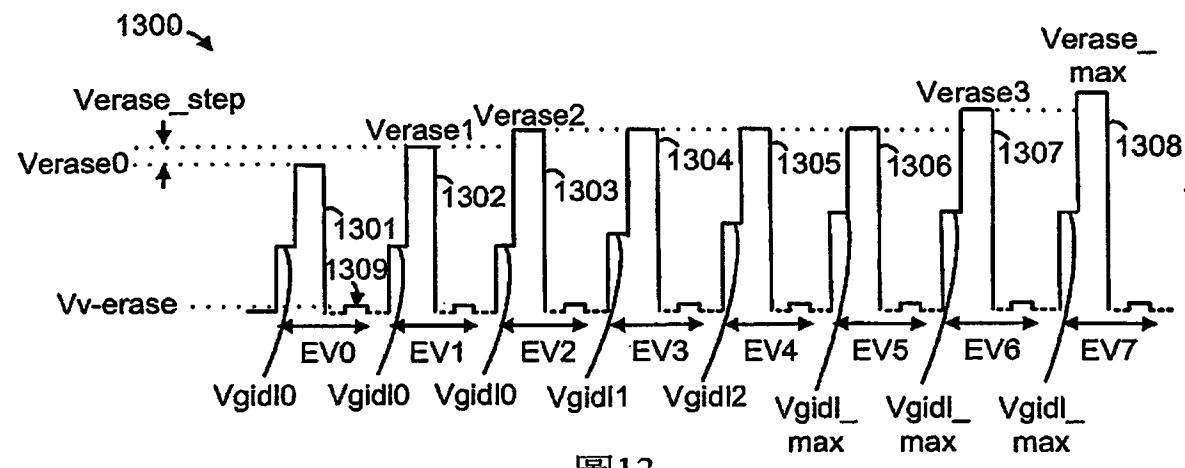


圖13

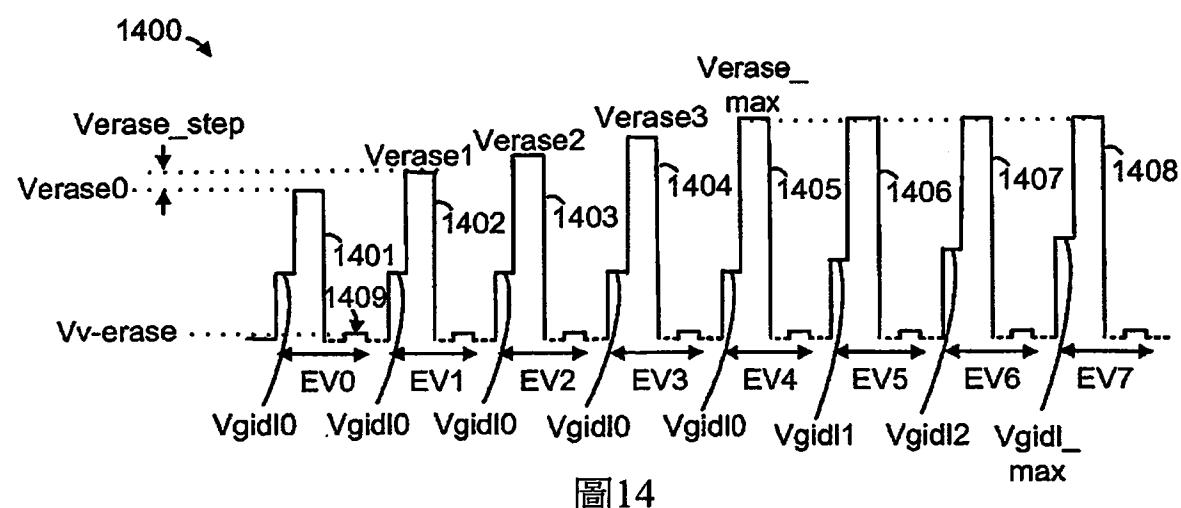


圖14