



(12) 发明专利申请

(10) 申请公布号 CN 118099080 A

(43) 申请公布日 2024.05.28

(21) 申请号 202410183942.1

H01L 21/3065 (2006.01)

(22) 申请日 2018.02.13

(30) 优先权数据

62/458,464 2017.02.13 US

(62) 分案原申请数据

201810148464.5 2018.02.13

(71) 申请人 朗姆研究公司

地址 美国加利福尼亚州

(72) 发明人 帕特里克·A·范克利蒙布特

萨沙撒耶·瓦拉达拉简

巴特·J·范施拉芬迪克

(74) 专利代理机构 上海胜康律师事务所 31263

专利代理人 樊英如 张静

(51) Int.Cl.

H01L 21/764 (2006.01)

权利要求书1页 说明书20页 附图17页

(54) 发明名称

创建气隙的方法

(57) 摘要

本发明涉及创建气隙的方法。氧化锡膜用于在半导体衬底处理期间产生气隙。可以使用在含H₂工艺气体中形成的等离子体来选择性地蚀刻设置在诸如SiO₂和SiN之类的暴露的其他材料层之间的氧化锡膜。蚀刻在周围材料之间产生凹陷特征来代替氧化锡。诸如SiO₂之类的第三材料沉积在所得到的凹陷特征上而不完全填充凹陷特征，从而形成气隙。在一些实施方式中，在SiO₂、SiC、SiN、SiOC、SiNO、SiCNO或SiCN的存在下选择性地蚀刻氧化锡的方法包括使衬底与在包含至少约50%H₂的工艺气体中形成的等离子体接触。氧化锡的蚀刻可以在衬底上不使用外部偏置的情况下进行，并且优选在低于约100°C的温度下进行。

提供具有暴露的第一材料层和暴露的第二材料层以及位于第一材料层和第二材料层之间的暴露的SnO₂层的半导体衬底

2201

使用氢等离子体蚀刻化学物质，相对于第一材料和第二材料两者选择性地蚀刻暴露的SnO₂，以去除SnO₂，从而形成凹陷特征

2203

将第三材料沉积在凹陷特征上而不完全填充凹陷特征，从而在第一材料层和第二材料层之间形成气隙

2205

1. 一种处理半导体衬底的方法,所述方法包括:
 - (a) 提供具有暴露的SnO₂层的半导体衬底;
 - (b) 在低于约100℃的温度下蚀刻所述SnO₂层,其中所述蚀刻包括将所述半导体衬底暴露于在包含至少约50%的H₂的工艺气体中形成的等离子体,以形成挥发性氢化锡。
2. 根据权利要求1所述的方法,其中在(a)中提供的所述衬底还包含从由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中选择的暴露的第二材料,并且其中(b)包括相对于所述第二材料以至少约10的蚀刻选择性蚀刻SnO₂。
3. 根据权利要求1所述的方法,其中在(a)中提供的所述衬底进一步包含从由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中选择的暴露的第二材料,并且其中(b)包括以相对于所述第二材料以至少约80的蚀刻选择性蚀刻SnO₂。
4. 根据权利要求1所述的方法,其中(b)中的所述蚀刻包括使选自由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中的第二材料暴露,并且其中(b)还包括在所述第二材料已经暴露之后相对于所述第二材料以至少约10的蚀刻选择性蚀刻SnO₂。
5. 根据权利要求1所述的方法,其中所述工艺气体包含至少约80%的H₂。
6. 根据权利要求1所述的方法,其中所述工艺气体基本上由H₂组成。
7. 根据权利要求1所述的方法,其中所述工艺气体基本上由H₂和惰性气体组成。
8. 根据权利要求1所述的方法,其中所述工艺气体还包含碳氢化合物。
9. 根据权利要求1所述的方法,其中所述工艺气体还包含Cl₂。
10. 根据权利要求1所述的方法,其中(b)包括在不对所述衬底使用外部偏置的情况下形成等离子体。

创建气隙的方法

本申请是申请号为201810148464.5、申请日为2018年2月13日、发明名称为“创建气隙的方法”的发明专利申请的分案申请。

技术领域

[0001] 本发明涉及半导体器件制造的方法。具体而言，本发明的实施方式涉及在半导体衬底处理期间产生气隙(air gap)的方法。

背景技术

[0002] 在半导体器件制造中，沉积和蚀刻技术用于在衬底上形成材料的图案。图案化通常需要在另一种材料的存在下以高蚀刻选择性蚀刻一种材料。随着衬底上的图案化特征的尺寸变小，蚀刻选择性要求变得更加严格。此外，由于蚀刻剂渗入凹陷特征中的问题，所以诸如用HF蚀刻SiO₂的湿法蚀刻方法在具有高深宽比凹陷特征的衬底上变得不太理想。

[0003] 对于多种应用中的图案化，需要高度选择性的蚀刻方法，这些应用包括动态随机存取存储器(DRAM)的形成、鳍式场效应晶体管(FinFET)的制造中的图案化以及后端制程(BEOL)处理中的图案化。

发明内容

[0004] 可以在通常使用的电介质(如SiO₂和SiN)存在下以高蚀刻选择性有选择地蚀刻的材料以及相关的蚀刻方法是特别期望的。本文提供SnO₂作为可使用高选择性干法蚀刻化学物质相对于SiO₂、SiN和多种其他材料选择性蚀刻的材料。还提供了在使用SnO₂作为牺牲间隔材料的半导体器件制造中(例如，在FinFET制造期间)形成气隙的方法。

[0005] 根据一个方面，提供了一种处理半导体衬底的方法。所述方法包括：提供具有暴露的SnO₂层(例如通过原子层沉积而沉积的SnO₂层)的半导体衬底；并且在低于约100°C的温度下蚀刻所述SnO₂层，其中所述蚀刻包括将所述半导体衬底暴露于在包含至少约50体积%的H₂的工艺气体中形成的等离子体。在一些实施方式中，所提供的半导体衬底还包含从由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中选择的暴露的第二材料，并且相对于所述第二材料以至少约10(例如至少约80)的蚀刻选择性执行SnO₂的氢等离子体蚀刻。在SnO₂蚀刻开始之前，第二材料可以暴露在衬底上，或者在一些实施方式中，第二材料可以在SnO₂蚀刻的过程中暴露。在一些实施方式中，第二材料是SiO₂，且所述蚀刻相对于SiO₂以至少约10的蚀刻选择性去除SnO₂。

[0006] SnO₂蚀刻中的工艺气体的组成可以变化，并且除了H₂之外还可以包括其他气体。然而，在一些实施方式中，工艺气体主要由H₂组成(例如，是100%的H₂)。在一些实施方式中，工艺气体包括至少约50%的H₂，并且还包括惰性气体，例如氦气。在一些实施方式中，工艺气体可以基本上由H₂和惰性气体组成。在一些实施方式中，工艺气体中H₂的浓度为至少约80%。任选地，工艺气体可以进一步包括烃和/或C1₂。在一个示例中，工艺气体包括H₂(50%或更多)、氦气和碳氢化合物。工艺气体中的等离子体可以使用高频和/或低频等离子体产

生来形成。值得注意的是,在衬底上使用外部偏置是可选的。在一些实施方式中,进行蚀刻而不向衬底提供外部偏置。在一些实施方式中,使用介于约0.0018W/cm²与0.36W/cm²之间的功率密度来产生等离子体。在一些实施方式中,蚀刻期间处理室中的压强介于约1毫托(mTorr)和175毫托之间。

[0007] 在另一方面,提供了一种用于蚀刻SnO₂层的装置。所述装置包括:处理室,其具有被配置用于在蚀刻期间保持所述半导体衬底的衬底保持器;等离子体发生器,其被配置用于在工艺气体中产生等离子体;以及控制器。控制器包含程序指令,所述程序指令用于实施在此描述的任何方法。在一个实施方式中,控制器包括程序指令,所述程序指令用于:在低于约100°C的温度下引起对所述半导体衬底上的SnO₂层的所述蚀刻,其中引起所述蚀刻包括使所述半导体衬底暴露于在包含至少约50%的H₂的工艺气体中形成的等离子体。

[0008] 在另一方面,提供了一种非临时性计算机机器可读介质,其中其包括用于控制蚀刻装置的程序指令。所述程序指令包括代码,所述代码用于:在低于约100°C的温度下引起对所述半导体衬底上的SnO₂层的所述蚀刻,其中引起所述蚀刻包括使所述半导体衬底暴露于在包含至少约50%的H₂的工艺气体中形成的等离子体。

[0009] 在另一方面,提供了一种用于在半导体衬底上产生气隙的方法。所述方法包括:(a)提供具有暴露的第一材料层、暴露的第二材料层和位于所述第一材料层和所述第二材料层之间的暴露的SnO₂层的半导体衬底;(b)使用氢等离子体蚀刻化学物质相对于所述第一材料和所述第二材料选择性地蚀刻所述暴露的SnO₂,从而在所述第一材料和所述第二材料之间形成凹陷特征;以及(c)将第三材料沉积在所述凹陷特征上而不完全填充所述凹陷特征,从而在所述第一材料层和所述第二材料层之间形成所述气隙。在一些实现方式中,所述第一材料选自由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组,并且所述第二材料选自SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组。在一些实施方式中,所述第一材料和所述第二材料是相同的材料。在一些实施方式中,所述第一材料和所述第二材料是不同的材料。在一些实施方式中,所述第三材料是SiO₂。

[0010] 在一些实现方式中,SnO₂层的氢等离子体蚀刻包括将所述半导体衬底暴露于在包含至少约50%的H₂的工艺气体中形成的等离子体。在一些实施方式中,所述蚀刻包括在低于约100°C的温度下进行蚀刻。所描述的方法对于在窄的凹陷特征中形成气隙是特别有用的。在一实现方式中,所述SnO₂层的宽度介于约20 Å(埃)和100 Å之间。

[0011] 在一实施方式中,使用以下顺序的步骤形成具有位于第一材料层和第二材料层之间的SnO₂层的衬底。该工艺通过在所述半导体衬底上形成栅极(例如由诸如氧化铪之类的高k氧化物制成的突起特征)开始;在所述半导体衬底上方共形地形成所述第一材料(例如SiN)层,使得所述第一材料覆盖所述栅极的侧壁和顶表面两者;在第一材料层上共形地形成SnO₂层(至介于约20 Å和100 Å之间的厚度),使得SnO₂覆盖在所述栅极的所述侧壁和所述顶表面两者上的所述第一材料;以及在所述SnO₂层上共形地形成所述第二材料(例如SiO₂)层,使得所述第二材料覆盖所述栅极的所述侧壁和所述顶表面两者上的所述SnO₂。所述工艺然后是从所述衬底的水平表面去除所述第二材料,从而形成在暴露的所述第一材料层和所述第二材料层之间的具有暴露的SnO₂层的结构。

[0012] 在另一方面,提供了一种用于在半导体衬底上形成气隙的系统。所述系统包括:一个或多个沉积室;一个或多个蚀刻室;和控制器。所述控制器包含程序指令,所述程序指令

用于实现本发明所描述的任何气隙形成方法。例如,所述控制器可以包含用于引起以下步骤的指令: (i) 在具有暴露的第一材料层,暴露的第二材料层以及位于所述第一材料层和所述第二材料层之间的暴露的SnO₂层的半导体衬底上使用氢等离子体蚀刻化学物质相对于所述第一材料和所述第二材料两者选择性地蚀刻所述暴露的SnO₂,从而在所述第一材料和所述第二材料之间形成凹陷特征;以及 (ii) 将第三材料沉积在所述凹陷特征上而不完全填充所述凹陷特征,从而在所述第一材料层和所述第二材料层之间形成所述气隙。

[0013] 在另一方面,所述系统包括本文所述的装置和系统中的任何一个以及步进曝光机。

[0014] 在另一方面,提供了一种非临时性计算机机器可读介质,其中其包括用于控制系统的程序指令,其中所述程序指令包括代码,所述代码用于: (i) 在具有暴露的第一材料层,暴露的第二材料层以及位于所述第一材料层和所述第二材料层之间的暴露的SnO₂层的半导体衬底上使用氢等离子体蚀刻化学物质相对于所述第一材料和所述第二材料两者选择性地蚀刻所述暴露的SnO₂,从而在所述第一材料和所述第二材料之间形成凹陷特征;以及 (ii) 将第三材料沉积在所述凹陷特征上而不完全填充所述凹陷特征,从而在所述第一材料层和所述第二材料层之间形成所述气隙。

[0015] 在另一方面,提供了一种用于处理半导体衬底的方法,其中所述方法涉及沉积SnO₂伪栅极。所述方法包括: (a) 在所述半导体衬底上形成SnO₂伪栅极; (b) 在存在所述SnO₂伪栅极的情况下处理所述半导体衬底; (c) 用在包括H₂的工艺气体中形成的等离子体蚀刻所述SnO₂伪栅极以形成凹陷特征来代替所述伪栅极;以及 (d) 将高k介电材料沉积到所形成的所述凹陷特征中,从而形成栅极来代替所述伪栅极。在另一个方面,提供了一种用于处理半导体衬底的系统,其中所述系统包括:一个或多个沉积处理室;一个或多个蚀刻处理室;和包含程序指令的控制器,所述程序指令用于引起以下步骤: (i) 在所述半导体衬底上形成SnO₂伪栅极; (ii) 在存在所述SnO₂伪栅极的情况下处理所述半导体衬底; (iii) 用在包括H₂的工艺气体中形成的等离子体蚀刻所述SnO₂伪栅极以形成凹陷特征来代替所述伪栅极;以及 (iv) 将高k介电材料沉积到所形成的所述凹陷特征中,从而形成栅极来代替所述伪栅极。在另一方面,提供了一种非临时性计算机机器可读介质,其中其包括用于控制系统的程序指令,其中所述程序指令包括代码,所述代码用于引起以下步骤: (i) 在所述半导体衬底上形成SnO₂伪栅极; (ii) 在存在所述SnO₂伪栅极的情况下处理所述半导体衬底; (iii) 用在包括H₂的工艺气体中形成的等离子体蚀刻所述SnO₂伪栅极以形成凹陷特征来代替所述伪栅极;以及 (iv) 将高k介电材料沉积到所形成的所述凹陷特征中,从而形成栅极来代替所述伪栅极。

[0016] 在一些实施方式中,所提供的方法与光刻图案化序列集成并且还包括:将光致抗蚀剂涂覆到所述半导体衬底上;将所述光致抗蚀剂暴露于光;图案化所述光致抗蚀剂并将图案转移至所述衬底;以及从所述衬底选择性地去除所述光致抗蚀剂。

[0017] 具体而言,本发明的一些方面可以阐述如下:

1. 一种处理半导体衬底的方法,所述方法包括:

(a) 提供具有暴露的SnO₂层的半导体衬底;

(b) 在低于约100°C的温度下蚀刻所述SnO₂层,其中所述蚀刻包括将所述半导体衬底暴露于在包含至少约50%的H₂的工艺气体中形成的等离子体。

2. 根据条款1所述的方法,其中在(a)中提供的所述衬底还包含从由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中选择的暴露的第二材料,并且其中(b)包括相对于所述第二材料以至少约10的蚀刻选择性蚀刻SnO₂。

3. 根据条款1所述的方法,其中在(a)中提供的所述衬底进一步包含从由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中选择的暴露的第二材料,并且其中(b)包括以相对于所述第二材料以至少约80的蚀刻选择性蚀刻SnO₂。

4. 根据条款1所述的方法,其中(b)中的所述蚀刻包括使选自由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中的第二材料暴露,并且其中(b)还包括在所述第二材料已经暴露之后相对于所述第二材料以至少约10的蚀刻选择性蚀刻SnO₂。

5. 根据条款1所述的方法,其中所述工艺气体包含至少约80%的H₂。

6. 根据条款1所述的方法,其中所述工艺气体基本上由H₂组成。

7. 根据条款1所述的方法,其中所述工艺气体基本上由H₂和惰性气体组成。

8. 根据条款1所述的方法,其中所述工艺气体还包含碳氢化合物。

9. 根据条款1所述的方法,其中所述工艺气体还包含Cl₂。

10. 根据条款1所述的方法,其中(b)包括在不对所述衬底使用外部偏置的情况下形成等离子体。

11. 根据条款1所述的方法,其中(b)包括使用介于约0.0018W/cm²和0.36W/cm²之间的功率密度产生等离子体。

12. 根据条款1所述的方法,其中所述SnO₂的蚀刻在约1毫托与175毫托之间的压强下进行。

13. 根据条款1所述的方法,其中所述工艺气体包含H₂和He。

14. 根据条款1所述的方法,其中所述工艺气体包含H₂、He和碳氢化合物。

15. 根据条款1所述的方法,其还包括在(a)之前,通过原子层沉积将所述SnO₂层沉积在所述半导体衬底上。

16. 根据条款1所述的方法,其中(b)包含在存在SiO₂的情况下选择性地蚀刻SnO₂,其中所述蚀刻选择性为至少10。

17. 根据条款1所述的方法,其还包括:

将光致抗蚀剂涂覆到所述半导体衬底上;

将所述光致抗蚀剂暴露于光;

图案化所述光致抗蚀剂并将所述图案转移至所述衬底;

以及从所述衬底选择性地去除所述光致抗蚀剂。

18. 一种用于蚀刻SnO₂层的装置,所述装置包括:

(a) 处理室,其具有被配置用于在蚀刻期间保持所述半导体衬底的衬底保持器;

(b) 等离子体发生器,其被配置用于在工艺气体中产生等离子体;以及

(c) 包含程序指令的控制器,所述程序指令用于:

在低于约100℃的温度下引起对所述半导体衬底上的SnO₂层的所述蚀刻,其中引起所述蚀刻包括使所述半导体衬底暴露于在包含至少约50%H₂的工艺气体中形成的等离子体。

19. 一种用于在半导体衬底上创建气隙的方法,所述方法包括:

(a) 提供具有暴露的第一材料层、暴露的第二材料层和位于所述第一材料层和所述第二材料层之间的暴露的SnO₂层的半导体衬底；

(b) 使用氢等离子体蚀刻化学物质相对于所述第一材料和所述第二材料选择性地蚀刻所述暴露的SnO₂，从而在所述第一材料和所述第二材料之间形成凹陷特征；以及

(c) 将第三材料沉积在所述凹陷特征上而不完全填充所述凹陷特征，从而在所述第一材料层和所述第二材料层之间形成所述气隙。

20. 根据条款19所述的方法，其中所述第一材料选自由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组，并且其中所述第二材料选自由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组。

21. 根据条款19所述的方法，其中所述第一材料和所述第二材料是相同的。

22. 根据条款19所述的方法，其中所述第三材料是SiO₂。

23. 根据条款19所述的方法，其中 (b) 包括将所述半导体衬底暴露于在包含至少约50%的H₂的工艺气体中形成的等离子体。

24. 根据条款19所述的方法，其中 (b) 包括在低于约100°C的温度下蚀刻所述暴露的SnO₂。

25. 根据条款19所述的方法，其中位于所述第一材料层和所述第二材料层之间的所述暴露的SnO₂层具有介于约20 Å和100 Å之间的宽度。

26. 根据条款19所述的方法，其还包括在 (a) 之前：

在所述半导体衬底上形成栅极；

在所述半导体衬底上方形成所述第一材料层，使得所述第一材料覆盖所述栅极的侧壁和顶表面两者；

在所述第一材料层上形成SnO₂层，使得SnO₂覆盖在所述栅极的所述侧壁和所述顶表面两者上的所述第一材料；

在所述SnO₂层上形成所述第二材料层，使得所述第二材料覆盖所述栅极的所述侧壁和所述顶表面两者上的所述SnO₂；以及

从所述衬底的水平表面去除所述第二材料，从而形成在 (a) 中提供的结构。

27. 根据条款26所述的方法，其中所述第一材料是SiN且所述第二材料是SiO₂。

28. 根据条款26所述的方法，其中所述栅极包括高k氧化物。

29. 根据条款26所述的方法，其中将SnO₂沉积至介于约20Å和100Å之间的厚度。

30. 根据条款19所述的方法，其还包括：

将光致抗蚀剂涂覆到所述半导体衬底上；

将所述光致抗蚀剂暴露于光；

图案化所述光致抗蚀剂并将图案转移至所述衬底；

以及从所述衬底选择性地去除所述光致抗蚀剂。

31. 一种用于在半导体衬底上形成气隙的系统，所述系统包括：

(a) 一个或多个沉积处理室；

(b) 一个或多个蚀刻处理室；和

(c) 包含程序指令的控制器，所述程序指令用于引起以下步骤：

(i) 在具有暴露的第一材料层，暴露的第二材料层以及位于所述第一材料层和所

述第二材料层之间的暴露的SnO₂层的半导体衬底上使用氢等离子体蚀刻化学物质相对于所述第一材料和所述第二材料两者选择性地蚀刻所述暴露的SnO₂，从而在所述第一材料和所述第二材料之间形成凹陷特征；以及

(i) 将第三材料沉积在所述凹陷特征上而不完全填充所述凹陷特征，从而在所述第一材料层和所述第二材料层之间形成所述气隙。

32. 根据条款31所述的系统，其还包括步进曝光机。

33. 一种用于处理半导体衬底的方法，所述方法包括：

(a) 在所述半导体衬底上形成SnO₂伪栅极；

(b) 在存在所述SnO₂伪栅极的情况下处理所述半导体衬底；

(c) 用在包括H₂的工艺气体中形成的等离子体蚀刻所述SnO₂伪栅极以形成凹陷特征来代替所述伪栅极；

(d) 将高k介电材料沉积到所形成的所述凹陷特征中，从而形成栅极来代替所述伪栅极。

34. 一种用于处理半导体衬底的系统，所述系统包括：

(a) 一个或多个沉积处理室；

(b) 一个或多个蚀刻处理室；和

(c) 包含程序指令的控制器，所述程序指令用于引起以下步骤：

(i) 在所述半导体衬底上形成SnO₂伪栅极；

(ii) 在存在所述SnO₂伪栅极的情况下处理所述半导体衬底；

(iii) 用在包括H₂的工艺气体中形成的等离子体蚀刻所述SnO₂伪栅极以形成凹陷特征来代替所述伪栅极；

(iv) 将高k介电材料沉积到所形成的所述凹陷特征中，从而形成栅极来代替所述伪栅极。

[0018] 在本说明书中描述的主题的实现方式的这些和其它方面在附图和下面的描述中阐述。

附图说明

[0019] 图1是根据本文提供的实施方式的处理方法的工艺流程图。

[0020] 图2是根据本文提供的实施方式的处理方法的工艺流程图。

[0021] 图3A-3G示出了根据本文描述的实施方式的正在进行具有气隙形成的处理的半导体衬底的示意性横截面图。

[0022] 图4A到图4T显示根据本文所描述的实施方式的在FinFET器件制造期间经历处理的半导体衬底的示意图。

[0023] 图5是根据本文提供的实施方式的适用于使用氢等离子体蚀刻化学物质蚀刻SnO₂的装置的示意图。

[0024] 图6示出了根据本文提供的实施方式的多站处理系统的示意图。

具体实施方式

[0025] 提供了在半导体器件制造中蚀刻氧化锡(IV) (SnO₂)的方法。在一些实施方式中，

所提供的方法用于以相对于 SiO_2 、 SiC 、 SiN 、 SiOC 、 SiNO 、 SiCNO 和 SiCN 中的一种或多种的高选择性来蚀刻氧化锡。在一些实施方式中,蚀刻选择性大于10,例如大于30,例如大于50,或大于80。蚀刻选择性是指对于选定的工艺条件, SnO_2 的蚀刻速率与其它材料的蚀刻速率之比。在一些示例中,对于相对于 SiO_2 蚀刻 SnO_2 ,实现了100的蚀刻选择性。这些蚀刻选择性针对包括使半导体衬底与在包含 H_2 的工艺气体中形成的等离子体接触的蚀刻方法来实现。所提供的方法涉及通过将 SnO_2 暴露于氢等离子体而将固体 SnO_2 转化为气态 SnH_4 。然后可以通过吹扫和/或抽排容易地从处理室中除去气态 SnH_4 产物。在一些实施方式中,另一种材料(例如, SiO_2 、 SiC 、 SiN 、 SiOC 、 SiNO 、 SiCNO 或 SiCN)在 SnO_2 蚀刻开始时暴露在半导体衬底上。在其他实施方式中,另一种材料在 SnO_2 蚀刻开始时不暴露,但在蚀刻过程中暴露。

[0026] SnO_2 可以例如通过ALD或PECVD沉积,并且可以包含少量的其他材料,例如碳和氢(通常小于10原子%)。还应理解的是,在锡氧化物中,锡与氧的化学计量比与1:2有小的偏差是可能的,并且在 SnO_2 结构的范围内。例如,在 SnO_2 的一些示例中,0与Sn的原子比在约2.0-2.3之间。0至Sn之比介于约1.5至2.5之间的锡氧化物在本文所用的 SnO_2 材料的范围内。

[0027] SiO_2 、 SiC 、 SiN 、 SiOC 、 SiNO 、 SiCNO 和 SiCN 材料可以被掺杂或不掺杂,并且可以任选地包括氢。掺杂剂当存在时通常不超过10%(不包括氢)的原子浓度。这些材料可以使用各种方法沉积,各种方法如CVD、PECVD和ALD。可以使用各种含硅前体来沉积这些材料,含硅前体包括硅烷、四烷基硅烷、三烷基硅烷,TEOS等。例如,可以使用TEOS或硅烷作为含硅前体来沉积 SiO_2 。

[0028] 这里使用的术语“半导体衬底”是指半导体器件制造的任何阶段的衬底,该衬底在其结构中的任何地方包含半导体材料。应理解,半导体衬底中的半导体材料不需要暴露。具有覆盖半导体材料的多个其他材料(例如,电介质)层的半导体晶片是半导体衬底的示例。

[0029] 所提供的方法可用于蚀刻各种宽度和深宽比的 SnO_2 层。这些方法对于蚀刻窄的层(例如宽度为20 Å -100 Å,例如25 Å -75 Å 的 SnO_2 层)是特别有利的,并且用于产生相对较高的深宽比的凹陷特征,例如用于刻蚀 SnO_2 以创建具有至少约5:1的深宽比(例如深宽比在约10:1至100:1之间)的凹陷特征。尽管提供的方法不限于这些应用,但是使用本文提供的氢等离子体蚀刻方法蚀刻窄层和/或形成高深宽比凹陷特征是特别有用的,因为传统的方法和材料(例如, SiN 间隔物的湿HF蚀刻)不适合这些应用。

[0030] 在图1中所示的工艺流程图中图示了根据本文提供的实施方式的蚀刻方法。在操作1101中,提供具有暴露的 SnO_2 层的半导体衬底。将衬底放置在蚀刻装置的处理室中,其中该装置被配置用于在工艺气体中产生等离子体。接下来,在操作1103中,在包含 H_2 的工艺气体中产生等离子体。在操作1105中,衬底与所形成的氢等离子体接触,并且相对于衬底上的 SiO_2 、 SiC 、 SiN 、 SiOC 、 SiNO 、 SiCNO 和 SiCN 材料中的任何一种选择性地蚀刻 SnO_2 层。选择性蚀刻涉及以相对于任何所列材料大于1,更优选大于10,例如大于50的蚀刻选择性来蚀刻 SnO_2 。

[0031] 在一些实施方式中,在操作1101中提供的半导体衬底除了暴露的 SnO_2 层之外还包括暴露的第二材料层,其中第二材料包括 SiO_2 、 SiC 、 SiN 、 SiOC 、 SiNO 、 SiCNO 和 SiCN 中的一种或多种。在其它实施方式中,第二材料在 SnO_2 蚀刻开始时不暴露,但在 SnO_2 已经蚀刻一段时间后变为暴露。

[0032] 在1101中提供的衬底是在沉积并且可选地图案化Sn₀₂层和第二材料(例如, SiO₂、SiC、SiN、SiOC、SiNO、SiCN和SiCN的任何组合)层之后获得的。通过任何合适的方法(诸如通过CVD(包括PECVD)、ALD(包括PEALD), 溅射等)来沉积Sn₀₂层。在一些实施方式中, 优选共形地沉积Sn₀₂膜, 使得其仿效(follow)衬底的表面, 包括仿效衬底上的任何突起和凹陷特征的表面。在一些实施方式中, Sn₀₂层共形沉积至介于约20 Å -100 Å之间的厚度。共形Sn₀₂膜的合适沉积方法之一是ALD。可以使用热或等离子体增强ALD。在典型的热ALD方法中, 将衬底提供到ALD处理室并且顺序地暴露于含锡前体和含氧反应物, 其中使含锡前体和含氧反应物能在衬底的表面上反应以形成Sn₀₂。在衬底暴露于含锡前体之后, 并且在含氧反应物进入处理室之前, 通常用惰性气体吹扫ALD处理室, 以防止处理室的主体部分中发生反应。此外, ALD处理室通常在用含氧反应物处理衬底后用惰性气体吹扫。重复连续的暴露几个循环, 例如可以进行约10-100个循环, 直到沉积具有所需厚度的Sn₀层。合适的含锡前体的示例包括卤化的含锡前体(例如SnCl₄和SnBr₄)和非卤化的含锡前体, 例如有机锡化合物, 其包括烷基取代的锡酰胺等。适用于ALD的烷基取代的锡酰胺的具体示例是四(二甲基氨基)锡、四(乙基甲基氨基)锡、N²,N³-二叔丁基-丁烷-2,3-二氨基锡(II)和(1,3-双(1,1-二甲基乙基)-4,5-二甲基-(4R,5R)-1,3,2-二氮杂锡烷-2-亚基((1,3-bis(1,1-dimethylethyl)-4,5-dimethyl-(4R,5R)-1,3,2-diazastannolidin-2-ylidene)。含氧反应物包括但不限于氧、臭氧、水、过氧化氢和NO。也可以使用含氧的反应物的混合物。沉积条件将根据ALD反应物的选择而变化, 其中较多的反应性前体通常将比较少的反应性前体在更低的温度下反应。该工艺典型地将在介于约20°C和500°C之间的温度和低于大气压的压强下进行。选择温度和压强以使反应物在处理室中保持气体形式以避免冷凝。每种反应物以单独的气体形式或与诸如氩气、氦气或氮气之类的载气混合的气体形式提供给处理室。这些混合物的流率将取决于处理室的大小, 并且在一些实施方式中介于约10sccm和10,000sccm之间。

[0033] 在Li等人的名称为“Tin Oxide with Controlled Morphology and Crystallinity by Atomic Layer Deposition onto Graphene Nanosheets for Enhanced Lithium Storage”(Advanced Functional Materials, 2012, 22, 8, 1647-1654)的文章中描述了适用于沉积本文提供的共形Sn₀₂层的热ALD工艺条件的具体示例, 其全部内容通过引用并入本文。该工艺包括在200-400°C的温度下, 将ALD真空室中的衬底顺序地和交替地暴露于SnCl₄(含锡前体)和去离子水(含氧反应物)。在ALD循环的具体示例中, 将SnCl₄蒸气与N₂载气的混合物引入ALD处理室持续0.5秒, 然后暴露于衬底持续3秒。接下来, 用N₂吹扫ALD处理室持续10秒以从处理室的主体部分中除去SnCl₄, 并且使H₂O蒸汽与N₂载气的混合物流入处理室持续1秒, 并暴露于衬底持续3秒。接下来, ALD处理室用N₂吹扫并重复该循环。ALD工艺在低于大气压的压强(例如0.4托)和200-400°C的温度下进行。

[0034] 在Du等人的、名称为“In situ Examination of Tin Oxide Atomic Layer Deposition using Quartz Crystal Microbalance and Fourier Transform Infrared Techniques”(J.Vac.Sci.Technol.A 23, 581(2005))的文章中给出了适合于在本文提供的方法中沉积Sn₀膜的热ALD工艺条件的另一个示例, 该文章的全部内容通过引用并入本文。在该工艺中, 在约150°C-430°C之间的温度下, 在ALD处理室中将衬底顺序地暴露于SnCl₄和H₂O₂。

[0035] 虽然在许多实施方式中在ALD中使用卤化锡前体是合适的,但在一些实施方式中,更优选使用非卤化有机锡前体以避免使用卤化前体如 SnCl_4 而可能发生的腐蚀问题。合适的非卤化有机锡前体的示例包括烷氨基锡(烷基化锡酰胺)前体,如四(二甲氨基)锡。在Elam等人的、名称为“Atomic Layer Deposition of Tin Oxide Films using Tetrakis(dimethylamino)tin”(J.Vac.Sci.Technol.A 26,244(2008))的文章提供了使用该前体的合适的热ALD沉积方法的一个示例,该文章的全部内容通过引用并入本文。在该方法中,在约50°C-300°C之间的温度下,将衬底在ALD室中顺序地暴露于四(二甲氨基)锡和 H_2O_2 。有利地,使用这种前体允许在100°C或更低的低温下沉积 SnO_2 膜。例如,可以在不使用等离子体的情况下在50°C下沉积 SnO_2 膜以提高反应速率。在Elam等人的、名称为“Atomic Layer Deposition of Indium Tin Oxide Thin Films Using Nonhalogenated Precursors”(J.Phys.Chem.C 2008,112,1938-1945)文章中提供了使用四(二甲基氨基)锡和 H_2O_2 的 SnO 的热ALD的另一个示例,该文章的全部内容通过引用并入本文。

[0036] Heo等人的、名称为“Low temperature Atomic Layer Deposition of Tin Oxide”(Chem.Mater.,2010,22(7)4964-4973)的文章中提供了使用反应性有机锡前体的低温热ALD工艺的另一个示例,该文章的全部内容通过引用并入本文。在该沉积工艺(其适用于沉积本文提供的 SnO_2 膜)中,在ALD真空处理室中将衬底顺序地暴露于 N^2 , N^3 -二-叔丁基-丁烷-2,3-二氨基-锡(II)和50%的 H_2O_2 。这些反应物被汽化,并且每种反应物与 N_2 载气混合被提供给处理室。每次将衬底暴露于反应物后,将室用 N_2 吹扫。沉积可以在约50°C-150°C之间的温度下进行。

[0037] 尽管过氧化氢在ALD工艺中通常用作用于形成 SnO_2 的含氧反应物,但是由于 H_2O_2 分解,有时可能不足以对 SnO_2 膜生长进行控制。在一些实施方案中,使用更稳定的含氧前体,例如NO。在Heo等人的、名称为“Atomic Layer Deposition of Tin Oxide with Nitric Oxide as an Oxidant Gas”(J.Mater.Chem.,2012,22,4599)的文章中提供了使用NO作为含氧反应物的合适的工艺条件的示例,该文章的全部内容通过引用并入本文。沉积涉及在约130-250°C之间的温度下将衬底依次暴露于环状Sn(II)酰胺(1,3-双(1,1-二甲基乙基)-4,5-二甲基-(4R,5R)-1,3,2-二氮杂锡烷-2-亚基和NO。

[0038] 在一些实施方式中,通过PEALD沉积 SnO_2 膜。可以使用如上所述用于热ALD的相同类型的含锡前体和含氧反应物。在PEALD中,ALD装置配备有用于在处理室中产生等离子体并用等离子体处理衬底的系统。在典型的PEALD处理顺序中,将衬底提供到PEALD处理室并暴露于吸附在衬底表面上的含锡前体。用惰性气体(例如氩气或氦气)吹扫处理室以从处理室中去除前体,并将衬底暴露于引入到处理室中的含氧反应物。在引入含氧反应物的同时或在一段时间之后,在处理室中形成等离子体。等离子体促进含锡前体与衬底表面上的含氧反应物之间的反应,导致形成 SnO_2 。接下来,用惰性气体吹扫处理室,并根据需要重复包含锡前体定量投配、吹扫、含氧反应物定量投配、等离子体处理和第二吹扫的循环多次以形成所需厚度的 SnO_2 膜。

[0039] 在Seop等人的、名称为“The Fabrication of Tin Oxide Films by Atomic Layer Deposition using Tetrakis(ethylmethylamino)tin Precursor”(Transactions on Electrical and Electronic Materials,2009,10,5,173-176)的文章中提供了适合于PEALD形成 SnO_2 膜的工艺条件的示例,该文章的全部内容通过引用并入本文。将衬底提供到

PEALD处理室中,并且在没有等离子体的情况下暴露于四(乙基甲基氨基)锡,暴露4秒。接下来,通过使氩气流过处理室持续20秒,从处理室清除含锡前体。然后,注入 O_2 持续2秒,在射频(RF)功率为100W,再持续2秒。然后是氩气吹扫,从而完成一个PEALD循环。在这个示例中,该工艺在50-200°C之间的温度范围和0.8托的压强下进行。

[0040] 尽管ALD(热和等离子体增强两者都有)是沉积 SnO_2 膜的优选方法之一,但是应理解,也可以使用其他 SnO_2 沉积方法,例如CVD、PECVD和溅射。

[0041] 第二材料(SiO_2 、 SiC 、 SiN 、 $SiOC$ 、 $SiNO$ 、 $SiCNO$ 和 $SiCN$ 中的任一种)可以通过多种方法沉积,多种方法包括PECVD、CVD、ALD和PEALD。在一些实施方式中,第二材料通过PECVD沉积。在该方法中,在控制用于在衬底上沉积第二材料的条件下,在包含含硅前体和含有第二材料的一种或多种元素的反应物的工艺气体中形成等离子体。例如,可以通过在包含含硅前体和含氧反应物的工艺气体中形成等离子体来沉积 SiO_2 ;可以通过在包含含硅前体和含碳反应物的工艺气体中形成等离子体来沉积 SiC ;可以通过在包含含硅前体和含氮反应物的工艺气体中形成等离子体来沉积 SiN ;可通过在包含含硅前体、含氧反应物和含碳反应物的工艺气体中形成等离子体来沉积 $SiOC$;可通过在包含含硅前体、含氧反应物和含氮反应物的工艺气体中形成等离子体来沉积 $SiNO$;可以通过在包含含硅前体、含氧反应物、含碳反应物和含氮反应物的工艺气体中形成等离子体来沉积 $SiCNO$;并且可以通过在包含含硅前体、含碳反应物和含氮反应物的工艺气体中形成等离子体来沉积 $SiCN$ 。在那些含硅前体进一步包括第二材料的任何必需元素的情况下,含硅前体和反应物可以是相同的。例如,在沉积 SiO_2 期间,TEOS可以用作含硅前体和含氧反应物。含硅前体的示例包括硅烷、乙硅烷、四烷基硅烷、三烷基硅烷、硅氧烷、TEOS等。含氧反应物的示例包括 CO_2 、 N_2O 、 O_2 、 O_3 、 H_2O 。含氮反应物的示例包括 N_2 和 NH_3 。含碳反应物的示例包括烃,例如甲烷、乙烷、丙烷等。用于沉积这些材料的工艺气体还可以包括载气,例如 He 、 Ar 、 Ne 等。

[0042] 利用氢等离子体的 SnO_2 蚀刻方法可以在各种工艺条件下在各种装置中实施。在一些实施方式中,该方法涉及将具有暴露的氧化锡层的半导体衬底提供到蚀刻室,并且使该衬底与在包含 H_2 以及任选的载气(如氦或另一种惰性气体)的工艺气体中形成的等离子体接触。术语“蚀刻室”或“蚀刻装置”是指配置用于蚀刻的室和装置。在一些实施方式中,“蚀刻室”或“蚀刻装置”专门配置用于蚀刻操作。在其他实施方式中,“蚀刻室”或“蚀刻装置”可以被配置为除了蚀刻之外还执行其他操作,例如沉积。例如,在一些实施方式中,蚀刻室也可以用于ALD沉积。

[0043] 在一些实施方式中,用于氢等离子体蚀刻的等离子体在容纳半导体衬底的同一处理室中产生。在其它实施方式中,等离子体被远程产生,并且通过处理室中的一个或多个入口被引入容纳衬底的处理室中。

[0044] 控制蚀刻以将 SnO_2 转化为挥发性 SnH_4 。优选地,工艺气体中的 H_2 含量为至少约50体积%,例如至少约80体积%(可以高达并包括100%)。在一些实施方式中,工艺气体可以进一步包括碳氢化合物,例如 CH_4 。在一些实施方式中,工艺气体还包括 Cl_2 。例如,工艺气体可以基本上由 H_2 和惰性气体(例如 He)组成,或者工艺气体可以基本上由 H_2 、惰性气体和碳氢化合物(CH_4)组成。在衬底附近测得的低于约100°C的温度下进行蚀刻。蚀刻反应有利地仅产生挥发性材料,例如 SnH_4 ,其可以通过抽排和/或吹扫从蚀刻处理室容易地去除。蚀刻工艺温度优选选择为低于约100°C,因为较高的温度可能导致所形成的 SnH_4 分解并形成可能污

染处理室和衬底的颗粒。选择工艺气体的组成和处理条件以减少或消除蚀刻期间颗粒的形成。重要的是,蚀刻反应不需要任何显著的溅射成分,并且可以在衬底上没有外部偏置的情况下以及在不存在重离子(例如氩离子)的情况下进行。减少溅射成分对于相对于衬底上的第二材料提高蚀刻选择性可能是有益的。因此,在一些实施方式中,蚀刻被执行而不向衬底提供外部偏置和/或涉及使用作为载气的氦气(轻质气体)以减少溅射。

[0045] 用于氢等离子体蚀刻的等离子体可以使用各种频率(低和高)产生。合适的频率的示例包括400KHz、2MHz、13.56MHz、27MHz或2.45GHz。在一些实施方式中,用于产生等离子体的功率的范围可以在约50W至1,000W之间,对应于介于约0.0018W/cm²和0.36W/cm²之间的功率密度。衬底上的偏置是任选的,偏置功率可以在大约0W到500W的范围内。每个喷头的适合的气体流率(用于处理一个300mm晶片)是:

- i .H₂:25至750sccm;
- ii .Cl₂:0至500sccm(例如,5-200sccm);
- iii .He:0至500sccm(例如,5-100sccm);以及
- iv .CH₄:0至500sccm(例如,5-100sccm)。

[0046] 在一些实施方式中,蚀刻工艺可以在约1至175毫托之间的压强下进行。

[0047] 在一些具体实施方式中,使用高频产生(例如,13.56MHz或27MHz)来产生等离子体,并且使用对应于介于0.07W/cm²和0.18W/cm²之间的功率密度的介于约200W至500W之间的等离子体功率来提供等离子体。衬底偏置的功率在约0W和200W之间。每个喷头适合的气体流量(用于处理一个300mm晶片)是:

- i .H₂:100至300sccm;
- ii .Cl₂:0至200sccm(例如,5-100sccm);
- iii .He:0至100sccm(例如,5-50sccm);
- iv .CH₄:0至100sccm(例如,5-50sccm)。

[0048] 在这些实施方式中,在约1至30毫托之间的压强下执行蚀刻工艺。

[0049] 在一些实施方式中,在蚀刻之前,包括暴露的SnO₂层的衬底还包含从由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中选择的暴露的材料层,并且所提供的蚀刻方法相对于这些材料以高选择性来蚀刻SnO₂。在一些实施方式中,蚀刻完全从衬底表面去除暴露的SnO₂,而不完全去除选自由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN组成的组中的材料。

[0050] 另一方面,提供了一种用于在衬底上形成气隙的方法,其中使用SnO₂作为在形成气隙中可去除的间隔物材料。例如,由SnO₂制成的气隙间隔物可以用于FinFET器件中。

[0051] 常规技术使用以下一项或多项。在DRAM制造中使用SiO₂并使用HF去除。因此该化学品的使用由于HF对其他膜的化学侵蚀以及穿透非常高深宽比结构(>15:1)的问题而受到限制。在逻辑制造中,由于步骤太多,因而使用传统FinFET气隙间隔物可能太复杂。此外,没有完美的材料组合可供选择。湿法蚀刻工艺的使用使小特征和/或高深宽比特征处理成为问题。这里通过引入SnO₂气隙间隔物和处理方法来解决这些缺点。

[0052] 图2是示出使用可去除的SnO₂间隔物在半导体衬底上创建气隙的方法的实施方式的工艺流程图。该方法开始于操作2201,在操作2201,提供具有暴露的第一材料层和暴露的第二材料层以及位于第一材料层和第二材料层之间的暴露的SnO₂层的半导体衬底。第一材料和第二材料可以是相同的材料或不同的材料。例如,第一材料和第二材料可以独立地选

自SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN。在一些实施方式中,第一材料和第二材料都是SiO₂。在其他实施方式中,第一材料是SiO₂,而第二材料是SiN。一般来说,可以选择任何材料的组合。接着,在操作2203中,使用本文所述的氢等离子体蚀刻化学物质,相对于第一材料和第二材料两者选择性地蚀刻暴露的SnO₂。蚀刻在暴露的第一材料和第二材料的存在下去除SnO₂并且形成凹陷的特征来代替去除的SnO₂。相对于第一和第二材料去除SnO₂的蚀刻选择性优选为至少约5,例如至少约10,或至少约50。也可以用所描述的方法实现大于80的蚀刻选择性,例如100的蚀刻选择性。接下来,在操作2205中,将第三材料沉积在凹陷特征上而不完全填充凹陷特征,从而在第一材料层和第二材料层之间形成气隙。第三材料是任何合适的材料,并且可以与第一材料和第二材料中的每一种相同或不同。在一些实施方式中,第三材料是电介质。在一些实施方式中,第三材料是SiO₂,其例如通过PECVD或HDP(高密度等离子体)CVD沉积。

[0053] 有利地,本文提供的SnO₂的蚀刻工艺不需要湿法蚀刻,并且不需要暴露于含氟化学物质。有利地,可以在具有非常窄的宽度(例如,20 Å - 100 Å)的SnO₂层上进行针对SnO₂的氢等离子体蚀刻,而不引起器件的结构坍塌。结构坍塌是在湿法刻蚀具有非常小尺寸的间隔物期间遇到的问题。通常,气隙形成序列中SnO₂层的宽度可以在宽范围内变化(例如,10 Å - 5000 Å),但是所提供的方法对于处理具有宽度为20 Å - 100 Å的窄SnO₂间隔物的衬底是特别有利的。

[0054] 根据实施方式中的一个,在图3A-3G中提供了用于形成气隙的处理顺序的一个示例,其示出了在气隙形成期间的半导体衬底的横截面示意图。图3A-3E示出了可用于获得在暴露的第一材料层和暴露的第二材料层之间包含暴露的SnO₂层的衬底的处理步骤。应理解的是,可以使用各种其他方法来获得这种衬底。所示的方法包括在衬底303上形成栅极301,产生如图3A所示的结构。栅极是衬底上的突起特征。在一些实施方式中,栅极301是高k氧化物,诸如例如氧化铪。接下来,如图3B所示,第一材料层305共形地形成在衬底上,使得其覆盖衬底303和栅极301。重要的是,层305在栅极301的侧壁和栅极301的顶表面上都覆盖栅极301。在一个说明性示例中,层305是SiN层。例如,通过ALD可以实现共形沉积。接下来,如图3C所示,在层305上共形地形成SnO₂层307。SnO₂层307与下伏的层305接触并位于衬底303之上且在栅极301之上。SnO₂层在栅极的侧壁和栅极的顶表面处都覆盖栅极。SnO₂层可以通过ALD或PECVD沉积。接下来,将第二材料层309共形地沉积在衬底上方的SnO₂层307上,产生如图3D所示的结构。在一些实施方式中,第二材料是SiO₂。第二材料接触SnO₂层并位于衬底303和栅极301之上,在栅极的侧壁和栅极的顶表面处都覆盖栅极。在下一步中,结构被平面化(例如,使用化学机械抛光)。该步骤从栅极的顶表面移除第二材料(例如,SiO₂层),并暴露栅极的侧壁处的SnO₂层。图3E所示的结构示出了平坦化之后的衬底。它显示暴露的SnO₂层307位于栅极的侧壁处的暴露的第一材料层305与暴露的第二材料层309之间。该结构是可以在图2所示的工艺流程图的步骤2201中使用的一种可能的结构。如果SnO₂层基本共形地沉积,则沉积在水平表面上的SnO₂层的厚度将类似于暴露在栅极侧壁的SnO₂层的宽度。例如,如果将SnO₂沉积到介于约20 Å - 100 Å之间的厚度,则栅极的侧壁处的暴露的SnO₂层将具有介于约20 Å - 100 Å之间的宽度。

[0055] 接下来,如本文所述进行氢等离子体蚀刻。图3E中所示的衬底与在蚀刻处理室中

的包含H₂的工艺气体中形成的等离子体接触,并且暴露的SnO₂层307(相对于其他暴露的材料)被选择性地蚀刻以形成在第二材料层309和第一材料层305之间的凹陷特征。所得结构在图3D中示出,其示出了在层309和层305之间的凹陷特征311。最后,在随后的步骤中,将第三材料(例如,SiO₂)层313例如通过HDP CVD沉积,使得其覆盖凹陷特征311而不完全填充凹陷特征,由此产生气隙。

[0056] 用于形成气隙的方法的更具体示例包括:(a)在衬底上形成栅极,其中栅极包括高k氧化物;(b)通过ALD保形沉积(在栅极的侧壁上和栅极的顶表面上都)与栅极接触的SiN层;(c)例如通过ALD或PECVD在SiN层的层上共形地形成SnO₂层;(d)在SnO₂层上共形地形成SiO₂层;(e)(例如,通过化学机械抛光)平面化该结构,其中平面化从水平表面去除SiO₂,并暴露SnO₂和栅极侧壁处的第一材料,由此提供具有暴露的SiN层、暴露的SiO₂以及位于这些层之间的暴露的SnO₂层;(f)使用如本文所述的氢等离子体以相对于SiN和SiO₂的高蚀刻选择性蚀刻暴露的SnO₂,从而在SiN和SiO₂层之间形成凹陷特征;并且(c)在凹陷特征上沉积SiO₂而不完全填充凹陷特征,从而在第一材料层和第二材料层之间形成气隙。在一些实施方式中,通过氢等离子体蚀刻而沉积并去除的SnO₂层的宽度在约20 Å -100 Å之间。

[0057] 在于2016年12月6日公布的、名称为“Air Gap Spacer Integration For Improved Fin Device Performance”的由Besser等人共同拥有的美国专利No.9,515,156中描述了用于在FinFET器件制造中形成气隙的详细处理方案,为了描述可与本文提供的SnO₂间隔物结合使用的气隙形成方法,该专利其全部内容通过引用合并于此。本文参照图4A-4T描述了在根据一些实施方式的FinFET器件制造的背景下形成气隙的方法,图4A-4T示出了FinFET器件制造的各个阶段期间的半导体衬底的透视图。

[0058] 在一些实施方式中,提供了具有气隙间隔物的FinFET器件和将使用牺牲SnO₂间隔物将气隙集成到FinFET器件中的方法。气隙间隔物在集成过程中使用牺牲SnO₂间隔物形成。在自对准源极/漏极接触形成之后,牺牲间隔物随后被去除。气隙间隔物减少了FinFET寄生电容。可以在不损失工艺窗口或放宽光刻覆盖要求的情况下实现低寄生电容。

[0059] 现在参考图4A-4B,分别示出了浅沟槽间隔(STI)凹陷蚀刻和形成伪栅极之后的衬底。在图4A中,衬底100包括层间电介质(ILD)层110和多个鳍片114。ILD层110可以由低k电介质、掺杂的氧化物、可流动的氧化物、二氧化硅(SiO₂)或其它合适的材料制成。在一些实施例中,多个鳍片114可由插入了STI氧化物的硅(Si)制成。STI氧化物也可位于多个鳍片114的顶表面上。

[0060] 在图4B中,伪栅极118被沉积在多个鳍片114上并被蚀刻。在一些实施例中,伪栅极118被布置在ILD层110上,并横向于多个鳍片114延伸。在一些实施例中,伪栅极118由多晶硅制成。硬掩模层122可以被用于在蚀刻期间掩蔽伪栅极118。

[0061] 现在参考图4C-4D,分别为牺牲SnO₂间隔物被沉积并被蚀刻以及伪栅极被去除。在图4C中,牺牲SnO₂间隔物128被沉积在伪栅极118的外表面周围并被蚀刻,例如使用本发明描述的氢等离子体蚀刻。在图4D中,ILD层132沉积在牺牲SnO₂间隔物128周围。此外,伪栅极118和硬掩模层122通过蚀刻或灰化去除。在一些实施例中,形成伪栅极118的硅相对于SnO₂和衬底100的二氧化硅(SiO₂)材料被选择性地蚀刻。

[0062] 在图4E中,示出了替代金属栅极(RMG)的形成。替代金属栅极(RMG)138被沉积在伪栅极118的之前的位置。在一些实施例中, RMG 138具有高介电(HK)常数,预定厚度为介于1

和10nm之间。在一些实施例中, RMG 138由下列材料制成:高介电常数材料,例如氧化铪(HfO_2)、 HfSiO_2 、氧化铝(Al_2O_3)、氧化锆(ZrO_2)或氧化钛(TiO_2);金属功函数设定材料,诸如氮化钛(TiN)、氮化钛铝(TiAlN)、氮化钨(WN_x) (其中, x 是整数)、氮化碳钨(WCN_x)、钴(Co)、或其它金属;以及主体导电金属,如钨(W)、钴(Co)或铝(Al)和它们的合金。在一些实施例中,化学机械研磨(CMP)可以在RMG 138的沉积之后进行。在一些实施例中,在CMP后RMG 138的顶表面与牺牲 SnO_2 间隔物128以及ILD层132的顶表面共面。

[0063] 现在参考图4F, RMG 138相对于 SnO_2 和二氧化硅(SiO_2)被选择性地和部分地蚀刻。更具体地说, RMG 138以相对于牺牲 SnO_2 间隔物128和ILD层132的顶表面向下的方向被部分地和选择性地蚀刻以在RMG 138中创建凹陷139。RMG 138的顶表面141位于包括牺牲 SnO_2 间隔物128和ILD层132的顶表面的平面的下方。

[0064] 现在参考图4G-4H, 分别示出栅极覆盖层沉积和栅极覆盖层的化学机械研磨(CMP)。在图4G中,栅极覆盖层144被沉积在RMG 138中的凹陷内和衬底100的顶表面上。在一些实施例中,栅极覆盖层144可以由碳氧化硅(SiOC)或其他合适的材料制成。在一些实施例中,栅极覆盖层144使用如在于2013年12月12日提交的名称为“Remote Plasma Based Deposition of SiOC Class Films”的共同转让的美国专利申请公开No.2013/0330935中描述的工艺进行沉积,所述申请的全部内容通过引用并入本文。在一些实施例中,栅极覆盖层144使用其中描述的远程等离子体工艺进行沉积。在图4H中,执行栅极覆盖层144的CMP以创建栅极覆盖层145到RMG 138上。在一些实施例中,在CMP之后栅极覆盖层145的顶表面与牺牲 SnO_2 间隔物128和ILD层132的顶表面共面。

[0065] 现在参考图4I-4J, 分别示出了自对准接触(SAC)区域蚀刻,去除SAC填充和牺牲间隔物。在图4I中,ILD层132的包围多个鳍片114的相对侧的区域被掩蔽并使用相对于栅极覆盖层和牺牲 SnO_2 间隔物选择性地蚀刻ILD的蚀刻进行蚀刻以暴露多个鳍片114和创建自对准接触区域。

[0066] 在图4J中,自对准接触区域用SAC材料152填充。在一些实施例中,SAC材料152包括金属层155或阻挡层153和沉积在阻挡层153上的金属层155。在一些实施例中,阻挡层153包括钛(Ti)和氮化钛(TiN)双层,金属层155包括钨(W),但也可以使用其它材料,如 WCN_x 用于阻挡, Co 用于金属层。在图4K中,牺牲 SnO_2 间隔物128被去除。例如,可以使用本文所述的氢等离子体蚀刻方法相对于暴露的材料来对牺牲 SnO_2 间隔物128选择性地进行蚀刻。例如, SnO_2 材料可以存在于 SiOC 层145和ILD层(例如掺杂的或未掺杂的 SiO_2)132之间,并且可以使用氢等离子体相对于这些材料选择性地蚀刻。

[0067] 现在参考图4L-4N,密封层被沉积在衬底上,执行CMP以创建气隙间隔物。在图4L中,密封层156被沉积在衬底100的顶表面上。在沉积过程中,在去除牺牲 SnO_2 间隔物128之后创建的气隙159的上部由密封层156至少部分地填充。在一些实施例中,密封层156由ILD、二氧化硅(SiO_2)、碳掺杂的二氧化硅,或碳氧化硅(SiOC)制成。在一些实施例中,密封层156使用等离子体增强化学气相沉积(PECVD)沉积,但也可使用其他的沉积工艺。

[0068] 在一些实施例中,密封层156包括使用等离子体增强化学气相沉积来沉积的 SiCO ,所述等离子体增强化学气相沉积如在名称为“Remote Plasma Based Deposition of SiOC Class Films”的共同转让的美国专利申请公开No.2013/0330935中描述的沉积,所述申请在前文通过引用并入。

[0069] 在图4M中,CMP用于去除位于衬底100的顶表面上的密封层156的一部分以创建气隙密封157。在一些实施例中,在CMP后气隙密封157的顶表面与栅极覆盖层145和ILD层132的顶表面是共面的。在图4N中,示出了衬底的沿平行于多个鳍片114并与其隔离开的平面形成的横截面。气隙159位于气隙密封157的下方。

[0070] 现在参考图40,蚀刻停止层164被沉积在衬底100的顶表面上。在一些实施例中,蚀刻停止层164包括SiOC,但也可以使用其它材料。在一些实施例中,SiOC如在名称为“Remote Plasma Based Deposition of SiOC Class Films”的共同转让的美国专利申请公开No.2013/0330935中所描述的进行沉积,该申请的全部内容通过引用并入本文。ILD层166沉积在蚀刻停止层164上。

[0071] 现在参考图4P-4T,进行各种不同的蚀刻步骤,以打开衬底的不同部分。在图4P-4Q中,示出各种蚀刻步骤的实施例。在图4P中,ILD层166被蚀刻以选择性地暴露蚀刻停止层164的部分190中的下伏层。在图4Q中,蚀刻停止层164被蚀刻,以打开栅极覆盖层145、气隙密封157、金属层155和ILD层132的部分以进一步处理。

[0072] 在图4R和4S中,ILD层166和蚀刻停止层164被蚀刻,以选择性地暴露衬底100的部分192中的下伏层。在图4S中,气隙密封157、金属层155和ILD层132的不同部分被打开以进一步处理。

[0073] 在图4T中,ILD层166被图案化并蚀刻以暴露衬底100的部分198和200中的下伏层。气隙密封157、金属层155、RMG 138和ILD层132的一部分被打开以进一步处理。可以理解的是,各种其他子层可被打开以进一步处理。

其他实施方式

[0074] 在各种其他实施方式中,SnO₂层和氢等离子体蚀刻可以用于以下应用中。

[0075] 在一些实施方式中,SnO₂层被用作伪栅极而不是常用的多晶硅伪栅极。例如,在该实施方式中修改上文参考图4A-4T描述的工艺流程,使得伪栅极118由SnO₂制成,而间隔物128由不包含SnO₂的材料制成。例如,在该实施方式中,间隔物128可以是SiN间隔物。修改的方法包括使用H₂等离子体化学物质蚀刻伪栅极118来去除伪栅极。在一个实施方式中,该方法包括在半导体衬底上形成SnO₂伪栅极;在存在所述SnO₂伪栅极的情况下处理所述半导体衬底,其中处理可涉及在所述半导体衬底上的材料的沉积和/或蚀刻;利用在包括H₂的工艺气体中形成的等离子体蚀刻SnO₂伪栅极,以形成凹陷特征来代替伪栅极,并且将高k介电材料沉积到形成的凹陷特征中,从而形成栅极来代替伪栅极。在一些实施方式中,伪栅极去除期间的氢等离子体蚀刻涉及使用在包含至少约50%H₂的工艺气体和低于约100°C的温度下形成的等离子体进行蚀刻。在一些实施方式中,相对于选自由SiO₂、SiC、SiN、SiOC、SiNO、SiCNO和SiCN材料组成的组中的一种或多种材料选择性地执行蚀刻,其中这些材料可以在蚀刻之前暴露在衬底上,或在蚀刻期间成为暴露的。将SnO₂用于伪栅极以及将H₂等离子体用于伪栅极蚀刻的优点包括相对于SiO₂和低k间隔物易于有选择性地去除SnO₂以及耐高温性。

[0076] 在其他实施方式中,SnO₂层被用作BEOL应用中的高阻电阻器。这是一个有用的应用,因为多晶硅不可用于BEOL中。

[0077] 在其他实施方式中,使用SnO₂层作为植入物屏障。该应用需要可用于SnO₂沉积的低沉积温度,以及可通过氢等离子体蚀刻实现的高选择性去除。有利地,当使用氢等离子体去除时不需要HF浸渍。

装置

[0078] 这里描述的氢等离子体蚀刻方法可以在多种装置中进行。合适的装置包括蚀刻处理室、在蚀刻处理室中的被配置用于在蚀刻期间将衬底保持在合适位置的衬底保持器以及配置用于在工艺气体中产生等离子体的等离子体产生机构。

[0079] 合适的装置的示例包括电感耦合等离子体 (ICP) 反应器, 其在某些实施方式中也可适用于包括原子层蚀刻 (ALE) 操作和原子层沉积 (ALD) 操作的循环沉积和活化过程。这种 ICP 反应器也在2016年6月7日公布的、名称为“Method for Forming a Mask by Etching Conformal Film on Patterned Ashable Hardmask”的美国专利No.9,362,133中描述, 其通过引用整体并入本文并用于所有目的。尽管在此详细描述了 ICP 反应器, 但应该理解, 也可以使用电容耦合等离子体反应器。

[0080] 图5示意性地示出了适用于实施本文所述的氢等离子体蚀刻的电感耦合等离子体集成的蚀刻和沉积装置400的横截面图, 其示例是由位于加利福尼亚州Fremont的Lam Research Corp.生产的 Kiyo® 反应器。电感耦合等离子体装置400包括在结构上由室壁401和窗411限定的整个处理室424。室壁401可以由不锈钢或铝制成。窗411可以由石英或其他介电材料制成。可选的内部等离子体栅格450将整个处理室分成上子室402和下子室403。在大多数实施方式中, 等离子体栅格450可以被去除, 从而利用由子室402和403构成的室空间。卡盘417位于下子室403内, 靠近底部内表面。卡盘417被构造为接收并保持半导体晶片419, 在半导体晶片419上执行蚀刻和沉积工艺。卡盘417可以是用于当晶片419存在时支撑晶片419的静电卡盘。在一些实施方式中, 边缘环(未示出)围绕卡盘417, 并且具有当晶片419存在于卡盘417上方时与晶片419的顶表面近似平面的上表面。卡盘417还包括用于卡紧和释放晶片419的静电电极。为此目的可以提供滤波器和DC钳位电源(未示出)。还可以提供用于提升晶片419离开卡盘417的其它控制系统。卡盘417可以使用RF电源423来充电。RF电源423通过连接427连接到匹配电路421。匹配电路421通过连接425连接到卡盘417。以这种方式, RF电源423连接到卡盘417。在多种实施方式中, 静电卡盘的偏置功率可以被设置为大约50Vb或者可以被设置为不同的偏置功率, 具体取决于根据所公开的实施方式执行的工艺。例如, 偏置功率可介于约20Vb与约100Vb之间, 或介于约30Vb与约150Vb之间。

[0081] 用于等离子体产生的元件包括位于窗411上方的线圈433。在一些实施方式中, 在所公开的实施方式中不使用线圈。线圈433由导电材料制成并且包括至少一个完整的匝。图4中所示的线圈433的示例包括三匝。线圈433的横截面用符号示出, 并且具有“X”的线圈旋转地延伸到页面里, 而具有“●”的线圈旋转地延伸出页面。用于等离子体产生的元件还包括被配置为向线圈433提供RF功率的RF电源441。通常, RF电源441通过连接445连接到匹配电路439。匹配电路439通过连接443连接到线圈433。以这种方式, RF电源441连接到线圈433。可选的法拉第屏蔽449a定位在线圈433和窗411之间。法拉第屏蔽449a相对于线圈433可以保持间隔开的关系。在一些实施方式中, 法拉第屏蔽449a设置在窗411的正上方。在一些实施方式中, 法拉第屏蔽449b位于窗口411和卡盘417之间。在一些实施方式中, 法拉第屏蔽449b相对于线圈433不保持间隔开的关系。例如, 法拉第屏蔽449b可以在窗口411正下方没有间隙。线圈433、法拉第屏蔽449a以及窗411各自被配置为基本上彼此平行。法拉第屏蔽449a可以防止金属或其它物质沉积在处理室424的窗411上。

[0082] 工艺气体(例如H₂和He等)可以通过位于上子室402中的一个或多个主气流入口

460和/或通过一个或多个侧气流入口470流入处理室。类似地,尽管未明确示出,类似的气流入口可用于将工艺气体供应到电容耦合等离子体处理室。可以使用真空泵(例如,一级或两级机械干式泵和/或涡轮分子泵440)将工艺气体抽出处理室424并维持处理室424内的压力。例如,真空泵可用于在吹扫操作期间排空下子室403。阀控制的导管可以用于将真空泵流体连接到处理室424,以便选择性地控制由真空泵提供的真空环境的施加。这可以在操作等离子体处理期间采用闭环控制的流量限制装置(例如,节流阀(未示出)或摆动阀(未示出))来完成。同样,也可以采用真空泵和阀控制的与电容耦合等离子体处理室的流体连接。

[0083] 在装置400的操作期间,可以通过气流入口460和/或470供应一种或多种工艺气体,例如含H₂气体。在某些实施方式中,工艺气体可以仅通过主气流入口460供应,或者仅通过侧气流入口470供应。在一些情况下,图中所示的气流入口可以被更复杂的气流入口(例如,一个或多个喷头)替换。法拉第屏蔽449a和/或可选栅格450可以包括允许将工艺气体输送到处理室424的内部通道和孔。法拉第屏蔽449a和可选栅格450中的任一个或两个可以用作用于输送工艺气体的喷头。在一些实施方式中,液体汽化和输送系统可以位于处理室424的上游,使得一旦液体反应物或前体被汽化,则汽化的反应物或前体经由气流入口460和/或470被引入到处理室424中。

[0084] 射频功率从RF电源441提供到线圈433,以使RF电流流过线圈433。流过线圈433的RF电流在线圈433周围产生电磁场。电磁场在上子室402中产生感应电流。各种所产生的离子和自由基与晶片419的物理和化学相互作用选择性地蚀刻晶片的特征并在晶片419上选择性地沉积层。

[0085] 如果使用等离子体栅格450使得存在于上子室402和下子室403两者,则感应电流作用于存在于上子室402中的气体以在上子室402中产生电子-离子等离子体。可选的内部等离子体栅格450限制下子室403中的热电子的量。在一些实施方式中,设计和操作该装置400,使得存在于下子室403中的等离子体是离子-离子等离子体。

[0086] 上部电子-离子等离子体和下部离子-离子等离子体均可以包含正离子和负离子,尽管离子-离子等离子体将具有更大的负离子比正离子的比值。挥发性蚀刻和/或沉积副产物可以通过端口422从下子室403去除。例如,在使用H₂等离子体蚀刻SnO₂期间产生的SnH₄可以在吹扫和/或抽排期间通过端口422移除。本文公开的卡盘417可以在约10°C和约250°C之间的升高的温度下操作。温度将取决于工艺操作和具体配方。在一些实施方式中,控制装置在低于约100°C的温度下进行蚀刻。

[0087] 装置400在安装在洁净室或制造设施中时可耦合到设施(未示出)。设施包括提供工艺气体、真空、温度控制和环境颗粒控制的管道(plumbing)。当安装在目标制造设施中时,这些设施耦合到装置400。另外,装置400可耦合到传送室,传送室允许机械手使用典型的自动化技术传送半导体晶片进出装置400。

[0088] 在一些实施方式中,系统控制器430(其可以包括一个或多个物理或逻辑控制器)控制处理室424的操作中的一些或全部。系统控制器430可以包括一个或多个存储器设备和一个或多个处理器。在一些实施方式中,该装置400包括用于控制工艺气体的流率的切换系统。在一些实施方式中,控制器包括用于引起本文提供的任何方法的步骤的程序指令。

[0089] 在一些实现方式中,控制器430是系统的一部分,该系统可以是上述示例的一部分。这种系统可以包括半导体处理设备,半导体处理设备包括一个或多个处理工具、一个或

多个室、用于处理的一个或多个平台、和/或特定处理部件(晶片基座、气体流系统等)。这些系统可以与用于在半导体晶片或衬底的处理之前、期间和之后控制它们的操作的电子器件集成。电子器件可以集成到系统控制器430中,其可以控制一个或多个系统的各种部件或子部件。根据处理参数和/或系统类型,系统控制器可以被编程以控制本文公开的任何工艺,包括控制工艺气体的输送、温度设置(例如加热和/或冷却)、压力设置、真空设置、功率设置、射频(RF)发生器设置、RF匹配电路设置、频率设置、流率设置、流体输送设置、位置和操作设置、进出工具和其他输送工具和/或连接到特定系统或与特定系统接口的装载锁的晶片输送。

[0090] 广义而言,系统控制器430可以定义为电子器件,电子器件具有接收指令、发出指令、控制操作、启用清洁操作、启用终点测量等各种集成电路、逻辑、存储器和/或软件。集成电路可以包括存储程序指令的固件形式的芯片、数字信号处理器(DSP)、定义为专用集成电路(ASIC)的芯片、和/或一个或多个微处理器、或执行程序指令(例如,软件)的微控制器。程序指令可以是以各种单独设置(或程序文件)的形式输送到控制器的指令,单独设置(或程序文件)定义用于在半导体晶片上或针对半导体晶片或系统执行特定工艺的操作参数。在一些实施方式中,操作参数可以是由工艺工程师定义的配方的一部分,以在一或多个(种)层、材料、金属、氧化物、硅、二氧化硅、表面、电路和/或晶片的管芯的制造或去除期间完成一个或多个处理步骤。

[0091] 在一些实现方式中,系统控制器430可以是与系统集成、耦合到系统、以其它方式联网到系统或其组合的计算机的一部分或耦合到该计算机。例如,控制器可以在“云”中或在晶片厂(fab)主机系统的全部或一部分中,其可以允许对晶片处理的远程访问。计算机可以实现对系统的远程访问以监视制造操作的当前进展、检查过去制造操作的历史、从多个制造操作研究趋势或性能标准,以改变当前处理的参数、设置要跟随当前处理的处理步骤、或者开始新的处理。在一些示例中,远程计算机(例如服务器)可以通过网络(其可以包括本地网络或因特网)向系统提供工艺配方。远程计算机可以包括使得能够输入或编程参数和/或设置的用户接口,然后将该参数和/或设置从远程计算机输送到系统。在一些示例中,系统控制器430接收数据形式的指令,其指定在一个或多个操作期间要执行的每个处理步骤的参数。应当理解,参数可以特定于要执行的工艺的类型和工具的类型,控制器被配置为与该工具接口或控制该工具。因此,如上所述,系统控制器430可以是例如通过包括联网在一起并朝着共同目的(例如本文所述的工艺和控制)工作的一个或多个离散控制器而呈分布式。用于这种目的的分布式控制器的示例是在与远程(例如在平台级或作为远程计算机的一部分)定位的一个或多个集成电路通信的室上的一个或多个集成电路,其组合以控制在室上的工艺。

[0092] 示例性的系统可以包括但不限于等离子体蚀刻室或模块、沉积室或模块、旋转漂洗室或模块、金属电镀室或模块、清洁室或模块、倒角边缘蚀刻室或模块、物理气相沉积(PVD)室或模块、化学气相沉积(CVD)室或模块、ALD室或模块、ALE室或模块、离子注入室或模块、轨道室或模块、以及可以与半导体晶片的制造和/或制备相关联或用于半导体晶片的制造和/或制备的任何其它半导体处理系统。

[0093] 如上所述,根据将由工具执行的一个或多个处理步骤,控制器可以与一个或多个其他工具电路或模块、其它工具部件、群集工具、其他工具接口、相邻工具、邻近工具、位于

整个工厂中的工具、主计算机、另一控制器、或在将晶片容器往返半导体制造工厂中的工具位置和/或装载口运输的材料运输中使用的工具通信。

[0094] 图6描绘了具有与真空传输模块538 (VTM) 接口的各种模块的半导体处理集群架构。在多个存储设施和处理模块之间“传输”晶片的各种模块的布置可以被称为“群集工具架构”系统。气闸530 (也称为装载锁或传输模块) 与VTM 538接口, VTM 538进而与具有可以被单独优化以执行各种制造过程的四个处理模块520a-520d接口。例如, 处理模块520a-520d可以被实现为执行衬底蚀刻、沉积、离子注入、晶片清洗、溅射和/或其它半导体工艺。在一些实施方式中, SnO_2 沉积和 SnO_2 蚀刻在同一模块中执行。在一些实施方式中, SnO_2 沉积和 SnO_2 蚀刻在相同工具的不同模块中执行。一个或多个衬底蚀刻处理模块 (520a-520d中的任何一个) 可以如本文所公开的那样实现, 例如用于沉积共形膜、选择性蚀刻 SnO_2 、形成气隙以及根据所公开的实施方式的其他合适的功能。气闸530和处理模块520a-520d可以被称为“站”。每个站具有将站与VTM 538接口的小平面536。在每个小平面内, 传感器1-18用于当晶片526在各个站之间移动时检测晶片526的通过。

[0095] 机械手522在站之间传输晶片526。在一个实施方式中, 机械手522具有一个臂, 并且在另一个实施方式中, 机械手522具有两个臂, 其中每个臂具有末端执行器524以拾取晶片 (例如晶片526) 用于运输。在大气传输模块 (ATM) 540中, 前端机械手532用于将晶片526从装载端口模块 (LPM) 542中的盒或正面开口标准盒 (FOUP) 534传输到气闸530。处理模块520a-520d内的模块中心528是用于放置晶片526的一个位置。ATM 540中的对准器544用于对准晶片。

[0096] 在示例性处理方法中, 晶片被放置在LPM 542中的FOUP 534中的一个内。前端机械手532将晶片从FOUP 534传输到对准器544, 这使得晶片526能够在被蚀刻或处理之前适当地居中。在对准之后, 晶片526被前端机械手532移动到气闸530中。由于气闸530具有匹配ATM 540和VTM 538之间的环境的能力, 所以晶片526能够在两个压力环境之间移动而不被损坏。从气闸530, 晶片526由机械手522经由VTM 538移动到处理模块520a-520d中的一个内。为了实现这种晶片移动, 机械手522在其每个臂上使用端部执行器524。一旦晶片526已经被处理, 其就被机械手522从处理模块520a-520d移动到气闸530。从这里, 晶片526可以由前端机械手532移动到FOUP 534中的一个或移动到对准器544。

[0097] 应当注意, 控制晶片移动的计算机可以在集群架构本地, 或者可以位于制造车间中的集群架构外部或者位于远程位置, 并且经由网络连接到集群架构。上面关于图5描述的控制器可以利用图6中的工具来实现。包含根据本发明的用于控制工艺操作的指令的机器可读介质可以被耦合到系统控制器。

[0098] 在一些实施方式中, 提供了一种装置, 其中所述装置包括: 处理室, 其具有被配置用于在蚀刻期间保持所述半导体衬底的衬底保持器; 等离子体发生器, 其被配置用于在工艺气体中产生等离子体; 以及控制器。控制器包含程序指令, 所述程序指令用于实施在此描述的任何方法。在一个实施方式中, 控制器包括程序指令, 所述程序指令用于: 在低于约100 °C的温度下引起对所述半导体衬底上的 SnO_2 层的所述蚀刻, 其中引起所述蚀刻包括使所述半导体衬底暴露于在包含至少约50%的 H_2 的工艺气体中形成的等离子体。

[0099] 在另一方面, 提供了一种非临时性计算机机器可读介质, 其中其包括代码, 所述代码用于: 在低于约100 °C的温度下引起对所述半导体衬底上的 SnO_2 层的所述蚀刻, 其中引起

所述蚀刻包括使所述半导体衬底暴露于在包含至少约50%的H₂的工艺气体中形成的等离子体。

[0100] 在另一方面,提供了一种用于在半导体衬底上形成气隙的系统。所述系统包括:一个或多个沉积处理室;一个或多个蚀刻室;和控制器。所述控制器包含程序指令,所述程序指令用于实现本发明所描述的任何气隙形成方法。例如,所述控制器可以包含用于引起以下步骤的指令:(i)在具有暴露的第一材料层,暴露的第二材料层以及位于所述第一材料层和所述第二材料层之间的暴露的SnO₂层的半导体衬底上使用氢等离子体蚀刻化学物质相对于所述第一材料和所述第二材料两者选择性地蚀刻所述暴露的SnO₂,从而在所述第一材料和所述第二材料之间形成凹陷特征;以及(ii)将第三材料沉积在所述凹陷特征上而不完全填充所述凹陷特征,从而在所述第一材料层和所述第二材料层之间形成所述气隙。

[0101] 在另一方面,所述系统包括本文所述的装置和系统中的任何一个以及步进曝光机。

[0102] 在另一方面,提供了一种非临时性计算机机器可读介质,其中其包括代码,所述代码用于:(i)在具有暴露的第一材料层,暴露的第二材料层以及位于所述第一材料层和所述第二材料层之间的暴露的SnO₂层的半导体衬底上使用氢等离子体蚀刻化学物质相对于所述第一材料和所述第二材料两者选择性地蚀刻所述暴露的SnO₂,从而在所述第一材料和所述第二材料之间形成凹陷特征;以及(ii)将第三材料沉积在所述凹陷特征上而不完全填充所述凹陷特征,从而在所述第一材料层和所述第二材料层之间形成所述气隙。

进一步的实现方案

[0103] 本文所述的装置和工艺可以与光刻图案化工具或工艺结合使用,例如,用于制备或制造半导体器件、显示器、LED、光伏电池板等。通常,但不是必然地,这些装置和工艺将在共同的制造设施中一起使用或操作。膜的光刻图案化通常包括以下步骤中的一些或所有,每个步骤启用多个可行的工具:(1)使用旋涂或喷涂工具在工件,即,衬底上涂覆光致抗蚀剂;(2)使用热板或加热炉或UV固化工具固化光致抗蚀剂;(3)使用例如晶片步进曝光机(stepper)之类的工具使光致抗蚀剂暴露于可见光或紫外线或X射线;(4)使抗蚀剂显影以便选择性地去除抗蚀剂并且从而使用例如湿式台之类的工具将其图案化;(5)通过使用干式或等离子体辅助蚀刻工具将抗蚀剂图案转移到下伏的膜或工件上;并且(6)使用例如RF或微波等离子体抗蚀剂剥离器之类的工具去除抗蚀剂。

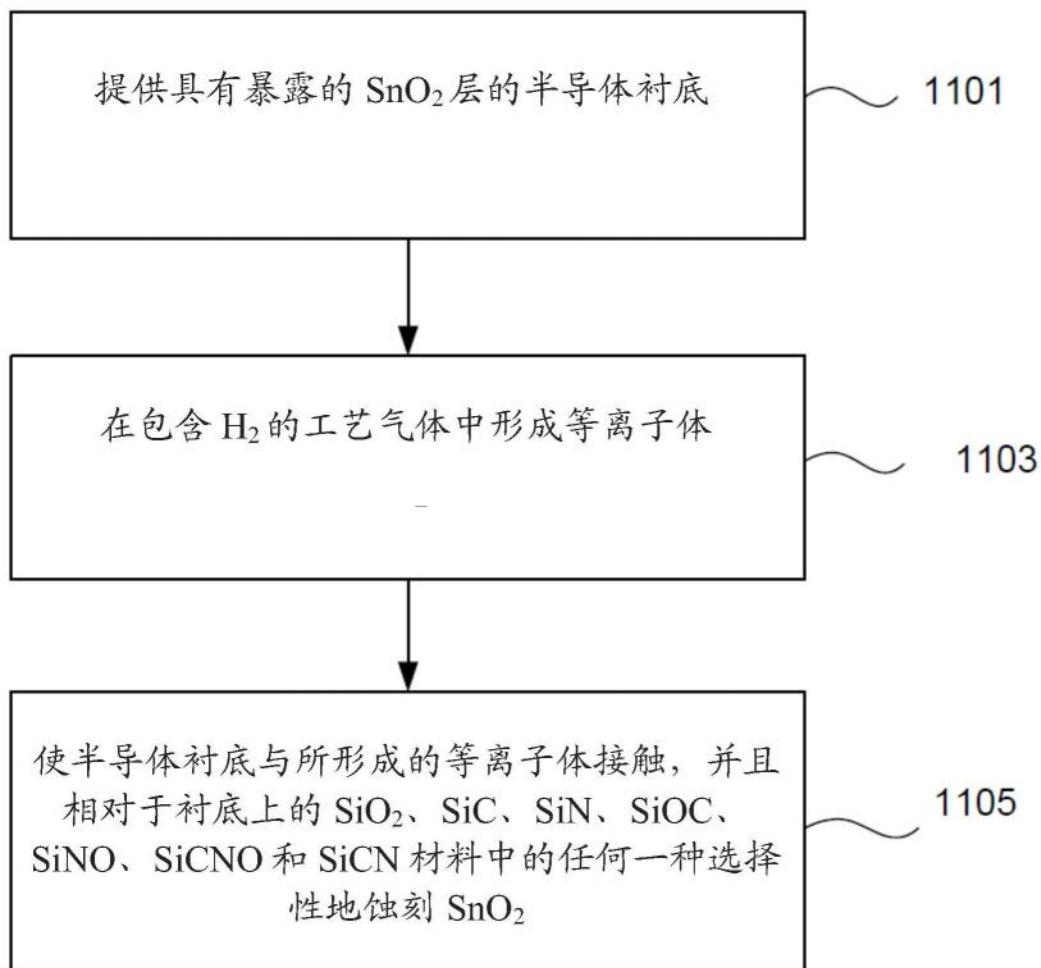


图1

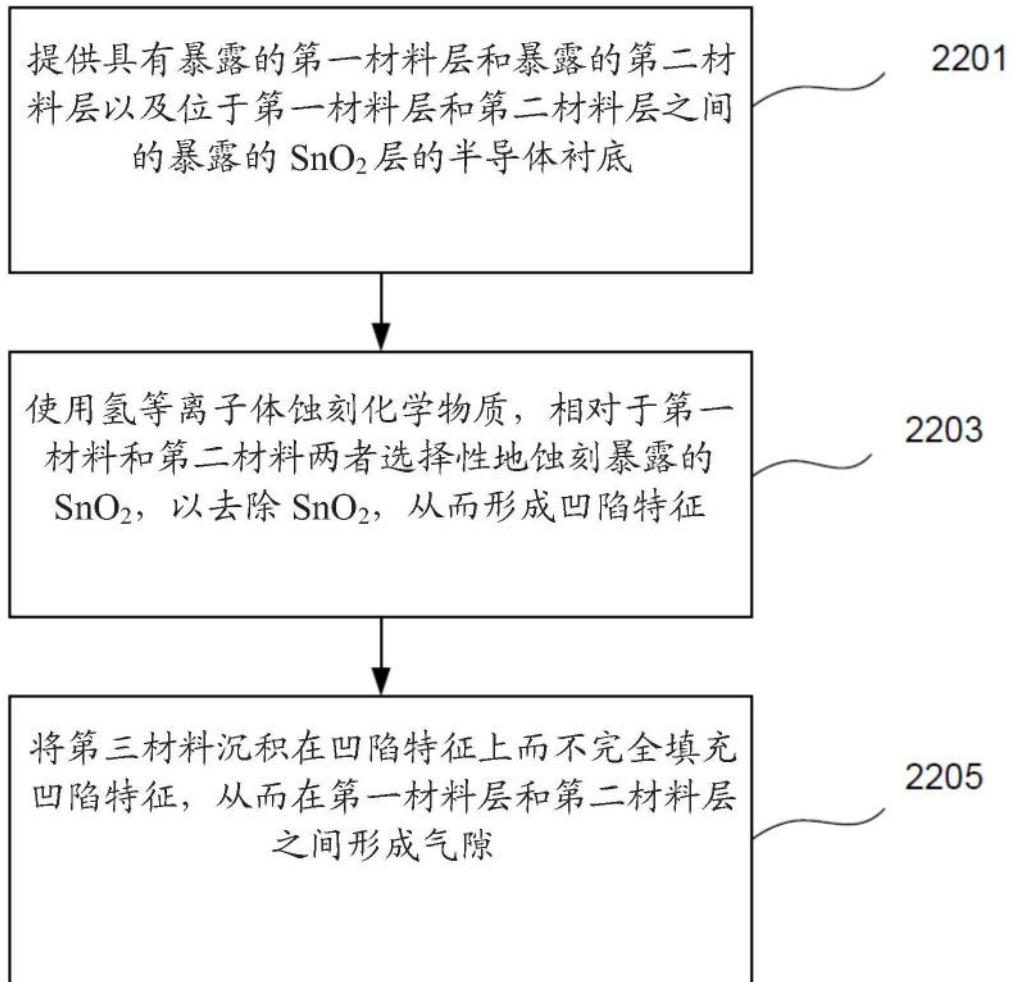


图2

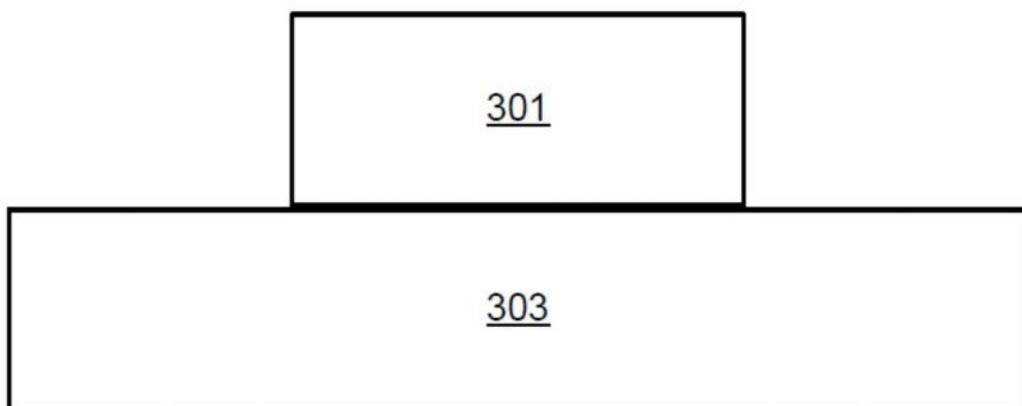


图3A

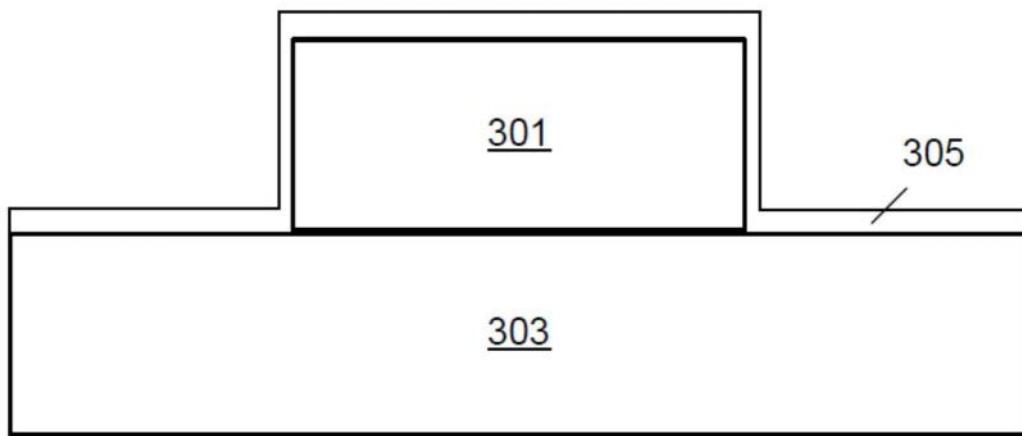


图3B

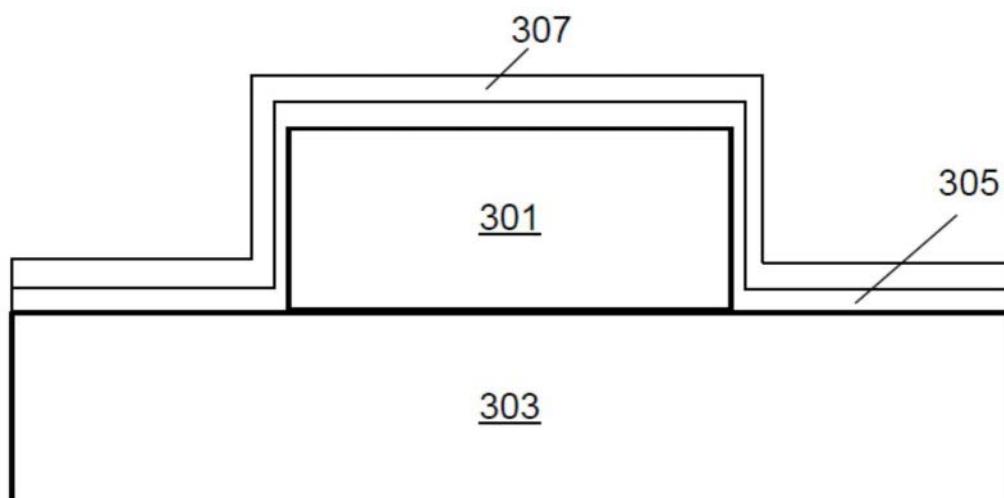


图3C

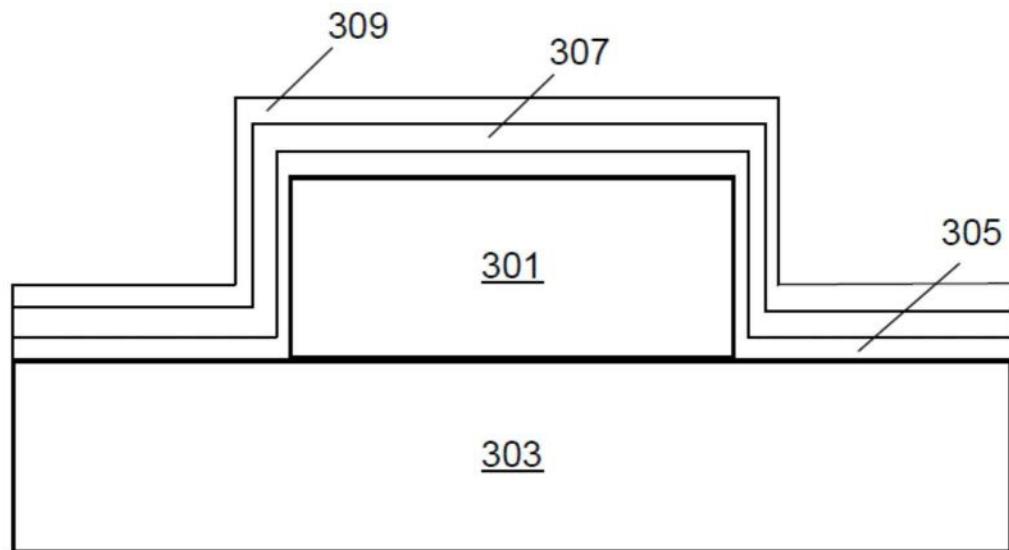


图3D

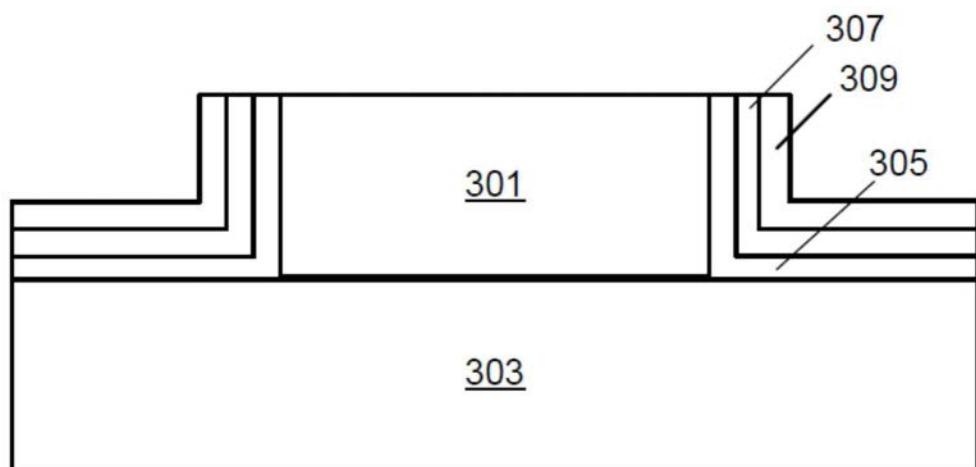


图3E

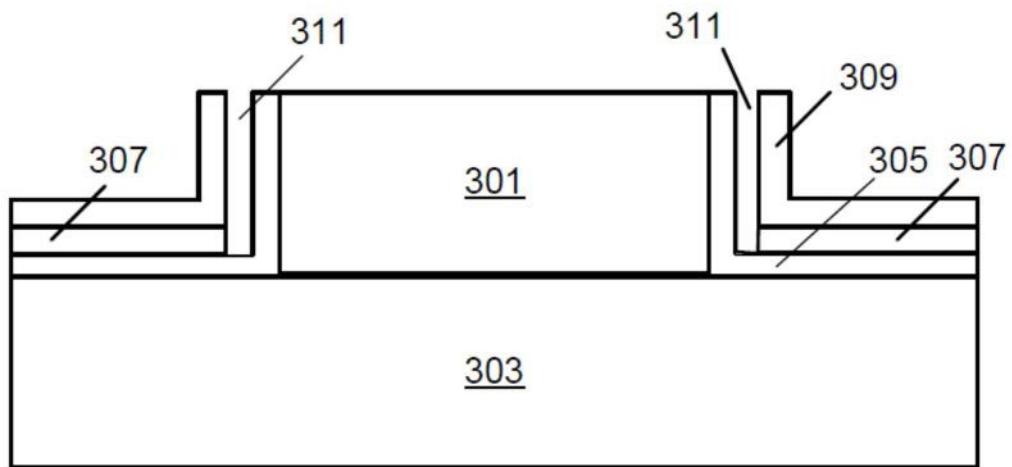


图3F

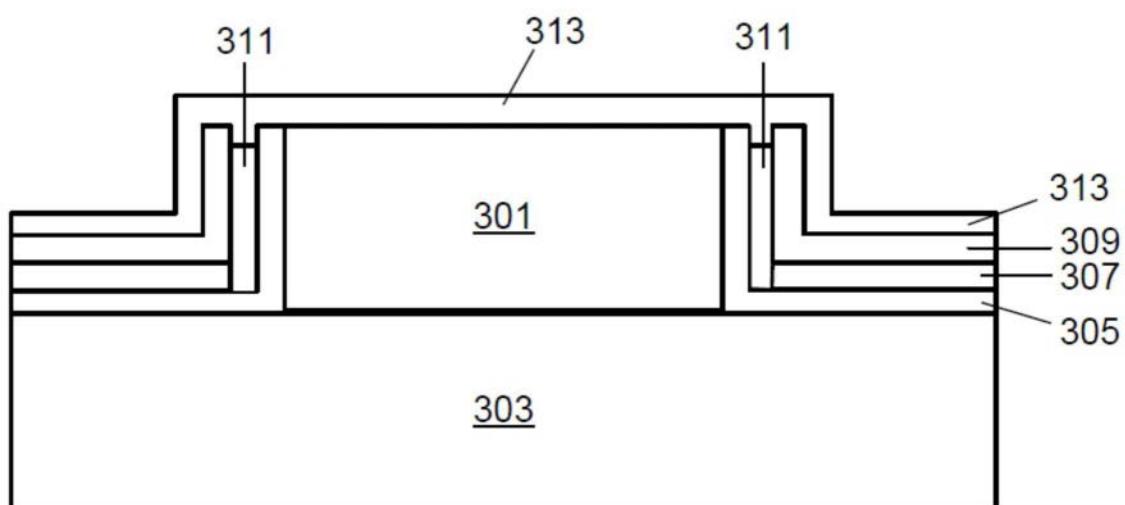


图3G

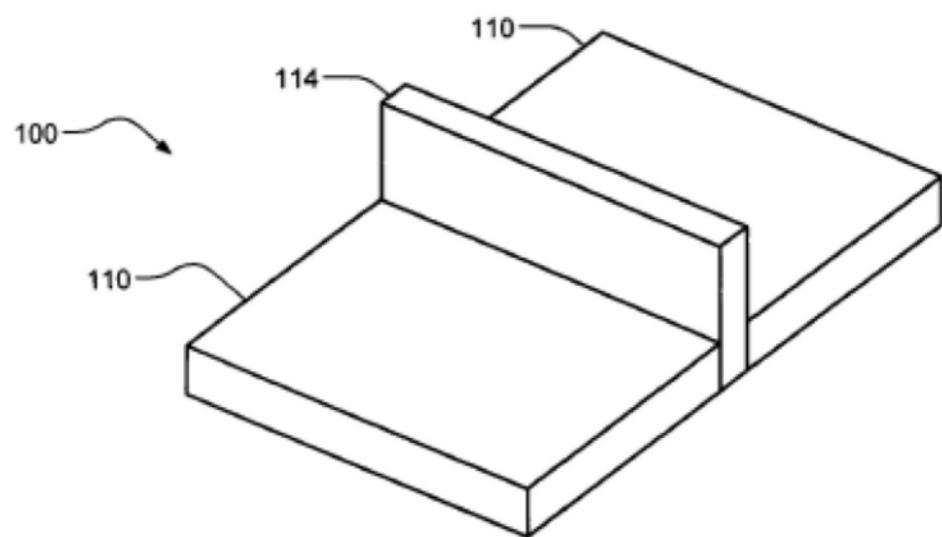


图4A

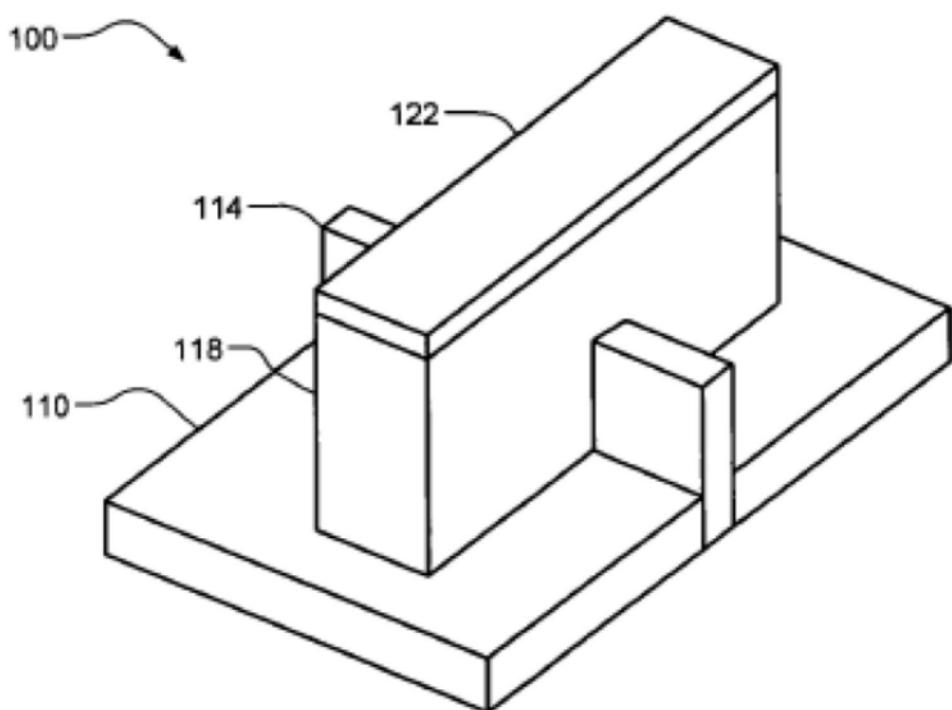


图4B

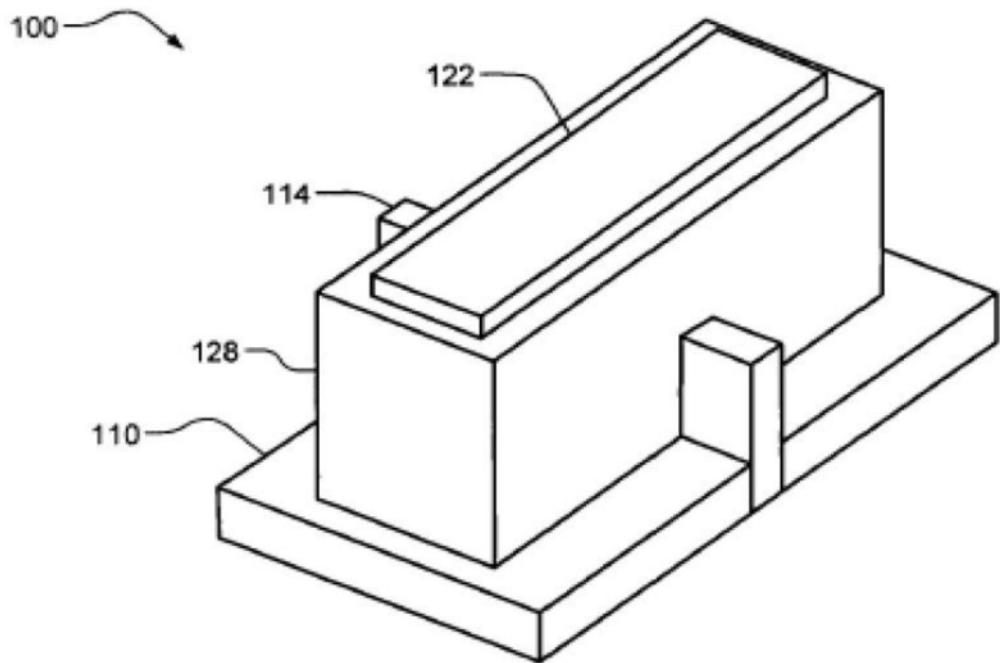


图4C

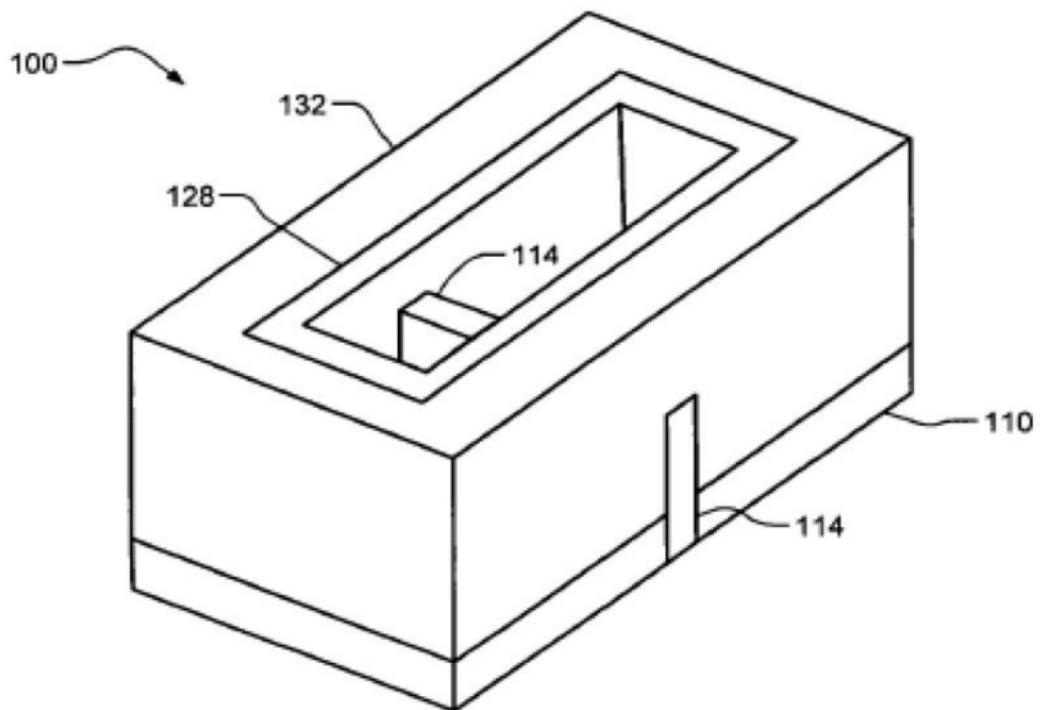


图4D

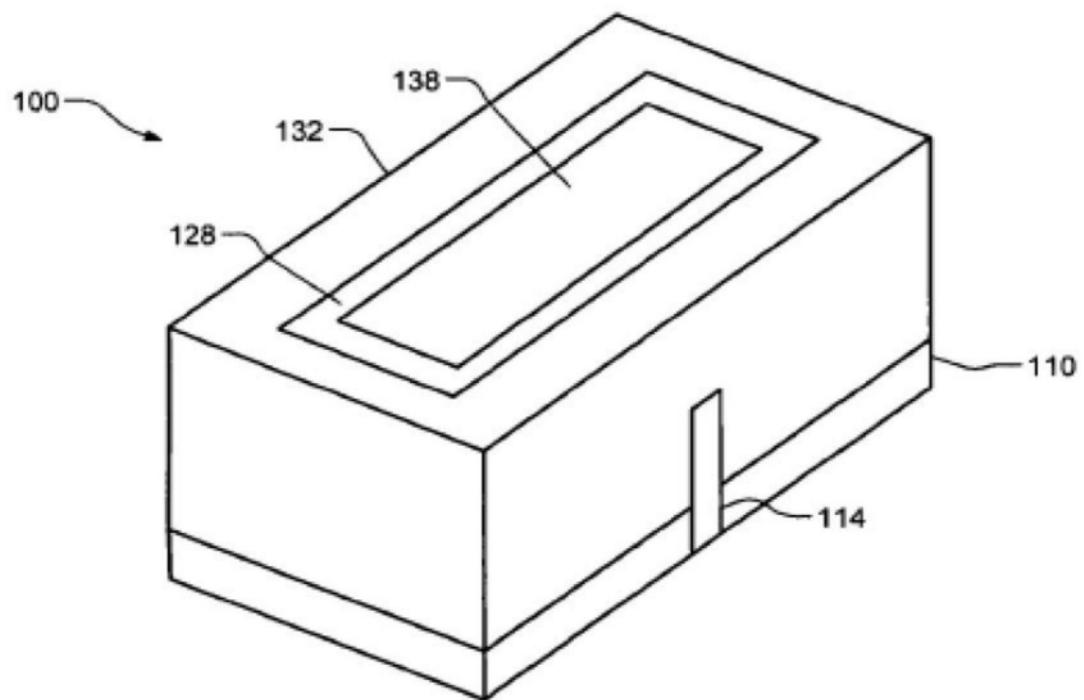


图4E

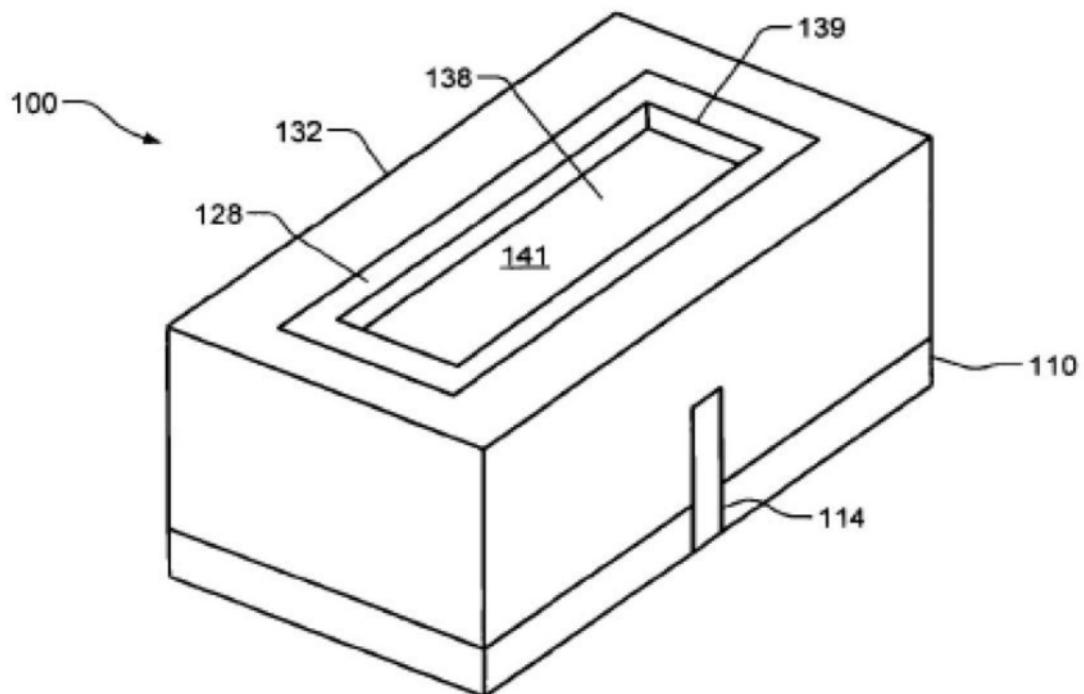


图4F

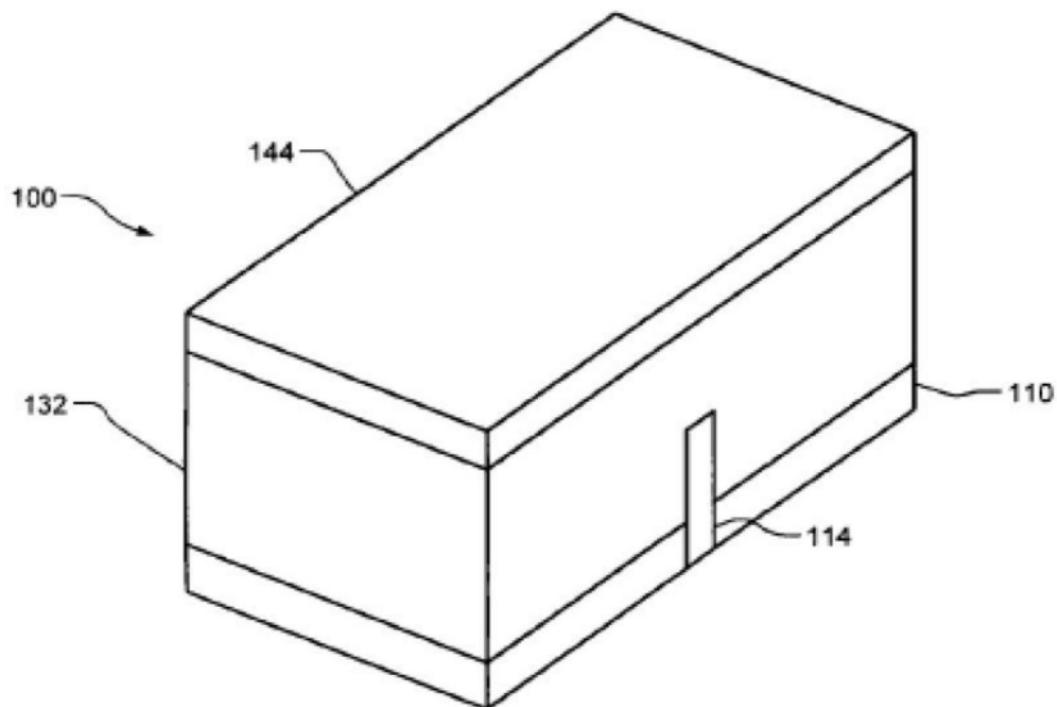


图4G

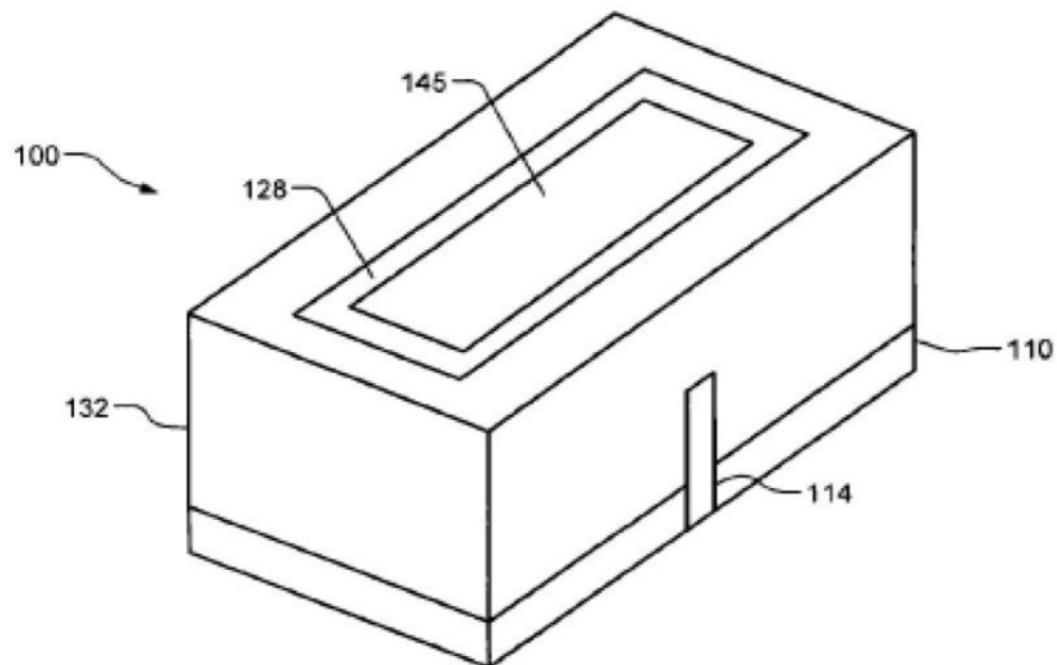


图4H

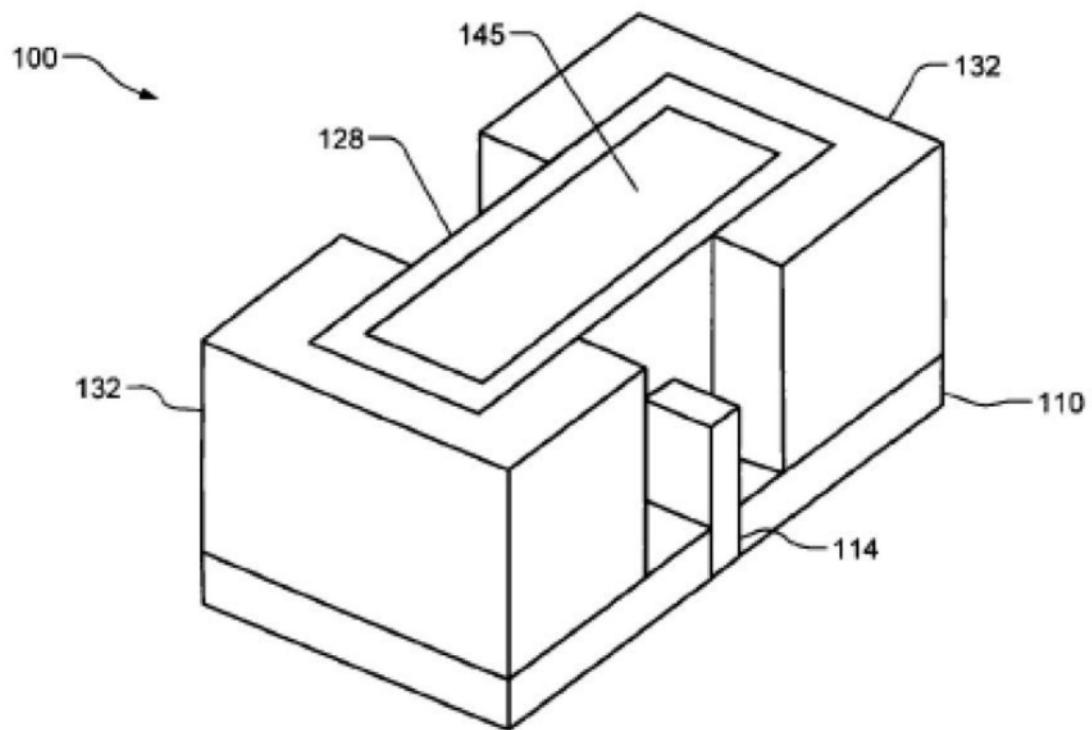


图4I

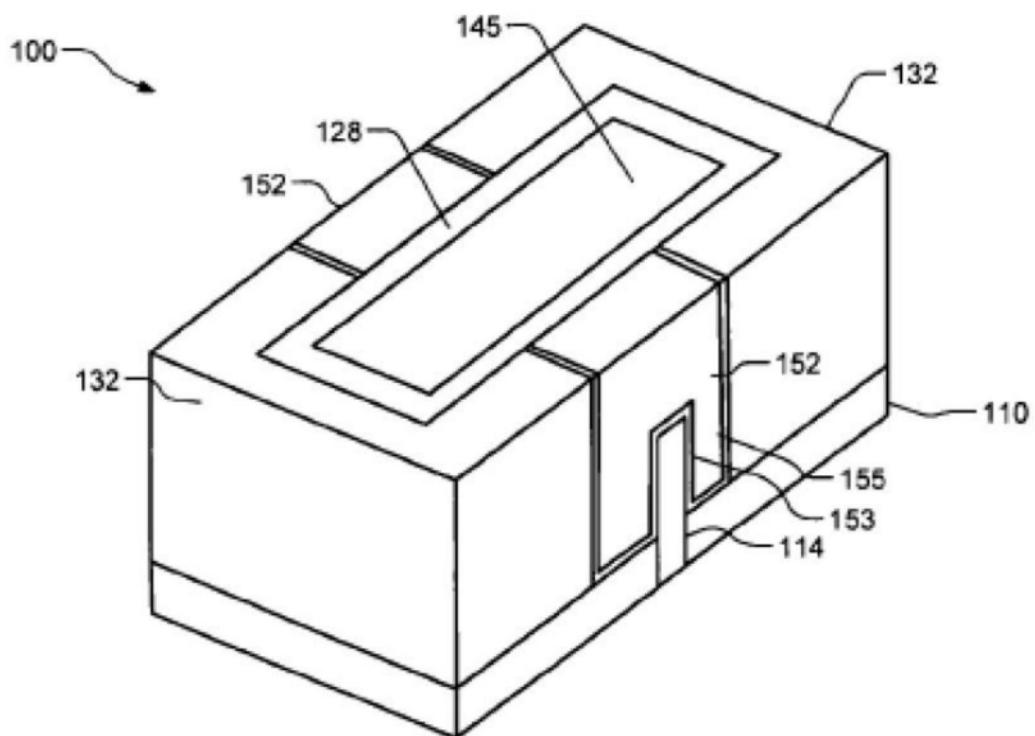


图4J

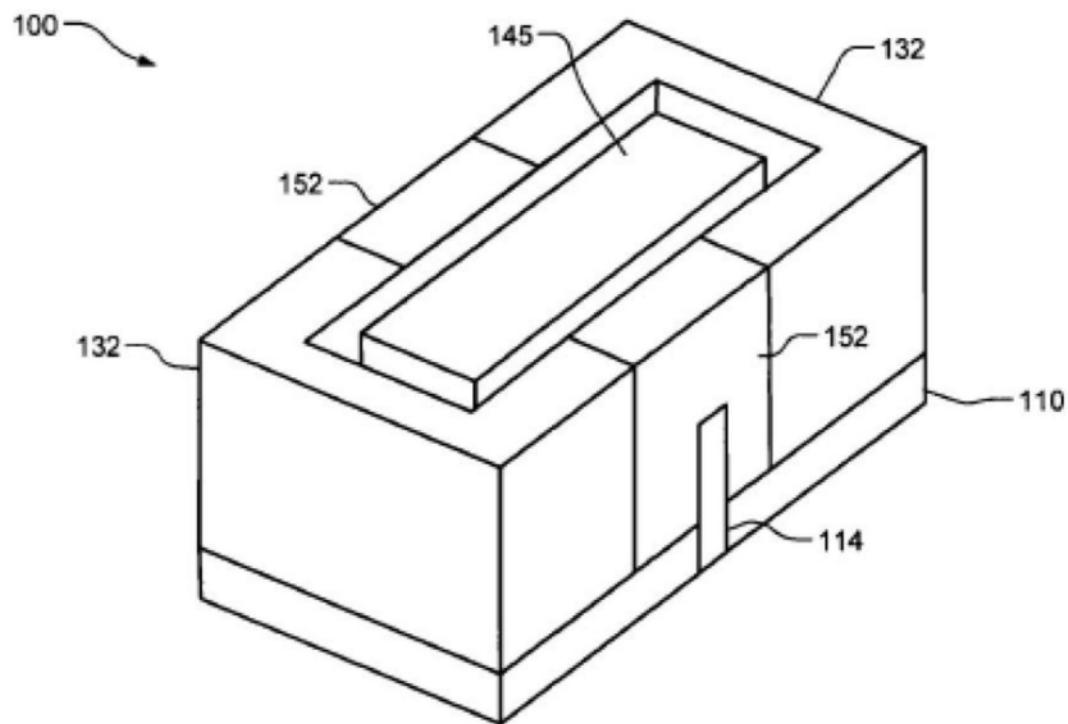


图4K

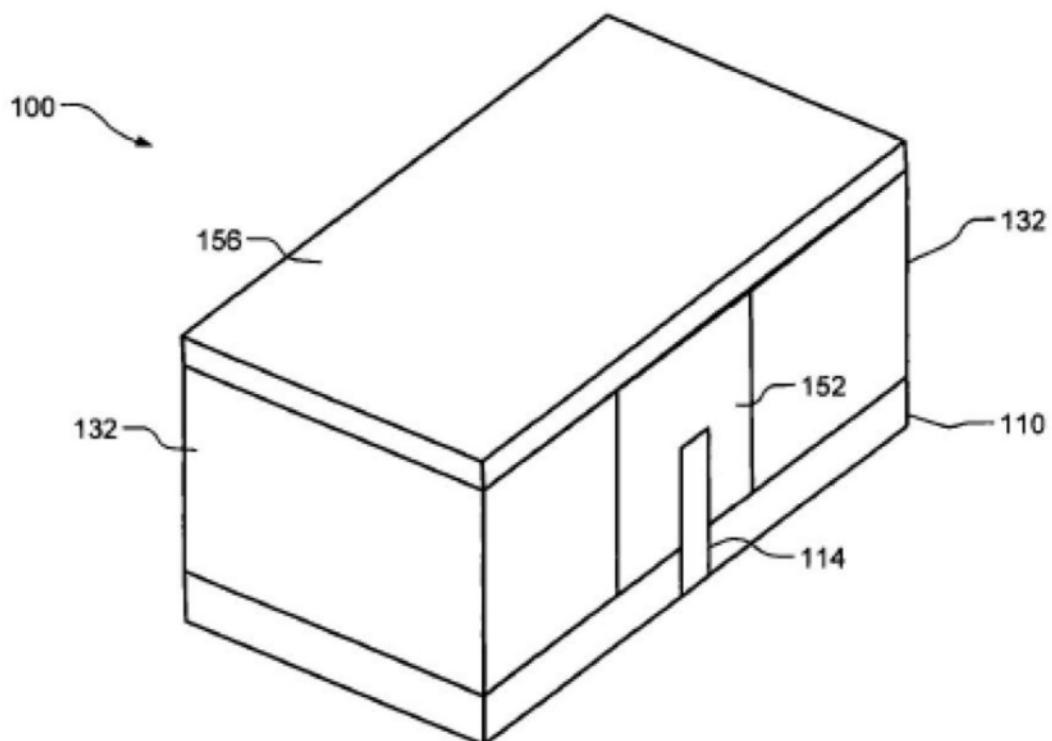


图4L

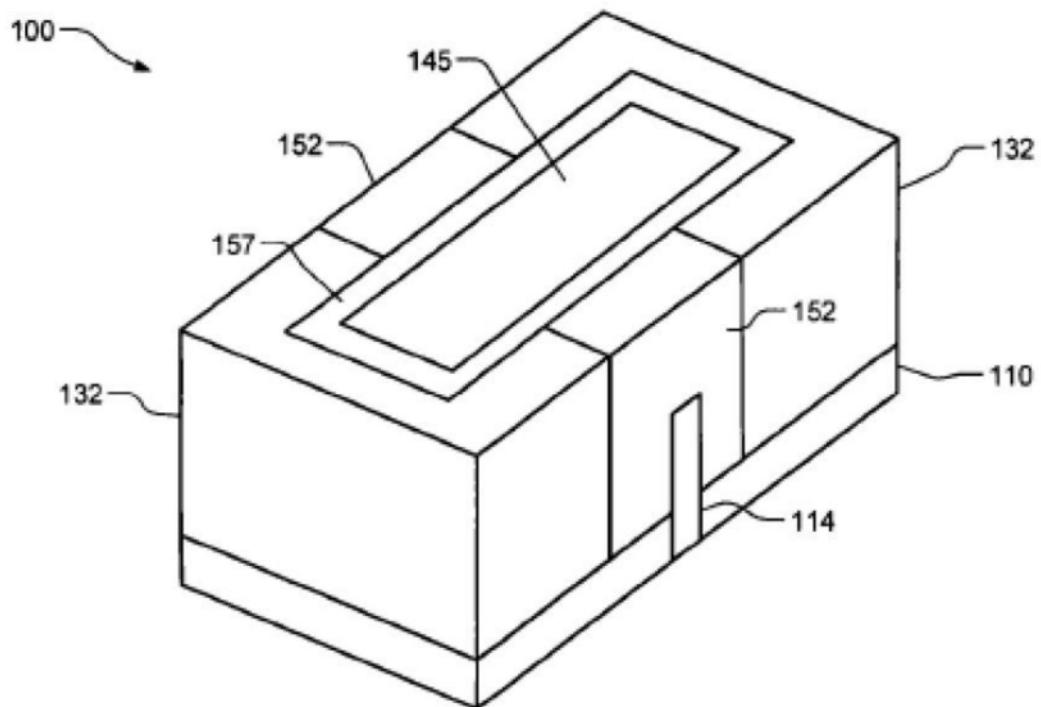


图4M

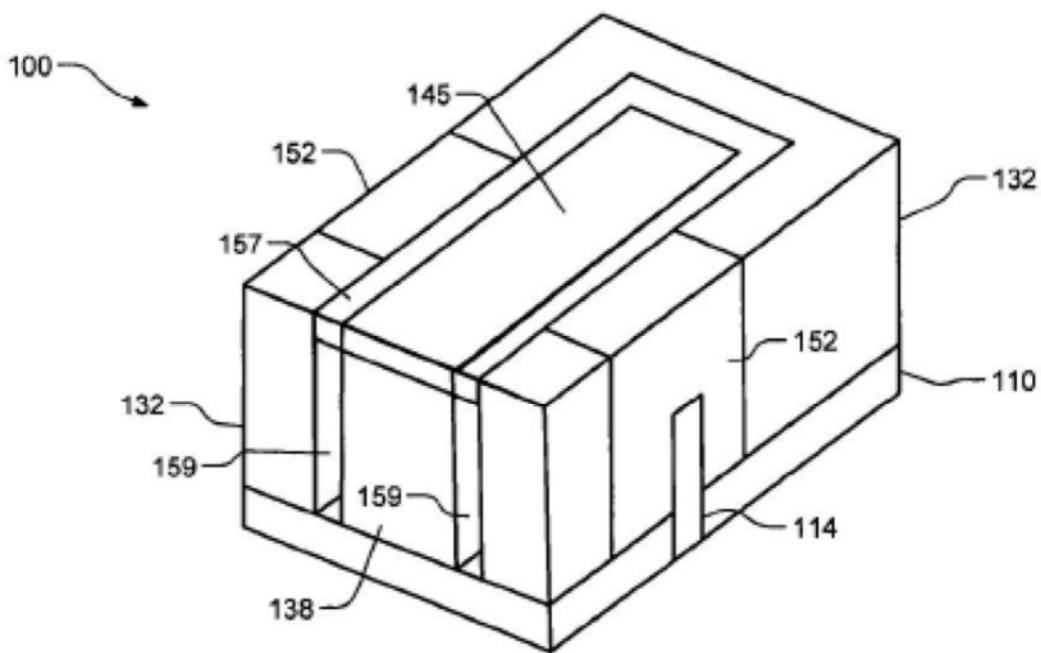


图4N

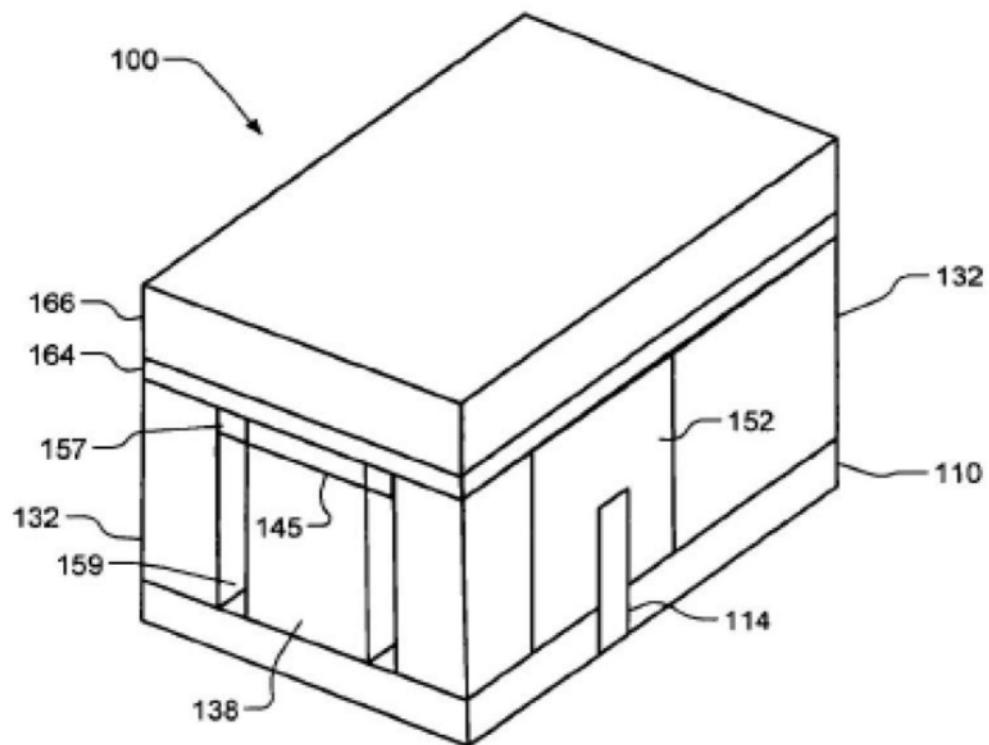


图40

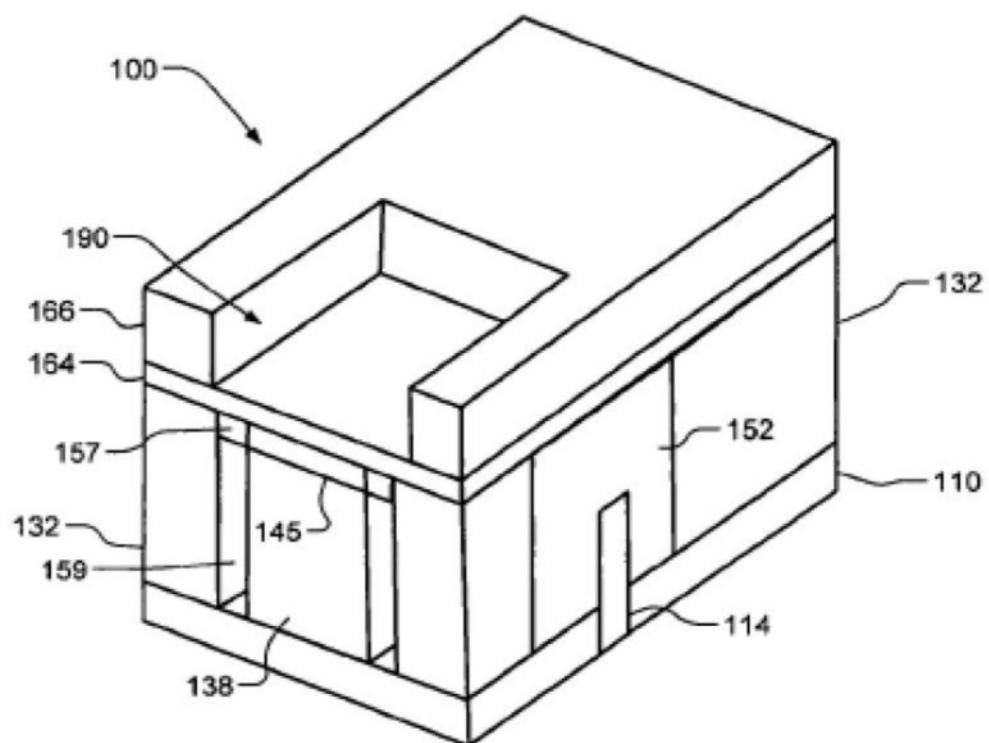


图4P

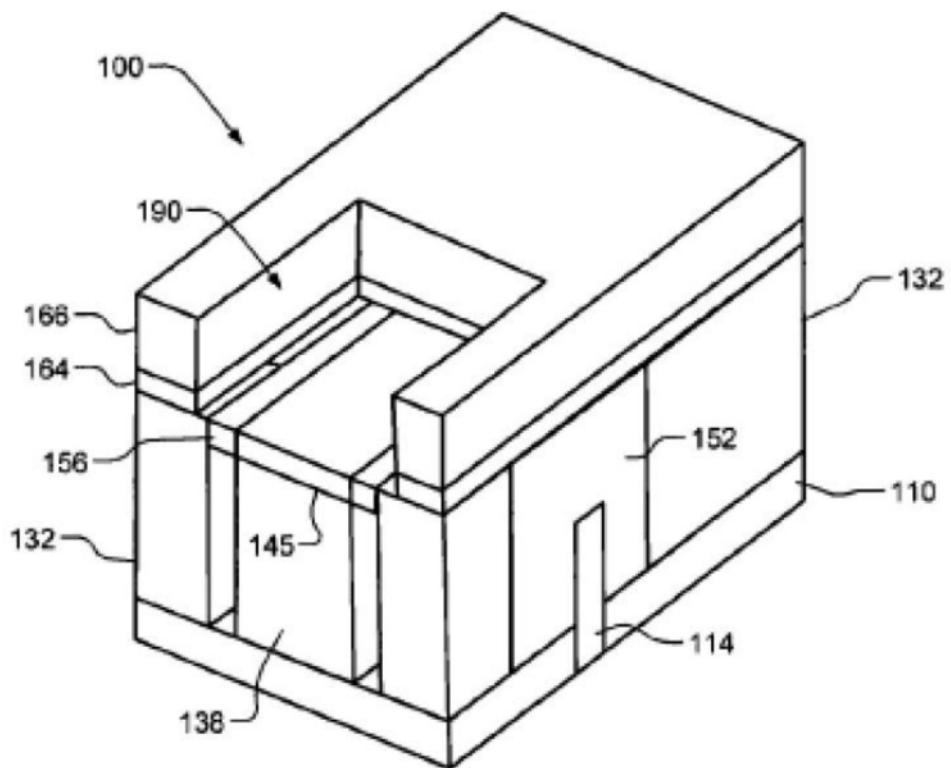


图4Q

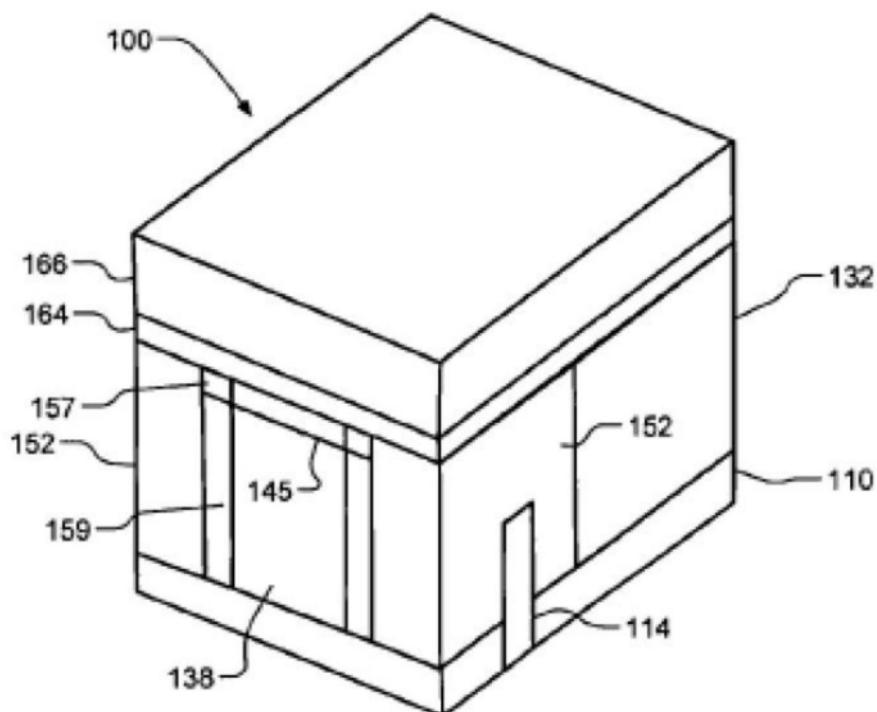


图4R

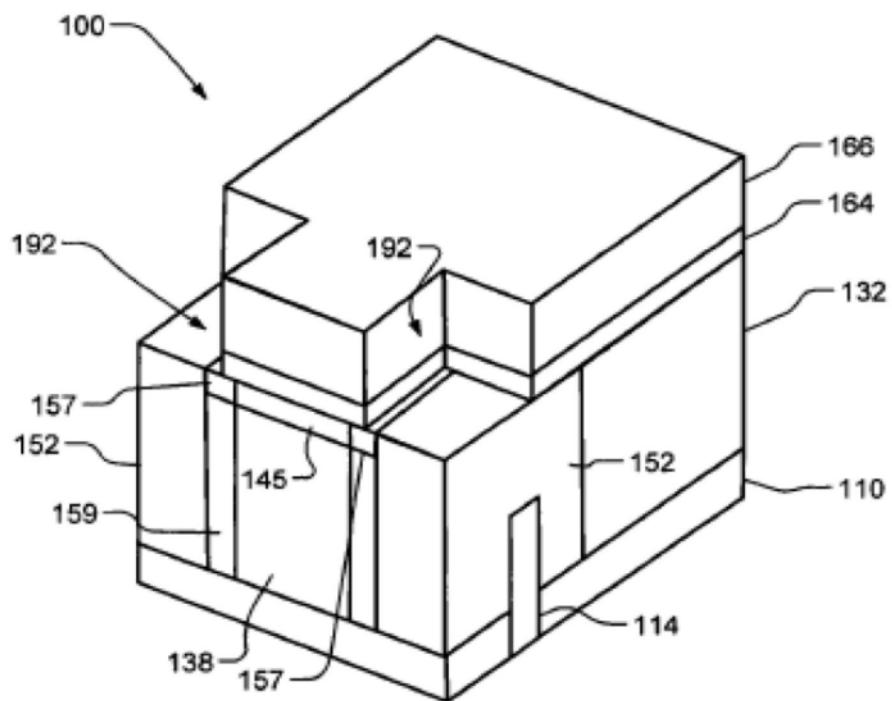


图4S

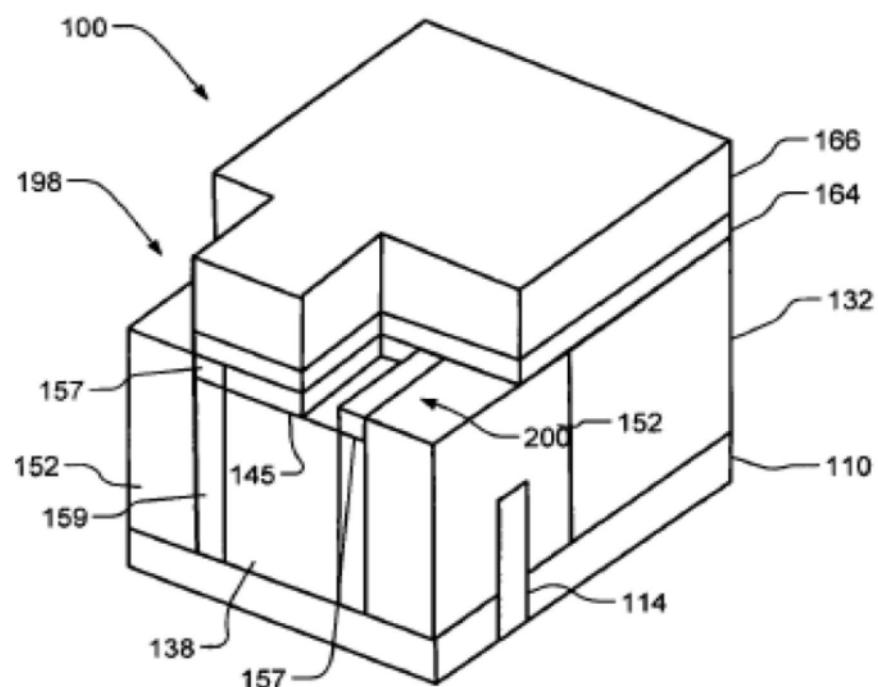


图4T

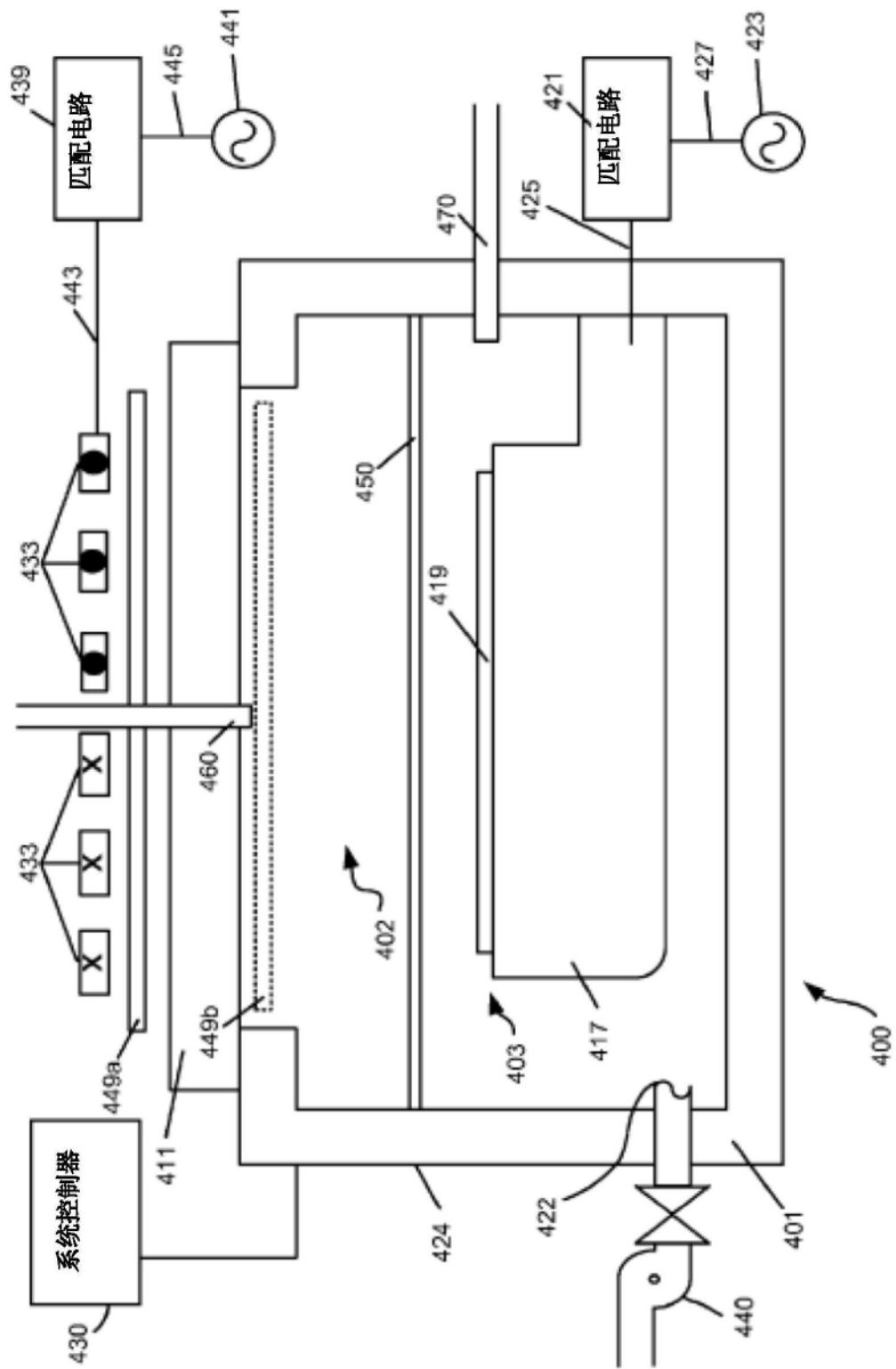


图5

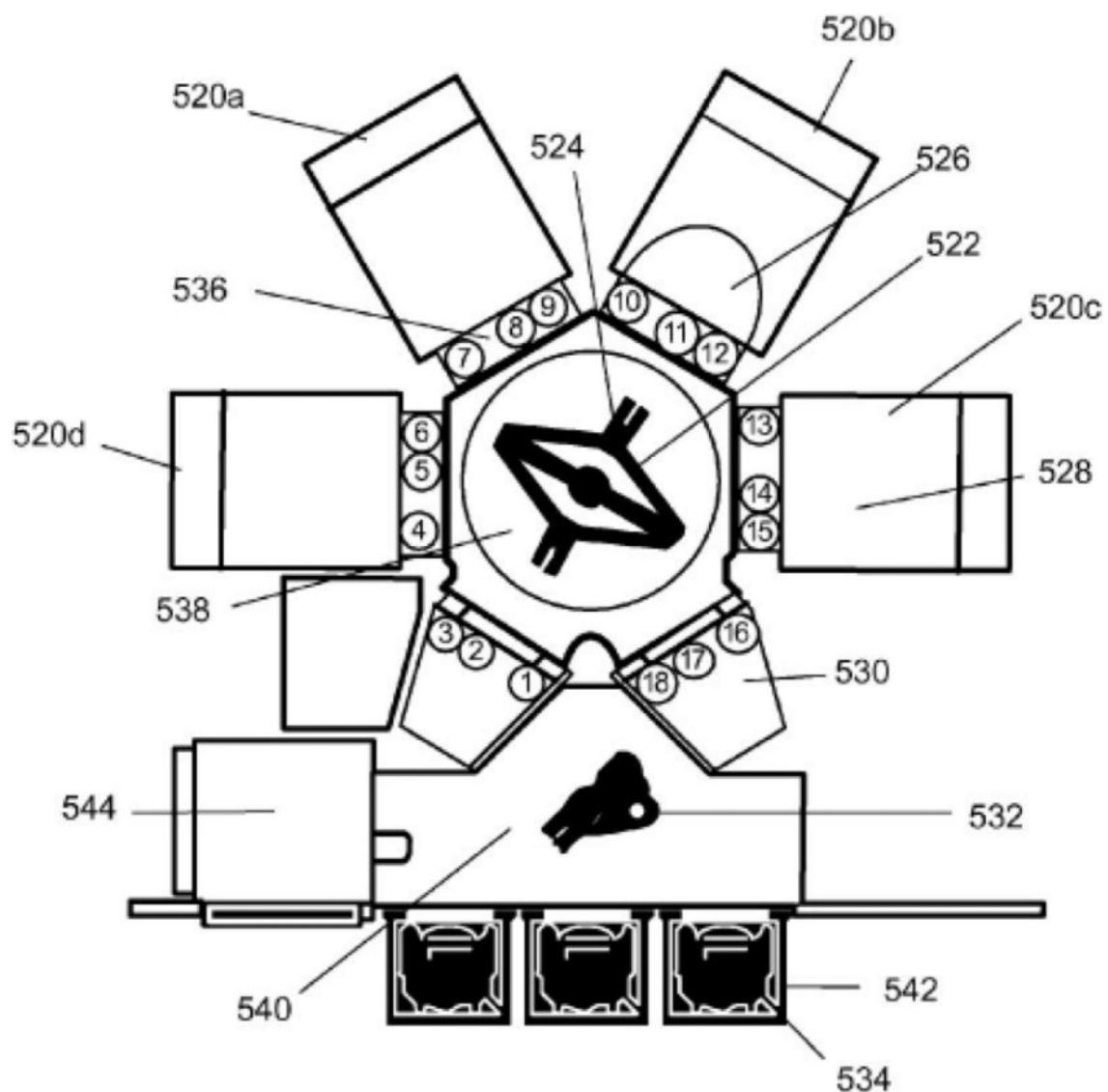


图6