公告本

411411

申請日期	89. 1. 5
案號	88100072
類別	G06F 12/00

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

411411

一、發明 ~~新型~~ 名稱	中文	具連續頁模式之記憶體控制器及其方法
	英文	MEMORY CONTROLLER WITH CONTINUOUS PAGE MODE AND METHOD THEREFOR
二、發明 ~~創作~~ 人	姓名	泰瑞 比吉斯
	國籍	美國
	住、居所	美國德州奧斯汀市傑拓澳克路7208號
三、申請人	姓名（名稱）	美商摩托羅拉公司
	國籍	美國
	住、居所（事務所）	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代表人姓名	F. 強 莫辛格

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1998年01月23日	09/010,976	☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

先前應用之參考

本案已於 1998 年 1 月 23 日向美國政府申請專利編號 09/010,976 建檔。

發明範圍

本發明是大體上是關於記憶體系統者。更精確的說，本發明是關於記憶體控制器者。

發明背景

記憶體裝置傳統上藉由一組由所有製造商使用之相當標準的控制信號來控制。例如，傳統上藉由一列位址選通(RAS)信號，一行位址(CAS)選通信號，及一允寫(WE)信號存取動態隨機存取記憶體(DRAMs)。這些信號用以控制該記憶體上之內部電路的時序，並該記憶體通常相關於任何其他系統時鐘信號非同步的執行。近來，同步 DRAMs 也變得流行起來。

一般說來，一記憶體控制器藉由提供一列位址至該 DRAM 及起動 RAS 以啓動一 DRAM 存取。在該 DRAM 鎖定該列位址之後，該記憶體控制器提供一行位址至該 DRAM 及起動 CAS。一旦該 DRAM 鎖定該行位址，該 DRAM 視情況提該資料至一資料匯流排，或是鎖定出現在該資料匯流排上的資料。該記憶體控制器停止 RAS 與 CAS，以終止該週期。爲回應該 RAS 之終止，該 DRAM 預充電所有列，以準備隨後存取其他列。

在該先前技藝中，已知基本 DRAM 時序有兩個很重要的變異。已知該第一種變異爲叢發頁模式。在一叢發頁模式

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

之存取中，該記憶體控制器藉由提供第一個一群相關的位址開始該存取該 DRAM。例如，在該第一位址之後該位址可爲連序位址，或可以一預定方式排序。例如，如由美國專利號碼 4,799,199 所揭露的，該位址可以模 M 群集於該第一位址。該 DRAM 藉由啓動對應於該選取列之字線開始該叢發存取。因爲有好幾行的資料位於該選取列上，隨後在該叢發的存取在該列沒有解除選取的情況下進行。因此，該記憶體控制器在該叢發循環週期中保持 RAS 啓動狀態並只撤消 CAS 以選取不同的行。DRAMs 執行叢發頁模式存取能夠比執行一相同數量之非叢發存取要來的快速，因爲叢發頁模式存取除去了對一些行位址之不必要的重複解碼。但是，叢發頁模式並不允許對同一行以非預定方式有兩個或兩個以上的存取。

另一變異爲已知的全頁模式。在全頁模式系統中，一後來位址與一先前位址做比較以決定是否該隨後之存取到相同列，也就是已知的頁。如果該後來的位址是到該相同頁，該記憶體控制器藉由提供該相同之列位址至 DRAM 並啓動 RAS 而不需要執行一多餘的列選擇。因此該記帳體控制器保持 RAS 啓動並避免該列位址選擇週期有任何隨後的存取到相同列。但是爲了要做比較，實施全頁模式之記憶體控制器直到該第二位址可用並完成該位址比較，否則不能藉由撤消 RAS 以開始該 DRAM 之預充電。全頁存取所需之多餘預充電時間通常抵銷了在同一列上以任意方式存取位址的優點。全頁模式之另一缺點爲該全頁模式並不能與延

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

伸資料輸出(EDO)記憶體共用。EDO記憶體在CAS被撤消前，保持資料有效於資料輸出腳上一段延伸時間。因爲全頁模式記憶體需要該後續位址變爲有效以決定是否停止RAS，開始下個循環週期及可能甚至引起競用該資料匯流排。

動態記憶體所需要的是一控制器，該控制器允許全頁存取，但是沒有預充電損失並有最小的電路區域。本發明提供這樣一的記憶體控制器及一相關方法，並其特色及優點將以該等圖示及伴隨之說明做更進一步的描述。

圖示的簡單說明

自下列詳細描述以及如號碼所示之圖片與對應的部份中，即可更清楚了解本發明之特色及優點，其中：

圖 1.方塊圖所示爲依據本發明組成一具有一記憶體控制器之資料處理系統。

圖 2.方塊圖所示爲圖 1 之頁擊邏輯。

圖 3.所示爲一計時圖對了解圖 1 之記憶體控制器的運作很有幫助。

較佳具體實施例之詳細說明

依據本發明，一記憶體控制器具有用以存取一記憶體之模式，已知爲連續頁模式。該記憶體控制器適用於耦合至一管線匯流排，在該管線匯流排傳送資料給一第一存取之前，用於第二，隨後存取之位址會出現於該匯流排。該記憶體控制器儲存該第一位址並將其與第二位址比較。如果該第二位址之頁位址部份與該第一位址之頁位址部份吻合

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

，該記憶體控制器保持該頁開啓，在第一及第二循環週期間並不啓動一預充電。如果該第二位址之頁位址部份與第一位址之頁位址部份並不吻合，或並未提供該第二位址，在第一循環週期中，該記憶體控制器藉由啓動一預充電來關閉該頁，以避免與傳統全頁模式有關之預充電損害。

這些及其他特性可將可藉由參考圖 1 來了解，依據本發明，在圖 1 方塊圖中所示構成一具有記憶體控制器 42 之資料處理系統 40。資料處理系統 40 通常包括一處理器 41，一記憶體控制器 42，及一動態隨機存取記憶體(DRAM)43。當上下中文所述爲 DRAM，本發明應該視爲同樣適用於一同步 DRAM(SDRAM)。處理器 41 具有一雙向控制端藉由一對應之內部匯流排傳送標示爲"控制"之控制信號，一位址輸出端藉由一對應之內部匯流排以傳送標示爲"位址"之信號，及一雙向資料端用以傳送標示爲"資料"之信號。

記憶體控制器 42 包括頁擊邏輯 44，一位址比較器或位址比較電路 45，位址多工器 46，控制暫存器 47，及一控制部份或狀態機 56。頁擊邏輯包括一第一輸出端耦合至該 ADDRESS 匯流排，一第二輸入端耦合至該 CONTROL 匯流排，及一輸出端用以提供一標示爲"PAGE HIT"之信號。位址比較電路 45 具有一輸入端用以接收該 ADDRESS 之一部份，及一輸出端用以提供一標示爲"DRAM HIT"之信號。在該所示之具體實施例中，處理器 41 輸出一 32-位元位址 A_{31}-A_0，並位址比較電路 45 接收這些標示爲"A_{31}-A_{N+1}"位址信號的一部份。位址比較電路 45 具有一輸入端用以接收

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（5）

位址信號 A_{31}-A_{N+1}，及一輸出端用以提供一標示爲"DRAM HIT"之信號。位址多工器46具有一輸入端用以接收位址信號 A_N-A_0，一控制輸入端，及一輸出端用以提供M位址信號。DRAM 43並未對映至較低之位址位元，而是對映至M較高位址位元。控制暫存器47具有一雙向控制端，及一雙向端連接雙向端連接至該DATA匯流排。狀態機56具有一雙向控制端連接至該處理器41之控制端以傳送該CONTROL信號，一雙向控制端連接至該控制暫存器47之控制端，一輸入端用以接收該DRAM HIT信號，及一輸出端用以提供有效邏輯低電平之RAS，CAS與WE控制信號，及一雙向資料端連接至該處理器41之資料端。

在一般操作下，DRAM 43對映至標示爲"$A_N \cdots A_9$"之M高階位址位元。注意M位址位元需要不連續。因爲DRAM 43需要該低位址先提供至該位址匯流排，記憶體控制器42能直接提供這個位址至匯流排而不需要執行一多工功能。直到該位址比較電路45輸出該DRAM HIT信號，該信號會延伸一目前記憶循環週期，否則該多工功能不能被啓動。

依據本發明，記憶體控制器42在一新的模式中，已知爲連續頁模式，可執行全頁存取而沒有伴隨之預充電損失。處理器41爲一管線化的處理器，該處理器藉由在用於一先前存取之資料被傳送之前爲下一個存取提供一位址，能夠以管線流通技術連序記憶體存取。頁擊邏輯44具有一輸入用以接收該ADDRESS之部份，該ADDRESS定址在DRAM 43中之一頁。藉由考慮位於DRAM 43中之頁內的位元組

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（6）

之數量，這個部份將會少於所有位址位元。頁擊邏輯44也具有一輸入用以接收一些由處理器41所提供之CONTROL信號。這些控制信號包括至少一控制信號指示一傳送已經開始，並另一控制信號指示跟隨在一第一信號之後的下一信號有效。頁擊邏輯44啓動該PAGE HIT信號以回應到同一頁的管線化位址之一對位址中的下一位址。

狀態機56使用該PAGE HIT信號及其他CONTROL信號以決定是否該下一管線化之存取到該相同頁，並作一提前決策是否預充電DRAM 43預期另一列位址循環。狀態機56抽樣該PAGE HIT信號在一第一記憶體存取之間，在其間下一循環週期之管線化位址將爲有效。如果PAGE HIT在此時啓動並該下一位址爲有效，狀態機56保持RAS啓動。如果PAGE HIT在此時不活動或是該下一位址未生效，狀態機56(在一傳播延遲之後)立即停止RAS。這立即停止爲回應一管線化位址，允許該預充電早些開始並避免該全頁模式之預充電損耗。

此外，記憶體控制器42以最低限度之電路實施連續頁模式。藉由參閱相關之圖2.，此優點將變得更顯而易見，圖2以方塊圖形成圖1之頁擊邏輯44。頁擊邏輯44包括一頁保持暫存器60及一頁擊比較邏輯62。頁保持暫存器60包括一第一輸入，連接至該ADDRESS匯流排並接收部份的ADDRESS，該ADDRESS編碼DRAM 43之頁。頁保持暫存器包括一第二輸入，連接至該CONTROL匯流排用以接收一部份之CONTROL信號必須在適當時間鎖定該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

ADDRESS之頁部份。最好，這些CONTROL信號包括一信號，該信號指示一傳送之開始。頁保持暫存器60也具有一輸出，用以提供該ADDRESS之鎖定部份。

頁擊比較器62具有一第一輸入連接至頁保持暫存器60之輸出。一第二輸入連接至該ADDRESS匯流排之頁部份，並一輸出用以提供該PAGE HIT信號。當儲存在頁保持暫存器60中之值與該ADDRESS的頁部份相符，頁擊比較器62起動該頁擊信號。值得注意的是，該頁擊比較器也能包括一控制輸入，該控制輸入決定何時執行該比較，爲了避免在無意義的比較時段消耗電力。

值得注意的是，不論DRAM 43被切割爲幾個記憶體組，頁擊邏輯44只需要一單頁保持暫存器及比較電路。因此記憶體控制器42只用最低限度的多餘電路來實施連續頁模式。

圖3所示爲一計時圖，對於了解圖1之記憶體控制器的運作很有幫助。值得注意的是，當本發明可同時適用於同步DRAM，在上下文中以非同步DRAM來說明。然而圖3所示爲一主時鐘信號(CLOCK)，該信號可用來控制記憶體控制器42並有助於參照。而且圖3表示兩種情況，在其中記憶體控制器42能夠提前停止RAS。該第一種情況藉由一標示爲"INTERNAL ADDRESS 1"的信號來說明。在一標示爲"BUS CYCLE 1"之第一匯流排循環週期中，INTERNAL ADDRESS 1具有一標示爲"R1C1"之數值，在其中R1代表該列位址部份及C1代表該行位址部份。記憶體控制器42

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

藉由提供位址 R1 做爲外界位址及啓動 RAS 以執行 BUS CYCLE 1。隨後，INTERNAL ADDRESS 1 爲一第二存取傳遞一第二位址，該第二存取與第一存取以管線化方式處理。此術數值以位址 R2C2 表示。在 R2=R1 情況下，並因此頁集邏輯 44 啓動該 PAGE HIT 信號。信號 AS(位址選通)指示外部匯流排循環週期啓動。爲回應該 PAGE HIT 信號之啓動，狀態機 56 保持 RAS 有效，但是在傳遞該第一資料元件之後停止 CAS。

INTERNAL ADDRESS 1 之一隨後數值在該第二匯流排循環週期時出現並命名爲 R3C3。在 R3≠R2 的情況下，並在 BUS CYCLE 2 該頁擊邏輯 44 之間變成不活動狀態。在 BUS CYCLE 2 期間，當狀態機取樣 PAGE HIT 並發現其爲不活動狀態，該狀態機藉由停止 RAS 及 CAS 以終止該頁模式存取。但是，依據本發明，狀態機 56 提前停止 RAS，大約在該匯流排循環週期 2 當中。這樣提早停止 RAS 允許 DRAM 43 之列提早開始預充電，並該下一匯流排循環(BUS CYCLE 3)沒有任何延誤的發生。其也允許延伸資料輸出(EDO)運作而沒有競爭。

另一種方式，命名爲"INTERNAL ADDRESS 2"之後續位址可與 ADDRESS BUS 連接。在 INTERNAL ADDRESS 2 與 INTERNAL ADDRESS 1 間的不同在於當狀態機 56 取樣 PAGE HIT 時，爲 BUS CYCLE 3 準備之位址在匯流排上還無效。記憶體控制器 42 假設該次一循環並非至同一頁，並以與 INTERNAL ADDRESS 1 相同方式提早開始該 RAS 預

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

充電循環週期。

雖然本發明以參考一特定具體實例的方式陳述，該等熟語此技藝者可以進一步修正及改進。例如，該揭露之記憶體控制器可以適時於同步與非同步 DRAM。除了基於電容性的儲存裝置，其他種類之記憶體也可使用。因此，必須要了解，本發明包含所有不脫離下述加申請專利範圍所界定義之本發明範圍之修正。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

411411

A5
B5

四、中文發明摘要（發明之名稱：　具連續頁模式之記憶體控制器及其方法　）

本發明爲一種支援一連續頁模式之記憶體控制器(42)。該記憶體控制器(42)耦合至一管線式之內部匯流排並提供控制信號至一外部匯流排以控制一記憶體，例如像一動態隨機存取記憶體(DRAM)(43)。該記憶體控制器(42)將下個位址之頁面部份與該目前位址之頁面部份做比較。如果該等位址吻合，該記憶體控制器(42)將該頁保持開啓到下一週期。但是，如果該等位址不吻合，或如果在第一次存取時，在讀相同時間點下個位址並未生效，則該記憶體控制器(42)在第一週期裡將關閉該頁。當該頁關閉時，該記憶體控制器(42)即執行連續頁模式而不會招致損失。

英文發明摘要（發明之名稱：　MEMORY CONTROLLER WITH CONTINUOUS PAGE MODE AND METHOD THEREFOR　）

A memory controller (42) supports a mode known as continuous page mode. The memory controller (42) is coupled to a pipelined internal bus and provides control signals to an external bus to control a memory such as a dynamic random access memory (DRAM) (43). The memory controller (42) compares the page portion of a next address to the page portion of the current address. If the addresses match, the memory controller (42) keeps the page open for the next cycle. However if the addresses do not match, or if the next address is not valid at this same point in time during the first access, the memory controller (42) closes the page during the first cycle. The memory controller (42) performs continuous page mode without incurring a penalty when the page is closed.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種具有連續頁模式之記憶體控制器(42)，包括：

一位址輸入端，適於耦合至一管線式匯流排之位址部份；

一暫存器(60)，具有一耦合至該位址輸入端之輸入端，一控制輸入端用以接收一第一控制信號，當該信號動作時，指示一傳輸之開始，及一輸出端，其中該暫存器(60)在該輸入端儲存一數值以回應該第一控制信號之動作；

一比較器(62)，具有一第一輸入端耦合至該暫存器(60)之輸出端，一第二輸入端耦合至該管線匯流排之位址部份，及一輸出端用以提供一頁命中信號；及

一狀態機(56)，具有一第一輸入端用以接收該頁命中信號，一第二輸入端用以接收一第二控制信號，當該控制信號動作時，在一第一存取完成之前，指示在該管線式匯流排之位址部份的次一位址有效，及一輸出端耦合至一外部匯流排之控制部份，該狀態機(56)藉由動作至少一個外部控制信號以控制在該外部匯流排上的第一存取，並隨後在該外部匯流排上開始一預充電，以回應該第二控制信號在該第一存取時之停止，或該頁命中信號在該第二控制信號動作時之停止。

2. 如申請專利範圍第1項之記憶體控制器(42)，其中至少一外部控制信號包含一列位址選通信號。

3. 如申請專利範圍第1項之記憶體控制器(42)，其中至少一外部控制信號尚包含一行位址選通信號。

4. 一種用以存取一記憶體(43)之方法，包括下列步驟：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

自一管線式內部匯流排接收一第一內部存取之第一位址；

對應於在一外部匯流排上之第一內部存取，藉由動作至少一外部控制信號以操控一第一外部存取；並

如果在該第一外部存取完成之前，自該管線式內部匯流排接收一第二內部存取之第二位址，執行該下列步驟：

比較該第二位址與該第一位址；並

如果該第二位址不等於該第一位址時，在該第一外部存取期間，開始該記憶體(43)之預充電。

5. 如申請專利範圍第4項之方法，尚包括如果在該第一內部存取完成之前，未自該管線式內部匯流排收到該第二內部存取之第二位址時於該第一外部存取期間內，動作該記憶體之預先充電的步驟。

6. 一種用以存取一記憶體(43)之方法，包含下列步驟：

接收自一管線式內部匯流排之第一內部存取的第一位址；

藉由動作至少一外部控制信號，控制一第一外部存取對應於一外部匯流排上之第一內部存取至該記憶體(43)；

在完成該第一內部存取之前，自該管線內部匯流排選擇性接收一第二內部存取之第二位址；並

如果在該第一內部存取完成前，未接收到自該管線式內部匯流排之第二位址，則在該第一外部存取期間，動作該記憶體(43)之預先充電。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

411411

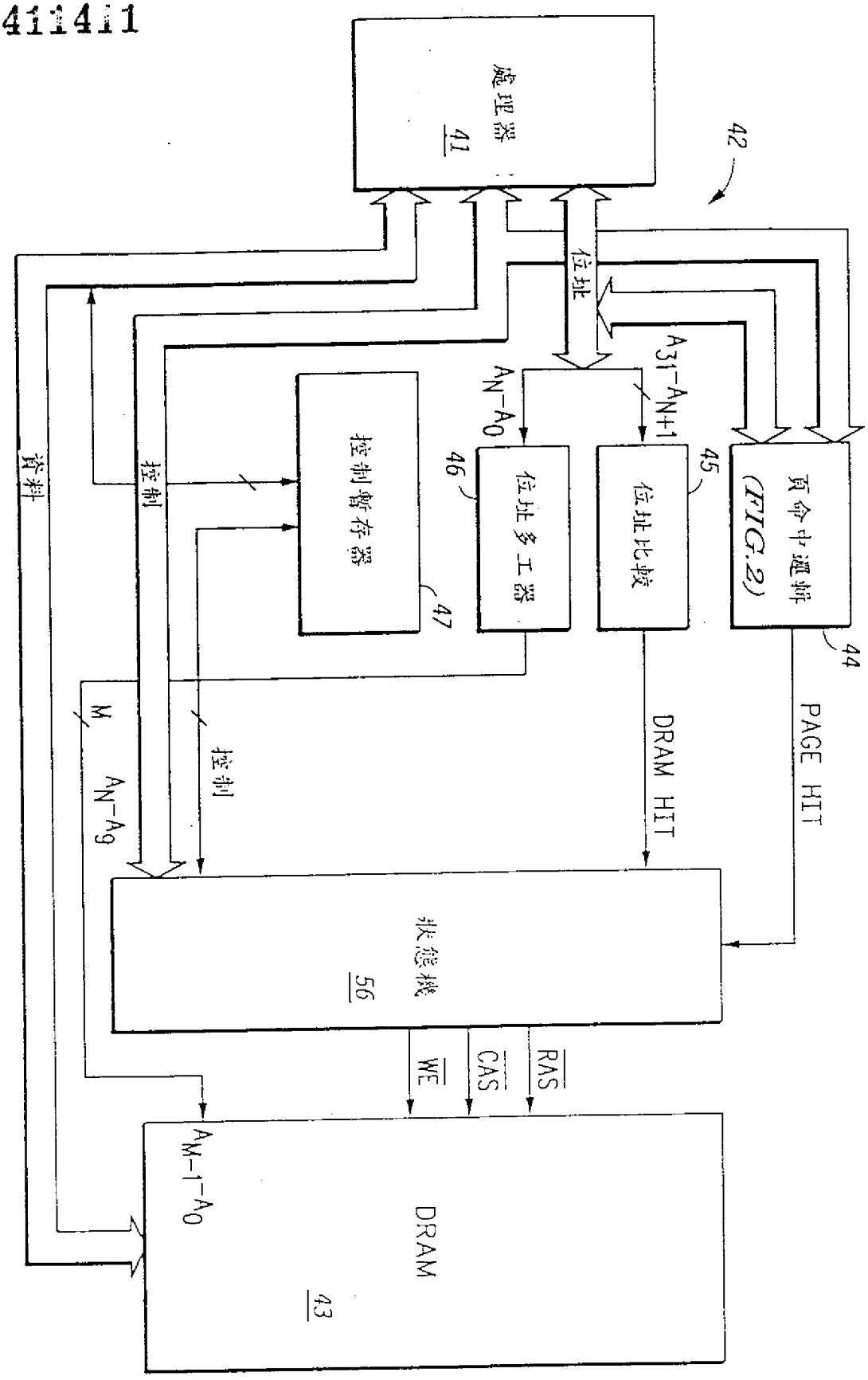
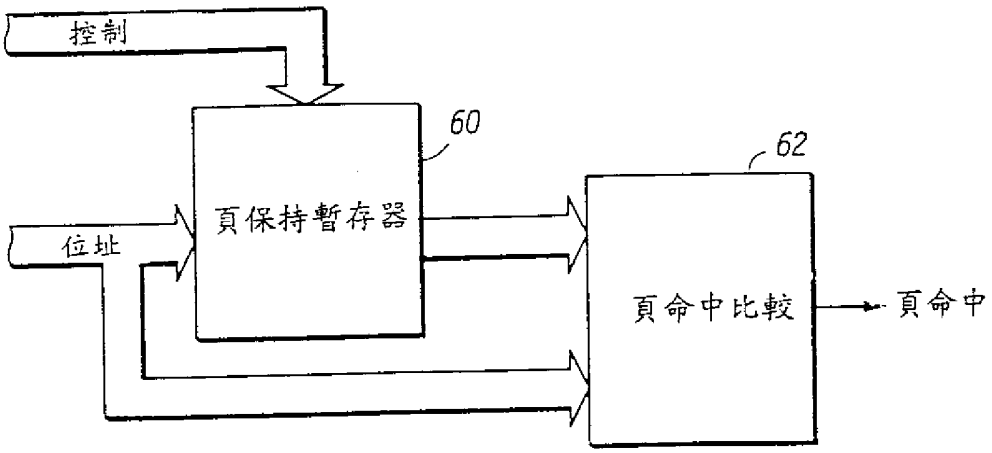

處理器
41
42
位址
$A_{31}-A_{N+1}$
A_N-A_0
控制暫存器
47
46
位址多工器
位址比較
45
頁命中邏輯
(FIG.2)
44
資料
控制
M
A_N-A_9
控制
DRAM HIT
PAGE HIT
狀態機
56
RAS
CAS
WE
$A_{M-1}-A_0$
DRAM
43
40

圖 1


控制
60
62
位址
頁保持暫存器
頁命中比較
頁命中

44

圖 2

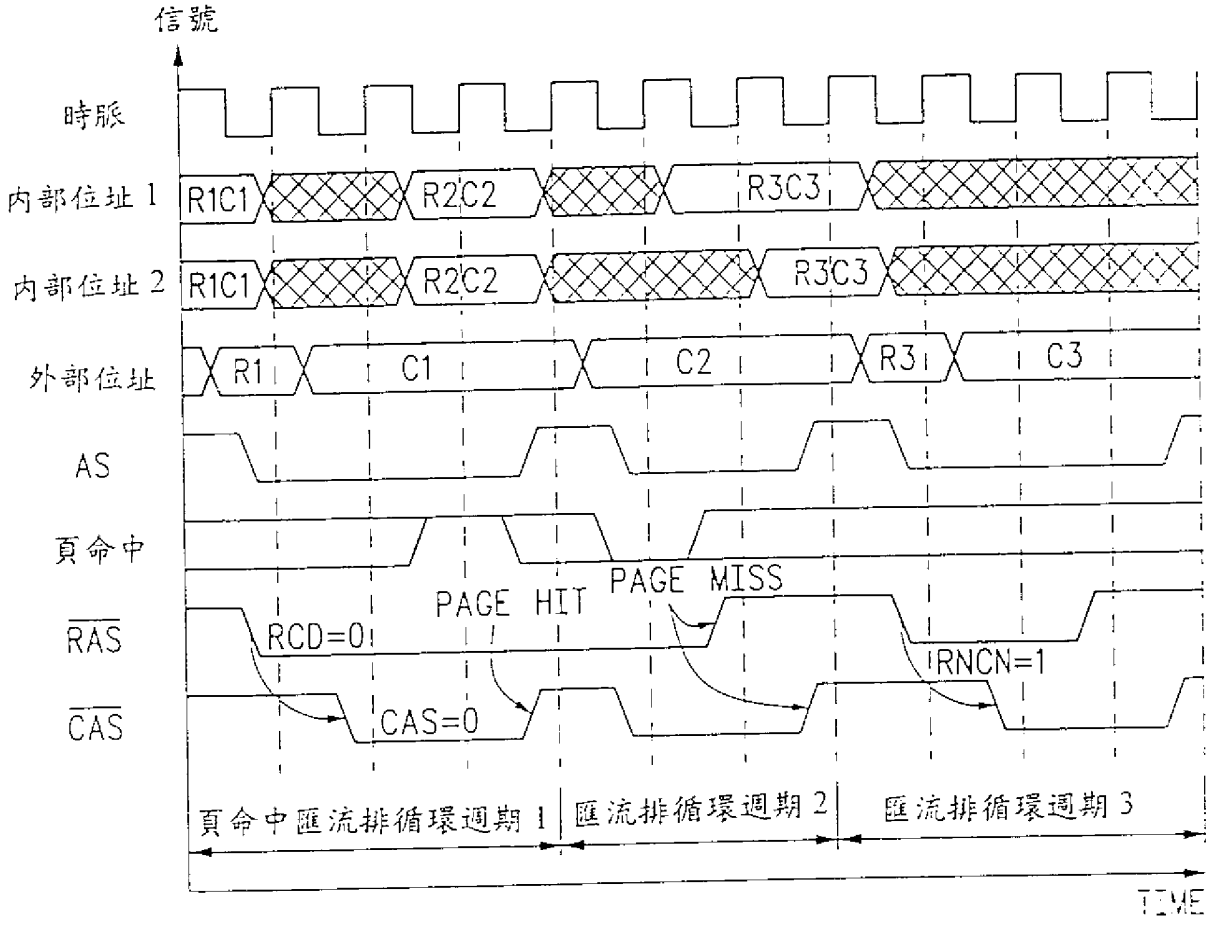

信號
時脈
內部位址 1
內部位址 2
外部位址
AS
頁命中
RAS
CAS
R1C1
R2C2
R3C3
R1
C1
C2
R3
C3
PAGE HIT
PAGE MISS
RCD=0
CAS=0
RNCN=1
頁命中匯流排循環週期 1
匯流排循環週期 2
匯流排循環週期 3
TIME

圖 3