

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年3月8日(2018.3.8)

【公表番号】特表2017-510062(P2017-510062A)

【公表日】平成29年4月6日(2017.4.6)

【年通号数】公開・登録公報2017-014

【出願番号】特願2016-549475(P2016-549475)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 2 M 3/155 (2006.01)

H 0 2 M 7/21 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/06 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 A

H 0 2 M 3/155 T

H 0 2 M 7/21 A

H 0 1 L 29/78 3 0 1 C

H 0 1 L 29/78 3 0 1 D

H 0 1 L 27/06 1 0 2 B

【手続補正書】

【提出日】平成30年1月23日(2018.1.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

バックコンバータにおいて用いるための集積半導体トランジスタチップであって、
前記集積半導体トランジスタチップ上に形成されるハイサイドトランジスタであって、
横方向拡散された金属酸化物半導体(LDMOS)トランジスタを含む、前記ハイサイド
トランジスタと、

前記集積半導体トランジスタチップ上に形成されるローサイドトランジスタであって、
ソースダウン金属酸化物半導体電界効果トランジスタ(MOSFET)を含む、前記ロー
サイドトランジスタと、

前記ローサイドトランジスタのためのソースとして用いるための前記集積半導体トラン
ジスタチップの基板と、

前記ハイサイドトランジスタの前記ローサイドトランジスタの前記ソースからの隔離の
ためのnドーピングされたウェルであって、スイッチノード電位に維持される、前記nドー
ピングされたウェルと、

前記nドーピングされたウェルとハイサイドドレインLDD領域との間に形成されるpドー
ピングされたウェルと、

前記ローサイドトランジスタのドレインを前記ハイサイドトランジスタのソースに電気
的に接続するために前記集積半導体トランジスタチップに形成される金属層と、

を含む、集積半導体トランジスタチップ。

【請求項 2】

請求項 1 に記載の集積半導体トランジスタチップであって、
前記基板の少なくとも一部と前記 n ドープされたウェルとの間で前記集積半導体トランジスタチップに形成される絶縁層を更に含む、集積半導体トランジスタチップ。

【請求項 3】

請求項 2 に記載の集積半導体トランジスタチップであって、
前記絶縁層が酸素注入層を含む、集積半導体トランジスタチップ。

【請求項 4】

請求項 1 に記載の集積半導体トランジスタチップであって、
スイッチノードから前記 n ドープされたウェルへの低抵抗経路を提供するために前記ハイサイドトランジスタを収容する前記集積半導体トランジスタチップの領域内に形成される n - シンカーを更に含む、
前記スイッチノードが、前記 n ドープされたウェルを前記スイッチノードと同じ電位に維持する前記金属層を含む、集積半導体トランジスタチップ。

【請求項 5】

請求項 1 に記載の集積半導体トランジスタチップであって、
スイッチノードから前記 n ドープされたウェルへの低抵抗経路を提供するために前記ハイサイドトランジスタを収容する前記集積半導体トランジスタチップの領域内に形成される複数の n - シンカーを更に含む、
前記スイッチノードが、前記 n ドープされたウェルを前記スイッチノードと同じ電位に維持する前記金属層を含む、集積半導体トランジスタチップ。

【請求項 6】

請求項 1 に記載の集積半導体トランジスタチップであって、
前記 n ドープされたウェルが前記基板と前記ハイサイドトランジスタのソースとの間に形成される、集積半導体トランジスタチップ。

【請求項 7】

請求項 1 に記載の集積半導体トランジスタチップであって、
前記 p ドープされたウェルと前記 n ドープされたウェルとを互いに接続するために用いられる前記ハイサイドトランジスタのソースコンタクトトレンチを更に含む、集積半導体トランジスタチップ。

【請求項 8】

請求項 1 に記載の集積半導体トランジスタチップであって、
前記 p ドープされたウェルの深さと不純物濃度とが寄生の n (L D D) - p (p ドープされたウェル) - n (n ドープされたウェル) がオンすることを防止する、集積半導体トランジスタチップ。

【請求項 9】

バックコンバータであって、
請求項 1 乃至 8 の何れかに記載の集積半導体トランジスタチップを利用する、バックコンバータ。