

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6167855号  
(P6167855)

(45) 発行日 平成29年7月26日(2017.7.26)

(24) 登録日 平成29年7月7日(2017.7.7)

(51) Int.Cl.

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 6 4 D

請求項の数 5 (全 30 頁)

(21) 出願番号	特願2013-227580 (P2013-227580)	(73) 特許権者	000005223
(22) 出願日	平成25年10月31日(2013.10.31)		富士通株式会社
(65) 公開番号	特開2015-88065 (P2015-88065A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成27年5月7日(2015.5.7)	(74) 代理人	100089118
審査請求日	平成28年7月5日(2016.7.5)		弁理士 酒井 宏明
		(72) 発明者	水谷 亮
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
		(72) 発明者	▲徳▼▲廣▼ 宣幸
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 信号制御回路、情報処理装置及び信号制御方法

(57) 【特許請求の範囲】

【請求項 1】

外部から参照信号とデータ信号とを入力して、周期的な波形を有しデータ取得のタイミングを提示する前記参照信号の立上りを基に前記データ信号から第1信号を取得し、前記参照信号の立下りを基に前記データ信号から第2信号を取得する取得部と、

周期的な波形を有する内部の基準信号と前記参照信号の立上りとの位相差を基に前記第1信号に第1の遅延を与え、前記基準信号と前記参照信号の立下りとの位相差を基に前記第2信号に第2の遅延を与える遅延付加部と、

前記基準信号を基に、前記第1の遅延が与えられた前記第1信号及び前記第2の遅延が与えられた前記第2信号からデータを取り込むデータ取込部と

を備えたことを特徴とする信号制御回路。

【請求項 2】

前記遅延付加部は、

前記基準信号と前記参照信号の立上りとの位相差を検出する第1位相差検出部と、

前記第1位相差検出部により検出された位相差を基に前記第1信号に第1の遅延を与える第1遅延付加部と、

前記第1位相差検出部による位相差の検出と並行して、前記基準信号と前記参照信号の立下りとの位相差を検出する第2位相差検出部と、

前記第2位相差検出部により検出された位相差を基に前記第2信号に第2の遅延を与える第2遅延付加部と

10

20

を備えたことを特徴とする請求項 1 に記載の信号制御回路。

【請求項 3】

前記遅延付加部は、

前記基準信号と前記参照信号の立上りとの位相差の検出と、前記基準信号と前記参照信号の立下りとの位相差の検出とを所定のタイミングで切り替えて行う切替位相差検出部と、

前記切替位相差検出部により検出された前記基準信号と前記参照信号の立上りとの位相差を基に前記第 1 信号に第 1 の遅延を与える第 1 遅延付加部と、

前記切替位相差検出部により検出された前記基準信号と前記参照信号の立下りとの位相差を基に前記第 2 信号に第 2 の遅延を与える第 2 遅延付加部と、

を備えたことを特徴とする請求項 1 に記載の信号制御回路。

10

【請求項 4】

メモリ、演算部及びメモリコントローラを有する情報処理装置であって、

前記メモリコントローラは、

前記メモリから参照信号とデータ信号とを入力して、周期的な波形を有しデータ取得のタイミングを提示する前記参照信号の立上りを基に前記データ信号から第 1 信号を取得し、前記参照信号の立下りを基に前記データ信号から第 2 信号を取得する取得部と、

周期的な波形を有する内部の基準信号と前記参照信号の立上りとの位相差を基に前記第 1 信号に第 1 の遅延を与え、前記基準信号と前記参照信号の立下りとの位相差を基に前記第 2 信号に第 2 の遅延を与える遅延付加部と、

20

前記基準信号を基に、前記第 1 の遅延が与えられた前記第 1 信号及び前記第 2 の遅延が与えられた前記第 2 信号からデータを取り込むデータ取込部とを備え、

前記演算部は、前記データ取込部により取り込まれた前記データを用いて演算を行うことを特徴とする情報処理装置。

【請求項 5】

信号制御回路における信号制御方法であって、

取得部が、外部から参照信号とデータ信号とを入力して、周期的な波形を有しデータ取得のタイミングを提示する前記参照信号の立上りを基に前記データ信号から第 1 信号を取得するとともに、前記参照信号の立下りを基に前記データ信号から第 2 信号を取得し、

遅延付加部が、周期的な波形を有する内部の基準信号と前記参照信号の立上りとの位相差を基に前記第 1 信号に第 1 の遅延を与え、前記基準信号と前記参照信号の立下りとの位相差を基に前記第 2 信号に第 2 の遅延を与え、

30

データ取込部が、前記基準信号を基に、前記第 1 の遅延が与えられた前記第 1 信号及び前記第 2 の遅延が与えられた前記第 2 信号からデータを取り込む

ことを特徴とする信号制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号制御回路、情報処理装置及び信号制御方法に関する。

【背景技術】

40

【0002】

信号制御回路であるメモリコントローラは、例えば、Double Data Rate (DDR) 3 に代表される DDR メモリインタフェース (Memory Interface) 回路を有する。DDR メモリは、クロック信号のポジティブエッジとネガティブエッジの双方でデータの入出力をし、クロック周波数の 2 倍のデータ転送レートでデータ転送をするメモリである。

【0003】

DDR メモリでは、メモリコントローラが、その内部で生成させた内部クロック信号を Dual In-line Memory Module (DIMM) に送信する。

【0004】

そして、メモリコントローラからのリード要求に応じて、DIMM はそのクロック信号

50

からデータストロブ（DQS）信号を生成し、このDQS信号をデータ（DQ）信号とともにメモリインタフェースへ送出する。

【0005】

メモリインタフェースは、これらDQS信号及びDQ信号を受信する。次に、メモリインタフェースは、受信したDQS信号に含まれる位相情報（エッジ）を基に、最適なDQ信号の取り込みタイミングを決定する。そして、メモリコントローラは、決定したタイミングでDQ信号を取り込む。

【0006】

DQS信号やDQ信号が経由する、メモリコントローラ、Printed Circuit Board（PCB）、及びメモリ素子などの途中経路において発生する遅延は、温度や電源電圧などの装置動作環境により変化する。そのため、DQS信号及びDQ信号がメモリコントローラに到着するタイミングは、装置動作環境の変化により変動する。近年、データ転送速度が高速化しており、この遅延のばらつきの影響が大きくなってきている。そのため、信号の到着タイミングの変動に追従して最適なデータ取り込みタイミングを決定することが行われている。

10

【0007】

さらに、近年のメモリインタフェースの高速化に伴い、DQ信号を読み込む際のタイミングマージンが縮小している。そのため、DQ信号を読み込むタイミングの精度を向上させることが好ましい。

【0008】

20

なお、データを適切なタイミングで読み込むために、0と1の出現確率を考慮して、データ信号の位相のずれ、立上り及び立下りを基に、デューティサイクルを調整する従来技術がある。

【0009】

信号の立上り用の遅延量と立下り用の遅延量とを保持させ、立上りと立下りに異なる遅延量を与える従来技術がある。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2009-232366号公報

30

【特許文献2】特開2007-228044号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、DQS信号は、メモリコントローラ内部の電圧からメモリコントローラ外部での電圧へ変換するレベルコンバータや伝送路上でデューティ劣化が発生するおそれがある。ここで、DDRメモリでは、DQS信号の立上りと立下りの両エッジでDQ信号を取り込む。この時、DQS信号にデューティ劣化が発生していると、DQ信号の取込みにおけるタイミングマージンが減少してしまう。それにより、DDRメモリがDQ信号を正確に取り込めず、データ異常が発生するおそれがある。

40

【0012】

この点、0と1の出現確率を考慮してデューティサイクルを調整する従来技術を用いても、デューティが劣化した場合、DQS信号の立上り又は立下りにおけるデータの取り込みを正確に行うことは困難である。

【0013】

また、異なる遅延量により立上りにおける遅延と立下りにおける遅延を異ならせる従来技術を用いても、デューティ劣化が変化した場合には、DQS信号の立上り又は立下りにおけるデータの取り込みを正確に行うことは困難である。

【0014】

開示の技術は、上記に鑑みてなされたものであって、データ異常の発生を軽減する信号

50

制御回路、情報処理装置及び信号制御方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

本願の開示する信号制御回路、情報処理装置及び信号制御方法は、一つの態様において、取得部は、外部から参照信号とデータ信号とを入力して、周期的な波形を有しデータ取得のタイミングを提示する前記参照信号の立上りを基に前記データ信号から第1信号を取得し、前記参照信号の立下りを基に前記データ信号から第2信号を取得する。遅延付加部は、周期的な波形を有する内部の基準信号と前記参照信号の立上りとの位相差を基に前記第1信号に第1の遅延を与え、前記基準信号と前記参照信号の立下りとの位相差を基に前記第2信号に第2の遅延を与える。データ取込部は、前記基準信号を基に、前記第1の遅延が与えられた前記第1信号及び前記第2の遅延が与えられた前記第2信号からデータを取り込む。

10

【発明の効果】

【0016】

本願の開示する信号制御回路、情報処理装置及び信号制御方法の一つの態様によれば、データ異常の発生を軽減することができるという効果を奏する。

【図面の簡単な説明】

【0017】

【図1】図1は、情報処理装置の概略構成図である。

【図2】図2は、実施例1に係るメモリインタフェース回路及び情報処理装置のブロック図である。

20

【図3】図3は、立上用先行信号及び立上用後行信号の位相情報の取得を表す図である。

【図4】図4は、位相判定テーブルの一例の図である。

【図5】図5は、立下用先行信号及び立下用後行信号の位相情報の取得を表す図である。

【図6】図6は、実施例1に係るメモリコントローラによるデータの取り込み処理のフローチャートである。

【図7】図7は、DQS信号の位相が進んでいる場合の位相調整処理のタイミングチャートである。

【図8】図8は、DQS信号の位相が遅れている場合の位相調整処理のタイミングチャートである。

30

【図9】図9は、デューティが劣化していない状態での各信号のタイミングを表す図である。

【図10】図10は、デューティ劣化時に立上りのタイミングのみで位相調整を行った場合の各信号のタイミングを表す図である。

【図11】図11は、実施例1に係るメモリインタフェース回路を使用した場合のDuty劣化時の各信号のタイミングを表す図である。

【図12】図12は、実施例2に係るメモリインタフェース回路及び情報処理装置のブロック図である。

【図13】図13は、実施例2に係る位相判定部の詳細を表すブロック図である。

【図14】図14は、実施例2に係る位相判定部による立下りの位相判定を説明するための図である。

40

【図15】図15は、実施例2に係るメモリコントローラによるデータの取り込み処理のフローチャートである。

【発明を実施するための形態】

【0018】

以下に、本願の開示する信号制御回路、情報処理装置及び信号制御方法の実施例を図面に基づいて詳細に説明する。なお、以下の実施例により本願の開示する信号制御回路、情報処理装置及び信号制御方法が限定されるものではない。

【実施例1】

【0019】

50

図 1 は、情報処理装置の概略構成図である。本実施例に係る情報処理装置は、チップセット 100、Dual Inline Memory Module (D I M M) 2、及び Central Processing Unit (C P U) 3 を有する。

【0020】

チップセット 100 は、メモリコントローラ 10 を搭載する。そして、メモリコントローラ 10 は、メモリインタフェース回路 1 を有する。

【0021】

D I M M 2 は、記憶媒体である D R A M (Dynamic Random Access Memory) を有する記憶装置である。D I M M 2 は、データのリード要求及びクロック信号 (C L K) を後述するメモリインタフェース回路 1 から受信する。そして、D I M M 2 は、受信したクロック信号 (C L K) からデータストロープ (D Q S) 信号を生成する。そして、D I M M 2 は、D Q S 信号をデータ (D Q) 信号とともにメモリインタフェース回路 1 へ送信する。

10

【0022】

C P U 3 は、D I M M 2 からデータを読み出す命令であるリード要求のコマンドをチップセット 100 上のメモリコントローラ 10 へ送信する。そして、C P U 3 は、リード要求で指定したデータをメモリコントローラ 10 から受信する。その後、C P U 3 の演算処理部 31 は、受信したデータに対して処理を実行する。

【0023】

メモリコントローラ 10 は、リード要求のコマンドを C P U 3 から受信する。そして、メモリコントローラ 10 は、内部クロック信号を生成し、生成した内部クロック信号とともにリード要求をメモリインタフェース回路 1 に対して送信する。その後、メモリコントローラ 10 は、メモリインタフェース回路 1 が取り込んだデータを取得する。そして、メモリコントローラ 10 は、取得したデータを C P U 3 へ送信する。

20

【0024】

メモリインタフェース回路 1 は、リード要求をメモリコントローラ 10 から受信する。さらに、メモリインタフェース回路 1 は、内部クロック信号をメモリコントローラ 10 から受信する。そして、メモリインタフェース回路 1 は、リード要求とともにクロック (C K) 信号を D I M M 2 へ送信する。

【0025】

その後、メモリインタフェース回路 1 は、データストロープ (D Q S) 信号及びデータ (D Q) 信号を受信する。この D Q S 信号が、「参照信号」の一例にあたる。

30

【0026】

次に、メモリインタフェース回路 1 は、D Q S 信号に遅延を与えて内部クロック信号との同期をとる。この内部クロック信号が、「基準信号」の一例にあたる。

【0027】

具体的には、メモリインタフェース回路 1 は、D Q S 信号の立上りと D Q S 信号に固定遅延を与えた信号の立上りが内部クロック信号の立下りの前後にくるように、D Q S 信号に遅延を与える。これにより、メモリインタフェース回路 1 は、D Q S 信号の立上りの位相と内部クロック信号の位相とを一致させる遅延量を求める。この遅延量を「立上り側遅延量」という。また、メモリインタフェース回路 1 は、D Q S 信号の立下りと D Q S 信号に固定遅延を与えた信号の立下りが内部クロック信号の立下りの前後にくるように、D Q S 信号に遅延を与える。これにより、メモリインタフェース回路 1 は、D Q S 信号の立下りの位相と内部クロック信号の位相とを一致させる遅延量を求める。この遅延量を「立下り側遅延量」という。

40

【0028】

ここで、メモリインタフェース回路 1 は、D Q 信号を D Q S 信号の立上りのタイミングと立下りのタイミングの 2 つのタイミングで取り込む。すなわち、D Q 信号には、D Q S 信号の立上りのタイミングで取り込まれる信号成分と、D Q S 信号の立下りのタイミングで取り込まれる信号成分とを有する。そして、D Q S 信号の立上りと立下りは交互に到来

50

するので、D Q S 信号の立上りのタイミングで取り込まれる信号成分とD Q S 信号の立下りのタイミングで取り込まれる信号成分とは、D Q 信号において交互に繰り返されることになる。すなわち、これらの信号成分の一方をD Q 信号の偶数番目のデータとすると他方は奇数番目のデータとなる。そこで、以下では、説明の都合上、D Q S 信号の立上りのタイミングで取り込まれる信号成分を、偶数番目のデータとして「E V E N 成分」といい、D Q S 信号の立下りのタイミングで取り込まれる信号成分を、奇数番目のデータとして「O D D 成分」という。

#### 【 0 0 2 9 】

そして、メモリインタフェース回路 1 は、D Q 信号のE V E N 成分に立上り側遅延量を与える。そして、内部クロック信号を用いて、立上り側遅延量を与えたD Q 信号のE V E N 成分からデータを取り込む。また、メモリインタフェース回路 1 は、D Q 信号のO D D 成分に立下り側遅延量を与える。そして、内部クロック信号を用いて、立下り側遅延量を与えたD Q 信号のO D D 成分からデータを取り込む。その後、メモリインタフェース回路 1 は、取り込んだデータをC P U 3 へ送信する。このように、D Q S 信号のクロック取り扱われるデータを、内部クロックで取り扱えるデータへ変換することを、「クロックドメインチェンジ」と呼ぶことがある。

#### 【 0 0 3 0 】

図 2 を参照して、本実施例に係るメモリインタフェース回路 1 の詳細を説明する。図 2 は、実施例 1 に係るメモリインタフェース回路及び情報処理装置のブロック図である。図 2 では、クロックドメインチェンジの機能について説明するため、例えば、D I M M 2 へのクロック ( C L K ) 信号の送信などの機能については省略してある。

#### 【 0 0 3 1 】

図 2 に示すように、本実施例に係るメモリインタフェース回路 1 は、立上側位相比較回路 1 1、E V E N 成分選択部 1 3、可変遅延付加部 1 4 及びデータ取込部 1 5 を有する。また、メモリインタフェース回路 1 は、立下側位相比較回路 1 2、位相反転部 2 1、O D D 成分選択部 2 2、可変遅延付加部 2 3 及びデータ取込部 2 4 を有する。

#### 【 0 0 3 2 】

立上側位相比較回路 1 1 は、内部クロック信号の立下りとD Q S 信号の立上りのタイミングを合わせるための遅延量を求める回路である。以下に、立上側位相比較回路 1 1 の詳細について説明する。

#### 【 0 0 3 3 】

立上側位相比較回路 1 1 は、可変遅延付加部 1 1 1、固定遅延付加部 1 1 2、ラッチ 1 1 3、位相判定部 1 1 4 及び可変遅延制御部 1 1 5 を有する。この立上側位相比較回路 1 1 が、「第 1 位相差検出部」の一例にあたる。

#### 【 0 0 3 4 】

可変遅延付加部 1 1 1 は、D Q S 信号をD I M M 2 から受信する。また、可変遅延付加部 1 1 1 は、D Q S 信号に与える遅延量を指定する可変遅延設定値を可変遅延制御部 1 1 5 から受ける。そして、可変遅延付加部 1 1 1 は、可変遅延設定値で指定されるステップ数分の遅延量をD Q S 信号に与える。ここで、ステップとは、予め決められた遅延量をD Q S 信号に与える単位である。すなわち、可変遅延付加部 1 1 1 は、可変遅延制御部 1 1 5 から受信したステップ数に予め決められた遅延量を乗算した値を遅延量としてD Q S 信号に与える。以下では、可変遅延付加部 1 1 1 が与える遅延量を「立上用可変遅延量」という。そして、可変遅延付加部 1 1 1 は、立上用可変遅延量を与えたD Q S 信号をラッチ 1 1 3 及び固定遅延付加部 1 1 2 へ出力する。

#### 【 0 0 3 5 】

固定遅延付加部 1 1 2 は、立上用可変遅延量が与えられたD Q S 信号の入力を可変遅延付加部 1 1 1 から受ける。そして、固定遅延付加部 1 1 2 は、立上用可変遅延量が与えられたD Q S 信号に予め決められた遅延量を与える。以下では、固定遅延付加部 1 1 2 が与える遅延量を「立上用固定遅延量」という。その後、固定遅延付加部 1 1 2 は、立上用可変遅延量及び立上用固定遅延量が付加されたD Q S 信号をラッチ 1 1 3 へ出力する。

## 【 0 0 3 6 】

ラッチ 1 1 3 は、立上用可変遅延量が与えられた D Q S 信号の入力を可変遅延付加部 1 1 1 から受ける。また、ラッチ 1 1 3 は、立上用可変遅延量及び立上用固定遅延量が付加された D Q S 信号の入力を固定遅延付加部 1 1 2 から受ける。以下では、可変遅延付加部 1 1 1 から出力された信号を「立上用先行信号」と呼び、固定遅延付加部 1 1 2 から出力された信号を「立上用後行信号」と呼ぶ。

## 【 0 0 3 7 】

また、ラッチ 1 1 3 は、内部クロック信号の入力をクロック発生部 4 0 から受ける。さらに、ラッチ 1 1 3 は、立上用インヒビット ( Inhibit : I H ) 信号の入力を可変遅延制御部 1 1 5 から受ける。

10

## 【 0 0 3 8 】

ラッチ 1 1 3 は、立上用 I H 信号が L o w の場合、内部クロック信号の立下りのタイミングで立上用先行信号及び立上用後行信号の位相情報を取り込む。本実施例では、ラッチ 1 1 3 は、信号が H i g h レベルの場合、位相情報を「 1 」として取り込み、信号が L o w レベルの場合、位相情報を「 0 」として取り込む。例えば、内部クロック信号が立下りのタイミングで、立上用先行信号が H i g h で、立上用後行信号が L o w の場合、立上用先行信号の位相情報として「 1 」を取り込み、立上用後行信号の位相情報として「 0 」を取り込む。

## 【 0 0 3 9 】

ここで、図 3 を参照して、ラッチ 1 1 3 による位相情報の取得について説明する。図 3 は、立上用先行信号及び立上用後行信号の位相情報の取得を表す図である。図 3 の 1 番上のグラフが内部クロック信号を表す。また、上から 2 番目のグラフが立上用 I H 信号を表す。そして、図 3 におけるグラフ ( a ) 及びグラフ ( b ) のグラフ対 2 0 1 ~ 2 0 4 において、グラフ ( a ) が立上用先行信号を表し、グラフ ( b ) が立上用後行信号を表す。グラフ対 2 0 1 ~ 2 0 4 は、それぞれ立上用先行信号及び立上用後行信号の組の位相の状態が異なる場合を示している。

20

## 【 0 0 4 0 】

ラッチ 1 1 3 は、I H 信号が L o w の状態で内部クロック信号の立下りのタイミングで立上用先行信号及び立上用後行信号の値を取得する。すなわち、ラッチ 1 1 3 は、タイミング 2 0 5 で立上用先行信号及び立上用後行信号の値を取得する。

30

## 【 0 0 4 1 】

グラフ対 2 0 1 の場合、立上用先行信号及び立上用後行信号のいずれも H i g h であり、ラッチ 1 1 3 は、位相情報としていずれも「 1 」を取得する。また、グラフ対 2 0 2 の場合、立上用先行信号は H i g h であり、立上用後行信号は L o w である。すなわち、ラッチ 1 1 3 は、立上用先行信号の位相情報として「 1 」を取得し、立上用後行信号の位相情報として「 0 」を取得する。また、グラフ対 2 0 3 の場合、立上用先行信号及び立上用後行信号のいずれも L o w であり、ラッチ 1 1 3 は、位相情報としていずれも「 0 」を取得する。また、グラフ対 2 0 4 の場合、立上用先行信号は L o w であり、立上用後行信号は H i g h である。すなわち、ラッチ 1 1 3 は、立上用先行信号の位相情報として「 0 」を取得し、立上用後行信号の位相情報として「 1 」を取得する。

40

## 【 0 0 4 2 】

そして、ラッチ 1 1 3 は、立上用先行信号及び立上用後行信号の位相情報を位相判定部 1 1 4 へ出力する。

## 【 0 0 4 3 】

位相判定部 1 1 4 は、位相情報の組み合わせに対応する位相状態を記憶している。例えば、位相判定部 1 1 4 は、図 4 で表される位相判定テーブル 2 1 0を記憶している。図 4 は、位相判定テーブルの一例の図である。図 4 では、位相情報を 2 ビットの情報で示す。位相情報は、2 ビットのうち、上位ビットが立上用後行信号の値を表し、下位ビットが立上用先行信号の値を表す。

## 【 0 0 4 4 】

50

位相判定部 114 は、立上用先行信号及び立上用後行信号の位相情報の入力をラッチ 113 から受ける。そして、位相判定部 114 は、受信した位相情報の組み合わせに対応する位相状態を位相判定テーブル 210 から取得する。その後、位相判定部 114 は、取得した位相状態を可変遅延制御部 115 へ出力する。以下では、DQS 信号の位相が内部クロック信号の位相に比べて遅れている位相状態を、「位相遅延状態」という。また、DQS 信号の位相がクロック信号の位相に比べて進んでいる位相状態を、「位相前進状態」という。また、DQS 信号の位相とクロック信号の位相とが一致している位相状態を、「位相一致状態」という。さらに、DQS 信号の位相とクロック信号の位相とが本来発生しないはずの異常状態となっている状態を「位相異常状態」という。

【0045】

10

可変遅延制御部 115 は、位相状態の入力を位相判定部 114 から受ける。そして、可変遅延制御部 115 は、位相遅延状態の場合、DQS 信号の位相を 1 ステップ分前進させる可変遅延設定値を求める。すなわち、可変遅延制御部 115 は、可変遅延付加部 111 へ通知したステップ数から 1 を減算したステップ数を可変遅延設定値とする。そして、可変遅延制御部 115 は、求めた可変遅延設定値を可変遅延付加部 111 へ送信する。

【0046】

また、可変遅延制御部 115 は、位相前進状態の場合、現在の DQS 信号の位相からさらに予め決められた 1 ステップ分遅らせる可変遅延設定値を求める。すなわち、可変遅延制御部 115 は、可変遅延付加部 111 へ通知したステップ数に 1 を加算したステップ数を可変遅延設定値とする。そして、可変遅延制御部 115 は、求めた可変遅延設定値を可変遅延付加部 111 へ送信する。

20

【0047】

また、可変遅延制御部 115 は、位相一致状態の場合、可変遅延設定値を保持する指示を可変遅延付加部 111 へ送信する。

【0048】

これに対して、位相状態が位相異常状態の場合、可変遅延制御部 115 は、DQS 信号の位相の調整を行わない。

【0049】

さらに、可変遅延制御部 115 は、立上用先行信号及び立上用後行信号の位相情報から IH 信号を生成する。そして、可変遅延制御部 115 は、立上用 IH 信号をラッチ 113 へ出力する。

30

【0050】

EVEN 成分選択部 13 は、DQ 信号の入力を DI MM 2 から受ける。さらに、EVEN 成分選択部 13 は、DQS 信号の入力を DI MM 2 から受ける。

【0051】

そして、EVEN 成分選択部 13 は、DQS 信号の立上りのタイミングで DQ 信号から EVEN 成分を取得する。その後、EVEN 成分選択部 13 は、取得した DQ 信号の EVEN 成分を可変遅延付加部 14 へ出力する。この EVEN 成分選択部 13 が、「取得部」の一例にあたる。

【0052】

40

可変遅延付加部 14 は、位相一致状態とするための立上用可変遅延量を可変遅延付加部 111 から取得する。

【0053】

また、可変遅延付加部 14 は、DQ 信号の EVEN 成分の入力を EVEN 成分選択部 13 から受ける。

【0054】

そして、可変遅延付加部 14 は、一致した位相状態となる立上用可変遅延量である立上り側遅延量を DQ 信号の EVEN 成分に付加する。その後、可変遅延付加部 14 は、立上り側遅延量を付加した DQ 信号の EVEN 成分をデータ取込部 15 へ送信する。この可変遅延付加部 14 が、「第 1 遅延付加部」の一例にあたる。また、立上り側遅延量が、「第

50



1の遅延」にあたる。

【0055】

データ取込部15は、立上り側遅延量が付加されたDQ信号のEVEN成分の入力を可変遅延付加部14から受ける。また、データ取込部15は、可変遅延制御部115からIH信号の入力を受ける。さらに、データ取込部15は、クロック発生部40から内部クロック信号の入力を受ける。

【0056】

そして、データ取込部15は、立上用IH信号がLowになっている間の内部クロック信号の立下りのタイミングで、DQ信号のEVEN成分からデータを取り込む。その後、データ取込部15は、DQ信号のEVEN成分から取り込んだデータをCPU3へ出力する。

10

【0057】

次に、立下り側の位相調整について説明する。位相反転部21は、DQS信号の入力をDMM2から受ける。次に、位相反転部21は、受信したDQS信号の位相を反転させる。そして、位相反転部21は、位相を反転させたDQS信号を可変遅延付加部121及びODD成分選択部22へ出力する。以下では、位相が反転したDQS信号を「反転DQS信号」という。

【0058】

立下側位相比較回路12は、内部クロック信号の立下りとDQS信号の立下りのタイミングを合わせるための遅延量を求める回路である。以下に、立下側位相比較回路12の詳細について説明する。

20

【0059】

立下側位相比較回路12は、可変遅延付加部121、固定遅延付加部122、ラッチ123、位相判定部124、可変遅延制御部125及び位相反転部126を有する。この立下側位相比較回路12が、「第2位相差検出部」の一例にあたる。

【0060】

可変遅延付加部121は、反転DQS信号を位相反転部21から受信する。また、可変遅延付加部121は、反転DQS信号に与える遅延量を指定する可変遅延設定値を可変遅延制御部125から受ける。そして、可変遅延付加部121は、可変遅延設定値で指定されるステップ数分の遅延量を反転DQS信号に与える。以下では、可変遅延付加部121が与える遅延量を「立下用可変遅延量」という。そして、可変遅延付加部121は、立下用可変遅延量を与えた反転DQS信号をラッチ123及び固定遅延付加部122へ出力する。

30

【0061】

固定遅延付加部122は、立下用可変遅延量を与えられた反転DQS信号の入力を可変遅延付加部121から受ける。そして、固定遅延付加部122は、立下用可変遅延量を与えられた反転DQS信号に予め決められた遅延量を与える。以下では、固定遅延付加部122が与える遅延量を「立下用固定遅延量」という。その後、固定遅延付加部122は、立下用可変遅延量及び立下用固定遅延量が付加された反転DQS信号をラッチ123へ出力する。

40

【0062】

ラッチ123は、立下用可変遅延量を与えられた反転DQS信号の入力を可変遅延付加部121から受ける。また、ラッチ123は、立下用可変遅延量及び立下用固定遅延量が付加された反転DQS信号の入力を固定遅延付加部122から受ける。以下では、可変遅延付加部121から出力された信号を「立下用先行信号」と呼び、固定遅延付加部122から出力された信号を「立下用後行信号」と呼ぶ。

【0063】

また、ラッチ123は、内部クロック信号の入力をクロック発生部40から受ける。さらに、ラッチ123は、立下用IH信号の入力を位相反転部126から受ける。立下用IH信号は、後述する可変遅延制御部125が出力する立上用IH信号の位相を反転した信

50

号である。

【 0 0 6 4 】

ラッチ 1 2 3 は、立下用 I H 信号が L o w の場合、内部クロック信号の立下りのタイミングで立下用先行信号及び立下用後行信号の位相情報を取り込む。本実施例では、ラッチ 1 2 3 は、信号が H i g h レベルの場合、位相情報を「 1 」として取り込み、信号が L o w レベルの場合、位相情報を「 0 」として取り込む。例えば、内部クロック信号が立下りのタイミングで、立下用先行信号が H i g h で、立下用後行信号が L o w の場合、立下用先行信号の位相情報として「 1 」を取り込み、立下用後行信号の位相情報として「 0 」を取り込む。

【 0 0 6 5 】

ここで、ラッチ 1 2 3 が用いる反転 D Q S 信号の位相はラッチ 1 1 3 で用いる D Q S 信号の位相を反転させたものである。そして、後述するように、ラッチ 1 2 3 が用いる立下用 I H 信号は、可変遅延制御部 1 2 5 が生成した I H 信号の位相を反転させたものである。すなわち、ラッチ 1 2 3 は、立下用 I H 信号が L o w の状態における内部クロック信号の立下りのタイミングで反転 D Q S 信号の立上りの位相状態を取得することで、D Q S 信号の立下りの位相状態を取得することができる。

【 0 0 6 6 】

ここで、図 5 を参照して、ラッチ 1 2 3 による位相情報の取得について説明する。図 5 は、立下用先行信号及び立下用後行信号の位相情報の取得を表す図である。図 5 の 1 番上のグラフが内部クロック信号を表す。また、上から 2 番目のグラフが立下用 I H 信号を表す。そして、図 5 におけるグラフ ( c ) 及びグラフ ( d ) のグラフ対 2 2 1 ~ 2 2 4 において、グラフ ( c ) が立下用先行信号を表し、グラフ ( d ) が立下用後行信号を表す。グラフ対 2 2 1 ~ 2 2 4 は、それぞれ立下用先行信号及び立下用後行信号の組の位相の状態が異なる場合を示している。

【 0 0 6 7 】

ラッチ 1 2 3 は、I H 信号が L o w の状態で内部クロック信号の立下りのタイミングで立下用先行信号及び立下用後行信号の値を取得する。すなわち、ラッチ 1 2 3 は、タイミング 2 2 5 で立下用先行信号及び立下用後行信号の値を取得する。

【 0 0 6 8 】

グラフ対 2 2 1 の場合、立下用先行信号及び立下用後行信号のいずれも H i g h であり、ラッチ 1 2 3 は、位相情報としていずれも「 1 」を取得する。また、グラフ対 2 2 2 の場合、立下用先行信号は H i g h であり、立下用後行信号は L o w である。すなわち、ラッチ 1 2 3 は、立下用先行信号の位相情報として「 1 」を取得し、立下用後行信号の位相情報として「 0 」を取得する。また、グラフ対 2 2 3 の場合、立下用先行信号及び立下用後行信号のいずれも L o w であり、ラッチ 1 2 3 は、位相情報としていずれも「 0 」を取得する。また、グラフ対 2 2 4 の場合、立下用先行信号は L o w であり、立下用後行信号は H i g h である。すなわち、ラッチ 1 2 3 は、立下用先行信号の位相情報として「 0 」を取得し、立下用後行信号の位相情報として「 1 」を取得する。

【 0 0 6 9 】

そして、ラッチ 1 2 3 は、立下用先行信号及び立下用後行信号の位相情報を位相判定部 1 2 4 へ出力する。

【 0 0 7 0 】

位相判定部 1 2 4 は、位相情報の組み合わせに対応する位相状態を記憶している。例えば、位相判定部 1 2 4 も、図 4 の位相判定テーブル 2 1 0 を記憶している。上述したように反転 D Q S 信号の位相は D Q S 信号の位相を反転させたものであり、立下用 I H 信号は可変遅延制御部 1 2 5 が生成した立下用 I H 信号の位相を反転させたものである。そのため、位相判定部 1 2 4 は、立下用先行信号及び立下用後行信号の位相情報を用いた判定論理として位相判定部 1 1 4 が用いる判定論理と同様となる。このように、判定論理を一致させることで回路設計時間を短縮することができる。

【 0 0 7 1 】

ただし、D Q S 信号の位相の反転や立上用 I H 信号の位相の反転を行わずに、位相判定部 1 2 4 における立下り用の判定論理として、立上り用の判定論理と異なる位相判定テーブルを用いることで、同様の動作が可能である。例えば、立下り用の位相判定テーブルは、立下用先行信号及び立下用後行信号の位相信号を並べた 2 ビットの位相情報が、「0 0」の場合に「位相前進状態」、「1 0」の場合に「位相一致状態」、「1 1」の場合に「位相遅延状態」、「0 1」の場合に「位相異常状態」となる判定論理を有するテーブルである。

【0 0 7 2】

位相判定部 1 2 4 は、立下用先行信号及び立下用後行信号の位相情報の入力をラッチ 1 2 3 から受ける。そして、位相判定部 1 2 4 は、受信した位相情報の組み合わせに対応する位相状態を位相判定テーブル 2 1 0 から取得する。その後、位相判定部 1 2 4 は、取得した位相状態を可変遅延制御部 1 2 5 へ出力する。

10

【0 0 7 3】

可変遅延制御部 1 2 5 は、位相状態の入力を位相判定部 1 2 4 から受ける。そして、可変遅延制御部 1 2 5 は、位相遅延状態の場合、反転 D Q S 信号の位相を 1 ステップ分前進させる可変遅延設定値を求める。すなわち、可変遅延制御部 1 2 5 は、可変遅延付加部 1 2 1 へ通知したステップ数から 1 を減算したステップ数を可変遅延設定値とする。そして、可変遅延制御部 1 2 5 は、求めた可変遅延設定値を可変遅延付加部 1 2 1 へ送信する。

【0 0 7 4】

また、可変遅延制御部 1 2 5 は、位相前進状態の場合、現在の反転 D Q S 信号の位相からさらに 1 ステップ分遅延させる可変遅延設定値を求める。すなわち、可変遅延制御部 1 2 5 は、可変遅延付加部 1 2 1 へ通知したステップ数に 1 を加算したステップ数を可変遅延設定値とする。そして、可変遅延制御部 1 2 5 は、求めた可変遅延設定値を可変遅延付加部 1 2 1 へ送信する。

20

【0 0 7 5】

また、可変遅延制御部 1 2 5 は、位相一致状態の場合、可変遅延設定値を保持する指示を可変遅延付加部 1 2 1 へ送信する。

【0 0 7 6】

これに対して、位相状態が位相異常状態の場合、可変遅延制御部 1 2 5 は、反転 D Q S 信号の位相の調整を行わない。

30

【0 0 7 7】

さらに、可変遅延制御部 1 2 5 は、立下用先行信号及び立下用後行信号の位相情報から I H 信号を生成する。そして、可変遅延制御部 1 2 5 は、I H 信号を位相反転部 1 2 6 へ出力する。

【0 0 7 8】

位相反転部 1 2 6 は、立下用 I H 信号の入力を可変遅延制御部 1 2 5 から受ける。そして、位相反転部 1 2 6 は、受信した立下用 I H 信号の位相を反転させる。そして、位相反転部 1 2 6 は、位相を反転させた立下用 I H 信号をラッチ 1 2 3 及びデータ取込部 2 4 へ出力する。

【0 0 7 9】

40

O D D 成分選択部 2 2 は、D Q 信号の入力を D I M M 2 から受ける。さらに、O D D 成分選択部 2 2 は、反転 D Q S 信号の入力を位相反転部 2 1 から受ける。

【0 0 8 0】

そして、O D D 成分選択部 2 2 は、反転 D Q S 信号の立上りのタイミングで D Q 信号の O D D 成分を取得する。その後、O D D 成分選択部 2 2 は、取得した D Q 信号の O D D 成分を可変遅延付加部 2 3 へ出力する。この O D D 成分選択部 2 2 が、「取得部」の一例にあたる。

【0 0 8 1】

可変遅延付加部 2 3 は、反転 D Q S 信号の立上りの位相と内部クロック信号の立下りの位相とが一致した位相状態となる立下用可変遅延量である立下り側遅延量を可変遅延付加

50

部 1 2 1 から取得する。言い換えれば、可変遅延付加部 2 3 は、D Q S 信号の立下りの位相と内部クロック信号の立下りの位相とが一致した位相状態となるような立下用可変遅延量を可変遅延付加部 1 2 1 から取得する。以下では、D Q S 信号の立下りの位相と内部クロック信号の立下りの位相とが一致した位相状態を「位相一致状態」として説明する。

【 0 0 8 2 】

また、可変遅延付加部 2 3 は、D Q 信号の O D D 成分の入力を O D D 成分選択部 2 2 から受ける。

【 0 0 8 3 】

そして、可変遅延付加部 2 3 は、立下り側遅延量を D Q 信号の O D D 成分に付加する。その後、可変遅延付加部 2 3 は、立下り側遅延量を付加した D Q 信号の O D D 成分をデータ取込部 2 4 へ送信する。この可変遅延付加部 2 3 が、「第 2 遅延付加部」の一例にあたる。また、立下り側遅延量が、「第 2 の遅延」の一例にあたる。

10

【 0 0 8 4 】

データ取込部 2 4 は、立下り側遅延量が付加された D Q 信号の O D D 成分の入力を可変遅延付加部 2 3 から受ける。また、データ取込部 2 4 は、位相反転部 1 2 6 から反転 I H 信号の入力を受ける。さらに、データ取込部 2 4 は、クロック発生部 4 0 から内部クロック信号の入力を受ける。

【 0 0 8 5 】

そして、データ取込部 2 4 は、立下用 I H 信号が L o w になっている間の内部クロック信号の立下りのタイミングで、D Q 信号の O D D 成分からデータを取り込む。その後、データ取込部 2 4 は、D Q 信号の O D D 成分から取り込んだデータを C P U 3 へ出力する。

20

【 0 0 8 6 】

次に、図 6 を参照して、本実施例に係るメモリコントローラ 1 0 によるデータの取り込み処理の全体的な流れについて説明する。図 6 は、実施例 1 に係るメモリコントローラによるデータの取り込み処理のフローチャートである。図 6 のフローチャートにおいて、ステップ S 1 ~ S 4、S 9 が D Q S 信号の立上りを用いたデータの取り込み処理である。一方、ステップ S 5 ~ S 9 が D Q S 信号の立下りを用いたデータの取り込み処理である。図 6 に示すフローチャートでは、ステップ S 1 ~ S 4、S 9 及びステップ S 5 ~ S 9 それぞれの処理が並行して行われることを示している。

【 0 0 8 7 】

30

ラッチ 1 1 3 は、立上用先行信号及び立上用後行信号の入力を可変遅延付加部 1 1 1 及び固定遅延付加部 1 1 2 から受ける。そして、ラッチ 1 1 3 は、立上用先行信号及び立上用後行信号それぞれの位相状態を取得する。その後、ラッチ 1 1 3 は、立上用先行信号及び立上用後行信号それぞれの位相状態を位相判定部 1 1 4 へ出力する。位相判定部 1 1 4 は、ラッチ 1 1 3 から受信した立上用先行信号及び立上用後行信号それぞれの位相状態から、D Q S 信号の立上りの位相が一致しているか否かを判定する（ステップ S 1 ）。

【 0 0 8 8 】

位相が一致していない場合（ステップ S 1 ：否定）、可変遅延制御部 1 1 5 は、立上の可変遅延設定値の調整を行う（ステップ S 2 ）。その後、立上側位相比較回路 1 1 は、ステップ S 1 へ処理を戻す。

40

【 0 0 8 9 】

これに対して、位相が一致している場合（ステップ S 1 ：肯定）、可変遅延付加部 1 4 は、D Q 信号の E V E N 成分に、D Q S 信号の立上りと内部クロック信号との位相を一致させるための立上用可変遅延量を付加する（ステップ S 3 ）。

【 0 0 9 0 】

データ取込部 1 5 は、可変遅延制御部 1 1 5 により生成された立上用 I H 信号が L o w の状態における内部クロック信号の立下りのタイミングで、立上用可変遅延量が付加された D Q 信号の E V E N 成分からデータを取り込む（ステップ S 4 ）。

【 0 0 9 1 】

一方、ラッチ 1 2 3 は、反転 D Q S 信号から生成された立下用先行信号及び立下用後行

50

信号の入力を可変遅延付加部 1 2 1 及び固定遅延付加部 1 2 2 から受ける。そして、ラッチ 1 2 3 は、立下用先行信号及び立下用後行信号それぞれの位相状態を取得する。その後、ラッチ 1 2 3 は、立下用先行信号及び立下用後行信号それぞれの位相状態を位相判定部 1 2 4 へ出力する。位相判定部 1 2 4 は、ラッチ 1 2 3 から受信した立下用先行信号及び立下用後行信号それぞれの位相状態から、D Q S 信号の立下りの位相が一致しているか否かを判定する（ステップ S 5）。

#### 【 0 0 9 2 】

位相が一致していない場合（ステップ S 5：否定）、可変遅延制御部 1 2 5 は、立下の可変遅延設定値の調整を行う（ステップ S 6）。その後、立下側位相比較回路 1 2 は、ステップ S 5 へ戻る。

10

#### 【 0 0 9 3 】

これに対して、位相が一致している場合（ステップ S 5：肯定）、可変遅延付加部 2 3 は、D Q 信号の O D D 成分に、D Q S 信号の立下りと内部クロック信号との位相を一致させる立下用可変遅延量を付加する（ステップ S 7）。

#### 【 0 0 9 4 】

データ取込部 2 4 は、可変遅延制御部 1 2 5 により生成された I H 信号の位相を反転させた信号が L o w の状態における内部クロック信号の立下りのタイミングで、立下用可変遅延量が付加された D Q 信号の O D D 成分からデータを取り込む（ステップ S 8）。

#### 【 0 0 9 5 】

その後、C P U 3 は、D Q 信号の E V E N 成分から取り込まれたデータ及び D Q 信号の O D D 成分から取り込まれたデータを取得する（ステップ S 9）。これにより、C P U 3 は、D I M M 2 からデータを読み出すことができる。

20

#### 【 0 0 9 6 】

次に、図 7 を参照して、D Q S 信号の位相が内部クロック信号（C L K）に対し、進んでいる場合の位相調整処理の全体的な流れを説明する。図 7 は、D Q S 信号の位相が進んでいる場合の位相調整処理のタイミングチャートである。

#### 【 0 0 9 7 】

図 7 の横軸は時間の経過を表す。C L K は、内部クロック信号を表す。D Q S は、D Q S 信号を表す。信号 3 0 1 は、立上用先行信号を表す。また、信号 3 0 2 は、立上用後行信号を表す。また、信号 3 0 3 は、立上用 I H 信号を表す。また、立上設定値は、立上り側の位相調整に用いる可変遅延設定値を表す。また、反転 D Q S は、反転 D Q S 信号を表す。また、信号 3 0 4 は、立下用先行信号を表す。また、信号 3 0 5 は、立下用後行信号を表す。また、信号 3 0 6 は、立下用 I H 信号を表す。また、立下設定値は、立下り側の位相調整に用いる可変遅延設定値を表す。

30

#### 【 0 0 9 8 】

信号 3 0 1 及び信号 3 0 2 は、立上用 I H 信号 3 0 3 が L o w の場合に値が取得される。すなわち、B 0、B 1、及び B 2 のタイミングで、ラッチ 1 1 3 は、信号 3 0 1 及び信号 3 0 2 の値を取得する。信号 3 0 4 及び信号 3 0 5 は、立下用 I H 信号 3 0 6 が L o w の場合に値が取得される。すなわち、A 0、A 1、及び A 2 のタイミングで、ラッチ 1 2 3 は、信号 3 0 4 及び信号 3 0 5 の値を取得する。

40

#### 【 0 0 9 9 】

立上り側位相調整では、可変遅延付加部 1 1 1 は、信号 3 0 1 に可変遅延設定値が「n - 1」分の立上用可変遅延量を有する可変遅延を与えている（ステップ S 1 0）。信号 3 0 2 は、信号 3 0 1 に固定遅延が付加された信号となっている。

#### 【 0 1 0 0 】

ラッチ 1 1 3 は、信号 3 0 3 が L o w で且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップ S 1 1）。すなわち、タイミング B 0 において、ラッチ 1 1 3 は、信号 3 0 1 及び信号 3 0 2 の値を取得する（ステップ S 1 2）。この場合、ラッチ 1 1 3 は、信号 3 0 1 の値として「1」を取得し、信号 3 0 2 の値として「1」を取得する。位相判定部 1 1 4 は、「1 1」という位相情報の組の入力をラッチ 1 1 3

50

から受ける（ステップS13）。ここで、位相情報の組を2ビット表現する。「11」は、上位ビットが立上用後行信号の値を表し、下位ビットが立上用先行信号の値を表す。以下では、先行信号及び後行信号の位相情報の組を、単に「位相情報」という場合がある。

【0101】

位相判定部114は、位相前進状態であると判定する。そして、位相判定部114は、位相前進状態である旨を可変遅延制御部115へ通知する（ステップS14）。可変遅延制御部115は、可変遅延設定値に1を加算し新たな可変遅延設定値を求める。図7では、可変遅延制御部115は、「 $n-1$ 」であった可変遅延設定値に1を加算して、新たな可変遅延設定値として「 $n$ 」を求めている。そして、可変遅延制御部115は、求めた可変遅延設定値を可変遅延付加部111へ通知する（ステップS15）。 10

【0102】

可変遅延付加部111は、可変遅延設定値の入力を可変遅延制御部115から受けて、1ステップ分遅延量を増加させた立上用可変遅延量をDQS信号に与える（ステップS16）。ここで、立上用可変遅延量は前回加えた値に比べて増えているので、信号301及び302の遅延は増加する。

【0103】

次に、ラッチ113は、信号303がLowで且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップS17）。すなわち、タイミングB1において、ラッチ113は、信号301及び信号302の値を取得する（ステップS18）。この場合、ラッチ113は、信号301の値として「1」を取得し、信号302の値として「0」を取得する。位相判定部114は、「01」という位相情報の入力をラッチ113から受ける（ステップS19）。 20

【0104】

位相判定部114は、位相情報が「01」であることから、DQS信号の位相が一致したと判定する（ステップS20）。そして、位相判定部114は、一致した位相状態である旨を可変遅延制御部115へ通知する。可変遅延制御部115は、位相が一致したことから、可変遅延量の保持を可変遅延付加部114へ指示する（ステップS21）。

【0105】

一方、立下り側位相調整では、可変遅延付加部121は、信号304に可変遅延設定値が「 $m-1$ 」分の立下用可変遅延量を有する可変遅延を与えている（ステップS22）。信号305は、信号304に固定遅延が付加された信号となっている。 30

【0106】

ラッチ123は、信号306がLowで且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップS23）。すなわち、タイミングA0において、ラッチ123は、信号304及び信号305の値を取得する（ステップS24）。この場合、ラッチ123は、信号304の値として「1」を取得し、信号305の値として「1」を取得する。位相判定部124は、「11」という位相情報をラッチ123から受ける（ステップS25）。

【0107】

位相判定部124は、進んだ位相状態であると判定する。そして、位相判定部124は、進んだ位相状態である旨を可変遅延制御部125へ通知する（ステップS26）。可変遅延制御部125は、可変遅延設定値に1を加算し新たな可変遅延設定値を求める。図7では、可変遅延制御部125は、「 $m-1$ 」であった可変遅延設定値に1を加算して、新たな可変遅延設定値として「 $m$ 」を求めている。そして、可変遅延制御部125は、求めた可変遅延設定値を可変遅延付加部121へ通知する（ステップS27）。 40

【0108】

可変遅延付加部121は、可変遅延設定値の入力を可変遅延制御部125から受けて、1ステップ分遅延量を増加させた立下用可変遅延量をDQS信号に与える（ステップS28）。ここで、立下用可変遅延量は前回加えたものに比べて増えているので、信号304及び305の遅延は増加する。 50

## 【 0 1 0 9 】

続いて、ラッチ 1 2 3 は、信号 3 0 6 が L o w で且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップ S 2 9）。すなわち、タイミング A 1 において、ラッチ 1 2 3 は、信号 3 0 4 及び信号 3 0 5 の値を取得する（ステップ S 3 0）。この場合、ラッチ 1 2 3 は、信号 3 0 4 の値として「 1 」を取得し、信号 3 0 5 の値として「 0 」を取得する。位相判定部 1 2 4 は、「 0 1 」という位相情報の入力をラッチ 1 2 3 から受ける（ステップ S 3 1）。

## 【 0 1 1 0 】

位相判定部 1 2 4 は、位相情報が「 0 1 」であることから、D Q S 信号の位相が一致したと判定する（ステップ S 3 2）。そして、位相判定部 1 2 4 は、一致した位相状態である旨を可変遅延制御部 1 2 5 へ通知する。可変遅延制御部 1 2 5 は、立下用可変遅延量の保持を可変遅延付加部 1 2 1 へ指示する（ステップ S 3 3）。

10

## 【 0 1 1 1 】

次に、図 8 を参照して、D Q S 信号の位相が内部クロック信号（C L K）に対し、遅れている場合の位相調整処理の全体的な流れを説明する。図 8 は、D Q S 信号の位相が遅れている場合の位相調整処理のタイミングチャートである。

## 【 0 1 1 2 】

図 8 の横軸は時間の経過を表す。また、信号 3 1 1 は、立上用先行信号を表す。また、信号 3 1 2 は、立上用後行信号を表す。また、信号 3 1 3 は、立上用 I H 信号を表す。また、信号 3 1 4 は、立下用先行信号を表す。また、信号 3 1 5 は、立下用後行信号を表す。また、信号 3 1 6 は、立下用 I H 信号を表す。信号 3 1 1 及び信号 3 1 2 は、立上用 I H 信号 3 1 3 が L o w の場合に値が取得される。すなわち、B 0、B 1、及び B 2 のタイミングで、ラッチ 1 1 3 は、信号 3 1 1 及び信号 3 1 2 の値を取得する。信号 3 1 4 及び信号 3 1 5 は、立下用 I H 信号 3 1 6 が L o w の場合に値が取得される。すなわち、A 0、A 1、及び A 2 のタイミングで、ラッチ 1 2 3 は、信号 3 1 4 及び信号 3 1 5 の値を取得する。

20

## 【 0 1 1 3 】

立上り側位相調整では、可変遅延付加部 1 1 1 は、信号 3 1 1 に可変遅延設定値が「 $n + 1$ 」分の立上用可変遅延量を有する可変遅延を与えている（ステップ S 4 1）。信号 3 1 2 は、信号 3 1 1 に固定遅延が付加された信号となっている。

30

## 【 0 1 1 4 】

ラッチ 1 1 3 は、信号 3 1 3 が L o w で且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップ S 4 2）。すなわち、タイミング B 0 において、ラッチ 1 1 3 は、信号 3 1 1 及び信号 3 1 2 の値を取得する（ステップ S 4 3）。この場合、ラッチ 1 1 3 は、信号 3 1 1 の値として「 0 」を取得し、信号 3 1 2 の値として「 0 」を取得する。位相判定部 1 1 4 は、「 0 0 」という位相情報の入力をラッチ 1 1 3 から受ける（ステップ S 4 4）。

## 【 0 1 1 5 】

位相判定部 1 1 4 は、遅れた位相状態であると判定する。そして、位相判定部 1 1 4 は、遅れた位相状態である旨を可変遅延制御部 1 1 5 へ通知する（ステップ S 4 5）。可変遅延制御部 1 1 5 は、可変遅延設定値から 1 を減算し新たな可変遅延設定値を求める。図 8 では、可変遅延制御部 1 1 5 は、「 $n + 1$ 」であった可変遅延設定値から 1 を減算して、新たな可変遅延設定値として「 $n$ 」を求めている。そして、可変遅延制御部 1 1 5 は、求めた可変遅延設定値を可変遅延付加部 1 1 1 へ通知する（ステップ S 4 6）。

40

## 【 0 1 1 6 】

可変遅延付加部 1 1 1 は、立上りの可変遅延設定値の入力を可変遅延制御部 1 1 5 から受けて、1 ステップ分遅延量を減少させた遅延を D Q S 信号に与える（ステップ S 4 7）。ここで、立上用可変遅延量は前回加えた値に比べて減っているため、信号 3 1 1 及び 3 1 2 の遅延は減少する。

## 【 0 1 1 7 】

50

続いて、ラッチ 113 は、信号 313 が Low で且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップ S48）。すなわち、タイミング B1 において、ラッチ 113 は、信号 311 及び信号 312 の値を取得する（ステップ S49）。この場合、ラッチ 113 は、信号 311 の値として「1」を取得し、信号 312 の値として「0」を取得する。位相判定部 114 は、「01」という位相情報の入力をラッチ 113 から受ける（ステップ S50）。

【0118】

位相判定部 114 は、位相情報が「01」であることから、一致した位相状態であると判定する（ステップ S51）。そして、位相判定部 114 は、一致した位相状態である旨を可変遅延制御部 115 へ通知する。可変遅延制御部 115 は、位相が一致したことから、可変遅延量の保持を可変遅延付加部 14 へ指示する（ステップ S52）。

10

【0119】

一方、立下り側位相調整では、可変遅延付加部 121 は、信号 314 に可変遅延量が「 $m+1$ 」分の立下り用可変遅延量を有する可変遅延を与えている（ステップ S53）。信号 315 は、信号 314 に固定遅延が付加された信号となっている。

【0120】

ラッチ 123 は、信号 316 が Low で且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップ S54）。すなわち、タイミング A0 において、ラッチ 123 は、信号 314 及び信号 315 の値を取得する（ステップ S55）。この場合、ラッチ 123 は、信号 314 の値として「0」を取得し、信号 315 の値として「0」を取得する。位相判定部 124 は、「00」という位相情報をラッチ 123 から受ける（ステップ S56）。

20

【0121】

そして、位相判定部 124 は、位相遅延状態であると判定する。そして、位相判定部 124 は、位相遅延状態である旨を可変遅延制御部 125 へ通知する（ステップ S57）。可変遅延制御部 125 は、可変遅延設定値から 1 を減算し新たな可変遅延設定値を求める。図 8 では、可変遅延制御部 125 は、「 $m+1$ 」であった可変遅延設定値から 1 を減算して、新たな可変遅延設定値として「 $m$ 」を求めている。そして、可変遅延制御部 125 は、求めた可変遅延設定値を可変遅延付加部 121 へ通知する（ステップ S58）。

【0122】

可変遅延付加部 121 は、可変遅延設定値の入力を可変遅延制御部 125 から受けて、1 ステップ分遅延量を減少させた立下り用可変遅延量を DQS 信号に与える（ステップ S59）。ここで、立下り用可変遅延量は前回加えた値に比べて減っているため、信号 314 及び 315 の遅延は減少する。

30

【0123】

続いて、ラッチ 123 は、信号 316 が Low で且つ内部クロック信号の立下りのタイミングを検知し位相情報の取得を行う（ステップ S60）。すなわち、タイミング A1 において、ラッチ 123 は、信号 314 及び信号 315 の値を取得する（ステップ S61）。この場合、ラッチ 123 は、信号 314 の値として「1」を取得し、信号 315 の値として「0」を取得する。位相判定部 124 は、「01」という位相情報をラッチ 123 から受ける（ステップ S62）。

40

【0124】

位相判定部 124 は、位相情報が「01」であることから、一致した位相状態であると判定する（ステップ S63）。そして、位相判定部 124 は、一致した位相状態である旨を可変遅延制御部 125 へ通知する。可変遅延制御部 125 は、立下り用可変遅延量の保持を可変遅延付加部 121 へ指示する（ステップ S64）。

【0125】

次に、図 9 ~ 11 を参照して、本実施例に係るメモリアンタフェース回路によるデューティ劣化時のタイミングマージンの確保について説明する。図 9 は、デューティが劣化していない状態での各信号のタイミングを表す図である。図 10 は、デューティ劣化時に立

50



上りのタイミングのみで位相調整を行った場合の各信号のタイミングを表す図である。図 11 は、実施例 1 に係るメモリインタフェース回路を使用した場合の Duty 劣化時の各信号のタイミングを表す図である。

#### 【0126】

まず、図 9 を参照して、デューティ劣化が無い状態について説明する。図 9 の各グラフは左端に記載している各信号に対応する信号を表している。CLK は、内部クロック信号である。DQS は、DQS 信号である。DQ は、DQ 信号である。dq<sub>e</sub> は、DQ 信号の EVEN 成分である。dq<sub>o</sub> は、DQ 信号の ODD 成分である。ddq<sub>s</sub> は、DQS 信号に遅延を加えて立上りの位相を内部クロック信号に一致させた信号である。ddq<sub>e</sub> は、DQS の立上りの位相を内部クロック信号と一致させるために DQS 信号に加えた遅延と同じ遅延を dq<sub>e</sub> に加えた信号である。ddq<sub>o</sub> は、DQS の立上りの位相を内部クロック信号と一致させるために DQS 信号に加えた遅延と同じ遅延を dq<sub>o</sub> に加えた信号である。EVEN\_IH は、dq<sub>e</sub> 用の立上用 IH 信号である。ODD\_IH は、dq<sub>o</sub> 用の立上用 IH 信号である。DQEVEN は、取り込まれた DQ 信号の EVEN 成分のデータである。DQODD は、取り込まれた DQ 信号の ODD 成分のデータである。

#### 【0127】

さらに、P1 より上方にある内部クロック信号以外の信号は、DQS 信号を用いて動作を行う DQS ドメイン内の信号である。また、P2 より下方にある信号は、内部クロック信号を用いて動作を行う信号である。

#### 【0128】

DQS 信号は、デューティ劣化が発生していないので、各周期における信号 401 のように High 及び Low の割合が等しくなっている。ここで、DQS 信号に遅延量 X を付加することで、内部クロック信号と位相が一致したものとする。

#### 【0129】

まず、可変遅延付加部 111 は、DQS 信号の立上りと内部クロック信号の位相を一致させる遅延量 X を DQS 信号に付加することで遅延 402 を与えて ddq<sub>s</sub> を生成する。すなわち、ddq<sub>s</sub> の立上りと内部クロック信号との位相が一致する。

#### 【0130】

そして、タイミング 403 で、EVEN 成分選択部 13 は、DQ 信号の EVEN 成分を抽出し、遷移 404 で示されるように dq<sub>e</sub> を生成する。そして、可変遅延付加部 14 は、dq<sub>e</sub> に遅延量 X を付加することで遅延 405 を与えて ddq<sub>e</sub> を生成する。

#### 【0131】

その後、データ取込部 15 は、DQ 信号の EVEN 成分の立下用 IH 信号が Low の状態における内部クロック信号の立下りのタイミング 406 で、ddq<sub>e</sub> からデータを取り込む。ここで、遅延量 X は、DQS 信号の立上りと内部クロック信号との位相を合わせることで求められた値であるので、DQS 信号の立上りで抽出される EVEN 成分に対応する ddq<sub>e</sub> では、正確なタイミングマージンが確保される。そして、データ取込部 15 は、遷移 407 で示すように ddq<sub>e</sub> から取り込んだデータを取得する。

#### 【0132】

また、ODD 成分選択部 22 は、タイミング 408 で、DQ 信号の ODD 成分を抽出し、遷移 409 で示されるように dq<sub>o</sub> を生成する。そして、可変遅延付加部 23 は、dq<sub>o</sub> に遅延量 X を付加することで遅延 410 を与えて ddq<sub>o</sub> を生成する。

#### 【0133】

その後、データ取込部 24 は、DQ 信号の ODD 成分の立下用 IH 信号が Low の状態における内部クロック信号の立下りのタイミング 411 で、ddq<sub>o</sub> からデータを取り込む。ここで、デューティ劣化が無いので立上り及び立下りの内部クロック信号に対する位相差は同じである。そのため、この場合、ddq<sub>e</sub> と同様に ODD 成分に対応する ddq<sub>o</sub> においても、正確なタイミングマージン 412 が確保される。そして、データ取込部 24 は、遷移 413 で示すように、ddq<sub>o</sub> から取り込んだデータを取得する。

#### 【0134】

次に、図 10 を参照して、デューティ劣化が発生した状態で立上りのタイミングのみで位相を調整する方式で位相調整を行った場合について説明する。各信号は、図 9 と同様である。

【 0 1 3 5 】

この場合、D Q S 信号は、デューティ劣化が発生しており、信号 4 2 0 に示すように、H i g h と L o w との割合が崩れている。すなわち、D Q S 信号の立上り及び立下りの内部クロック信号に対する位相差が異なる。

【 0 1 3 6 】

この場合、可変遅延付加部 1 1 1 は、D Q S 信号の立上りと内部クロック信号の位相を一致させる遅延量 X を D Q S 信号に付加することで遅延 4 2 1 を与えて d d q s を生成する。すなわち、d d q s の立上りと内部クロック信号との位相が一致する。これに対して、D Q S 信号の立上り及び立下りの内部クロック信号に対する位相差が異なるため、遅延量 X を付加した場合、d d q s の立下りと内部クロック信号との位相は一致していない。

10

【 0 1 3 7 】

そして、可変遅延付加部 1 4 は、d q e に遅延量 X を付加することで遅延 4 2 2 を与えて d d q e を生成する。この場合も、図 9 と同様にデータ取込部 1 5 は、d d q e からデータを取得する。

【 0 1 3 8 】

これに対して、可変遅延付加部 2 3 は、d q o に遅延量 X を付加することで遅延 4 2 3 を与えて d d q o を生成する。しかし、d d q s の立下りと内部クロック信号との位相は一致していないので、遅延量 X を付加して生成された d d q o は、内部クロック信号に対する最適な位相からずれた位相を有する。そのため、d d q o が内部クロック信号に対する最適な位相を有する場合のタイミングマージン 4 2 5 に比較して、この場合のタイミングマージン 4 2 6 では、差分 4 2 7 分のマージンの減少が発生してしまう。マージンの減少が大きくなれば、タイミング 4 2 4 で d d q o からデータを取得することが困難になってしまい、データ異常が発生してしまう。

20

【 0 1 3 9 】

次に、図 11 を参照して、デューティ劣化が発生した状態で実施例 1 のメモリインタフェース回路 1 を用いて位相調整を行った場合について説明する。d d q s r は、D Q S 信号に遅延を加えて立上りの位相を内部クロック信号の位相に一致させた信号である。d d q f は、反転 D Q S 信号に遅延を加えて立下りの位相を内部クロック信号に一致させた信号である。その他の各信号は、図 9 と同様である。

30

【 0 1 4 0 】

この場合、D Q S 信号は、デューティ劣化が発生しており、信号 4 3 0 に示すように、H i g h と L o w との割合が等しくない。すなわち、D Q S 信号の立上り及び立下りの内部クロック信号に対する位相差が異なる。

【 0 1 4 1 】

この場合、可変遅延付加部 1 1 1 は、D Q S 信号の立上りと内部クロック信号の位相を一致させる遅延量 X を D Q S 信号に付加することで遅延 4 3 1 を与えて d d q s r を生成する。すなわち、d d q s r の立上りと内部クロック信号との位相が一致する。

40

【 0 1 4 2 】

そして、可変遅延付加部 1 4 は、d q e に遅延量 X を付加することで遅延 4 3 3 を与えて d d q e を生成する。この場合も、図 9 と同様にデータ取込部 1 5 は、d d q e からデータを取得する。

【 0 1 4 3 】

これに対して、可変遅延付加部 1 2 1 は、D Q S 信号の立下りと内部クロック信号の位相を一致させる遅延量 Y を反転 D Q S 信号に付加することで遅延 4 3 2 を与えて d d q s f を生成する。すなわち、d d q s f の立上りと内部クロック信号との位相が一致する。

【 0 1 4 4 】

そして、可変遅延付加部 2 3 は、d q o に遅延量 Y を付加することで遅延 4 3 4 を与え

50

て  $ddqo$  を生成する。ここで、遅延量  $Y$  は、反転  $DQS$  信号の立上りと内部クロック信号との位相を合わせることで求められた値であるので、 $DQS$  信号の立下りで抽出される  $ODD$  成分に対応する  $ddqo$  において、正確なタイミングマージン  $436$  が確保される。そして、データ取込部  $15$  は、タイミング  $435$  でデータを取り込み、遷移  $437$  で示すように  $ddqe$  から取り込んだデータを取得する。

#### 【0145】

以上に説明したように、本実施例に係るメモリアンタフェース回路は、 $DQS$  信号の立上りを用いて  $DQS$  信号と内部クロック信号との位相を一致させた場合の遅延を求める。そして、本実施例に係るメモリアンタフェース回路は、求めた遅延を  $DQS$  信号の立上りで取り込まれる  $DQ$  信号の信号成分に与えて、内部クロック信号を用いてデータの取り込みを行う。また、本実施例に係るメモリアンタフェース回路は、 $DQS$  信号の立下りを用いて  $DQS$  信号と内部クロック信号との位相を一致させた場合の遅延を求める。そして、本実施例に係るメモリアンタフェース回路は、求めた遅延を  $DQS$  信号の立下りで取り込まれる  $DQ$  信号の信号成分に与えて、内部クロック信号を用いてデータの取り込みを行う。

10

#### 【0146】

これにより、 $DQS$  信号にデューティ劣化が発生しても、 $DQ$  信号の取り込みタイミングを適切に調整することができる。すなわち、タイミングマージンの減少を軽減でき、データ異常の発生を軽減することができる。言い換えれば、 $DQS$  信号の立上り及び立下りそれぞれに最適な位相でクロックドメインチェンジを行うことができる。

20

#### 【実施例2】

#### 【0147】

図12は、実施例2に係るメモリアンタフェース回路及び情報処理装置のブロック図である。本実施例に係る情報処理システムは、立上用可変遅延量及び立下用可変遅延量と同じ位相比較回路を用いて求めることが実施例1と異なるものである。以下の説明では、実施例1と同じ機能を有する各部については説明を省略する。

#### 【0148】

位相比較回路16は、図2における立上側位相比較回路11及び立下側位相比較回路12の機能をまとめた回路である。動作の概要としては、位相比較回路16は、最初に立上側位相比較回路11と同様の動作を行い立上用可変遅延量を求め、次に立下側位相比較回路12と同様の動作を行い立下用可変遅延量を求める。以下に詳細を説明する。

30

#### 【0149】

位相比較回路16は、可変遅延付加部161、固定遅延付加部162、ラッチ163、位相判定部164、及び可変遅延制御部165を有する。さらに、位相比較回路16は、位相反転部166、エッジ切替部167、立上用可変遅延設定値保持部168、立下用可変遅延設定値保持部169、位相反転部171及びエッジ切替信号生成部170を有する。この位相比較回路16が、「切替位相差検出部」の一例にあたる。

#### 【0150】

可変遅延付加部161は、図2における可変遅延付加部111及び可変遅延付加部121と同様の動作を行う。

40

#### 【0151】

固定遅延付加部162は、図2における固定遅延付加部112及び固定遅延付加部122と同様の動作を行う。

#### 【0152】

ラッチ163は、立上りの位相判定を行う場合には、立上用  $IH$  信号の入力をエッジ切替部167から受ける。そして、ラッチ163は、図2におけるラッチ113と同様の動作を行う。また、立下りの位相判定を行う場合には、立下用  $IH$  信号の入力をエッジ切替部167から受ける。そして、ラッチ163は、図2におけるラッチ123と同様の動作を行う。

#### 【0153】

50

位相判定部 1 6 4 は、立上りの位相判定を行う場合、立上りのエッジを用いた位相判定を行うためのエッジ切替信号をエッジ切替部 1 6 7 から受ける。その場合、位相判定部 1 6 4 は、図 2 における位相判定部 1 1 4 と同様の動作を行う。また、位相判定部 1 6 4 は、立下りの位相判定を行う場合、立下りのエッジを用いた位相判定を行うためのエッジ切替信号をエッジ切替部 1 6 7 から受ける。その場合、位相判定部 1 6 4 は、図 2 における位相判定部 1 2 4 と同様の動作を行う。

【 0 1 5 4 】

そして、位相判定部 1 6 4 は、求めた位相情報をエッジ切替信号生成部 1 7 0 へ出力する。

【 0 1 5 5 】

ここで、図 1 3 を参照して、本実施例に係る位相判定部 1 6 4 の詳細について説明する。図 1 3 は、実施例 2 に係る位相判定部の詳細を表すブロック図である。位相判定部 1 6 4 は、X O R 回路 6 4 1 及び 6 4 2、並びに、位相判定回路 6 4 3 を有している。

【 0 1 5 6 】

エッジ切替部 1 6 7 は、立上りのエッジを用いた位相判定を行うためのエッジ切替信号として、「 0 」を X O R 回路 6 4 1 及び 6 4 2 に入力する。また、エッジ切替部 1 6 7 は、立下りのエッジを用いた位相判定を行うためのエッジ切替信号として、「 1 」を X O R 回路 6 4 1 及び 6 4 2 に入力する。

【 0 1 5 7 】

X O R 回路 6 4 1 には、立上りの位相判定を行う場合、立上用先行信号の位相情報がラッチ 1 6 3 から入力される。また、立下りの位相判定を行う場合、X O R 回路 6 4 1 には、立下用先行信号の位相情報がラッチ 1 6 3 から入力される。

【 0 1 5 8 】

立上りの位相判定の場合、X O R 回路 6 4 1 は、エッジ切替部 1 6 7 から入力された「 0 」と立上用先行信号の位相情報との排他的論理和を求めて出力する。すなわち、立上りの位相判定の場合、X O R 回路 6 4 1 は、ラッチ 1 6 3 から入力された立上用先行信号の位相情報をそのまま出力する。

【 0 1 5 9 】

これに対して、立下りの位相判定の場合、X O R 回路 6 4 1 は、エッジ切替部 1 6 7 から入力された「 1 」と立下用先行信号との排他的論理和を求めて出力する。すなわち、立上りの位相判定の場合、X O R 回路 6 4 1 は、ラッチ 1 6 3 から入力された立上用先行信号の位相情報を反転させて出力する。

【 0 1 6 0 】

X O R 回路 6 4 2 には、立上りの位相判定を行う場合、立上用後行信号の位相情報がラッチ 1 6 3 から入力される。また、立下りの位相判定を行う場合、X O R 回路 6 4 2 には、立下用後行信号の位相情報がラッチ 1 6 3 から入力される。

【 0 1 6 1 】

立上りの位相判定の場合、X O R 回路 6 4 2 は、エッジ切替部 1 6 7 から入力された「 0 」と立上用後行信号の位相情報との排他的論理和を求めて出力する。すなわち、立上りの位相判定の場合、X O R 回路 6 4 2 は、ラッチ 1 6 3 から入力された立上用後行信号の位相情報をそのまま出力する。

【 0 1 6 2 】

これに対して、立下りの位相判定の場合、X O R 回路 6 4 2 は、エッジ切替部 1 6 7 から入力された「 1 」と立下用後行信号の位相情報との排他的論理和を求めて出力する。すなわち、立下りの位相判定の場合、X O R 回路 6 4 2 は、ラッチ 1 6 3 から入力された立下用後行信号の位相情報を反転させて出力する。

【 0 1 6 3 】

位相判定回路 6 4 3 は、図 2 における位相判定部 1 1 4 と同様の動作を行う。すなわち、位相判定回路 6 4 3 は、立上り又は立下りの先行信号及び後行信号の位相情報の入力を X O R 回路 6 4 1 及び 6 4 2 から受ける。そして、位相判定回路 6 4 3 は、図 4 の位相判

10

20

30

40

50

定テーブル 2 1 0 で示される対応を用いて D Q S 信号の位相状態を判定する。

【 0 1 6 4 】

ここで、立下りの位相判定について説明する。図 1 4 は、実施例 2 に係る位相判定部による立下りの位相判定を説明するための図である。

【 0 1 6 5 】

図 1 4 における位相情報の列は、可変遅延付加部 1 6 1 及び固定遅延付加部 1 6 2 から入力される位相情報である。2 ビットで表現される位相情報のうち、上位ビットが立下用後行信号の値を示し、下位ビットが立下用先行信号の値を示す。また、X O R 後位相情報は、上位ビットが X O R 回路 6 4 2 から出力され、下位ビットが X O R 回路 6 4 1 からの出力される。

10

【 0 1 6 6 】

立上りと立下りでは、H i g h と L o w が反転しているので、立下りの場合の位相情報を反転させた信号は、立上りの位相判定と同じ論理で判定することができる。そして、図 1 4 に示すように、X O R 後位相情報は位相情報を反転したものになる。すなわち、X O R 後位相情報を用いる場合、図 1 4 に示すように、位相判定部 1 6 4 は、立上りの位相判定と同じ論理で位相状態を判定することができる。このように、X O R 回路 6 4 1 及び 6 4 2 を配置することで、立上りの位相判定と立下り位相判定とのいずれにおいても同じ論理で判定することができ、位相判定回路 6 4 3 を共通化することができる。

【 0 1 6 7 】

図 1 2 に戻って説明を続ける。可変遅延制御部 1 6 5 は、立上りの位相判定を行う場合、立上りのエッジを用いた位相判定を行うためのエッジ切替の信号をエッジ切替部 1 6 7 から受ける。その場合、可変遅延制御部 1 6 5 は、立上用可変遅延設定値保持部 1 6 8 に格納されている可変遅延設定値を読み出し、図 2 における可変遅延制御部 1 1 5 と同様に立上りの位相判定の処理における可変遅延設定値を求める。そして、可変遅延制御部 1 6 5 は、立上りの可変遅延設定値を順次上書きしながら立上用可変遅延設定値保持部 1 6 8 に格納する。その後、位相が一致すると、可変遅延制御部 1 6 5 は、立上りの可変遅延設定値の算出完了の通知を立上用可変遅延設定値保持部 1 6 8 へ出力する。

20

【 0 1 6 8 】

また、可変遅延制御部 1 6 5 は、立下りの位相判定を行う場合、立下りのエッジを用いた位相判定を行うためのエッジ切替の信号をエッジ切替部 1 6 7 から受ける。その場合、可変遅延制御部 1 6 5 は、立下用可変遅延設定値保持部 1 6 9 に格納されている可変遅延設定値を読み出し、図 2 における可変遅延制御部 1 2 5 と同様に立下りの可変遅延設定値を求める。そして、可変遅延制御部 1 6 5 は、求めた立下りの可変遅延設定値を順次上書きしながら立下用可変遅延設定値保持部 1 6 9 に格納する。その後、立下りの位相が一致すると、可変遅延制御部 1 6 5 は、立下りの可変遅延設定値の算出完了の通知を立下用可変遅延設定値保持部 1 6 9 へ出力する。

30

【 0 1 6 9 】

エッジ切替部 1 6 7 は、I H 信号の入力を可変遅延制御部 1 6 5 から受ける。この I H 信号は、実施例 1 における立上用 I H 信号と同様の信号である。また、エッジ切替部 1 6 7 は、可変遅延制御部 1 6 5 が出力した I H 信号の反転信号の入力を位相反転部 1 6 6 から受ける。

40

【 0 1 7 0 】

さらに、エッジ切替部 1 6 7 は、立上りの位相判定を行う場合、立上りのエッジを用いた位相判定を行うためのエッジ切替の信号をエッジ切替信号生成部 1 7 0 から受ける。この場合、エッジ切替部 1 6 7 は、可変遅延制御部 1 6 5 から受信した I H 信号をラッチ 1 6 3、位相判定部 1 6 4 及び可変遅延制御部 1 6 5 へ出力する。

【 0 1 7 1 】

また、エッジ切替部 1 6 7 は、立下りの位相判定を行う場合、立下りのエッジを用いた位相判定を行うためのエッジ切替の信号をエッジ切替信号生成部 1 7 0 から受ける。この場合、エッジ切替部 1 6 7 は、位相反転部 1 6 6 から受信した信号であり、可変遅延制御

50

部 1 6 5 から出力された I H 信号の反転信号をラッチ 1 6 3、位相判定部 1 6 4 及び可変遅延制御部 1 6 5 へ出力する。

【 0 1 7 2 】

立上用可変遅延設定値保持部 1 6 8 は、立上りの位相判定を行う場合、立上りのエッジを用いた位相判定を行うためのエッジ切替の信号をエッジ切替信号生成部 1 7 0 から受ける。そして、立上用可変遅延設定値保持部 1 6 8 は、立上りの位相判定における可変遅延設定値を可変遅延制御部 1 6 5 から受信し、順次上書きしながら格納していく。

【 0 1 7 3 】

そして、立上用可変遅延設定値保持部 1 6 8 は、立上の可変遅延設定値の算出完了の通知の入力を可変遅延制御部 1 6 5 から受ける。この場合、立上用可変遅延設定値保持部 1 6 8 は、格納する可変遅延設定値を可変遅延付加部 1 4 へ出力する。

10

【 0 1 7 4 】

立下用可変遅延設定値保持部 1 6 9 は、立下りの位相判定を行う場合、立下りのエッジを用いた位相判定を行うためのエッジ切替の信号を位相反転部 1 7 1 から受ける。そして、立下用可変遅延設定値保持部 1 6 9 は、立下りの位相判定における可変遅延設定値を可変遅延制御部 1 6 5 から受信し、順次上書きしながら格納していく。

【 0 1 7 5 】

そして、立下用可変遅延設定値保持部 1 6 9 は、立下の可変遅延設定値の算出完了の通知の入力を可変遅延制御部 1 6 5 から受ける。この場合、立下用可変遅延設定値保持部 1 6 9 は、格納する可変遅延設定値を可変遅延付加部 2 3 へ出力する。

20

【 0 1 7 6 】

エッジ切替信号生成部 1 7 0 は、位相情報の入力を位相判定部 1 6 4 から受ける。そして、エッジ切替信号生成部 1 7 0 は、位相情報の入力がある条件に達すると、位相判定を行うエッジを切り替えるための信号を立上用可変遅延設定値保持部 1 6 8、エッジ切替部 1 6 7 及び位相反転部 1 7 1 へ出力する。以下に、エッジ切替信号生成部 1 7 0 によるエッジ切替信号の生成の例を説明する。

【 0 1 7 7 】

例えば、エッジ切替信号生成部 1 7 0 は、位相比較の結果、一致状態を検出した場合にエッジ切替信号を反転させる。他にも、エッジ切替信号生成部 1 7 0 は、位相比較の結果、一致状態を規定回数検出した場合にエッジ切替信号を反転させてもよい。この場合、規定回数は、1 以上であれば何回でもよい。また、エッジ切替信号生成部 1 7 0 は、データ取込部 1 5 又は 2 4 からデータ読み出しの通知を受けて、データ読み出しを規定ビット数行った場合にエッジ切替信号を反転させてもよい。また、エッジ切替信号生成部 1 7 0 は、C P U 3 などから連続データの情報を受信して、連続データ読み出しの終了を契機にエッジ切替信号を反転させてもよい。

30

【 0 1 7 8 】

次に、図 1 5 を参照して、実施例 2 に係るメモリコントローラ 1 0 によるデータの取り込みの処理について説明する。図 1 5 は、実施例 2 に係るメモリコントローラによるデータの取り込み処理のフローチャートである。

【 0 1 7 9 】

40

エッジ切替信号生成部 1 7 0 は、エッジ切替信号は立下りか否かを判定する（ステップ S 1 0 1）。エッジ切替信号が立上りの場合（ステップ S 1 0 1：肯定）、エッジ切替信号生成部 1 7 0 は、立上りのエッジを用いた位相判定を行うためのエッジ切替の信号を立上用可変遅延設定値保持部 1 6 8、エッジ切替部 1 6 7 及び位相反転部 1 7 1 へ出力する。エッジ切替部 1 6 7 は、可変遅延制御部 1 6 5 から出力された I H 信号をラッチ 1 6 3 へ出力する。また、エッジ切り替え部 1 6 7 は、エッジ切り替え信号を位相判定部 1 6 4 及び可変遅延制御部 1 6 5 へ出力する。

【 0 1 8 0 】

ラッチ 1 6 3 は、立上用先行信号及び立上用後行信号の入力を可変遅延付加部 1 6 1 及び固定遅延付加部 1 6 2 から受ける。そして、ラッチ 1 6 3 は、立上用先行信号及び立上

50

用後行信号それぞれの位相状態を取得する。その後、ラッチ 1 6 3 は、立上用先行信号及び立上用後行信号それぞれの位相状態を位相判定部 1 6 4 へ出力する。位相判定部 1 6 4 は、ラッチ 1 6 3 から受信した立上用先行信号及び立上用後行信号それぞれの位相状態から、D Q S 信号の立上りの位相が一致しているか否かを判定する（ステップ S 1 0 2）。

【 0 1 8 1 】

位相が一致していない場合（ステップ S 1 0 2：否定）、可変遅延制御部 1 6 5 は、立上の可変遅延設定値の調整を行う（ステップ S 1 0 3）。その後、位相比較回路 1 6 は、ステップ S 1 0 2 へ戻る。

【 0 1 8 2 】

これに対して、位相が一致している場合（ステップ S 1 0 2：肯定）、立上用可変遅延設定値保持部 1 6 8 は、D Q S 信号の立上りと内部クロック信号との位相を一致させる立上の可変遅延設定値を保持する（ステップ S 1 0 4）。

【 0 1 8 3 】

可変遅延付加部 1 4 は、D Q S 信号の立上りと内部クロック信号との位相を一致させる立上の可変遅延設定値を立上用可変遅延設定値保持部 1 6 8 から読み込む（ステップ S 1 0 5）。

【 0 1 8 4 】

次に、可変遅延付加部 1 4 は、D Q 信号の E V E N 成分に、D Q S 信号の立上りと内部クロック信号との位相を一致させる立上用可変遅延量を付加する（ステップ S 1 0 6）。

【 0 1 8 5 】

データ取込部 1 5 は、可変遅延制御部 1 6 5 により生成された I H 信号が L o w の状態における内部クロック信号の立下りのタイミングで、立上用可変遅延量が付加された D Q 信号の E V E N 成分からデータを取り込む（ステップ S 1 0 7）。

【 0 1 8 6 】

一方、可変遅延付加部 2 3 は、D Q S 信号の立下りと内部クロック信号との位相を一致させる立下の可変遅延設定値を立下用可変遅延設定値保持部 1 6 9 から読み込む（ステップ S 1 0 8）。

【 0 1 8 7 】

次に、可変遅延付加部 2 3 は、D Q 信号の O D D 成分に、D Q S 信号の立下りと内部クロック信号との位相を一致させる立下用可変遅延量を付加する（ステップ S 1 0 9）。

【 0 1 8 8 】

データ取込部 2 4 は、可変遅延制御部 1 6 5 により生成された I H 信号を反転させた信号が L o w の状態における内部クロック信号の立下りのタイミングで、立下用可変遅延量が付加された D Q 信号の O D D 成分からデータを取り込む（ステップ S 1 1 0）。その後、位相比較回路 1 6 は、ステップ S 1 2 0 へ進む。

【 0 1 8 9 】

一方、エッジ切替信号が立下りで始まる場合（ステップ S 1 0 1：否定）、エッジ切替信号生成部 1 7 0 は、立下りのエッジを用いた位相判定を行うためのエッジ切替の信号を立下用可変遅延設定値保持部 1 6 9、エッジ切替部 1 6 7 及び位相反転部 1 7 1 へ出力する。エッジ切替部 1 6 7 は、可変遅延制御部 1 6 5 から出力された I H 信号の反転信号をラッチ 1 6 3、位相判定部 1 6 4 及び可変遅延制御部 1 6 5 へ出力する。

【 0 1 9 0 】

ラッチ 1 6 3 は、立下用先行信号及び立下用後行信号の入力を可変遅延付加部 1 6 1 及び固定遅延付加部 1 6 2 から受ける。そして、ラッチ 1 6 3 は、立下用先行信号及び立下用後行信号それぞれの位相状態を取得する。その後、ラッチ 1 6 3 は、立下用先行信号及び立下用後行信号それぞれの位相状態を位相判定部 1 6 4 へ出力する。位相判定部 1 6 4 は、ラッチ 1 6 3 から受信した立下用先行信号及び立下用後行信号それぞれの位相状態から、D Q S 信号の立下りの位相が一致しているか否かを判定する（ステップ S 1 1 1）。

【 0 1 9 1 】

位相が一致していない場合（ステップ S 1 1 1：否定）、可変遅延制御部 1 6 5 は、立

10

20

30

40

50

下の可変遅延設定値の調整を行う（ステップS 1 1 2）。その後、位相比較回路 1 6 は、ステップS 1 1 1へ戻る。

【0 1 9 2】

これに対して、位相が一致している場合（ステップS 1 1 1：肯定）、立下用可変遅延設定値保持部 1 6 9 は、D Q S 信号の立下りと内部クロック信号との位相を一致させる立下の可変遅延設定値を保持する（ステップS 1 1 3）。

【0 1 9 3】

可変遅延付加部 2 3 は、D Q S 信号の立下りと内部クロック信号との位相を一致させる立下の可変遅延設定値を立下用可変遅延設定値保持部 1 6 9 から読み込む（ステップS 1 1 4）。

10

【0 1 9 4】

次に、可変遅延付加部 2 3 は、D Q 信号のO D D成分に、D Q S 信号の立下りと内部クロック信号との位相を一致させる立下用可変遅延量を付加する（ステップS 1 1 5）。

【0 1 9 5】

データ取込部 2 4 は、可変遅延制御部 1 6 5 により生成されたI H信号を反転させた信号がL o wの状態における内部クロック信号の立下りのタイミングで、立下用可変遅延量が付加されたD Q 信号のO D D成分からデータを取り込む（ステップS 1 1 6）。

【0 1 9 6】

可変遅延付加部 1 4 は、D Q S 信号の立上りと内部クロック信号との位相を一致させる立上の可変遅延設定値を立上用可変遅延設定値保持部 1 6 8 から読み込む（ステップS 1 1 7）。

20

【0 1 9 7】

次に、可変遅延付加部 1 4 は、D Q 信号のE V E N成分に、D Q S 信号の立上りと内部クロック信号との位相を一致させる立上用可変遅延量を付加する（ステップS 1 1 8）。

【0 1 9 8】

データ取込部 1 5 は、可変遅延制御部 1 6 5 により生成されたI H信号がL o wの状態における内部クロック信号の立下りのタイミングで、立上用可変遅延量が付加されたD Q 信号のE V E N成分からデータを取り込む（ステップS 1 1 9）。

【0 1 9 9】

C P U 3 は、D Q 信号のE V E N成分から取り込まれたデータ及びD Q 信号のO D D成分から取り込まれたデータを受信する（ステップS 1 2 0）。これにより、C P U 3 は、D I M M 2 からデータを読み出すことができる。

30

【0 2 0 0】

そして、メモリインタフェース回路 1 は、自己を搭載する情報処理装置の動作が停止したか否かを判定する（ステップS 1 2 1）。動作が停止していない場合（ステップS 1 2 1：否定）、メモリインタフェース回路 1 は、ステップS 1 0 1へ戻る。

【0 2 0 1】

これに対して、動作が停止した場合（ステップS 1 2 1：肯定）、メモリインタフェース回路 1 も動作を停止する。

【0 2 0 2】

40

以上に説明したように、本実施例に係るメモリインタフェース回路は、1つの位相比較回路を用いて、D Q S 信号の立上りを用いた位相調整における可変遅延設定値及びD Q S 信号の立下りを用いた位相調整における可変遅延設定値を求める。すなわち、実施例 1 に比べて位相比較回路 1 つ分程度実装規模を縮小することができる。

【0 2 0 3】

また、以上の説明では、図 1 に示すように、メモリコントローラ 1 0 が、C P U 3 とは異なるチップセット 1 0 0 上に配置されている構成で説明したが、ハードウェア構成はこれに限らない。

【0 2 0 4】

各実施例に係るメモリインタフェース回路 1 を搭載したメモリコントローラ 1 0 は、C

50



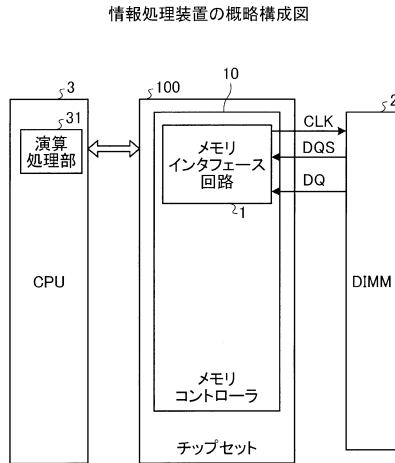
P U 3 上に搭載されていてもよい。この場合、C P U 3 には、演算処理部 3 1 及びメモリコントローラ 1 0 が搭載される。

【符号の説明】

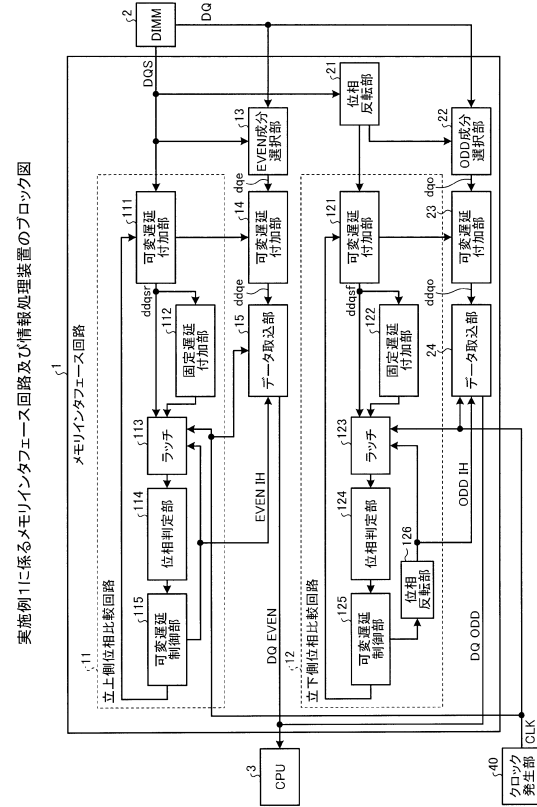
【 0 2 0 5 】

1	メモリインタフェース回路	
2	D I M M	
3	C P U	
1 0	メモリコントローラ	
1 1	立上側位相比較回路	
1 2	立下側位相比較回路	10
1 3	E V E N 成分選択部	
1 4	可変遅延付加部	
1 5	データ取込部	
1 6	位相比較回路	
2 1	位相反転部	
2 2	O D D 成分選択部	
2 3	可変遅延付加部	
2 4	データ取込部	
3 1	演算処理部	
4 0	クロック発生部	20
1 0 0	チップセット	
1 1 1 , 1 2 1 , 1 6 1	可変遅延付加部	
1 1 2 , 1 2 2 , 1 6 2	固定遅延付加部	
1 1 3 , 1 2 3 , 1 6 3	ラッチ	
1 1 4 , 1 2 4 , 1 6 4	位相判定部	
1 1 5 , 1 2 5 , 1 6 5	可変遅延制御部	
1 2 6 , 1 6 6	位相反転部	
1 6 7	エッジ切替部	
1 6 8	立上用可変遅延設定値保持部	
1 6 9	立下用可変遅延設定値保持部	30
1 7 0	エッジ切替信号生成部	
1 7 1	位相反転部	

【 図 1 】

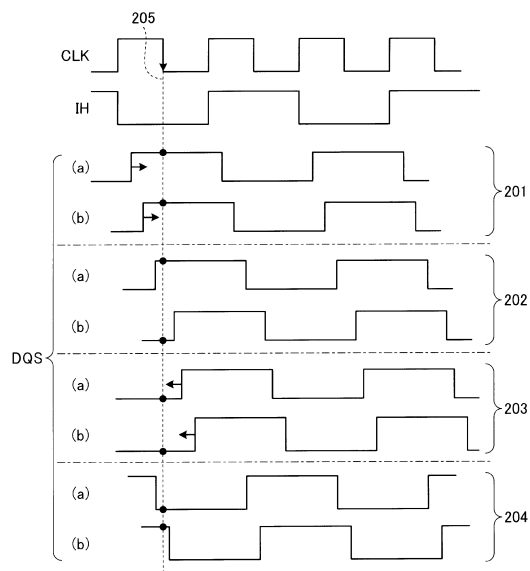


【 図 2 】



【 図 3 】

立上用先行信号及び立上用後行信号の位相情報の取得を表す図



【圖 4】

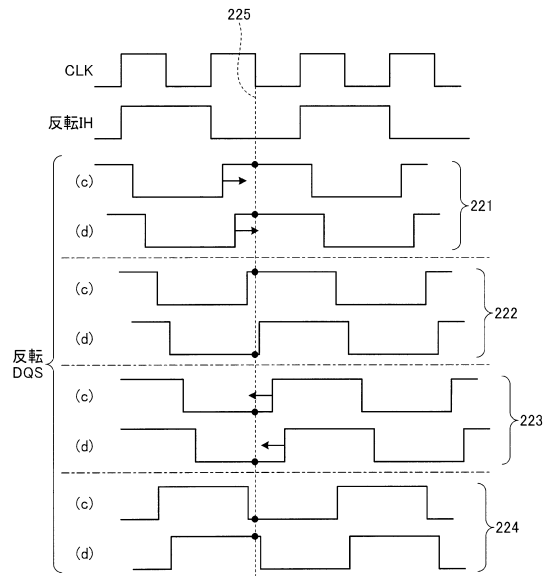
位相判定テーブルの一例の図

210

位相情報	位相狀態
11	位相前進狀態
01	位相一致狀態
00	位相遲延狀態
10	位相異常狀態

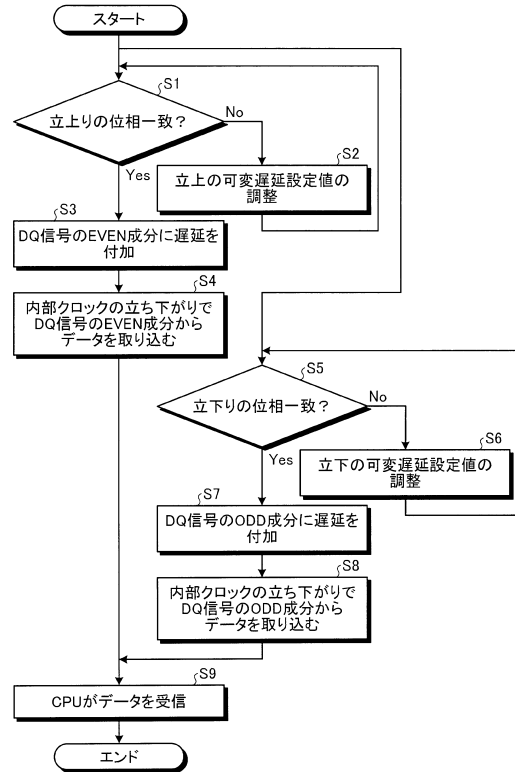
【図 5】

立下用先行信号及び立下用後行信号の位相情報の取得を表す図



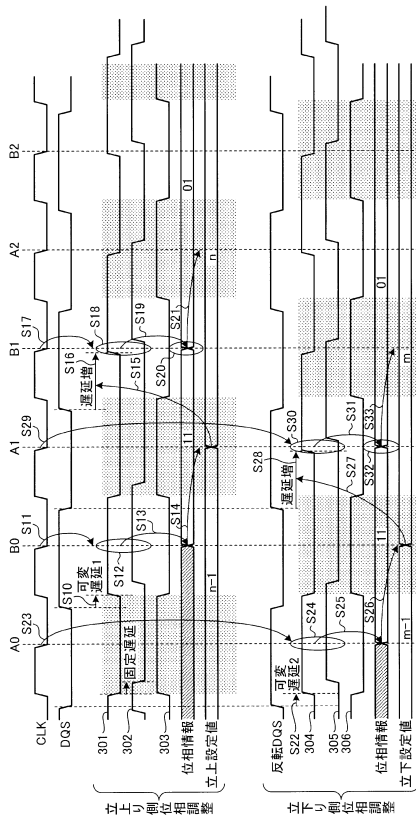
【図 6】

実施例 1に係るメモリコントローラによるデータの取り込み処理のフローチャート



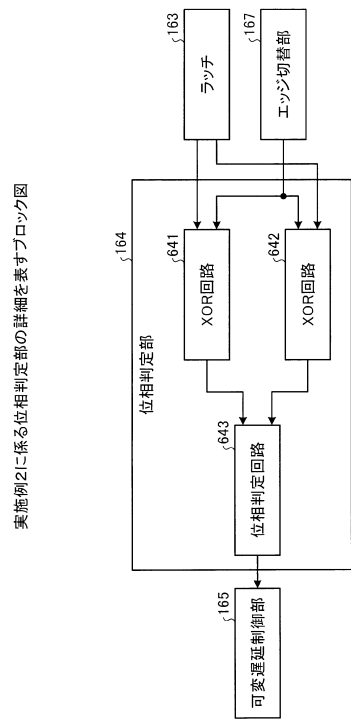
【図 7】

DQS信号の位相が進んでいる場合の位相調整処理のタイミングチャート





【図 13】



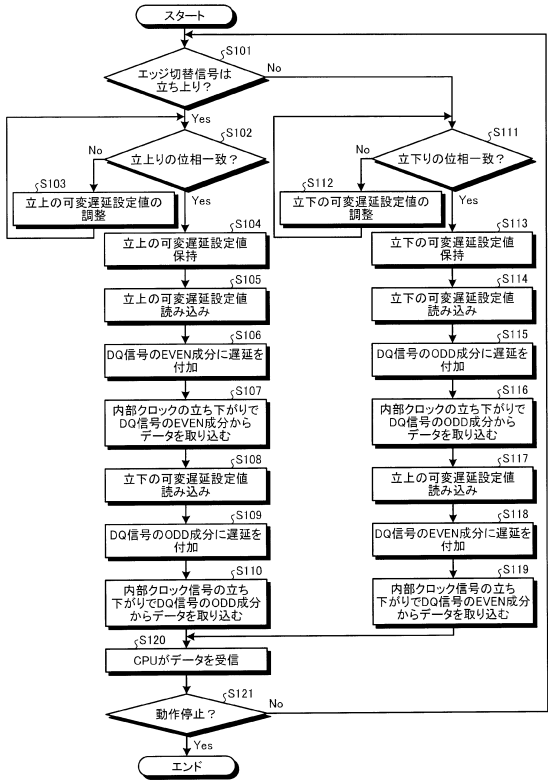
【図 14】

実施例2に係る位相判定部による立下りの位相判定を説明するための図

位相情報	XOR後位相情報	位相状態
00	11	位相前進状態
10	01	位相一致状態
11	00	位相遅延状態
01	10	位相異常状態

【図 15】

実施例2に係るメモリコントローラによるデータの取り込み処理のフローチャート



---

フロントページの続き

(72)発明者 橋本 通高

神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンストテクノロジー株式会社内

審査官 酒井 恭信

(56)参考文献 特開2007-228044(JP,A)

特開2008-065804(JP,A)

特開2008-071018(JP,A)

特開2015-026295(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00