



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0107334
(43) 공개일자 2012년10월02일

(51) 국제특허분류(Int. Cl.)

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2011-0024964

(22) 출원일자 2011년03월21일

심사청구일자 2011년03월21일

(71) 출원인

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

(72) 발명자

신형순

서울특별시 서초구 반포대로5길 65, 102동 301호 (서초동, 아이파크빌)

(74) 대리인

남정길

전체 청구항 수 : 총 17 항

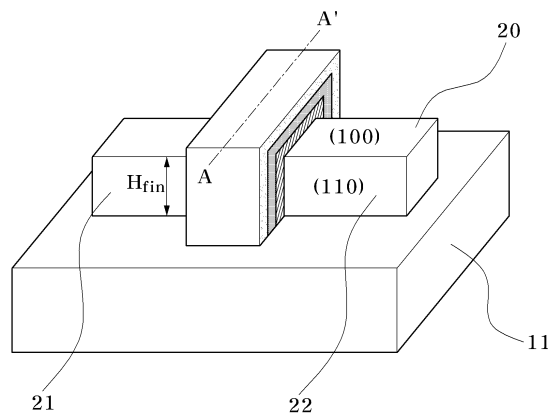
(54) 발명의 명칭 **핀 FET 반도체 소자 및 그 제조 방법**

(57) 요약

본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는 스트레스 인가에 의한 핀 FET 반도체 소자 및 그 제조 방법에 관한 것이다.

이러한 발명은 기판을 제공하는 단계; 기판 위에 소스 영역, 드레인 영역 및 채널 영역을 구비한 실리콘 핀을 형성하는 단계; 채널 영역 표면 위에 게이트 절연막을 형성하는 단계; 게이트 절연막 표면 위에 전도물질로 이루어지며 채널영역에 스트레스를 인가하는 스트레스 인가 층을 형성하는 단계; 및 스트레스 인가 층 표면 위에 게이트 전도체를 형성하는 단계를 포함하는 반도체 소자 제조 방법이다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 2011-0004546

부처명 교육과학기술부

연구사업명 기초연구사업

연구과제명 Carrier 이동도 개선 기술을 이용한 3D bulk-Si MuGFET 특성 최적화 연구

주관기관 이화여자대학교

연구기간 2010.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

절연층 및 실리콘층을 구비한 기판을 제공하는 단계;

상기 절연층 위에 소스 영역, 드레인 영역 및 채널 영역을 구비한 실리콘 핀을 형성하는 단계;

상기 채널 영역 표면 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 표면 위에 전도물질로 이루어지며 상기 채널영역에 스트레스를 인가하는 스트레스 인가층을 형성하는 단계; 및

상기 스트레스 인가 층의 표면 위에 게이트 전도체를 형성하는 단계;

를 포함하는 반도체 소자 제조 방법.

청구항 2

제 1항에 있어서,

상기 스트레스 인가 층은 소스 영역 및 드레인 영역의 표면 위에는 형성되지 아니한 반도체 소자 제조 방법.

청구항 3

제 1항에 있어서,

상기 채널영역에는 상기 스트레스 인가 층에 의하여 수직방향의 스트레스가 인가되는 반도체 소자 제조 방법.

청구항 4

제 1항에 있어서,

상기 스트레스 인가 층은 실리콘보다 온도 팽창계수가 큰 반도체 소자 제조 방법.

청구항 5

제 1항에 있어서,

상기 스트레스 인가 층은 TiN을 포함하는 반도체 소자 제조 방법.

청구항 6

제 1항에 있어서,

상기 반도체 소자는 N형 핀 FET인 반도체 소자 제조 방법.

청구항 7

제 6항에 있어서,

상기 실리콘 핀의 상면이 100면이고 측면이 110면이며, 상기 스트레스 인가 층은 상기 채널영역에 수직방향의 압축 스트레스를 인가하는 반도체 소자 제조 방법.

청구항 8

제 1항에 있어서,

열처리를 수행하는 단계를 더 포함하는 반도체 소자 제조 방법.

청구항 9

절연층;

상기 절연층 위에 위치하며, 소스 영역, 드레인 영역 및 채널영역을 포함하는 실리콘 핀;

상기 채널영역 표면 위에 위치한 게이트 절연막;

상기 게이트 절연막 표면 위에 위치하고 전도물질로 이루어지며 상기 채널영역에 스트레스를 인가하는 스트레스 인가 층; 및

상기 스트레스 인가 층의 표면 위에 위치한 게이트 전도체;

를 포함하는 반도체 소자.

청구항 10

제 9항에 있어서,

상기 스트레스 인가 층은 소스 영역 및 드레인 영역의 표면 위에는 위치하지 아니한 반도체 소자.

청구항 11

제 9항에 있어서,

상기 채널영역에는 상기 스트레스 인가 층에 의하여 수직방향의 스트레스가 인가 된 반도체 소자.

청구항 12

제 9항에 있어서,

상기 스트레스 인가 층은 실리콘보다 온도 팽창계수가 큰 반도체 소자.

청구항 13

제 9항에 있어서,

상기 스트레스 인가 층은 TiN을 포함하는 반도체 소자.

청구항 14

제 9항에 있어서,

상기 반도체 소자는 N형 핀 FET인 반도체 소자.

청구항 15

제 9항에 있어서,

상기 실리콘 핀의 상면이 100면이고 측면이 110면이며, 상기 스트레스 인가 층은 110면에 압축 스트레스를 인가하는 반도체 소자.

청구항 16

제 9항에 있어서,

상기 반도체 소자는 열처리 된 반도체 소자.

청구항 17

절연층;

상기 절연층 위에 위치하며, 소스 영역, 드레인 영역 및 채널영역을 포함하는 실리콘 핀;

상기 채널영역 위에 위치한 게이트 절연막; 및

상기 게이트 절연막 위에 위치하고 온도 팽창계수가 실리콘보다 크며 상기 채널영역에 스트레스를 인가하는 게이트 전도체;

를 포함하는 반도체 소자.

명세서

기술 분야

[0001] 본 발명은 핀 FET 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] MOSFET은 대부분의 반도체 소자에서 중요한 소자이다. MOSFET은 채널영역을 활성화 시킴으로써 동작한다. MOSFET은 채널영역의 길이가 줄어들수록 속도가 향상되게 된다. 그러나 MOSFET은 채널길이가 일정길이 이하로 줄어들게 되면, 채널영역을 둘러싸는 반도체 기관의 물질 때문에 단 채널 효과(Short channel effect)가 발생한다. 소스 영역과 드레인 영역의 상호 작용 때문에 이와 같은 성능 저하 현상이 발생한다.

[0003] 이와 같은 성능 저하 현상을 개선하고자, 수직의 이중 게이트 MOSFET 혹은 핀 FET으로 알려진 입체구조의 반도체 소자가 개발되었다.

[0004] 핀 FET의 경우에는 게이트가 채널영역을 둘러싸게 되므로 게이트 전압이 채널영역에 미치는 영향이 크게 된다. 따라서 핀 FET은 MOSFET에 비해 높은 구동 전류를 얻을 수 있다.

발명의 내용

해결하려는 과제

[0005] 종래의 플래너(Planar) MOSFET의 경우, 소스 영역 및 드레인 영역을 통하여 간접적으로 채널영역에 스트레스를 인가하는 방법을 택하고 있었다. 즉, 종래의 플래너(Planar) MOSFET은 소스 영역과 드레인 영역에 스트레스를 인가하여 간접적으로 채널영역에 스트레스를 줌으로써 구동전류를 증가시키는 방법을 사용하고 있다.

[0006] 따라서, 개시된 기술이 이루고자 하는 과제는 핀 FET의 구동전류를 증가시키는 방법을 제공함에 있다.

과제의 해결 수단

[0007] 상기의 기술적 과제를 해결하기 위해 개시된 기술은 절연층 및 실리콘층을 구비한 기관을 제공하는 단계; 상기 절연층 위에 소스 영역, 드레인 영역 및 채널 영역을 구비한 실리콘 핀을 형성하는 단계; 상기 채널 영역 표면 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 표면 위에 전도물질로 이루어지며 상기 채널 영역에 스트레스를 인가하는 스트레스 인가 층을 형성하는 단계; 및 상기 스트레스 인가 층의 표면 위에 게이트 전도체를 형성하는 단계를 포함하는 반도체 소자 제조 방법을 제공하는 것이다.

[0008] 또한, 상기의 기술적 과제를 해결하기 위해 개시된 기술은 절연층; 상기 절연층 위에 위치하며, 소스 영역, 드레인 영역 및 채널영역을 포함하는 실리콘 핀;상기 채널영역 표면 위에 위치한 게이트 절연막; 상기 게이트 절연막 표면 위에 위치하고 전도물질로 이루어지며 상기 채널영역에 스트레스를 인가하는 스트레스 인가 층; 및 상기 스트레스 인가 층의 표면 위에 위치한 게이트 전도체를 포함하는 반도체 소자를 제공하는 것이다.

[0009] 또한, 상기의 기술적 과제를 해결하기 위해 개시된 기술은 절연층; 상기 절연층 위에 위치하며, 소스 영역, 드레인 영역 및 채널영역을 포함하는 실리콘 핀;상기 채널영역 위에 위치한 게이트 절연막; 및 상기 게이트 절연막 위에 위치하고 온도 팽창계수가 실리콘보다 크며 상기 채널영역에 스트레스를 인가하는 게이트 전도체를 포함하는 반도체 소자를 제공하는 것이다.

발명의 효과

[0010] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시 예가 다음의 효과를 전부 포함해야 한다거나 다음의 효과만을 포함한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의해 제한되는 것으로 이해되어서는 아니 될 것이다.

[0011] 본 발명에 의한 반도체 소자 및 그 제조 방법은 채널영역에 수직 방향으로 스트레스를 인가함으로써 핀 FET의 구동전류를 증가시킬 수 있다는 장점이 있다.

[0012] 또한, 본 발명에 의한 반도체 소자 및 그 제조 방법은 게이트 절연막 표면 위에 위치한 전도성 스트레스 인가 층을 이용하여 채널영역에 스트레스를 인가함으로써, 소자의 전기적 특성을 크게 변경시키지 않으면서도, 채널영역에 효과적으로 스트레스를 인가할 수 있다는 장점이 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자를 나타내는 도면이다.
 도 2는 도 1의 A-A' 방향의 단면도를 나타내는 도면이다.
 도 3 내지 7은 본 발명의 일 실시 예에 의한 반도체 소자 제조 방법의 각 단계를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

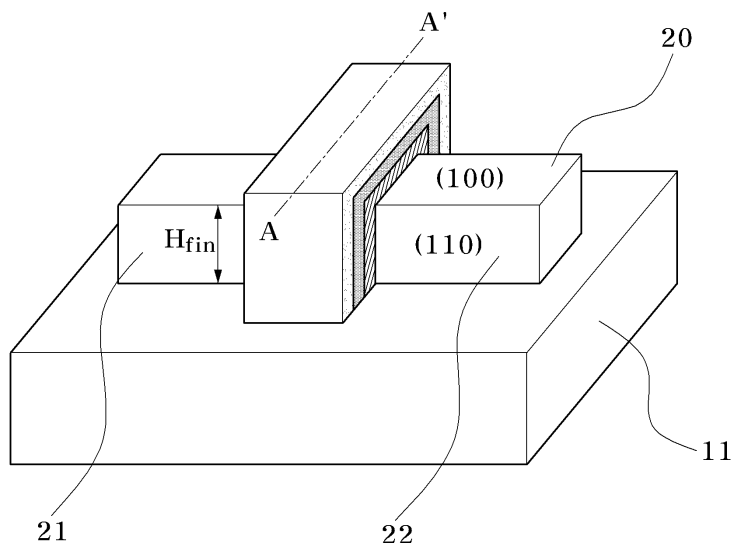
- [0014] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시 예들을 보다 상세하게 설명하고자 한다. 그러나 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록, 그리고 당업자에게 본 출원의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면에서 각 장치의 구성요소를 명확하게 표현하기 위하여 상기 구성요소의 폭이나 두께 등의 크기를 다소 확대하여 나타내었다. 전체적으로 도면 설명시 관찰자 시점에서 설명하였고, 또한, 해당 분야에서 통상의 지식을 가진 자라면 본 출원의 기술적 사상을 벗어나지 않는 범위 내에서 본 출원의 사상을 다양한 다른 형태로 구현할 수 있을 것이다. 그리고, 복수의 도면들 상에서 동일 부호는 실질적으로 서로 동일한 요소를 지칭한다.
- [0015] 도 1은 본 발명의 실시 예에 따른 반도체 소자를 나타내는 도면이다. 도 2는 도 1의 반도체 소자를 A-A' 방향으로 절단한 단면도를 나타낸다. 이하에서는 도 1과 도 2를 참조하여 본 발명을 설명하고자 한다. 반도체 소자는 절연층(11), 실리콘 핀(20), 게이트 절연막(30), 스트레스 인가 층(40) 및 게이트 전도체(50)를 포함한다.
- [0016] 기판(10)은 SOI(silicon-on-insulator)기판일 수 있다. 기판(10)은 절연층(11) 및 실리콘층(12)을 구비한다. 절연층(11)은 이산화규소(SiO_2) 또는 사파이어(Al_2O_3) 등이 될 수 있다.
- [0017] 실리콘 핀(20)은 절연층(11) 위에 위치하며, 소스 영역(21), 드레인 영역(22) 및 채널영역(23)을 포함한다. 실리콘 핀(20)은 절연층(11) 위에 돌출된 입체구조의 형태이다. 소스 영역(21)과 드레인 영역(22)은 실리콘 핀(20)의 양끝에 위치하며, 채널 영역(23)은 소스 영역(21)과 드레인 영역(22) 사이에 위치한다.
- [0018] 게이트 절연막(30)은 채널영역(23)의 표면 위에 위치한다. 예로서, 게이트 절연막(30)은 산화막일 수 있다.
- [0019] 스트레스 인가 층(40)은 게이트 절연막(30)의 표면 위에 위치한다. 스트레스 인가 층(40)은 소스 영역(21) 및 드레인 영역(23)의 표면 위에는 형성되지 않을 수 있다. 예로서, 스트레스 인가 층(40)은 실리콘과 온도 팽창 계수(thermal expansion coefficient)가 다른 물질일 수 있다. 스트레스 인가 층(40)의 온도 팽창계수가 실리콘의 온도 팽창계수보다 큰 경우, 스트레스 인가 층(40)은 채널영역(23)에 압축 스트레스를 인가한다. 스트레스 인가 층(40)의 온도 팽창계수가 실리콘의 온도 팽창계수보다 작은 경우에는 채널영역(23)에는 인장 스트레스가 인가된다. 열공정에 의하여 온도가 증가하면 채널영역(23)의 실리콘과 스트레스 인가 층(40) 사이에 스트레스가 플라스틱 릴랙세이션(plastic relaxation)에 의하여 소멸된다. 상온으로 돌아오면, 스트레스 인가 층(40)과 실리콘은 수축하게 된다. 이때 스트레스 인가 층(40)과 실리콘의 온도 팽창계수의 차이로 인해 수축 정도가 달라진다. 수축 정도의 차이로 인해 실리콘에 압축 또는 인장 스트레스가 인가된다. 열공정은 소스/드레인 어닐링(annealing)과 같은 공정이 될 수 있다. 예로서, 스트레스 인가 층(40)은 TiN를 포함할 수 있다. TiN의 경우, 실리콘보다 온도 팽창계수가 크기 때문에 채널영역(23)에 압축 스트레스를 인가한다.
- [0020] 예로서, 반도체 소자는 100 웨이퍼에서 제작될 수 있다. 또한 채널영역(23)의 불순물 타입이 N 타입 또는 P 타입일 수 있다. 채널영역(23)의 불순물 타입이 N 타입이고 실리콘 핀(20)의 상면이 100면이고 측면이 110면인 경우, 110면에 대하여 전류와 수직방향으로 압축 스트레스가 채널영역(23)에 인가되면 채널영역(23)의 구동전류의 증가에 더 큰 효과가 있다. 즉, 이 경우 채널영역(23)에 수직방향(H_{fin})의 압축 스트레스가 인가되어 구동전류가 증가한다.
- [0021] 채널영역(23)에는 스트레스 인가 층(40)에 의해 스트레스가 인가된다. 채널영역(23)에 가해지는 스트레스의 방향은 수평방향과 수직방향(H_{fin})이 있을 수 있다. 여기서 수직방향(H_{fin})이란 전류의 흐름과 스트레스의 인가 방향이 수직인 방향을 말한다. 스트레스 인가 층(40)은 게이트 절연막(30)의 표면 위에 위치하므로, 효과적으로 채널영역(23)에 수직방향(H_{fin})의 스트레스를 인가할 수 있다.
- [0022] 게이트 전도체(50)는 스트레스 인가 층(40)의 표면 위에 위치한다. 예로서, 게이트 전도체(50)는 도핑된 폴리실리콘일 수 있다. 도면과 달리, 게이트 전도체(50)로서 실리콘과 온도 팽창계수가 다른 전도물질을 사용함으

로써, 스트레스 인가 층(40)과 게이트 전도체(50)를 일체로 형성할 수 있다.

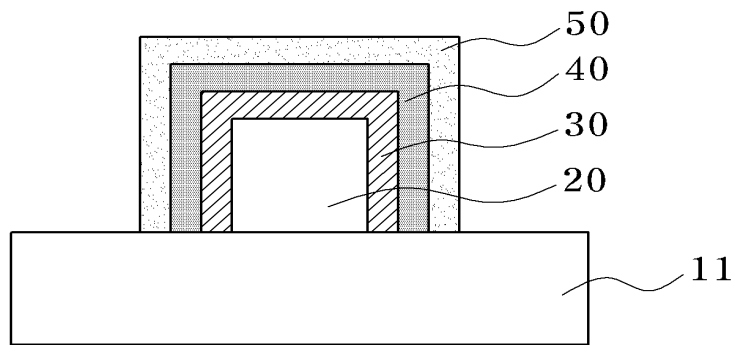
- [0023] 도 3 내지 도 7는 본 발명의 일 실시 예에 따른 반도체 소자 제조 방법을 설명하는 단면도이다.
- [0024] 도 3을 참조하면, 기판(10)을 준비한다. 기판(10)은 절연층(11) 및 실리콘층(12)을 포함한다. 실리콘층(12)은 절연층(11) 위에 형성된다. 절연층(11)은 이산화규소(SiO_2) 또는 사파이어(Al_2O_3) 등이 될 수 있다.
- [0025] 도 4를 참조하면, 실리콘 핀(20)은 절연층(11) 위에 형성된다. 실리콘 핀(20)은 실리콘층(12)이 식각되어 형성된다. 실리콘 핀(20)은 절연층(11) 위에 돌출된 입체구조의 형태로 형성된다. 실리콘 핀(20)은 소스 영역(21), 드레인 영역(22) 및 채널영역(23)을 포함한다.
- [0026] 도 5를 참조하면, 게이트 절연막(30)은 채널영역(23)의 표면 위에 형성된다. 게이트 절연막(30)은 채널영역(23)의 상면 및 측면을 감싸는 형태가 될 수 있다. 게이트 절연막(30)은 열산화 공정에 의해 형성될 수 있다.
- [0027] 도 6를 참조하면, 스트레스 인가 층(40)은 게이트 절연막(30) 표면 위에 형성된다. 스트레스 인가 층(40)은 소스 영역(21) 및 드레인 영역(23)의 표면에는 형성되지 않을 수 있다. 스트레스 인가 층(40)은 게이트 절연막(30)의 상면 및 측면을 감싸는 형태가 될 수 있다.
- [0028] 도 7을 참조하면, 게이트 전도체(50)는 스트레스 인가 층(40)의 표면 위에 형성된다. 예로서, 게이트 전도체(50)는 도핑된 폴리 실리콘일 수 있다.
- [0029] 스트레스 인가 층(40)을 형성하고 게이트 전도체(50)를 형성한다는 것은 스트레스 인가 층(40)을 증착 및 패터닝한 후에 게이트 전도체(50)를 증착 및 패터닝하는 것을 포함할 뿐만 아니라 스트레스 인가 층(40) 및 게이트 전도체(50)를 순차적으로 증착한 후에 이들을 동시에 패터닝하는 것을 포함한다.
- [0030] 도면과 달리, 게이트 전도체(50)로서 실리콘과 온도 팽창계수가 다른 전도물질을 사용함으로써, 스트레스 인가 층(40)과 게이트 전도체(50)를 일체로 형성할 수 있다.
- [0031] 게이트 전도체(50)가 형성된 후 반도체 소자는 고온의 열공정을 거치게 된다. 이후 반도체 소자는 상온상태로 돌아오게 된다. 이러한 열공정 과정을 통해 채널영역(23)에 스트레스가 인가된다.

도면

도면1



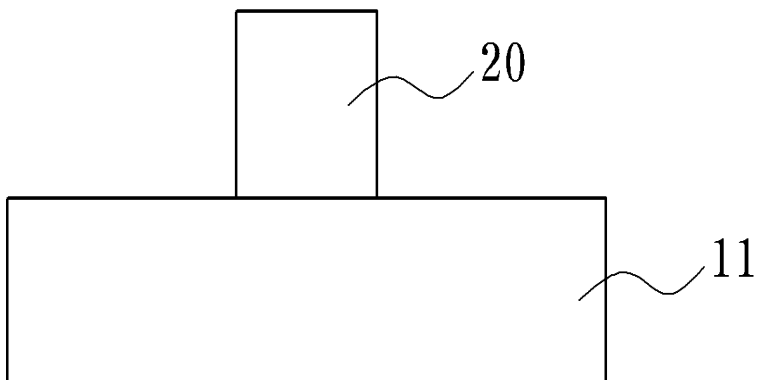
도면2



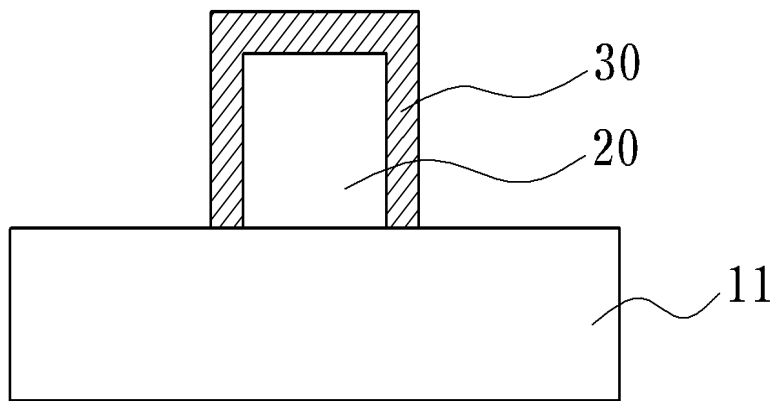
도면3



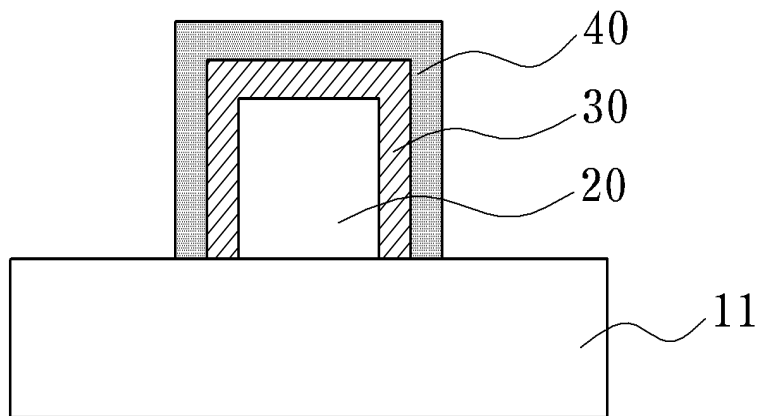
도면4



도면5



도면6



도면7

