

公告本

申請日期	91.1.11
案 號	91100310
類 別	H04B 1/00

A4
C4

546925

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	類比單一方向性序列連結架構
	英 文	ANALOG UNIDIRECTIONAL SERIAL LINK ARCHITECTURE
二、發明人	姓 名	1.海登 克萊維 奎蘭佛德 二世 HAYDEN CLAVIE CRANFORD, JR. 2.史戴西 珍 葛雯 STACY JEAN GARVIN
	國 籍	1.~2.均為美國 U.S.A.
	住、居所	1.美國北卡州艾沛斯市布雷頓大道6900號 6900 BRANTON DRIVE, APEX, NORTH CAROLINA 27502, USA 2.美國北卡州達拉謨市森林廣場3403號 3403 FOREST GROVE COURT, DURHAM, NORTH CAROLINA 27703, USA
三、申請人	姓 名 (名 稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國紐約州阿蒙市新果園路 NEW ORCHARD ROAD, ARMONK, NEW YORK 10504, U.S.A.
	代 表 人 姓 名	傑拉德 羅森賽 GERALD ROSENTHAL

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明名稱	中 文	
	英 文	
二、發明人	姓 名	3.維諾 羅伯茲 諾曼 VERNON ROBERTS NORMAN 4.保羅 艾倫 歐瓦拉斯基 PAUL ALAN OWCZARSKI
	國 籍	3.~4.均為美國 U.S.A.
	住、居所	3.美國北卡州卡利市夏風大道821號 821 SUMMERWINDS DRIVE, CARY, NORTH CAROLINA 27511, USA 4.美國北卡州羅林市卡利斯布魯克廣場9316號 9316 CARISBROOK COURT, RALEIGH, NORTH CAROLINA 27615, USA
	姓 名 (名 稱)	
三、申請人	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	
	英 文	
二、發明人 創 作 人	姓 名	5.馬汀 李歐 司奇瑪姿 MARTIN LEO SCHMATZ
	國 籍	6.約瑟夫 瑪西 史帝文斯 JOSEPH MARSH STEVENS
	住、居所	5.瑞士 SWITZERLAND 6. 美國 U.S.A
		5.瑞士聖賈蘭市淘芬納街158號 TEUFENERSTRASSE 158, CH-9012 GALLER, SWITZERLAND 6.美國北卡州莫利斯維爾市庫朵路2123號 2123 KUDROW LANE, MORRISVILLE, NORTH CAROLINA 27560, USA
三、申請人	姓 名 (名 稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

B6

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

訂

線

五、發明說明 (1)

相關專利申請

本專利申請宣告於2001年1月16日提出申請，序列號碼為60/262,441之專利申請 "Unilink Analog Architecture"(流水號RAL920010005US1)之權利。

此專利申請係關於下列共同未決之專利申請，在此提及該等專利申請以供參考："Unified Digital Architecture" (流水號RAL920010003US2)，序列號碼_____，於_____提出申請；"Architecture for Advanced Serial Link Between Two Cards"(流水號RAL920010004US2)，序列號碼_____，於_____提出申請；"Apparatus And Method For Oversampling With Evenly Spaced Samples" (流水號RAL920010011US2)，序列號碼_____，於2000年10月2日提出申請；"Programmable Driver/Equalizer with Alterable Analog Finite Impulse Response (FIR) Filter Having Low Intersymbol Interference & Constant Peak Amplitude Independent of Coefficient Settings" (流水號RAL920000097US1)，序列號碼_____，於_____提出申請；與 "Phase Rotator and Data Recovery Receiver Incorporating said Phase Rotator"，序列號碼09/861668，於2001年5月22日提出申請。

發明領域

本發明係關於一通過有線媒介之單一方向性序列連結，例如晶片際互連或卡際互連，其中包含一類比傳送器部份與一類比接收器部份。

發明背景

序列資料必須傳送通過有線媒介。傳送與接收分區包含接線至晶片及與卡際互連。傳輸媒介可為印刷電路板，連接

五、發明說明(2)

接器，背面接線，光纖或電纜之一組合。互連可包含其本身之功率，資料與時脈來源，或可自一主模組推導而得該等功能。此種資料一般已傳輸通過一並列資料匯流排，例如ISA，PCI，PCI-X等。此種並列連結之一缺點是資料傳輸率只是中等，且由於微處理器性能之改良，進而導致資料轉移頻寬通常超越輸入/輸出轉移率。同時ASIC輸入/輸出接腳之數目很高。除此之外，使用並列資料匯流排之系統整合輸入/輸出接腳數目也很高。最後，關聯於使用並列資料匯流排之總體系統成本通常很高。

相關之技術顯示吾人想要藉由運用涉及多種方法之序列通訊系統來克服該等困難與缺點。例如，一些人使用無載波振幅/相位(CAP)調變方法。另外一些人則使用一線性壓縮/解壓縮與數位信號處理技術於頻率調變。還有一些人使用一線性(類比)相位旋轉器以只回復一輸入信號之載波。一些人使用一通帶來傳送，以限制受到傳送之頻帶，而非使用一基帶，其中信號未受到共用且該等頻率未受到限制。

發明簡短說明

本案提供一種用以傳送數位資料通過有線媒介之統一序列連結系統與方法，其中包含一傳送器與一接收器。此系統包含一鎖相迴圈(PLL)控制電路，一相位旋轉器電路，一相位緩衝器電路，與一等化驅動器電路。相位旋轉電路是配置成為自鎖相迴圈控制電路取得一時脈相位，且模偏移該時脈相位成為一所要之相位角。一實例包含一雙重迴圈PLL，其中具有一數位粗迴圈與一類比細迴圈，一多級電壓控制振

五、發明說明 (3)

盪器，一電壓比較器，與一PLL控制邏輯，一數位至類比計數器與一低通濾波器。細迴圈包含振盪器，一頻率除法器，一相位頻率偵測器，一充電幫浦與一迴圈濾波器。

本類比發明係關於一統一數位架構，其中包含邏輯傳送器部份與邏輯接收器部份。統一之數位架構在包含之相關專利申請中受到更完整地說明。說明於包含之申請專利之統一數位架構的一實例包含一邏輯傳送器部份，其中包含一鎖相迴圈(PLL)，一雙位元資料暫存器，一有限脈衝響應(FIR)濾波器與一傳送資料暫存器。該統一數位架構也包含一虛擬隨機位元流(PRBS)產生器與一檢查器。數位接收器部份包含一PLL，一FIR相位旋轉器與一相位旋轉器控制狀態機器，與一時脈緩衝器，且也可包含一虛擬隨機位元流(PRBS)產生器與一用於診斷之檢查器。

附圖簡短說明

圖1是本發明之傳送器架構之方塊圖。

圖2是根據本發明之一迴圈濾波器之示意圖。

圖3是根據本發明之一傳送VCO之示意圖。

圖4是根據本發明之一傳送VCO延遲細胞之示意圖。

圖5是本發明之接收器架構之方塊圖。

圖6是根據本發明之一接收器電路之示意圖。

圖7是根據本發明之一差動放大器之示意圖。

圖8是根據本發明之一接收取樣鎖存器之示意圖。

圖9是根據本發明之一接收VCO之示意圖。

圖10是根據本發明之一鎖存器緩衝器之示意圖。

五、發明說明(4)

圖 11 是根據本發明之一反相器緩衝器之示意圖。

圖 12 是根據本發明之一雙重迴圈 PLL 之另一實例的示意圖。

圖 13 是圖 12 之粗迴圈之方塊圖。

圖 14 是根據本發明之一相位旋轉器與相位緩衝器之拓模的方塊圖。

圖 15 是根據本發明之一相位旋轉器 cbias 之示意圖。

圖 16 是根據本發明之一相位旋轉器電流緩衝器之示意圖。

圖 17 是根據本發明之一相位旋轉器電流緩衝器六包裝之方塊圖。

圖 18 是根據本發明之一相位旋轉器電流緩衝器陣列之示意圖。

圖 19 是根據本發明之一相位旋轉器核心電路六包裝之方塊圖。

圖 20 是根據本發明之一相位旋轉器核心電路之示意圖。

圖 21 是根據本發明之一相位旋轉器核心緩衝器電路之示意圖。

圖 22 是根據本發明之一相位旋轉器核心緩衝器後緩衝器電路之示意圖。

圖 23 是本發明之另一實例之方塊圖，且其之特點是一具有一 8 級/相位環振盪器之基本 FIR 濾波器方式。

圖 24 是根據本發明之一相位旋轉器之輸出相位步階改變的圖形表示。

圖 25 是根據本發明之一相位旋轉器之一 6 相位版本的簡化示意圖。

五、發明說明 (5)

圖 26 是圖 25 之相位旋轉器之一電路區塊的詳細圖。

發明詳細說明

現在請參看圖 1，本發明之傳送器類比架構 10 之方塊圖受到展示。傳送器架構 10 是由三主要類比區塊來支援：一全資料率鎖相迴圈 (PLL) 12，一重新供電至 PLL 信號之相位緩衝器電路 14，與一晶片外有限脈衝響應 (FIR) 等化驅動器電路 16。PLL 12 具有一 "細" 控制迴圈電路 27 與一 "粗" 控制迴圈。

傳送器 PLL 12 是傳送之資料之時脈來源，且最好是以全資料率來運作。在全資料率之下，會發生較小之佔空因數失真與抖動，且本發明之此實例能夠以全資料率有效地運作。一頻率參考是標的資料率之 $1/n$ 。例如，就 $n = 4$ 而言，2.5 Gbps 之運作資料率需要 625 MHz。單一時脈相位受到緩衝且自 PLL 12 中取得，且意欲受到驅動至相位緩衝器電路 14。

PLL 12 如圖所示包含一多級，電壓控制環振盪器 (VCO) 18，一頻率除法器 20，相位頻率偵測器 22，充電幫浦 24 與多極點 "連波電容器" 迴圈濾波器 26。該等組件構成一 "細" 控制迴圈 27。雖然在本文所述之本發明實例中，VCO 18 是一 4-級振盪器，且頻率除法器 20 是一除以四之除法器，熟悉本技術領域者應可明瞭其他之級數與除法器除數，且本發明未受限於所述之特定四級振盪器與除以四之除法器組件。細控制迴圈 27 是一傳統之類比控制迴圈，且是意欲提供一穩定之低雜訊，低抖動之時脈來源給傳送器電路 10。迴圈 27 之範圍，增益與頻寬是設計成為補償由於電源變動與粗迴圈所造成之相當高頻，但很小之擾動。

五、發明說明 (6)

現在請參看圖2，迴圈濾波器26之一實例之示意圖受到提供。所示之迴圈濾波器電路26是一2階CRC低通濾波器。一小"漣波"電容器28是用以衰減充電幫浦漣波，且一較大之"迴圈濾波器"電容器30是用以穩定該電路及設定主極點。迴圈濾波器電路26轉換自充電幫浦24所接收之充電幫浦電流成為一驅動VCO電路18之控制電壓。電阻器32增加一零點至該電路以抵銷在原點之極點(由VCO 18所造成)之影響。迴圈濾波器電路26也會設定該電路之主極點。漣波電容器28遠小於迴圈濾波器電容器30。這使得其之極點在此頻率更加遠離。電阻器32也融入開迴圈增益，而開迴圈增益會影響系統之穩定度與穩定時間(或電路之響應時間)。雖然，在所示之實例中，視程序與溫度而定，VCO電路18之增益是自300 MHz至3.8 GHz，但是其他增益值也可達成，而此為熟悉本技術領域者所熟知。因此，電阻器32是可切換的。開關33是由邏輯基於PLL電路12之運作來控制，其中該邏輯在本實例中最好設定範圍於2.5 GHz與3.125 GHz之間。本發明之其他實例(未受到展示)可具有一較大或較小之值範圍，或涵蓋一不同之值範圍；所述之範圍只是用於展示，而絕未限制本發明之應用與實施。VCO 18同時具有一"細"與"粗"控制電壓，以使細迴圈27之所需增益最小化。

現在請參看圖3，傳送器VCO 18之一4-級延遲細胞實例之示意圖受到提供。VCO 18本身具有一型態，以藉由下列方式來調整振盪速度：調整多個延遲細胞40內之本地回授以及控制VCO 18內之回授，而此提供延遲細胞40之預充電以進行速

五、發明說明 (7)

度強化。最好VCO可在一定義之運作條件範圍內運作於2.125 GHz至3.125 GHz，且產生一差動時脈輸出。本發明之其他實例(未受到展示)可具有一較大或較小之值範圍，或涵蓋一不同之值範圍；所述之範圍只是用於展示，而絕未限制本發明之應用與實施。

在一傳統之環振盪器中，振盪頻率是藉由 $1/(2N\tau)$ 來決定，其中N是級數，且 τ 是一延遲細胞之單位延遲時間。因此，振盪頻率是由一延遲組件之延遲時間來決定。圖3所示之本發明實例之較高運作頻率與較廣調整範圍是藉由建構一雙重延遲方法來達成。雙重延遲意謂負扭曲延遲路徑34與正常延遲路徑36同時存在於相同之振盪器。(在圖3中負扭曲延遲路徑34是以正常線來表示，而正常延遲路徑36則是以較厚之粗線來表示。)負扭曲延遲路徑34減少單位延遲時間至單一反相器延遲時間之下。因此，可獲得一較高之運作頻率。因為正常延遲路徑36也存在，所以VCO 18之頻率範圍可廣於只具有扭曲延遲路徑之振盪器之頻率範圍。

現在請參看圖4，根據本發明之一VCO 18傳送延遲細胞40之示意圖受到提供。最好延遲細胞40之延遲是可在VCO 18運作範圍內自80 ps調整至125 ps。本發明之其他實例(未受到展示)可具有一較大或較小之值範圍，或涵蓋一不同之值範圍；所述之範圍只是用於展示，而絕未限制本發明之應用與實施。最好延遲細胞40也產生全擺幅之差動輸出。一NMOS差動對(T0, T2) 42與一做為主動負載之PMOS對鎖存器(T4, T5) 44位於延遲細胞40之核心。交叉耦合之NMOS電晶體(T1, T3)

五、發明說明(8)

46控制一對PMOS負載電晶體48之最大閘極電壓，並限制PMOS鎖存器44之強度。當控制電壓很低時，鎖存器44之強度變弱，且PMOS鎖存器44負載之輸出驅動電流增加。因此，鎖存器44之狀態很容易改變且延遲時間受到降低。因此，當控制電壓很高時，鎖存器44變強，且其抵抗差動延遲細胞40之電壓切換。因此，延遲時間增加。藉助於鎖存器44之正回授，即使延遲時間很慢，輸出波形之轉換邊緣仍維持尖銳。因為延遲細胞40基本上是一簡單之差動反相器，一全擺幅波形受到產生。

為同時運用負扭曲與正常延遲路徑，PMOS電晶體對(T6，T7) 48增加至延遲細胞40之PMOS負載，且是用以取得負扭曲信號。負扭曲信號連接至延遲細胞40之PMOS輸入，且正常信號連接至延遲細胞之NMOS輸入。負扭曲信號是自電流延遲級之前之二級取得。該信號在輸出轉換期間提前開啟PMOS，並補償PMOS之性能，而PMOS之性能通常慢於NMOS之性能。

第二對NMOS電晶體(T8，T9) 50受到插入以並聯於原始之NMOS交叉對46。該等裝置較小且較長，且因此對於性能具有較小之影響。這允許延遲細胞之"細"控制。

現在請再參看圖1，除了細控制迴圈27組件以外，PLL 12包含一參考產生器60，一電壓比較器62，PLL控制邏輯64，與一數位至類比轉換器(DAC) 66與一低通濾波器68。該等組件構成數位"粗"控制迴圈。此數位粗迴圈是用以補償程序與溫度以使VCO 18處於正確之運作範圍。雖然到目前為止所述之PLL 12之實例是同時具有"細"與"粗"迴圈之一雙重迴圈PLL，

五、發明說明 (9)

但是其他實例可只運用一迴圈，且實施本發明並不需要一雙重迴圈PLL結構。類比細迴圈27接著可鎖定參考時脈及產生一較佳之穩定2.125 GHz/3.125 GHz時脈。本發明之其他實例(未受到展示)可具有不同之時脈值，且所述之值只是用於展示，而絕未限制本發明之應用與實施。最好比較器62之參考位準是藉由一cbias電路11來產生。

粗控制迴圈是一基於"洩漏"迴圈濾波器電容器之傳統類比控制迴圈之數位表示。該種迴圈依賴迴圈濾波器電路26之洩漏電流來沿一特定方向驅動控制電壓，無論VCO 18之頻率為何。此洩漏電流是藉由相位偵測器22與充電幫浦24來補償，而相位偵測器22與充電幫浦24只增加迴圈濾波器電路26之充電電流。當增加至迴圈濾波器電路26之充電電流平衡洩漏之電流時，該迴圈是穩定的。

粗控制迴圈之PLL控制邏輯64具有一上/下計數器(未受到展示)，且該計數器之值表示迴圈濾波器電路26之充電。此計數器緩慢遞減以表示洩漏。電壓比較器62是高或低決定於是否細控制電壓運作於其之範圍之上半部或下半部。為平衡該洩漏，控制邏輯64取樣比較器62之輸出。在多個取樣顯示上半部範圍之運作之後，上/下計數器(未受到展示)受到遞增以表示電流增加至迴圈濾波器電路26。上/下計數器(未受到展示)之輸出是由DAC 66與低通濾波器68轉換成為一控制電壓。粗控制迴圈是意欲補償製造程序與由於電源及溫度漂移所引起之相當低頻，但很大的變化。這在先前包含之一共同未決專利申請中受到更完整地討論，該專利申請是"Unified

五、發明說明 (10)

Digital Architecture" (流水號 RAL920010003US2)，序列號碼 _____，於 _____ 提出申請。

圖 12 是根據本發明之一雙重迴圈 PLL 之另一實例的方塊圖。根據 PLL 理論，可得知若要獲得良好之相位雜訊/抖動性能，調整靈敏度與乘法因數應很小。做為該等問題之一潛在解決方案，一 2 級參考頻率乘法是利用第一級之一外部迴圈濾波器 312 與 LC 振盪器 314，與第二級之一雙重迴圈晶片上 PLL 310 來達成。第一迴圈濾波器 316 具有一窄頻帶，以最終可符合抖動轉移需求。相位雜訊/抖動性能應主要是由外部 VCO 之品質來決定，且可由顧客來指定或選定。第二 PLL 迴圈濾波器(未受到展示)應儘可能地大以抑制任何環振盪器之雜訊。這是意欲可進行來自第一迴圈之 625 MHz 信號之性能追蹤，進而支配總體之抖動性能。

圖 13 是圖 12 之粗頻率控制迴圈 320 之方塊圖。基本概念是在一頻率方向引進一受控數量之數位洩漏。細調整輸入之電壓受到取樣，且如果超過一預先定義之位準，則粗電壓是藉由一 D/A 轉換器 322 以數位方式來調整。藉由此方式，一方向之迴圈增益實質上是零。這會打破迴圈且保證穩定度。一數位積分器(計數器) 324 實現一低通功能，以達成改良之切換雜訊。

請再參看圖 1，一根據本發明之相位緩衝器電路 14 包含相位預驅動電路 70，相位緩衝器/延遲電路 72 與一傳送相位緩衝器鎖存器 74。相位緩衝器 72 驅動至鎖存器 74，且因而提供本實例之全速率設計所必需之時脈。相位緩衝器 72 也必須藉由

五、發明說明 (11)

將估計之淨負載列入考量來提供適當之上升與下降時間。

相位緩衝器 72 可包含任何電路，以驅動時脈自來源至一些具有高電容性負載之電路，其中該等電容性負載起因於接線及/或閘極負載。在本發明所用之時脈速率之下，相位緩衝器 72 對於確保合理之上升及下降時間，佔空因數，與系統時脈之抖動性能而言很重要。相位緩衝器 72 稍後在本文之接收器 PLL 電路之說明中將更詳細受到說明。

一等化驅動器電路 16 之實例展示於圖 1。等化驅動器電路 16 是一有限脈衝響應(FIR)等化驅動器，其中包含由一 FIR 型濾波器功能來控制之電流模式差動驅動電路。最好等化傳送器資料流以做為一使得下列事項最小化之裝置：銅集膚效應所產生之符際干擾之數量與電路卡消耗因數；前者係關於運作頻率之根，而後者係線性相關於運作頻率。傳送器 FIR 電路 16 詳細說明於相關之美國專利申請，該專利申請之名稱是 "Programmable Driver/Equalizer with Alterable Analog Finite Impulse Response (FIR) Filter Having Low Intersymbol Interference & Constant Peak Amplitude Independent of Coefficient Settings" (流水號 RAL920000097US1)，序列號碼 _____，且是於 2000 年 10 月 2 日提出申請。其他種類之等化驅動器電路也可用於本發明，且所述之驅動器電路只是用於展示，而絕未限制本發明之應用與實施。

現在請參看圖 5，本發明之接收器類比架構 100 之一方塊圖受到展示，其中包含一半資料率 PLL 電路 101 與一類比接收器電路區塊 102。類比接收器電路區塊 102 包含一相位預驅動器

五、發明說明 (12)

104，相位旋轉器電路106與相關之相位旋轉器偏壓電路107，一用以重新供電給PLL信號之相位緩衝器電路108，六取樣鎖存器110，與驅動接收器邏輯113之鎖存器緩衝器112。提供六鎖存器使得此電路可藉由一半資料率取得每一資料位元之三取樣。取樣鎖存器110也與一接收器電路114界接，接收器電路114是包含固定輸入偏壓116 (用於功率節省)之差動型電路，以轉換輸入信號成為相容於一高速差動鎖存器之信號。該等輸出電路獲得供電以支援來自鎖存器與接線之必需負載。

根據本發明之接收器電路114之一實例展示於圖6。其是設計成為根據一運作於2.5 Gb/s之輸入差動電壓位元流來供應一所需之差動輸出電壓至六取樣鎖存器。接收器電路114之較佳需求表示於下面之表7。量測之結果是在一產生最壞性能之運作條件下取得，其中150 mV峰至峰之額外雜訊發生於VDD。完整擷取之接收器之所有結果皆是以每一連結為基礎。應可瞭解本發明之其他實例(未受到展示)可具有不同之需求，且所述之值只是用於展示，而絕未限制本發明之應用與實施。

表7：接收器電路規格

規格	需求	量測	運作條件
最大電流	6mA	6.6mA	1.98V，25°C，ASICBC
由於電源雜訊與程序限制所引起之抖動	13ps	24.6ps	1.62V，125°C，ASICWC
最小差動峰至峰輸入	100mV	100mV	1.62V，125°C，ASICWC
最小差動峰至峰輸出	800mV	858mV	1.62V，125°C，ASICWC
輸出共模	0.9V-1.3V	0.95V-1.2V	所有條件

裝
訂
線

五、發明說明 (13)

頻寬	未指定	918MHz	1.62V, 125°C, ASICWC
直流增益	未指定	10.5	1.62V, 125°C, ASICWC
輸入共模範圍	未指定	0.6V-1.6V	1.62V, 125°C, ASICWC

接收器電路114包含一偏壓電路與二差動放大器120。一CBIAS細胞122提供一直流參考電壓給一PMOS電晶體124，且該直流參考電壓接著轉換成為一NMOS電晶體126之參考電壓。二級之放大受到選擇以使增益與頻寬最大化；但是，本發明未受限於二級。

圖7是差動放大器120之示意圖。這是具有一NMOS尾電流與電阻性負載之傳統設計，以提供必要之頻寬。NMOS尾131鏡射100μA之CBIAS電流以提供大約3mA之電流給差動對132。此3mA是基於接收器之最大允許電流。電阻器130之大小受到選擇以基於自每一放大器通過之1.5mA來提供必要之輸出共模電壓。輸入電晶體132接著受到調整大小以達成大約20dB之增益。

圖8是圖5所參考之一示範取樣鎖存器110之示意圖。取樣鎖存器110是由輸入接收器電路114來饋入資料，且自PLL電路101，相位旋轉器電路106與相位緩衝器區108之組合取得時脈。取樣鎖存器110之資料輸入在本質上是差動的，且因此取樣鎖存器110是虛擬類比電路。重要的是輸入接收器與取樣鎖存器之設計受到很緊密協調，以使雜訊對於相關於該二電路之抖動之影響降至最低。

圖8所示之鎖存器110是一CMOS，正邊緣觸發鎖存器電路。其需要差動資料輸入與單端時脈，並輸出一單端，邏輯位準

五、發明說明 (14)

信號。此區包含二電路，鎖存器 140 本身與一緩衝器 142，其中該緩衝器使得鎖存器 140 之輸出尖銳化。鎖存器 140 自接收器電路 114 接收其之差動資料，及執行該差動資料之差動或單端轉換，並驅動該輸出至接收邏輯 113。

藉由使用 CLK-Q 延遲 < 300p (標稱) 與一取樣及保持窗 < 35p 做為性能邊界，在具有不同負載之各種程序，溫度與供電條件之下，圖 8 所示之鎖存器電路 110 之一實例受到模擬。該等適當參數受到量測以確保在該等條件下具有適當之性能。同時，模擬受到執行以決定設定及保持窗，亞穩定窗，與鎖存器 110 之抖動性能。下面之表 8 展示鎖存器電路 110 之各種性能參數。

表 8：鎖存器運作參數

運作條件	CLK-Q 延遲 ps	tr ps	tf ps
TT.T=50，VDD=1.8，Load=30fF， 標稱時脈	187	37	34
ASICWC，T=125C，VDD=1.62， Load=40fF，慢時脈	297	56	52
ASICBC，T=25C，VDD=1.98， Load=20fF，快時脈	129	29	26

取樣鎖存器電路 110 具有一負設定及保持窗。其是相對於鎖存器 110 之輸出(而非相對於鎖存器緩衝器 112 之輸出)來受到量測。造成多於 300ps CLK-Q 延遲之任何 CLK 資料延遲也包含於此窗之計算。此鎖存器之較佳取樣及保持窗是 10ps。

請再度參看圖 5，接收器 PLL 電路 101 是用以過取樣接收資料之時脈源，且運作於資料率之一半。需要一頻率參考，且

五、發明說明 (15)

該頻率參考是標的資料率之 $1/n$ ；例如，如果 $n=2$ ，則 1.25 Gbps 之運作資料率需要 625 MHz。六時脈相位受到緩衝及自 PLL 取出，且是意欲驅動至相位旋轉器電路 106。

圖 5 之接收 PLL 101 具有一 6 級電壓控制環振盪器 (VCO) 150，一 2X 頻率除法器 152，相位頻率偵測器 154，充電幫浦 156，與多極點迴圈濾波器 158。該等組件構成 "細" 控制迴圈。接收 VCO 150 同時具有一 "細" 與 "粗" 控制電壓，以使細迴圈所需之增益最小化。除了細控制迴圈組件以外，接收 PLL 101 包含一參考產生器 160，一電壓比較器 162，PLL 控制邏輯 164，一數位至類比轉換器 (DAC) 166，與一低通濾波器 168。該等組件構成 "粗" 控制迴圈。

細控制迴圈 159 是一傳統之類比迴圈，且是意欲提供一穩定之低雜訊，低抖動時脈源給接收器。迴圈之範圍，增益與頻寬是設計成為可補償由於電源變動與粗迴圈所引起之相當高頻，但很小之擾動。

粗控制迴圈是一基於一 "洩漏" 迴圈濾波器電容器之傳統類比控制迴圈之數位表示。該種迴圈依賴來自 "迴圈濾波器罩" 之洩漏以沿一特定方向來驅動控制電壓，無論接收 VCO 150 之頻率為何。此洩漏是由只會增加該 "罩" 之充電之相位偵測器 154 與充電幫浦 156 來補償。當增加至該罩之電流抵銷洩漏之電流時，迴圈是穩定的。

粗控制迴圈之接收 PLL 控制邏輯 164 具有一上/下計數器 (未受到展示)，且該計數器之值表示一迴圈濾波器罩之充電。此計數器緩慢遞減以表示洩漏。電壓比較器 162 是高或低決

五、發明說明 (16)

定於是否細控制電壓運作於其之範圍之上半部或下半部。為抵銷此洩漏，接收PLL控制邏輯164取樣比較器162之輸出。在多重取樣顯示上半部運作之後，上/下計數器受到遞增以表示增加電流至迴圈濾波器罩。上/下計數器輸出是由DAC 166與低通濾波器168來轉換成為一控制電壓。粗控制迴圈意欲補償製造程序與電源及溫度漂移所引起之相當低頻，但很大之變動。

最好接收PLL 101在一些運作條件之下運作自大約1 GHz至大約1.6 GHz，且產生六均勻間隔之相位。數位粗迴圈是用以補償程序與溫度，以使接收VCO 150處於所要之運作範圍。較低頻寬之類比細迴圈接著能夠鎖定參考時脈，及產生六穩定之1.0 GHz至1.6 GHz相位。本發明之其他實例(未受到展示)可具有一較大或較小之值範圍，或涵蓋一不同之值範圍；所述之範圍只是用於展示，而絕未限制本發明之應用與實施。比較器162之參考位準是由cbias (未受到展示)來產生。

圖9是一根據本發明之具有雙重延遲路徑之接收6級VCO 150結構的示意圖，其中包含六延遲細胞152。雙重延遲路徑振盪器之功能先前已針對傳送VCO 18與延遲細胞40來加以討論。

相位旋轉器106是一類比電路，且因此是一可達成下列功能之裝置：以步階為單位，無錯誤地模偏移接收VCO 150之輸入之所有n相位成為輸出之任何相位角。模選項是用以保證相位與頻率之補償功能，無錯誤性能確保在旋轉期間沒有位元受到喪失，且"以步階為單位"意謂相位變動量受限於

五、發明說明 (17)

每一時脈循環一相位片段。

相位旋轉器 106 之概念是以 FIR 濾波器之原理為基礎。接收 VCO 150 視為一延遲組件之圓形陣列。藉由使得輸出 t ，該陣列之 n 乘以加權因數 m, n ，並相加該等值，則可建立一 FIR 濾波器。分接頭之數目決定過取樣之數量，且因此一進行混淆濾波所需之類比濾波器之階數。如果加權因數可動態受到改變，則 FIR 濾波器響應可"動態"受到改變。這允許此種濾波器之輸出相位之動態調整。

最好相位旋轉器 106 接收來自 VCO 150 之所有 6 相位，且提供所有 6 相位之以步階為單位之偏移至 54 可能相位角的任一相位角給輸出。因此，其將旋轉以 6.67 度之步階來旋轉所有 6 相位，且對於 2.5 Gbit 之系統而言，這對應於 14.8ps。藉由對於每一相位使用特定之權重，相位旋轉器 106 輸出 6 偏移之相位。該等相位是以差動對來產生，且接著在進入取樣鎖存器 110 之前通過三級之相位緩衝器 108。每一相位旋轉器 106 是由來自該邏輯之 54 線來控制，其中該等線調整每一相位貢獻之目前權重。

接收相位緩衝器 108 包含一些電路，且該等電路是設計成為界接相位旋轉器電路 106 之輸出驅動分區(所有相位)，並同時使得相位旋轉器 106 只承受輕負載。相位緩衝器 108 接著自相位旋轉器 106 驅動取樣鎖存器 110，且同時提供相位旋轉器電路 106 所需之輸入驅動。最好接收相位緩衝器 108 運作於半資料率設計所需之資料率。最好相位緩衝器 108 也提供適當之上升與下降時間，其中該等時間將估計之淨負載列入考慮。

五、發明說明 (18)

接收相位緩衝器 108 可包含任何電路，以驅動來源之時脈至具有高電容性負載之電路，其中該等電容性負載起因於接線及/或閘極負載。對於接收 PLL 101，最好相位緩衝器 108 允許個別延遲級具有相同之負載，且具有驅動能力以扇出該等時脈相位自單一 PLL 至四傳送/接收核心。在本實例所用之時脈率之下，相位緩衝器 108 對於確保合理之上升及下降時間，佔空因數，與系統時脈之抖動性能而言很重要。

本發明之一較佳實例運用二相位緩衝器 108 電路拓模。第一拓模是一稱為鎖存器緩衝器 180 之虛擬差動正回授鎖存級，如圖 10 所示。第二拓模只是一對反相器且稱為反相器緩衝器 200，如圖 11 所示。該二種緩衝器使用於不同之應用。對於較高之功率，抖動關鍵路徑，因為鎖存器緩衝器之高電源拒斥品質，所以鎖存器緩衝器 180 受到使用。這包含緩衝一些差動相位，其中該等差動相位離開接收 PLL 電路 101，進入相位旋轉器 106，與離開相位旋轉器 106。反相器緩衝器 200 主要是用以緩衝通往邏輯位準電路之單端時脈，其中包含核心邏輯與取樣鎖存器 110。

現在請參看圖 10，鎖存器緩衝器 180 藉由通過交叉耦合之 n 通道裝置之正回授來運作，以提供非常快速之轉換。因為轉換時序是進入之差動信號之函數，所以這有利於消除電源雜訊。這無需只使用該二單端側之一側來決定何時轉換(如同反相器級)，且因此無需要求電源是穩定。此電路之缺點之一是極大之直流電流位準，而正常之反相器不會具有如此大之直流電流。另一缺點是缺乏一軌至軌輸出。在所示之

五、發明說明 (19)

實例中，p通道裝置永遠是導通，因而導致斷開位準只趨近於大約200 mV。

現在請參看圖11，反相器緩衝器200依賴使用反相器級202對來追蹤p通道與n通道裝置之不匹配。這大幅改善通過反相器級202之抖動性能。無論何時當反相器緩衝器200用以提高一電路之驅動能力時，藉由"e"之冪次來指數型增加反相器大小之一般法則受到使用。這使得在反相器鏈之所有級之上升與下降時間保持一致。而且因為抖動基本上是上升與下降時間之一線性函數，所以這不會在任何一級造成過度之抖動。為維持時脈之佔空因數，p與n通道之比率在圖11所示之實例中是選擇成為2.5，以匹配7SF之該二裝置之近似驅動不匹配。最好該等反相器是調整成為具有最小之長度，以使速度性能最大化。

相位緩衝器108之特徵主要是以功率使用與抖動來衡量。在大多數之情形中，最好以增加之功率使用來換得較佳之抖動性能。表6展示相位緩衝器72與108之示範實例之抖動與功率數字。模擬之抖動數字是以電源雜訊為基礎。對於傳送相位緩衝器72而言，雜訊位準是75 mV峰至峰。對於接收相位緩衝器108而言，雜訊位準是150 mV峰至峰。所有數字皆是針對2.5 Gbps運作，以連結為單位。

表6：XMT與RCV相位緩衝器性能(2.5 Gbps)

測試條件	功率規定	模擬之功率	抖動規定	模擬之抖動
RCV PB, ASICBC, 1.98V VCC, 0C	6.6mW	13.2mW	8ps PP	1.2ps PP
RCV PB, TYP, 1.8V VCC, 62.5C		9.2mW		2.6ps PP
RCV PB, ASICWC, 1.62V VCC, 125C		6.3mW		5.2ps PP

裝
訂
線

五、發明說明 (20)

XMT PB, ASICBC, 1.98V VCC, 0C	1.8mW	6.8mW	8ps PP	6.8ps PP
XMT PB, TYP, 1.8V VCC, 62.5C		4.9mW		14.4ps PP
XMT PB, ASICWC, 1.62V VCC, 125C		3.9mW		18.5ps PP

現在請參看圖 14，根據本發明之一實例之拓模的方塊圖受到展示，其中包含相位旋轉器電路 106，相關之 cbias 電路 107 與相位緩衝器電路 108。相位旋轉器 106 包含相位旋轉器電流緩衝器電路 210，相位旋轉器電流電路 212 與相位旋轉器核心電路 214。相位緩衝器電路 108 包含相位緩衝器核心電路 218 與相位緩衝器後緩衝器電路 220。相位旋轉器電路 106，相關之 cbias 電路 107 與相位緩衝器電路 108 更完整說明於 Schmatz 之美國專利申請，且該專利申請序列號碼為 09/861,668，於 2001 年 5 月 22 日提出申請，名稱為 "Phase Rotator and Data Recovery Receiver Incorporating said Phase Rotator"，且在此提及該專利申請以供參考。圖 14 之該等組件之示範示意圖提供如下。

圖 15 提供相位旋轉器 cbias 電路 107 之一示範示意圖。

圖 16 提供相位旋轉器電流緩衝器電路 210 之一示範示意圖。

圖 18 提供相位旋轉器電流緩衝器電路 212 之一示範示意圖。

圖 20 提供相位旋轉器核心電路 214 之一示範示意圖。

而且相對於相位緩衝器電路 108，圖 21 提供相位旋轉器緩衝器核心電路 218 之一示範示意圖，且圖 22 提供相位旋轉器後緩衝器電路 220 之一示範示意圖。

方塊圖也受到提供以更清楚地展示相位旋轉器 106 與相位緩衝器電路 108。圖 17 是一相位旋轉器電流緩衝器 210 六包裝 211 之方塊圖。

裝
訂
線

五、發明說明 (21)

圖 19 是一相位旋轉器核心電路 214 六包裝 215 之方塊圖。

圖 23 展示本發明之另一實例，其之特點是運用一基本 FIR 濾波器 232 方式，其中具有來自一 8 級/相位環振盪器 230 之 8 分接頭 t1 至 t8。假設有五個不同之加權因數 m0 至 m4 可供使用，且該等加權因數是藉由相加子因數 w1 至 w4 來建立。表 1 展示該等加權因數之啟始配置。

表 1：根據子因數 w1 至 w4 之加權因數 m0 至 m4 之配置

加權因數	配置
m0	= 0 (未使用於啟始配置)
m1	= w1
m2	= w1 + w2
m3	= w1 + w2 + w3
m4	= w1 + w2 + w3 + w4

圖 24 展示藉由循序改變加權因數所造成之輸出相位之步驟變化，且該等加權因數決定每一相位分接頭對於實際輸出之貢獻。在步驟 (a) 中，例如，在分接頭 t1 之加權因數自 w1 改變成為 w1+w2，且在同一時間在分接頭 t8 之權重改變成為零。若明智地設定加權值 w1 至 w4，則這將偏移輸出相位恰好一相位片段之 1/4。在最後一旋轉步驟 (d) 之後，所有權重皆已偏移一分接頭位置。這對應於 FIR 之輸出之一相位片段的偏移。

藉由重複前述序列，任何相位設定皆可達成。因為這是一圓形運作，所以輸出相位之範圍未受限於 0 至 360 度之區間。這允許相位，且因而頻率調整，之連續變動。由於加權因數只可藉由一次增加或減去一子因數組件來改變，所以不會發生錯誤。

五、發明說明 (22)

根據本發明之一6-相位相位旋轉器240之簡化示意圖提供於圖25。因為具有六相位片段，所以四可能之加權因數 m_0 至 m_3 可藉由三子因數 w_0 至 w_2 之可變相加來建立。一溫度碼邏輯產生該等電流之接線相加之控制信號。這允許一3級差動環振盪器在一360度之旋轉中產生18相位步階。該等FIR區塊之輸出最好是藉由一接線 n 函數來相加。為產生高品質之時脈信號，最好使用差動時脈緩衝器。

圖26提供相位旋轉器電路區塊242之詳細圖。

雖然本發明之較佳實例已獲說明，但是吾人可提出設計之變型，且熟悉本技術領域者，以及熟悉其他領域者，應可明瞭該等變型。前文所述之性能與信號規格絕非適用於本發明之方法與系統之唯一規格，且熟悉本技術領域者應可輕易明瞭該等替代規格。因此，本發明之範疇只受限於下列之申請專利範圍。

四、中文發明摘要(發明之名稱：類比單一方向性序列連結架構)

本案提供一種用以傳送數位資料通過有線媒介之統一序列連結系統與方法，其中包含一傳送器與一接收器。此系統包含一鎖相迴圈(PLL)控制電路，一相位旋轉器電路，一相位緩衝器電路，與一平等化驅動器電路。相位旋轉電路是配置成為自鎖相迴圈控制電路取得一時脈相位，且模偏移該時脈相位成為一所要之相位角。一實例包含一雙重迴圈PLL，其中具有一數位粗迴圈與一類比細迴圈，一多級電壓控制振盪器，一電壓比較器，與一PLL控制邏輯，一數位至類比計數器與一低通濾波器。細迴圈包含振盪器，一頻率除法器，一相位頻率偵測器，一充電幫浦與一迴圈濾波器。

英文發明摘要(發明之名稱：ANALOG UNIDIRECTIONAL SERIAL LINK ARCHITECTURE)

A unified serial link system and method for transmitting digital data across wired media including a transmitter and a receiver. The system comprises a phase locked loop (PLL) control circuit, a phase rotator circuit, a phase buffer circuit, and an equalization driver circuit. The phase rotator circuit is configured to acquire a clock phase from the phase locked loop control circuit and modulo shift the clock phase into a desired phase angle. One embodiment comprises a dual loop PLL having a digital coarse loop and an analog fine loop, a multi-stage voltage controlled oscillator, a voltage comparator, a PLL control logic, a digital to analog counter and a low pass filter. The fine loop includes the oscillator, a frequency divider, a phase-frequency detector, a charge pump and a loop filter.

六、申請專利範圍

1. 一種統一序列連結系統，其中包含一傳送器部份與一接收器部份，該傳送器部份與該接收器部份其中之一進一步包含：
 - a. 一鎖相迴圈控制電路；
 - b. 一連接至該鎖相迴圈控制電路之相位旋轉器電路；
 - c. 一連接至該相位旋轉器電路之相位緩衝器電路；與
 - d. 一連接至該相位緩衝器電路之等化驅動器電路；其中該相位旋轉器電路是配置成為自鎖相迴圈控制電路取得一時脈相位，且模偏移該時脈相位成為一所要之相位角。
2. 如申請專利範圍第1項之統一序列連結系統，其中鎖相迴圈控制電路進一步包含第一迴圈，該第一迴圈包含：
 - a. 一電壓控制振盪器，該電壓控制振盪器連接至相位旋轉器電路，且是配置成為接收一粗控制電壓信號與一細控制電壓信號，及產生相位旋轉器之時脈相位與一電壓控制振盪器信號；
 - b. 一連接至電壓控制振盪器以接收電壓控制振盪器信號之頻率除法器，該頻率除法器是配置成為產生一頻率除法器輸出；
 - c. 一連接至頻率除法器之相位頻率偵測器，該相位頻率偵測器是配置成為接收頻率除法器輸出，及產生一相位頻率偵測器輸出；
 - d. 一連接至相位頻率偵測器之充電幫浦，該充電幫浦是配置成為接收相位頻率偵測器輸出，及產生一充

六、申請專利範圍

電幫浦輸出；與

- e. 一連接至充電幫浦與電壓控制振盪器之多極點迴圈濾波器，該多極點迴圈濾波器是配置成為接收充電幫浦輸出，及產生電壓控制振盪器之細控制電壓信號。
3. 如申請專利範圍第2項之統一序列連結系統，其中鎖相迴圈控制電路進一步包含第二迴圈，該第二迴圈包含：
- a. 一電壓比較器，該電壓比較器連接至多極點迴圈濾波器，且是配置成為接收細控制電壓信號；
 - b. 一參考產生器，該參考產生器連接至電壓比較器，且是配置成為產生一參考信號；其中該電壓比較器根據細控制電壓信號與參考信號來產生一比較器輸出；
 - c. 一連接至比較器之鎖相迴圈控制邏輯電路，該鎖相迴圈控制邏輯電路是配置成為取樣比較器輸出，及產生一控制邏輯輸出；
 - d. 一連接至鎖相迴圈控制邏輯電路之數位至類比轉換器，該數位至類比轉換器是配置成為接收控制邏輯輸出，及產生一控制電壓輸出；
 - e. 一連接至數位至類比轉換器與電壓控制振盪器之低通濾波器，該低通濾波器是配置成為接收控制電壓輸出，及產生粗控制電壓信號。
4. 如申請專利範圍第3項之統一序列連結系統，其中電壓控制振盪器是一雙重延遲電壓控制振盪器，其中包含負扭

六、申請專利範圍

曲延遲路徑與正常延遲路徑。

5. 如申請專利範圍第4項之統一序列連結系統，其中電壓控制振盪器進一步包含多個可調整之延遲細胞，該等延遲細胞是配置成為具有一可調整之延遲，且該延遲是自大約80 ps至大約125 ps。
6. 如申請專利範圍第1項之統一序列連結系統，其中相位緩衝器電路是一鎖存器緩衝器，且該鎖存器緩衝器是配置成為具有經由交叉耦合之n通道裝置之正回授。
7. 如申請專利範圍第1項之統一序列連結系統，其中相位緩衝器電路包含一對反相器。
8. 如申請專利範圍第2項之統一序列連結系統，其中多極點濾波器進一步包含一漣波電容器與一迴圈濾波器電容器，其中該漣波電容器是配置成為衰減充電幫浦之漣波，且該迴圈濾波器電容器是配置成為穩定充電幫浦之輸出及設定一主極點。
9. 如申請專利範圍第6項之統一序列連結系統，其中鎖存器緩衝器包含至少一CMOS，正邊緣觸發之鎖存器電路取樣鎖存器。
10. 一種提供一統一序列連結之方法，該方法包含下列步驟：
 - a. 提供一鎖相迴圈控制電路；
 - b. 該鎖相迴圈控制電路產生一時脈相位；
 - c. 連接一相位旋轉器電路至該鎖相迴圈控制電路；
 - d. 該相位旋轉器電路接收來自該鎖相迴圈控制電路之時脈相位；

六、申請專利範圍

- e. 該相位旋轉器電路模偏移該時脈相位成為一所要之相位角；
 - f. 連接一相位緩衝器電路至該相位旋轉器電路；與
 - g. 相位緩衝器電路緩衝相位角成為一等化驅動器。
11. 如申請專利範圍第10項之提供統一序列連結之方法，該方法進一步包含下列步驟：
- a. 提供一連接至相位旋轉器電路之電壓控制振盪器；
 - b. 提供一細控制電壓信號輸入至電壓控制振盪器；
 - c. 電壓控制振盪器產生一通往相位旋轉器之時脈相位與一電壓控制振盪器信號；
 - d. 提供一連接至電壓控制振盪器之頻率除法器；
 - e. 頻率除法器接收電壓控制振盪器信號；
 - f. 頻率除法器產生一頻率除法器輸出；
 - g. 提供一連接至頻率除法器之相位頻率偵測器；
 - h. 相位頻率偵測器接收頻率除法器輸出，及產生一相位頻率偵測器輸出；
 - i. 提供一連接至相位頻率偵測器之充電幫浦；
 - j. 充電幫浦接收相位頻率偵測器輸出，及產生一充電幫浦輸出；
 - k. 提供一連接至充電幫浦與電壓控制振盪器之多極點迴圈濾波器；
 - l. 多極點迴圈濾波器接收充電幫浦輸出；且
 - m. 多極點迴圈濾波器執行下列步驟：提供細控制電壓信號給電壓控制振盪器。

六、申請專利範圍

12. 如申請專利範圍第11項之提供統一序列連結之方法，進一步包含下列步驟：

- a. 提供一連接至多極點迴圈濾波器之電壓比較器；
- b. 電壓比較器接收來自迴圈濾波器之細控制電壓信號；
- c. 提供一連接至電壓比較器之參考產生器；
- d. 參考產生器提供一通往電壓比較器之參考信號；
- e. 該電壓比較器根據細控制電壓信號與參考信號來產生一比較器輸出；
- f. 提供一連接至比較器之鎖相迴圈控制邏輯電路；
- g. 鎖相迴圈控制邏輯電路取樣比較器輸出，且因而產生一控制邏輯輸出；
- h. 提供一連接至鎖相迴圈控制邏輯電路之數位至類比轉換器；
- i. 數位至類比轉換器轉換控制邏輯輸出成為一控制電壓輸出；
- j. 提供一連接至數位至類比轉換器與電壓控制振盪器之低通濾波器；
- k. 低通濾波器接收控制電壓輸出，及產生一粗控制電壓信號；與
- l. 電壓控制振盪器接收粗控制電壓信號。

13. 如申請專利範圍第11項之用以提供統一序列連結之方法，其中電壓控制振盪器是一雙重延遲電壓控制振盪器，其中包含負扭曲延遲路徑與正常延遲路徑。

14. 如申請專利範圍第13項之用以提供統一序列連結之方法

六、申請專利範圍

，該方法進一步包含下列步驟：

- a. 提供多個可調整之延遲細胞於電壓控制振盪器；與
- b. 調整該等延遲細胞，以致該等延遲細胞具有自大約80 ps至大約125 ps之延遲。

15. 如申請專利範圍第10項之用，以提供統一序列連結之方法，其中提供一相位緩衝器電路之步驟包含提供一鎖存器緩衝器，且該鎖存器緩衝器是配置成為具有經由交叉耦合之n通道裝置之正回授。

16. 如申請專利範圍第10項之用，以提供統一序列連結之方法，其中提供一相位緩衝器電路之步驟包含提供一對反相器。

17. 如申請專利範圍第11項之用，以提供統一序列連結之方法，其中提供一多極點濾波器之步驟進一步包含下列步驟：

- a. 提供一漣波電容器；
- b. 該漣波電容器衰減充電幫浦漣波；
- c. 提供一迴圈濾波器電容器；與
- d. 該迴圈濾波器電容器穩定充電幫浦輸出及設定一主極點。

18. 如申請專利範圍第15項之用，以提供統一序列連結之方法，進一步包含下列步驟：提供至少一CMOS，正邊緣觸發之鎖存器電路取樣鎖存器於鎖存器緩衝器內。



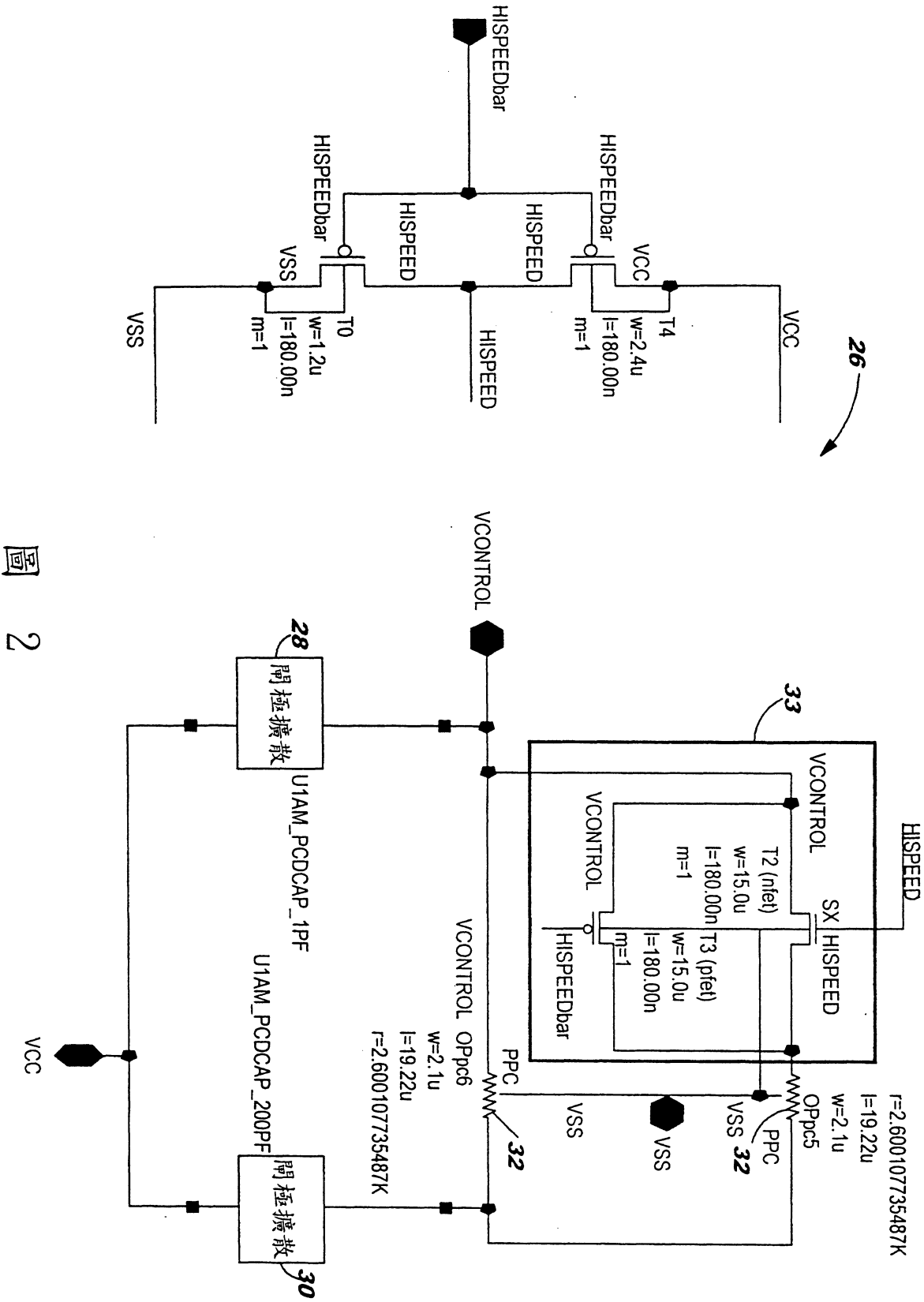


圖 2

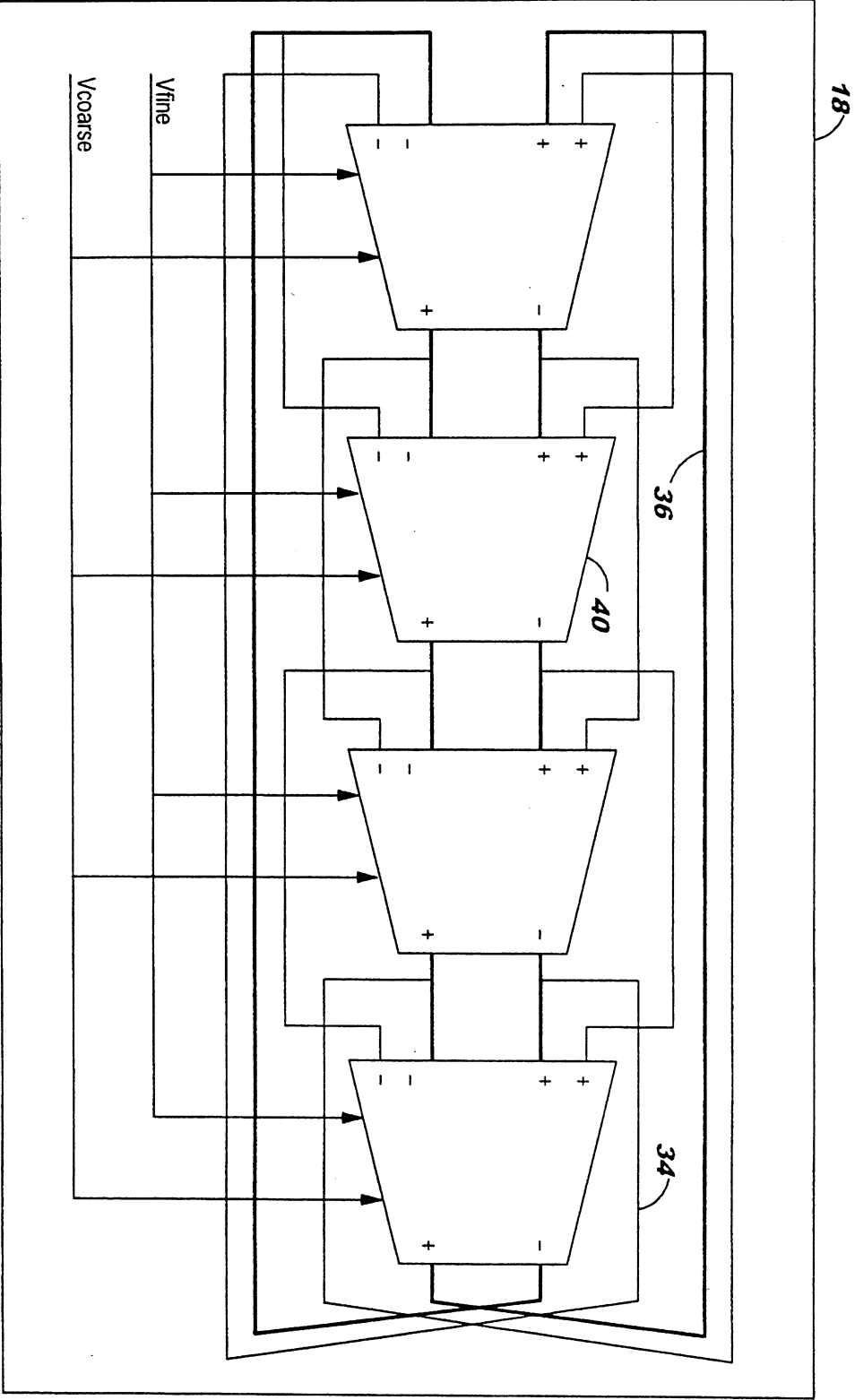
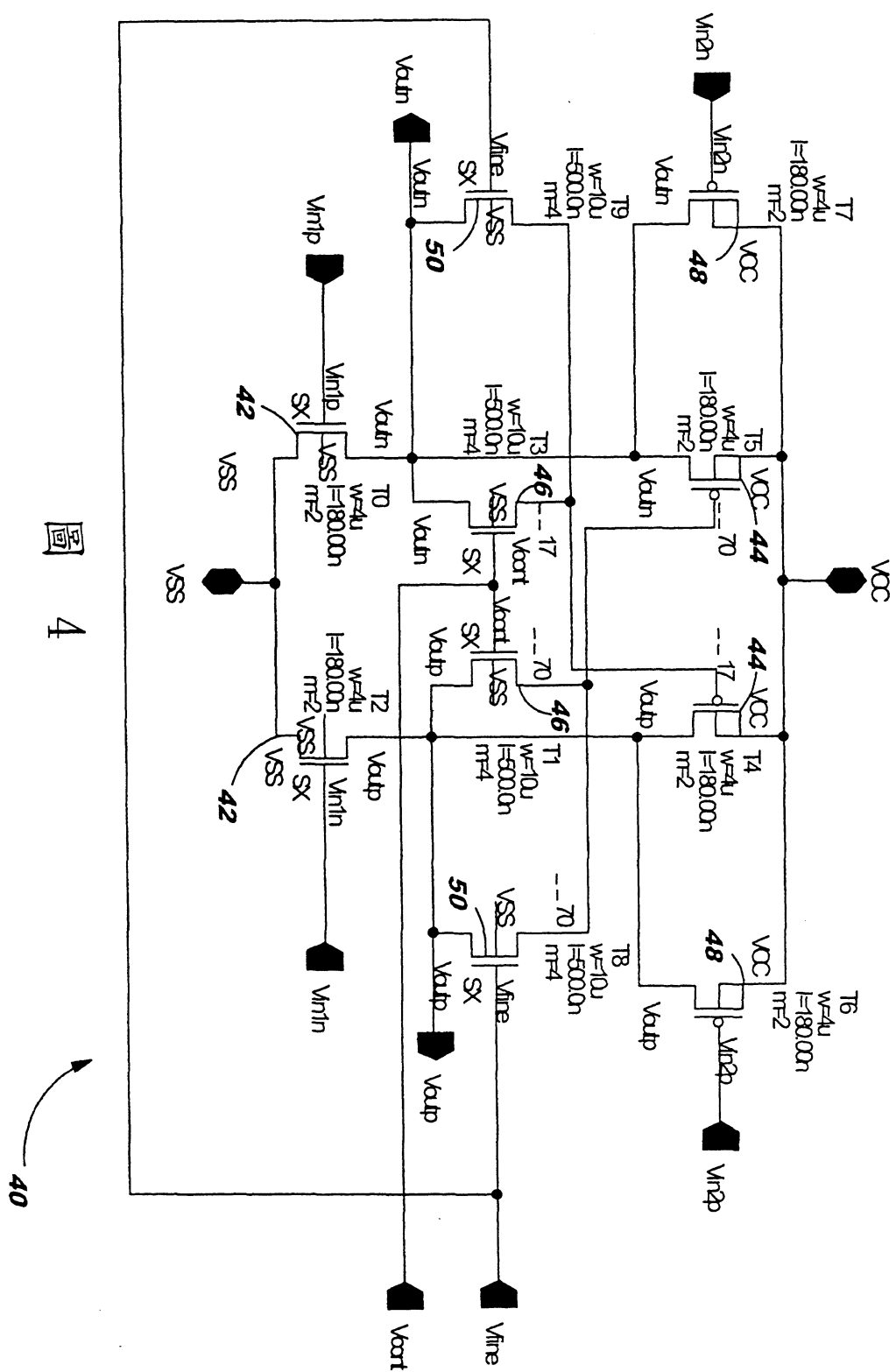
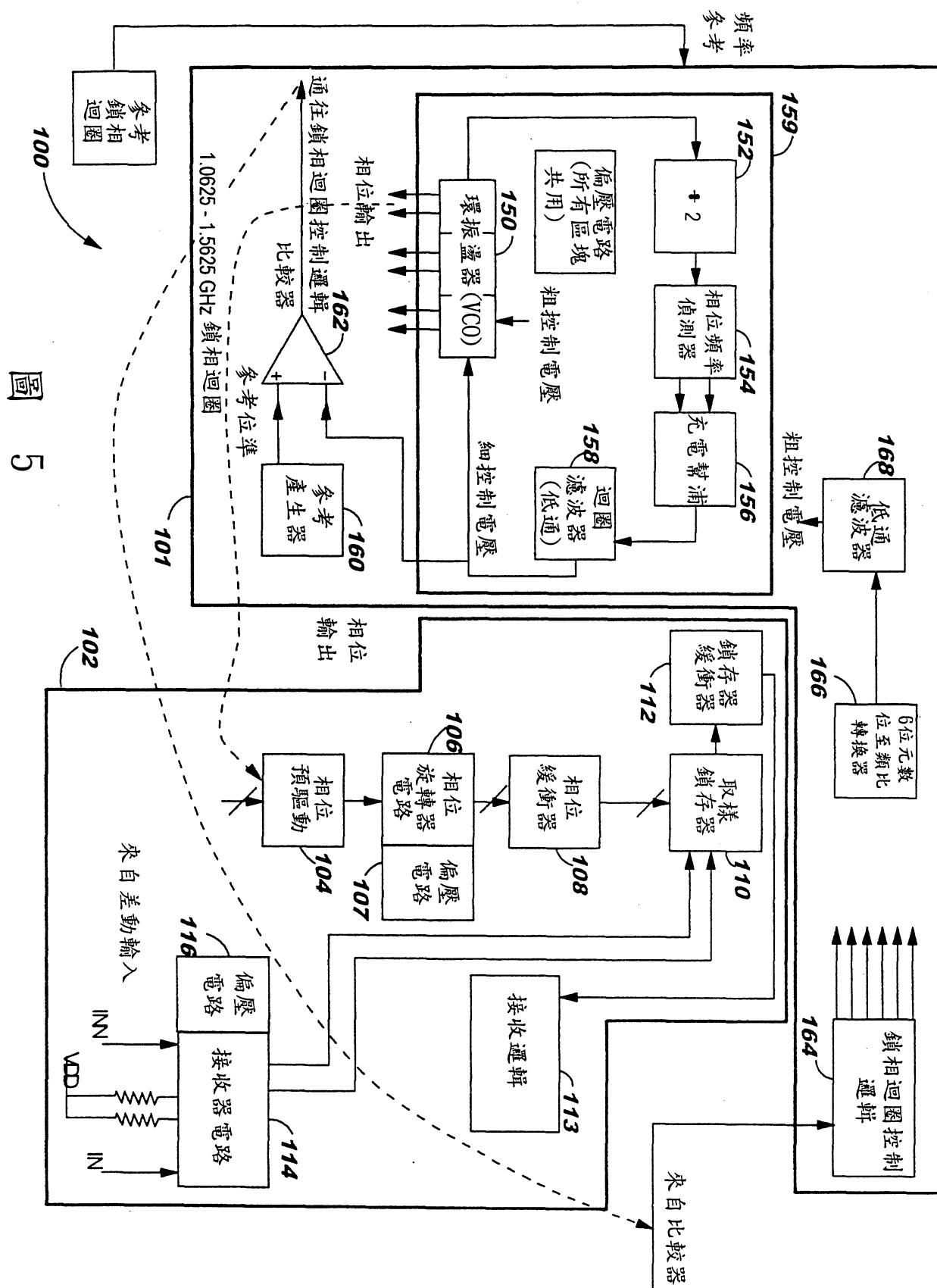


圖 3





回
六

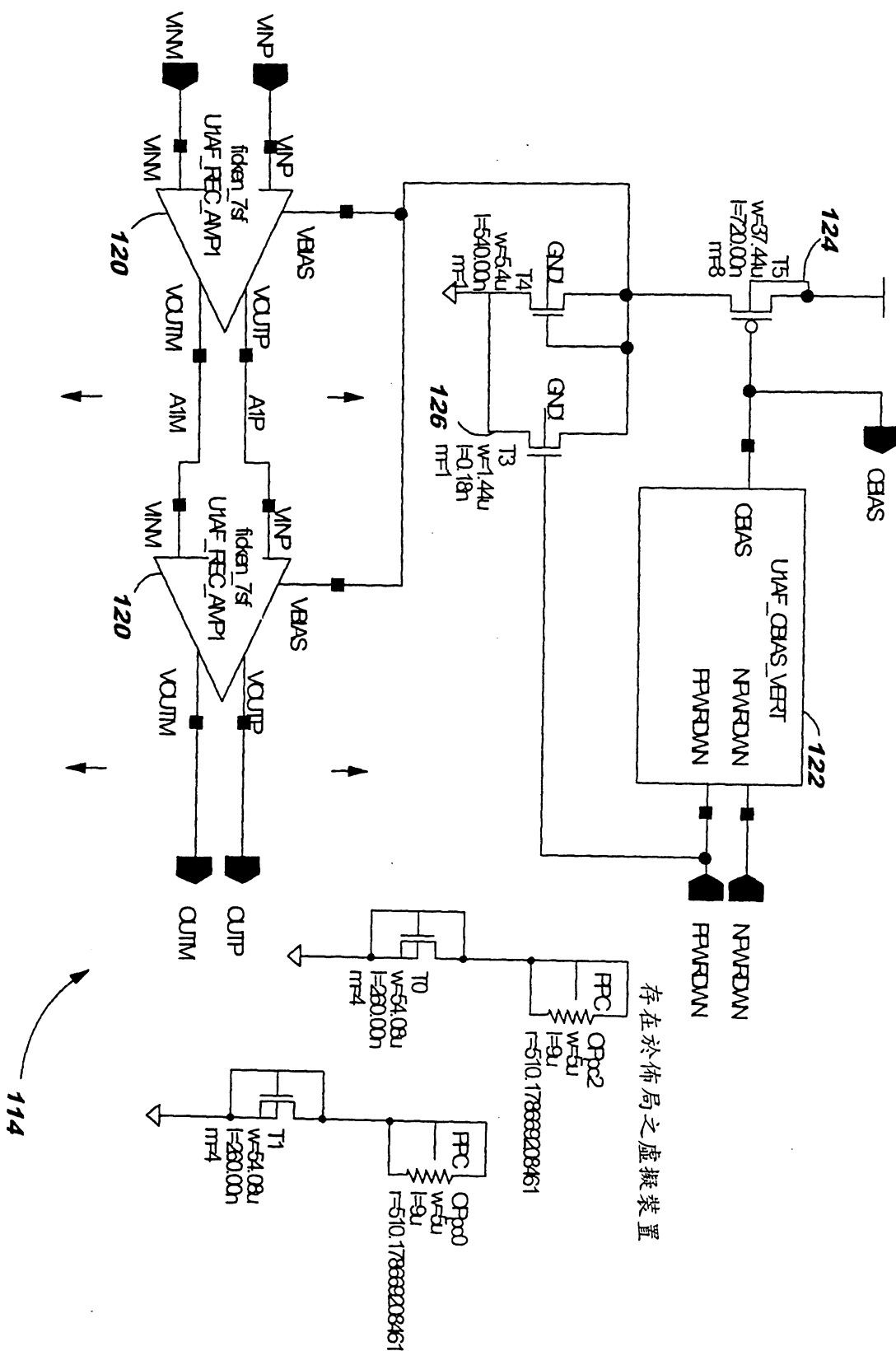


圖 6

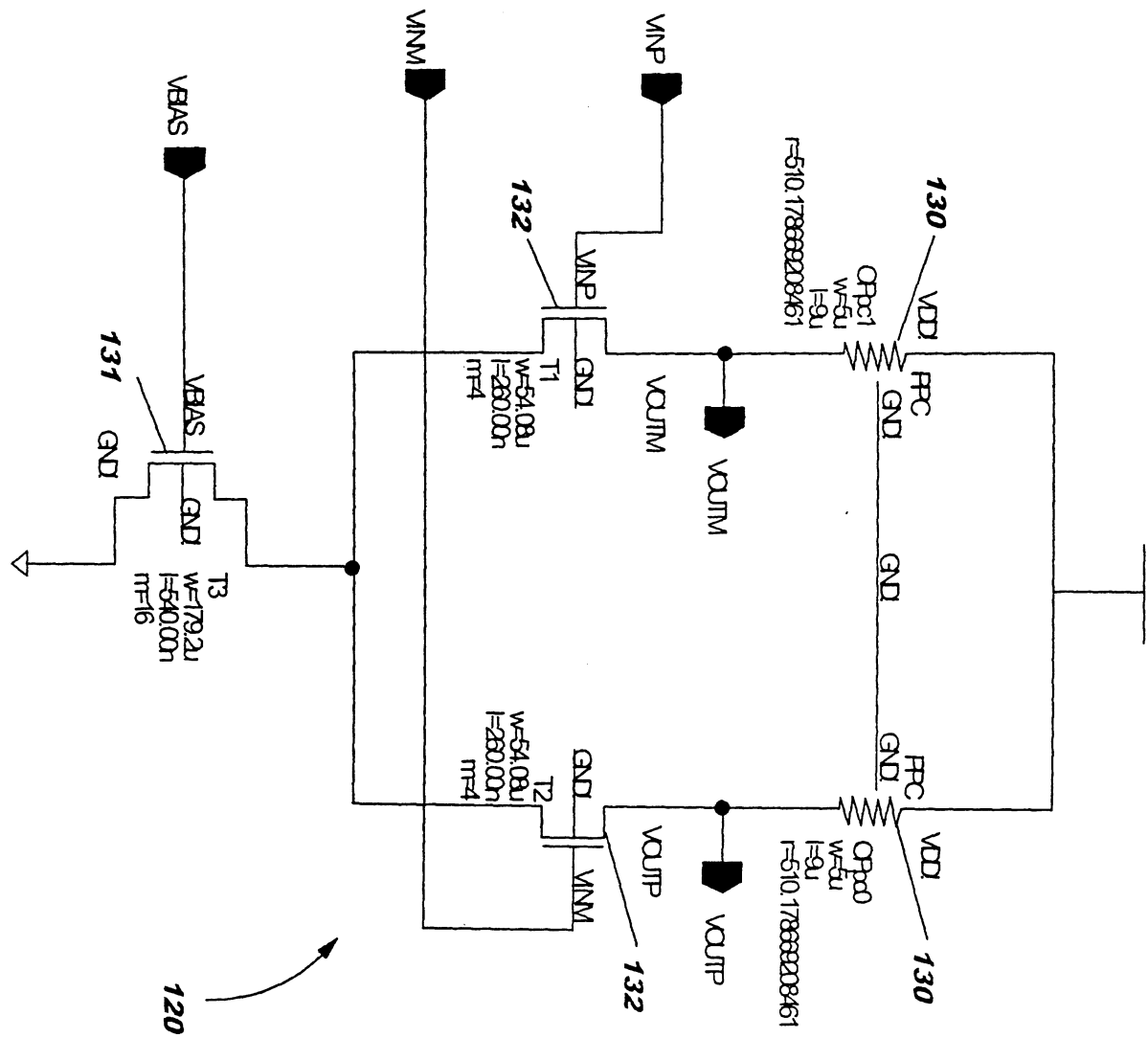


圖 7

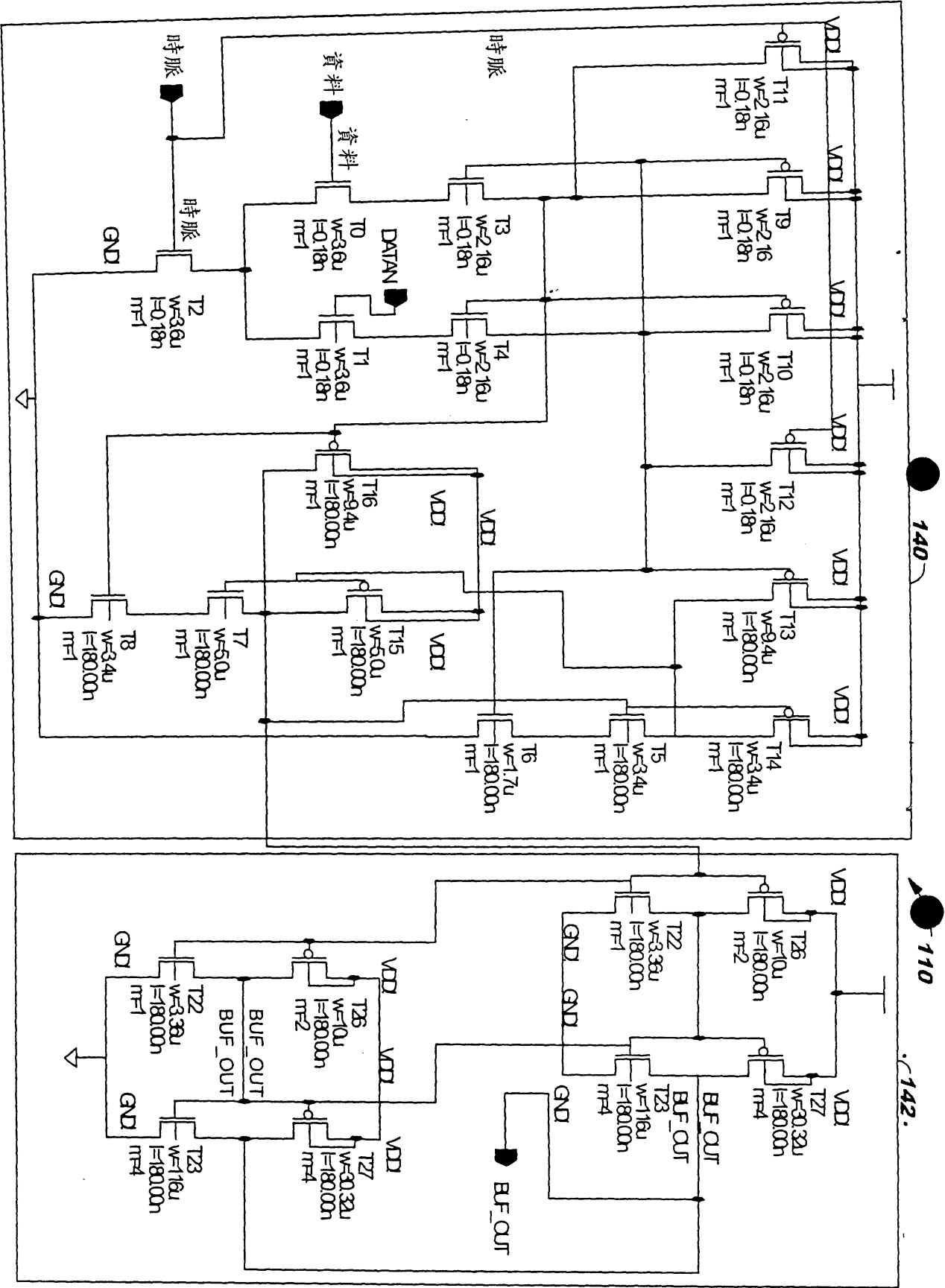


圖 8

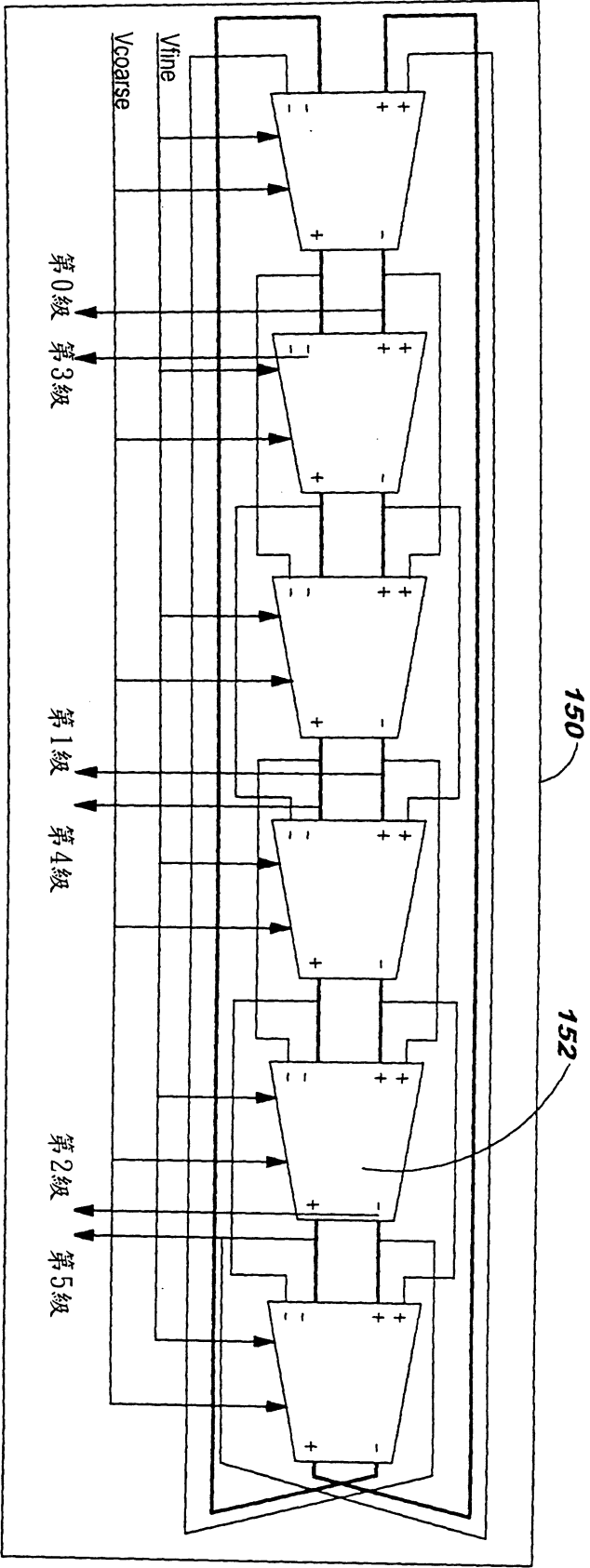


圖 9



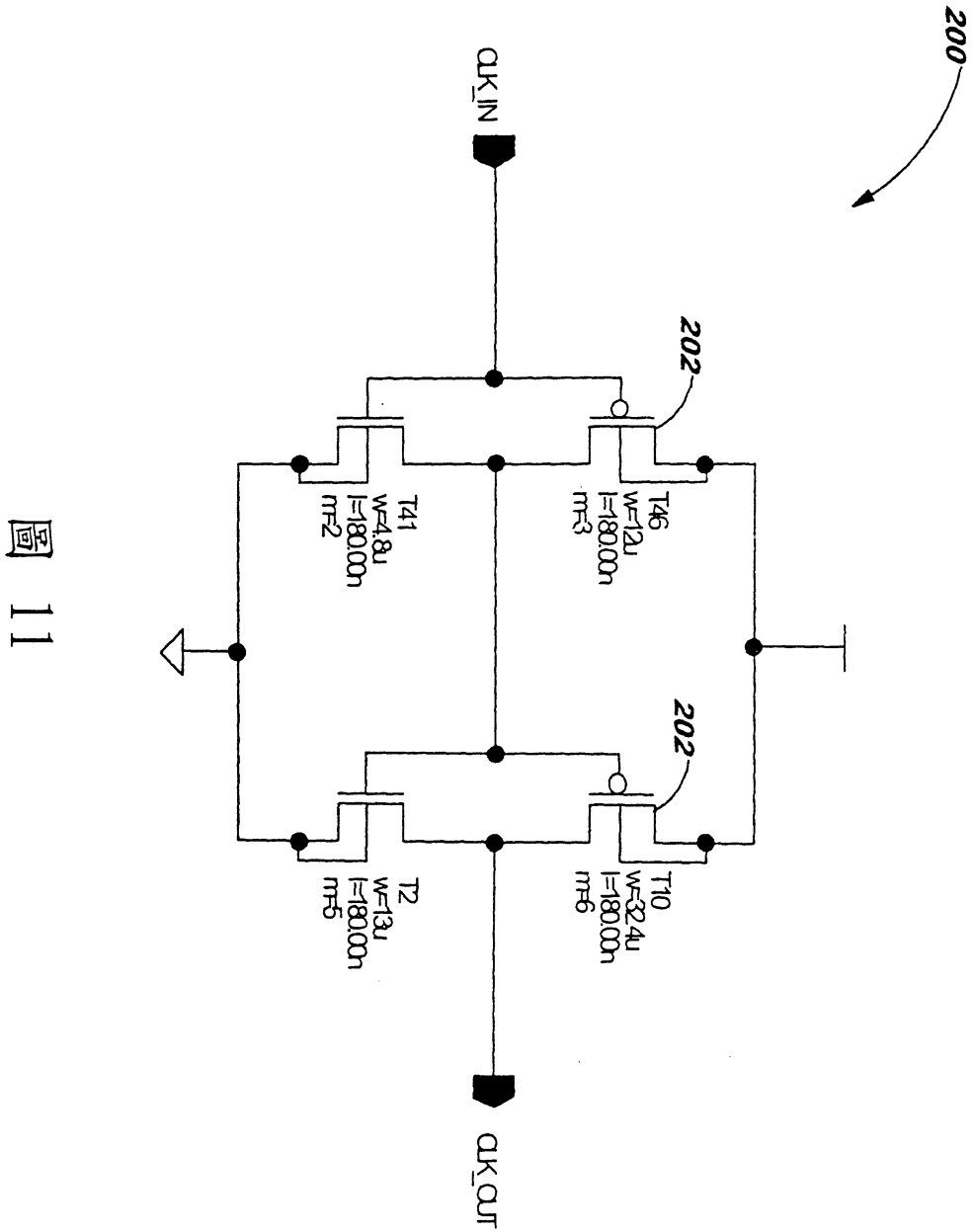


圖 11

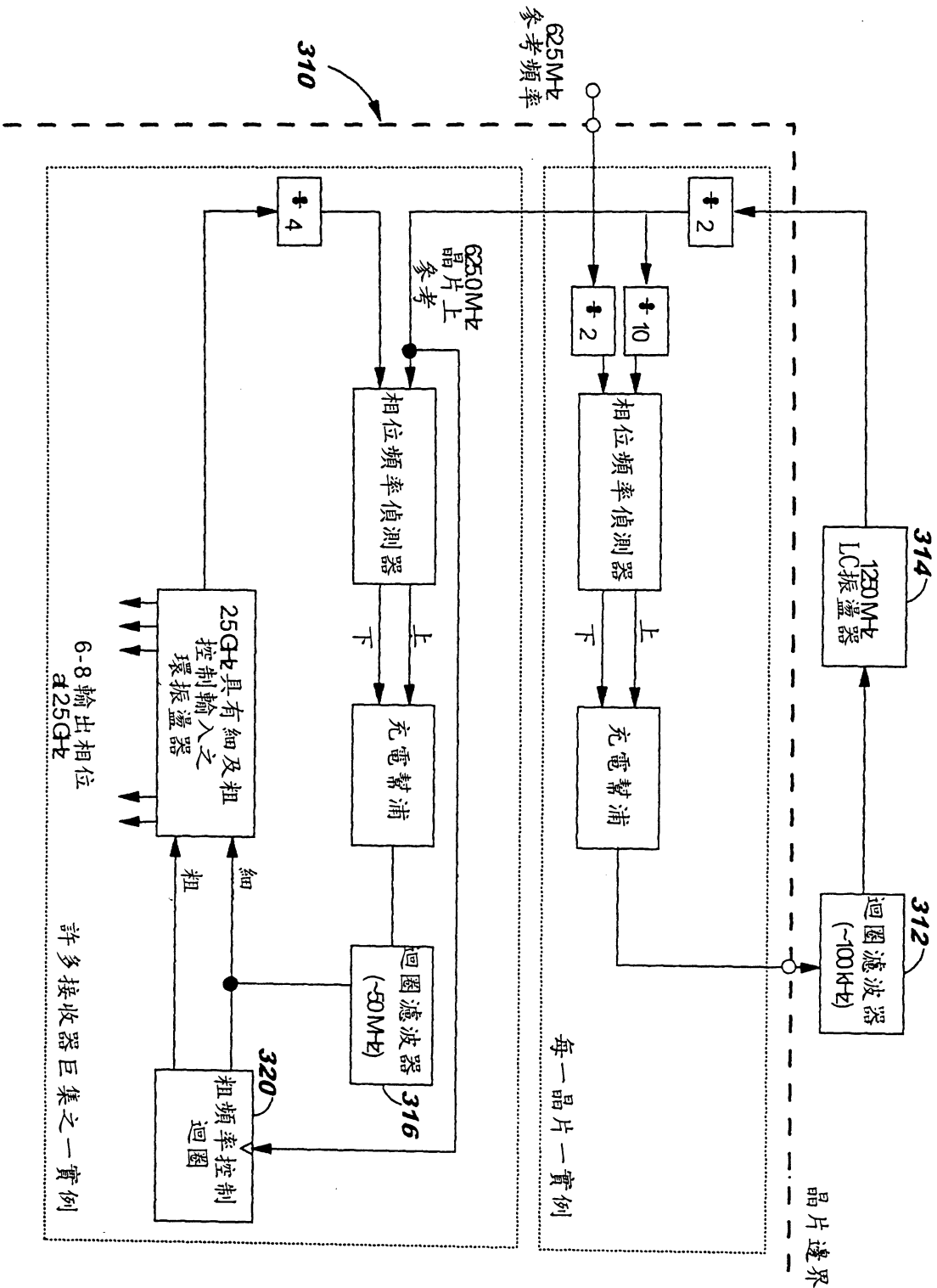
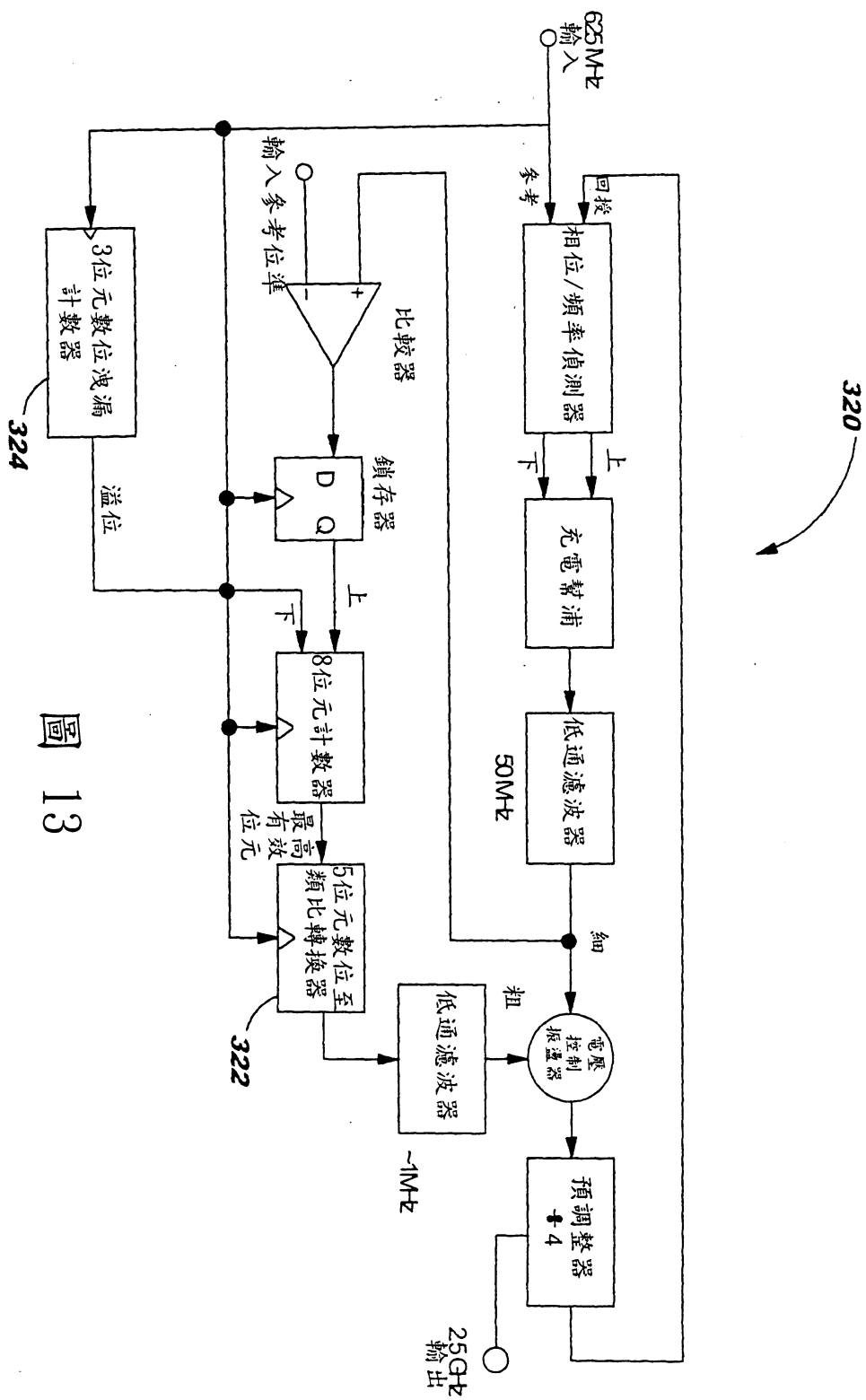
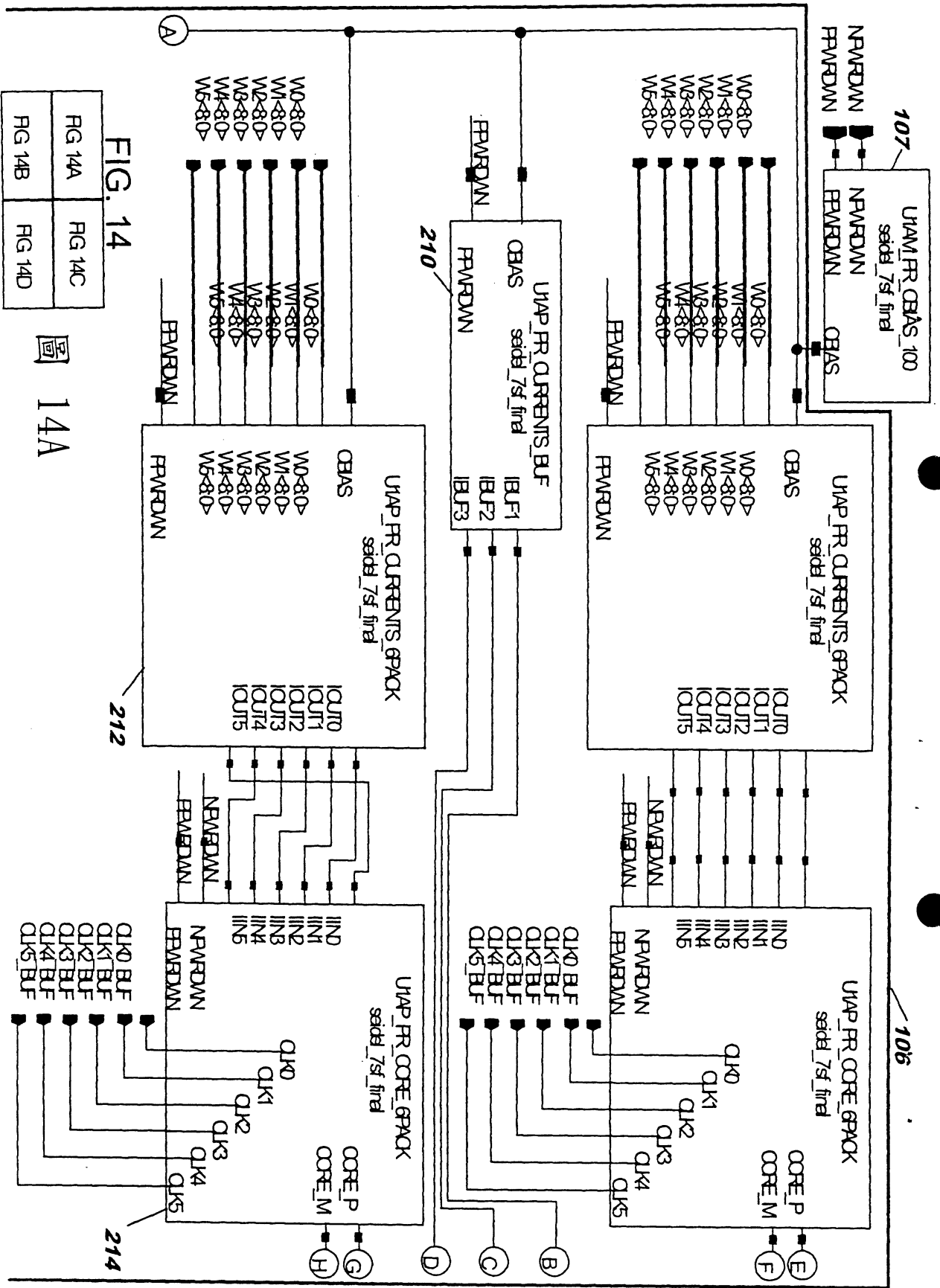


圖 12





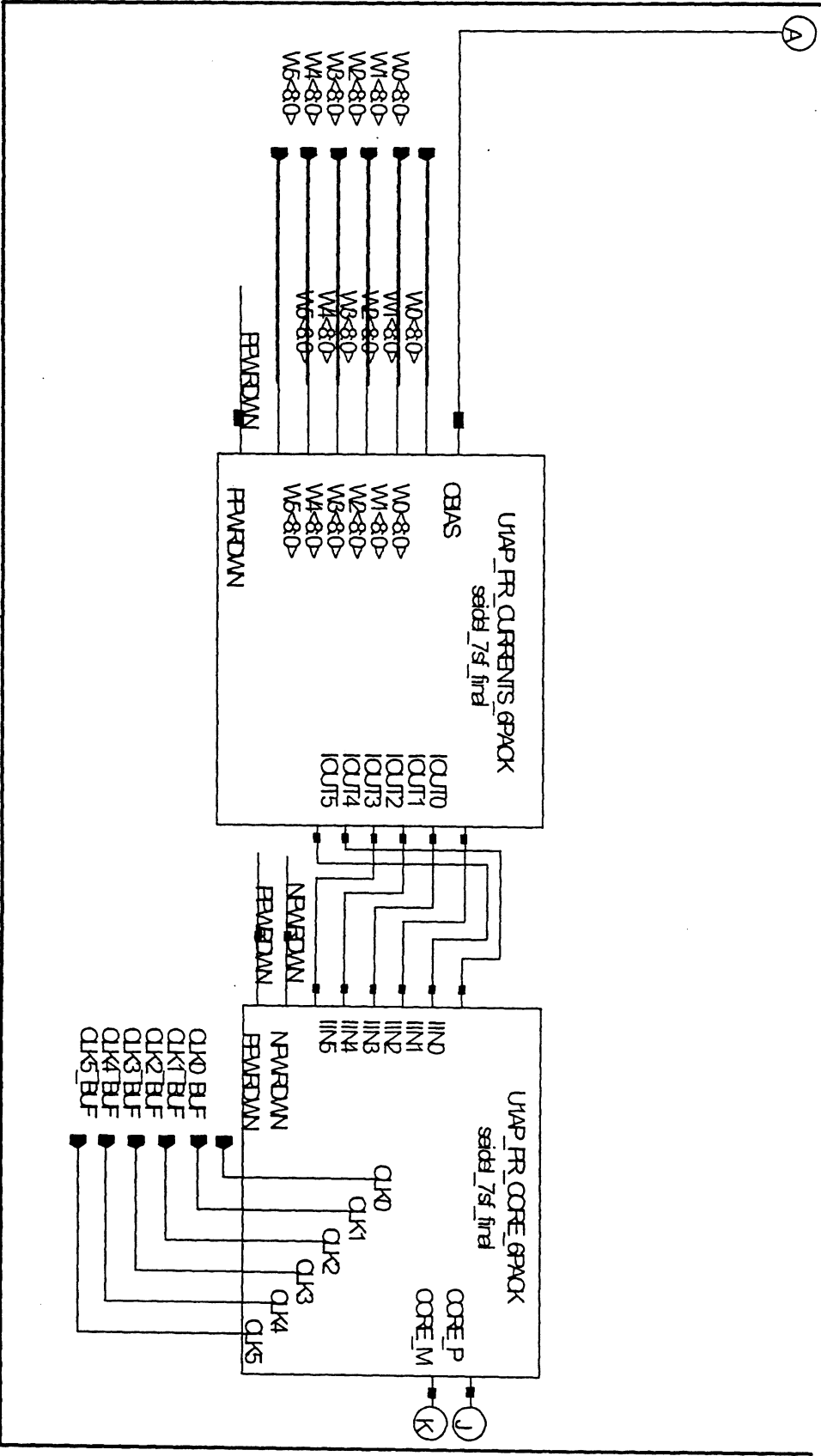


圖 14B

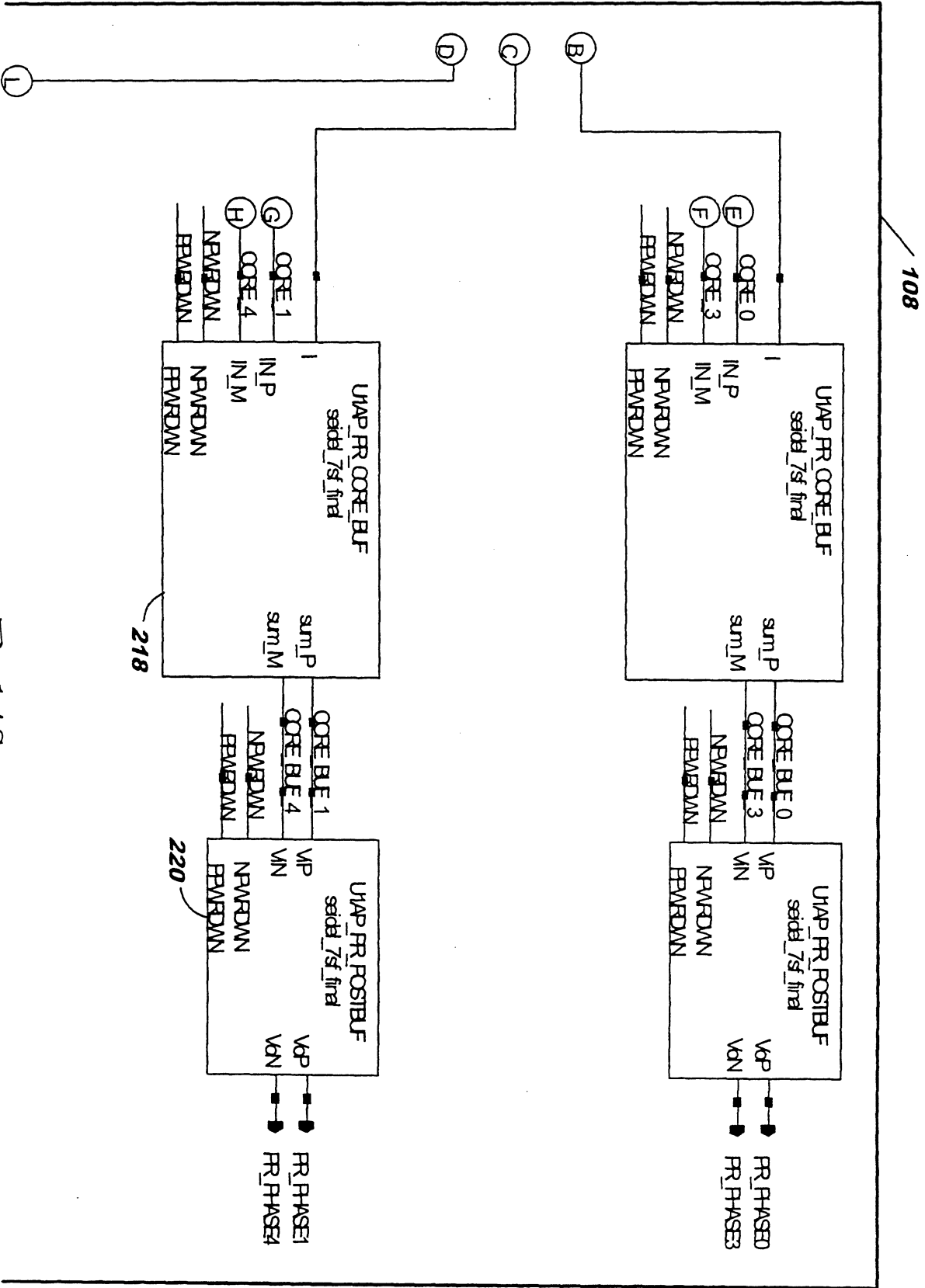


圖 14C

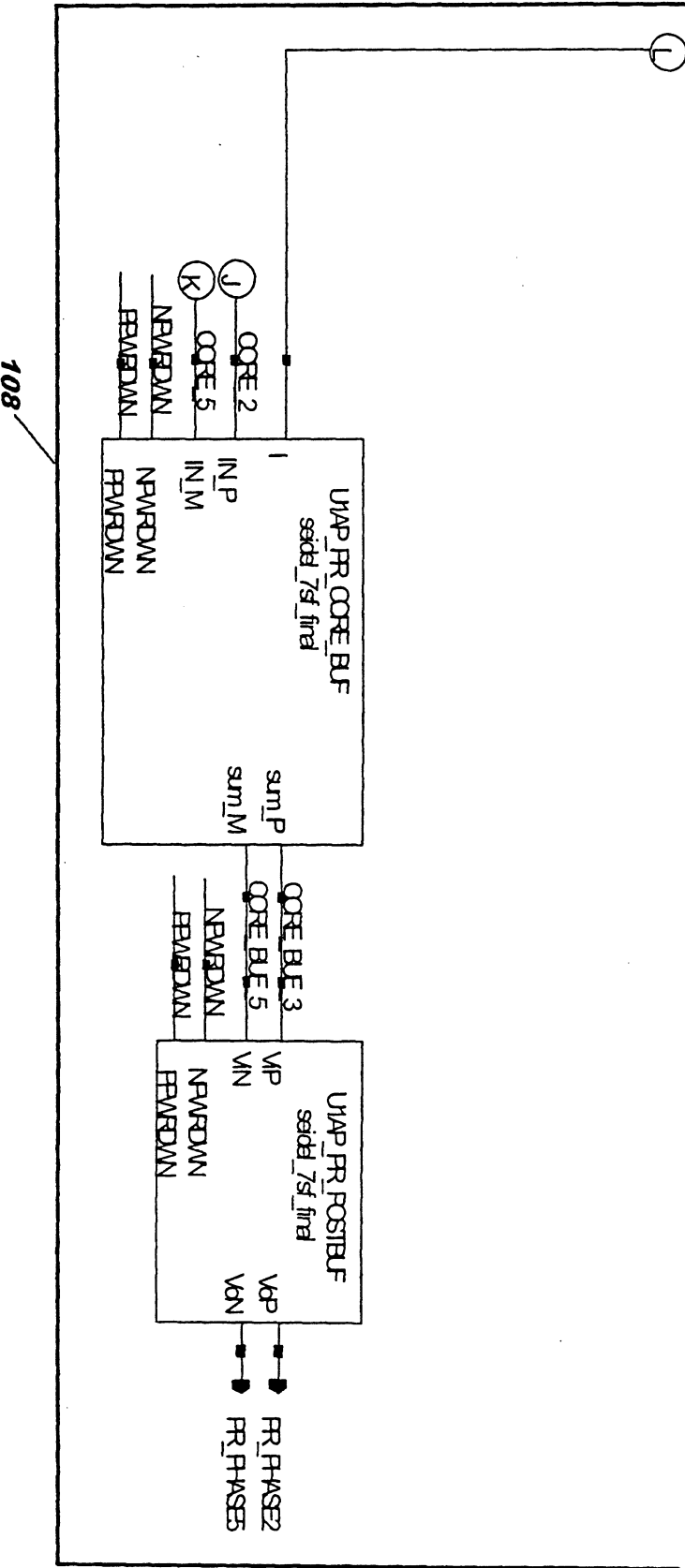
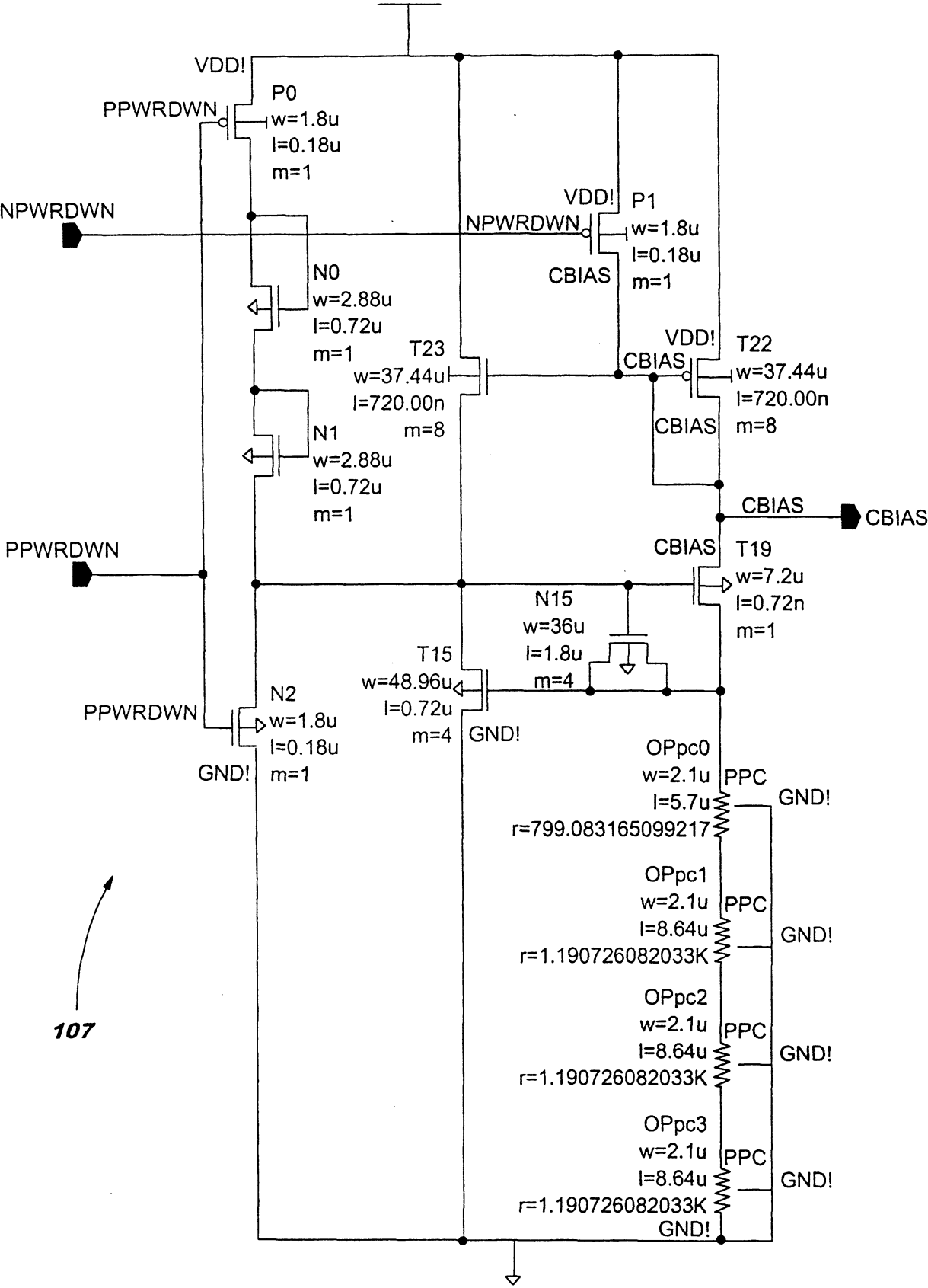


圖 14D



107

圖 15

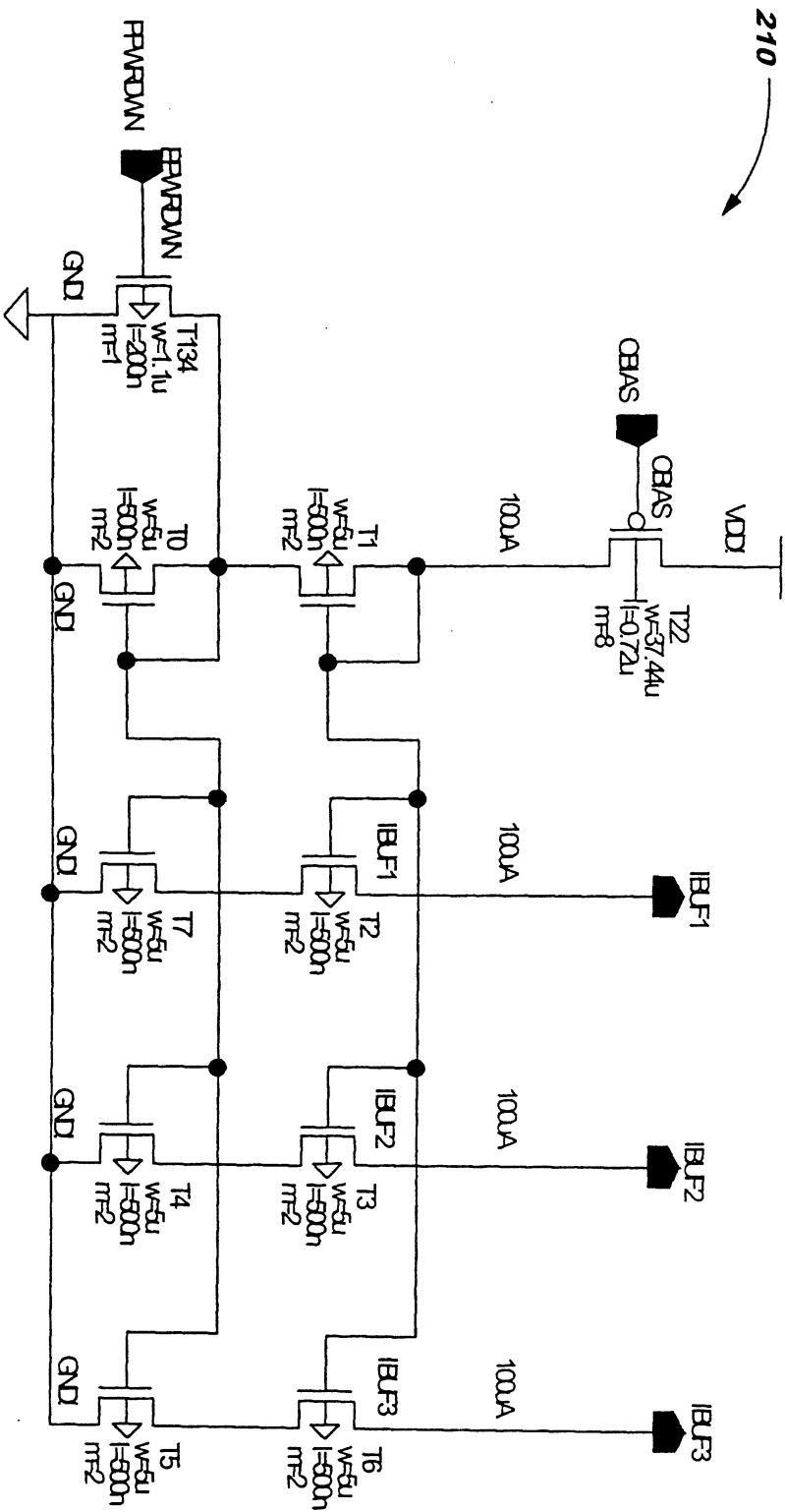


圖 16

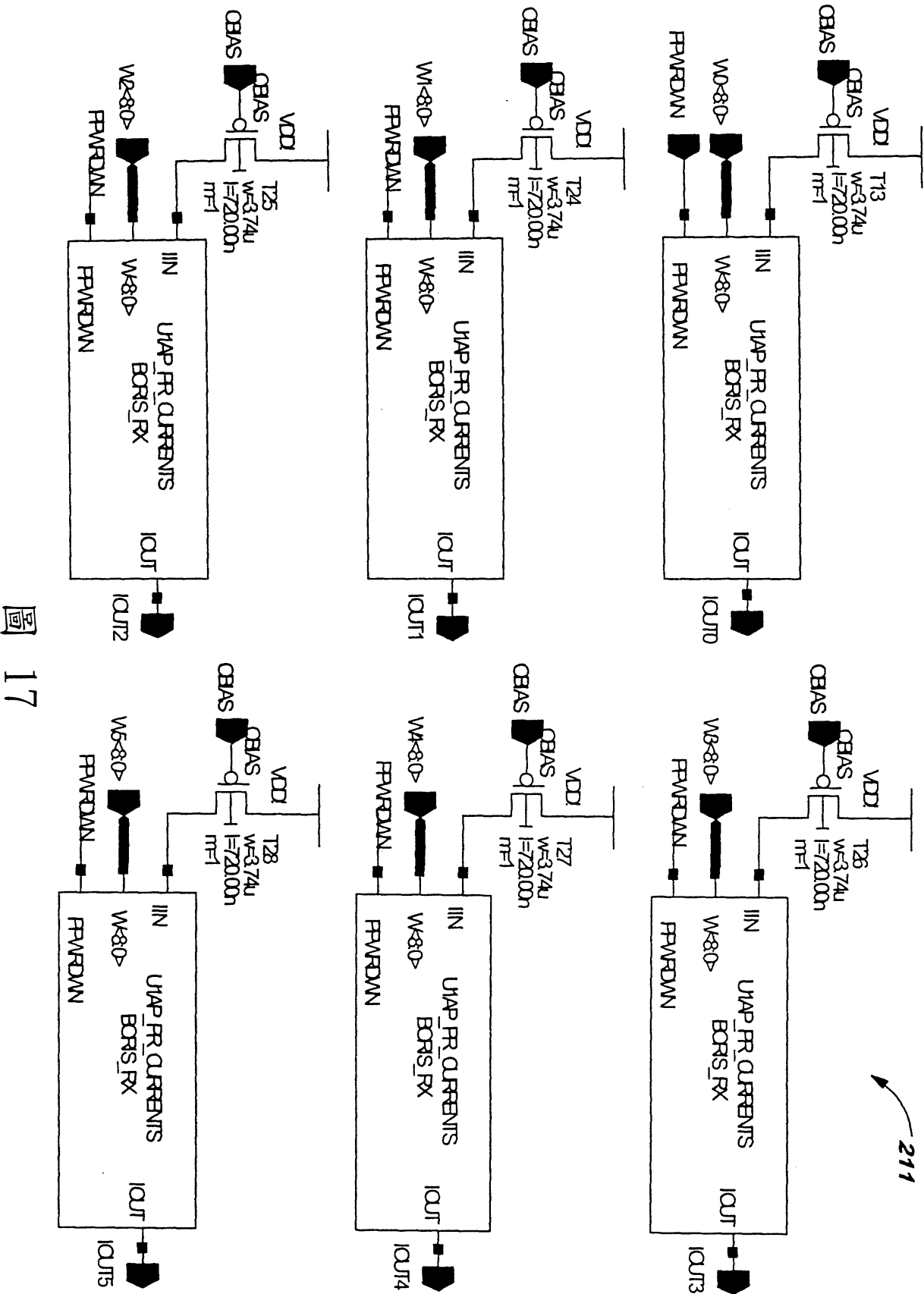


圖 17

211

FIG 18A FIG 18B

圖 18

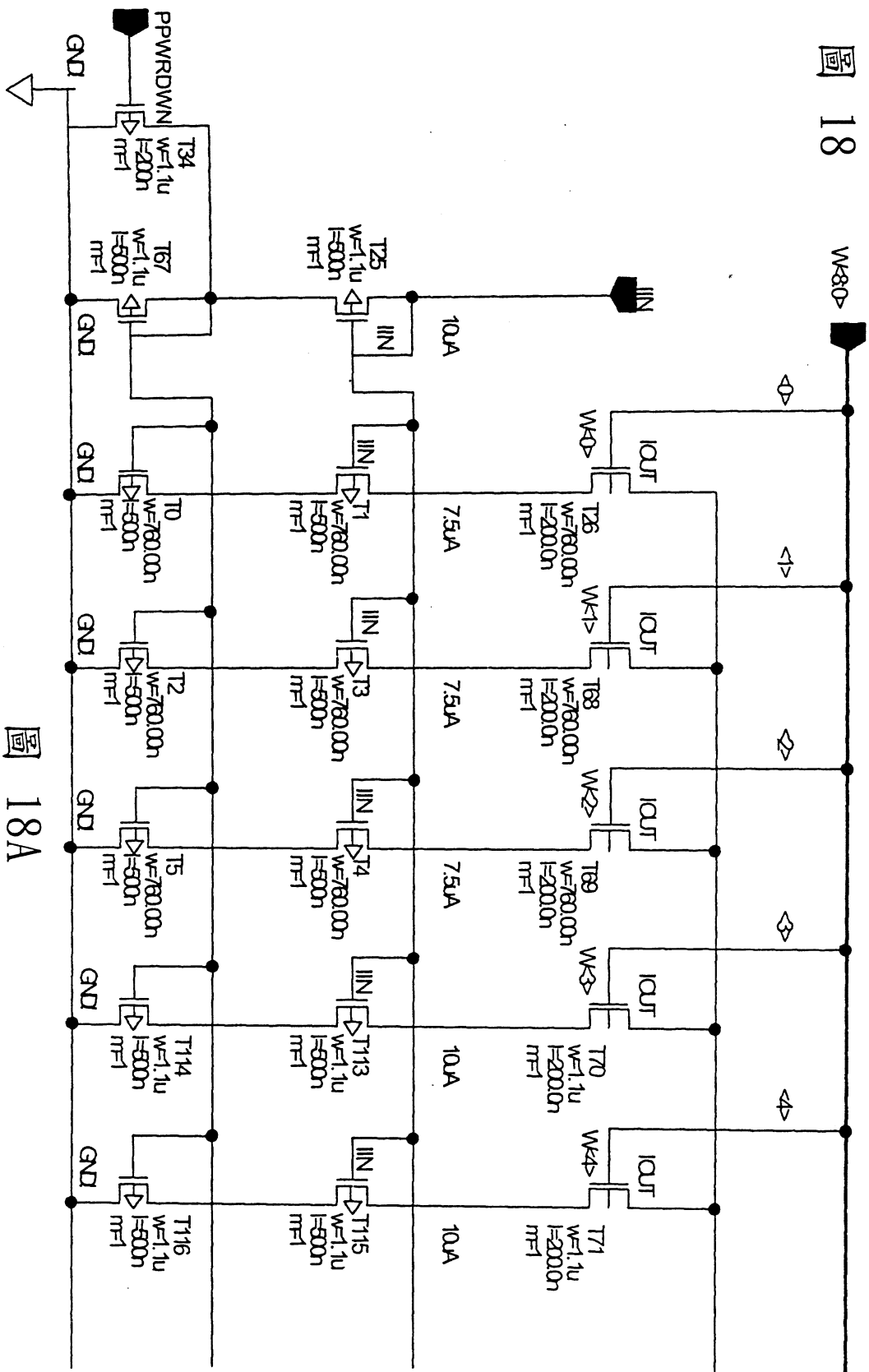
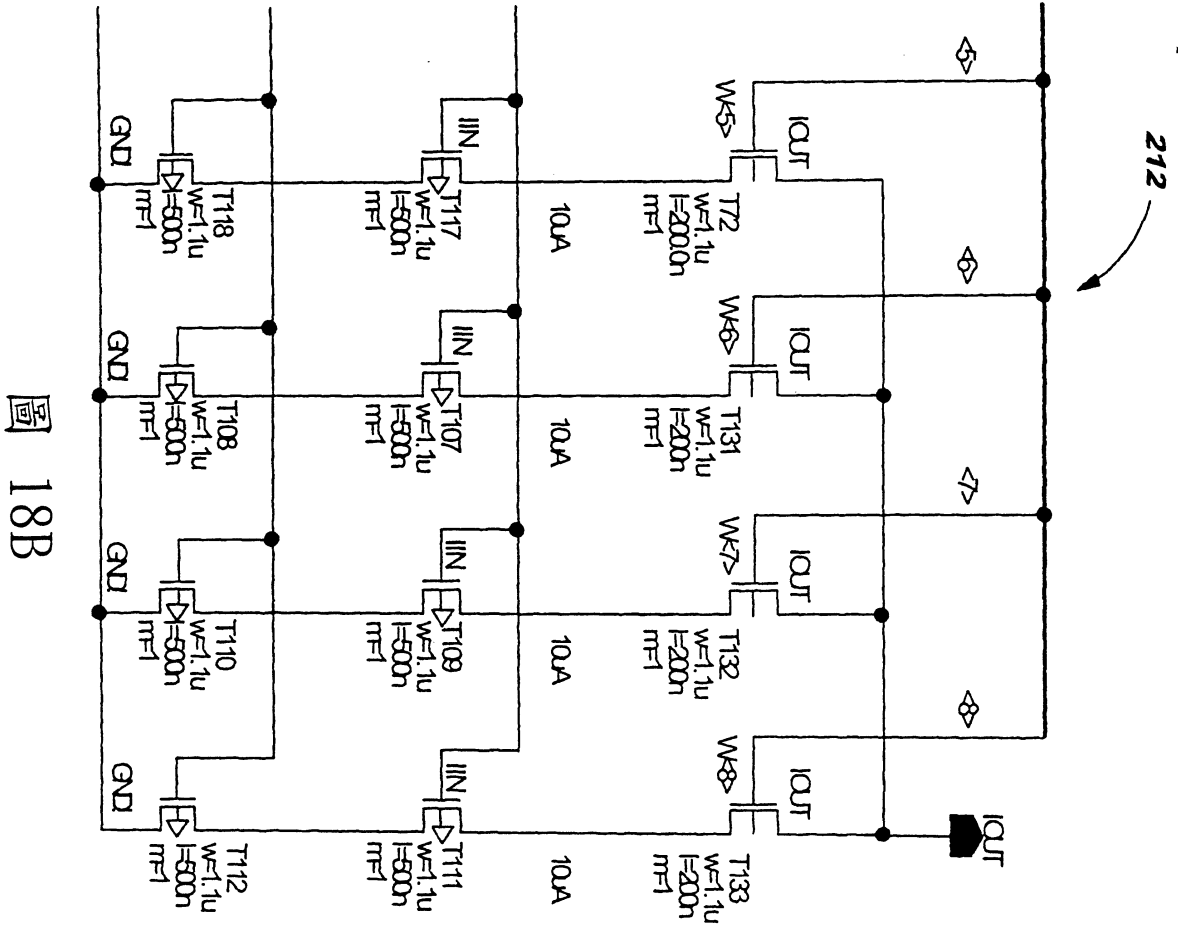


圖 18A

211



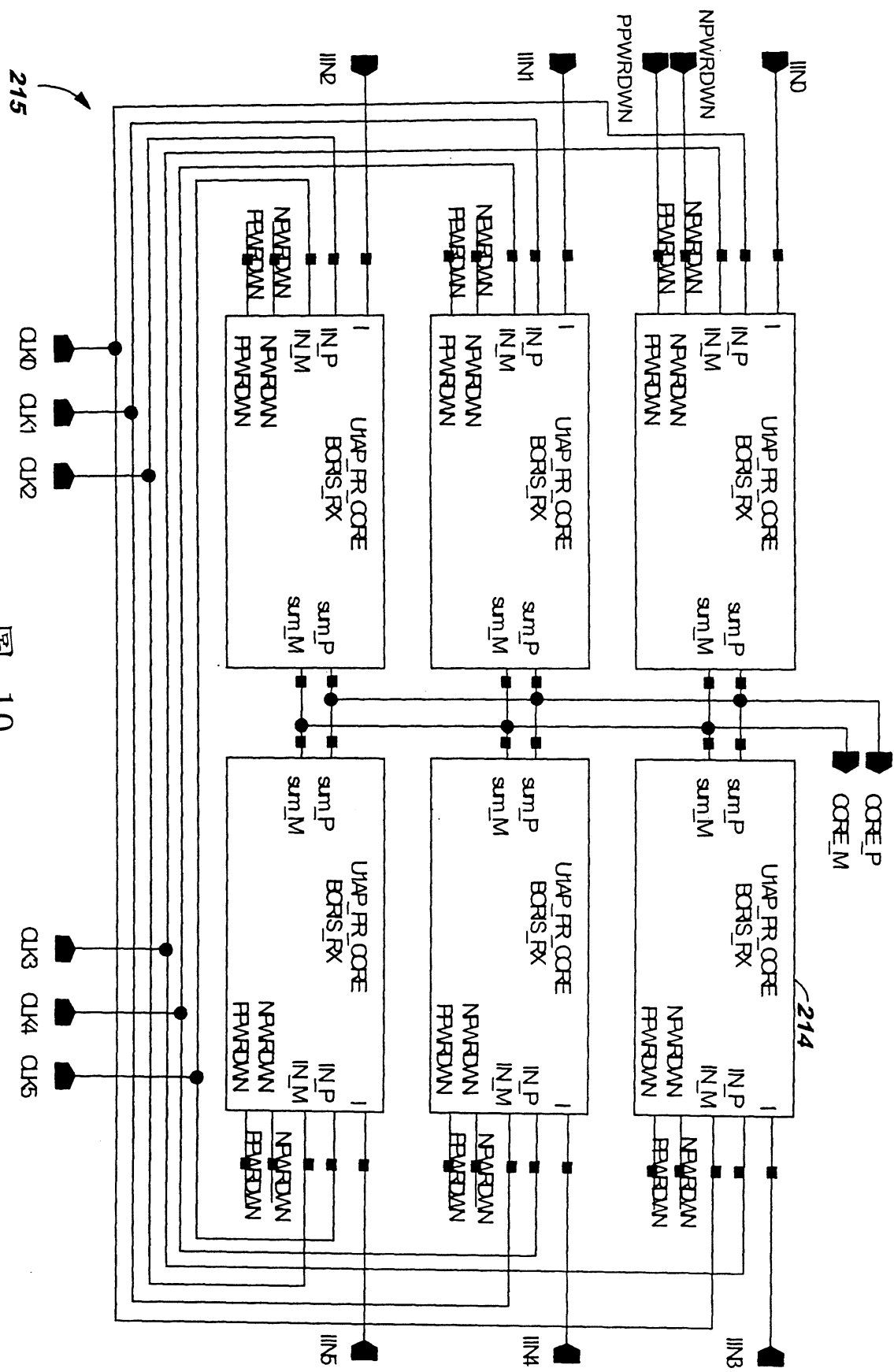


圖 19

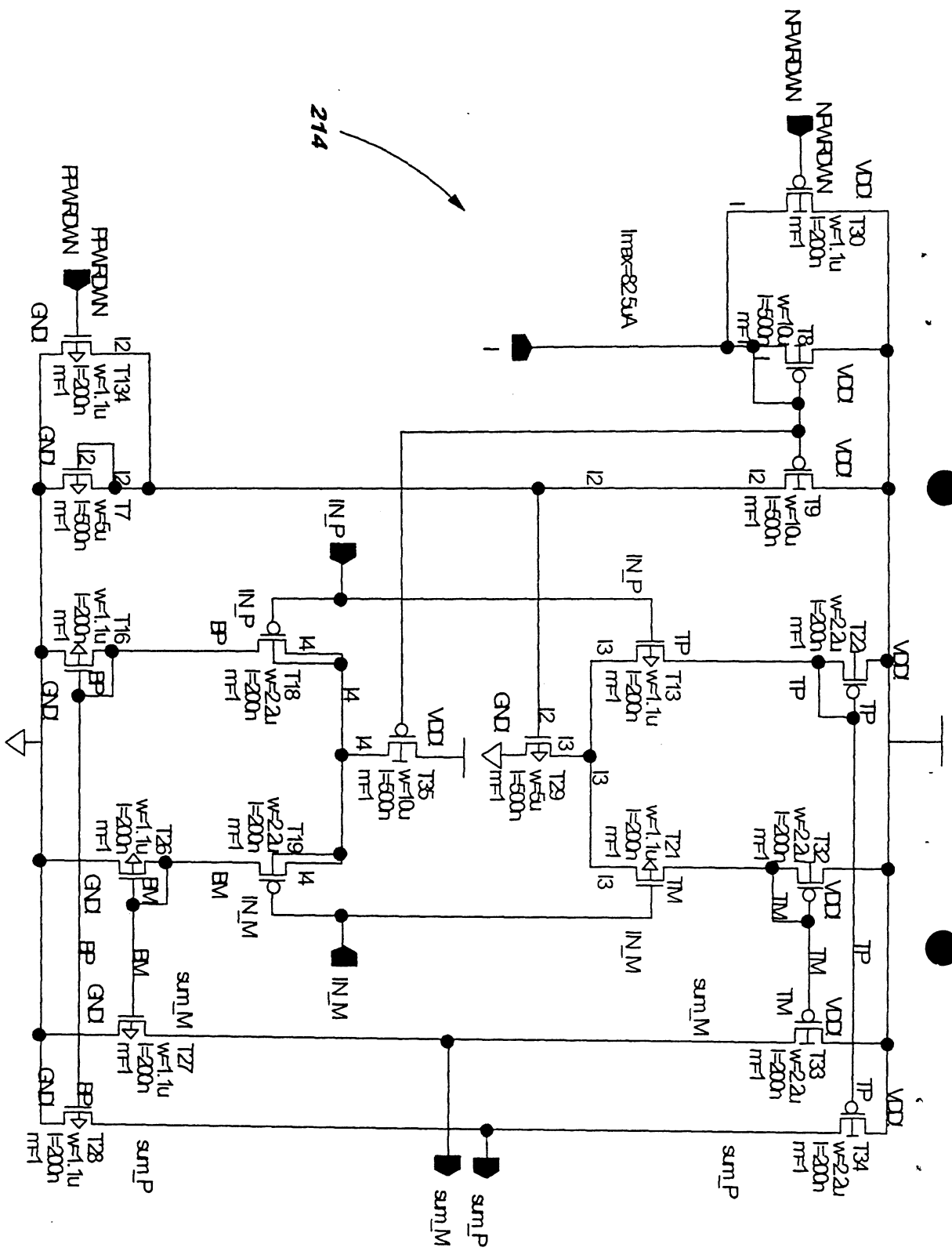


圖 20

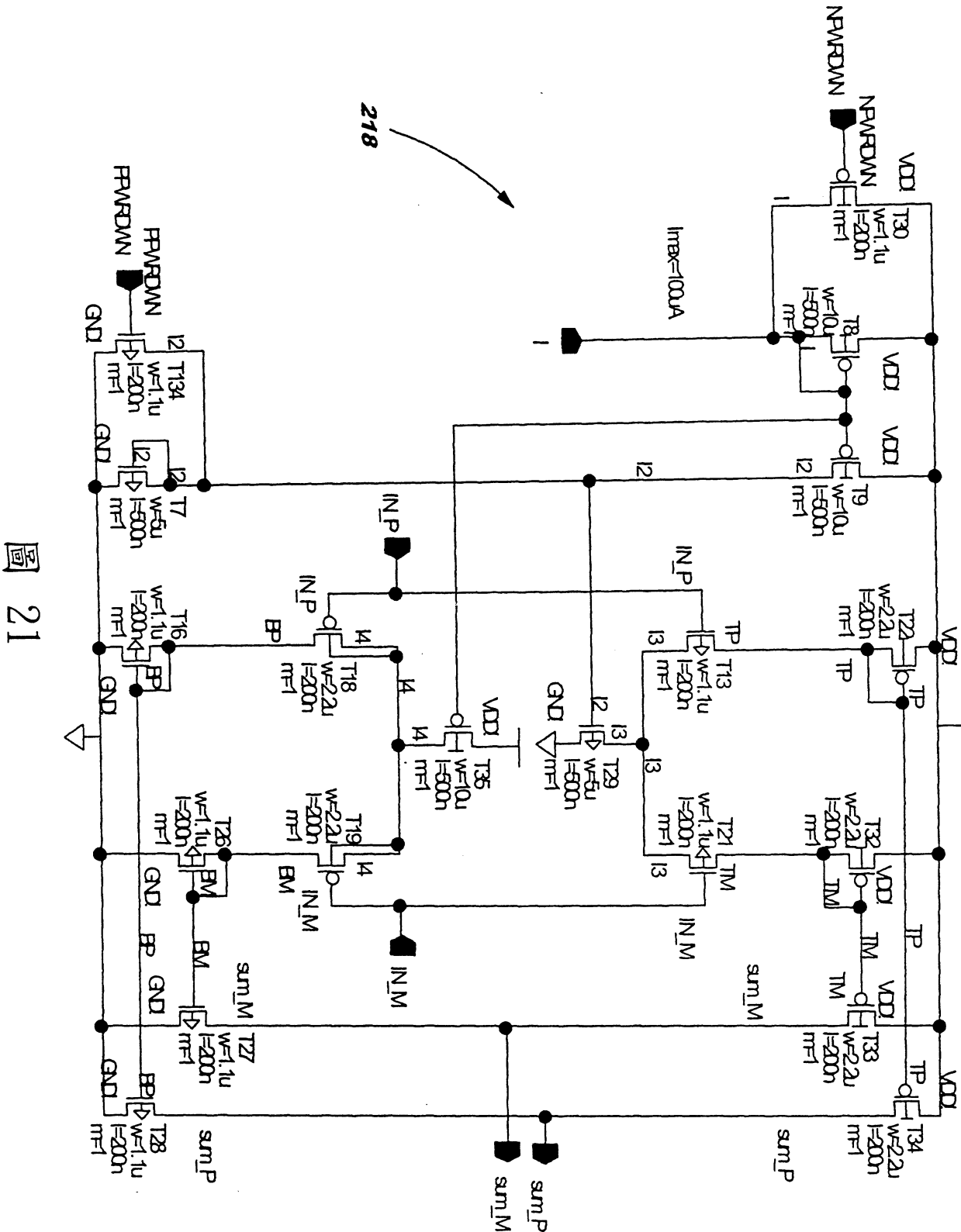


圖 21

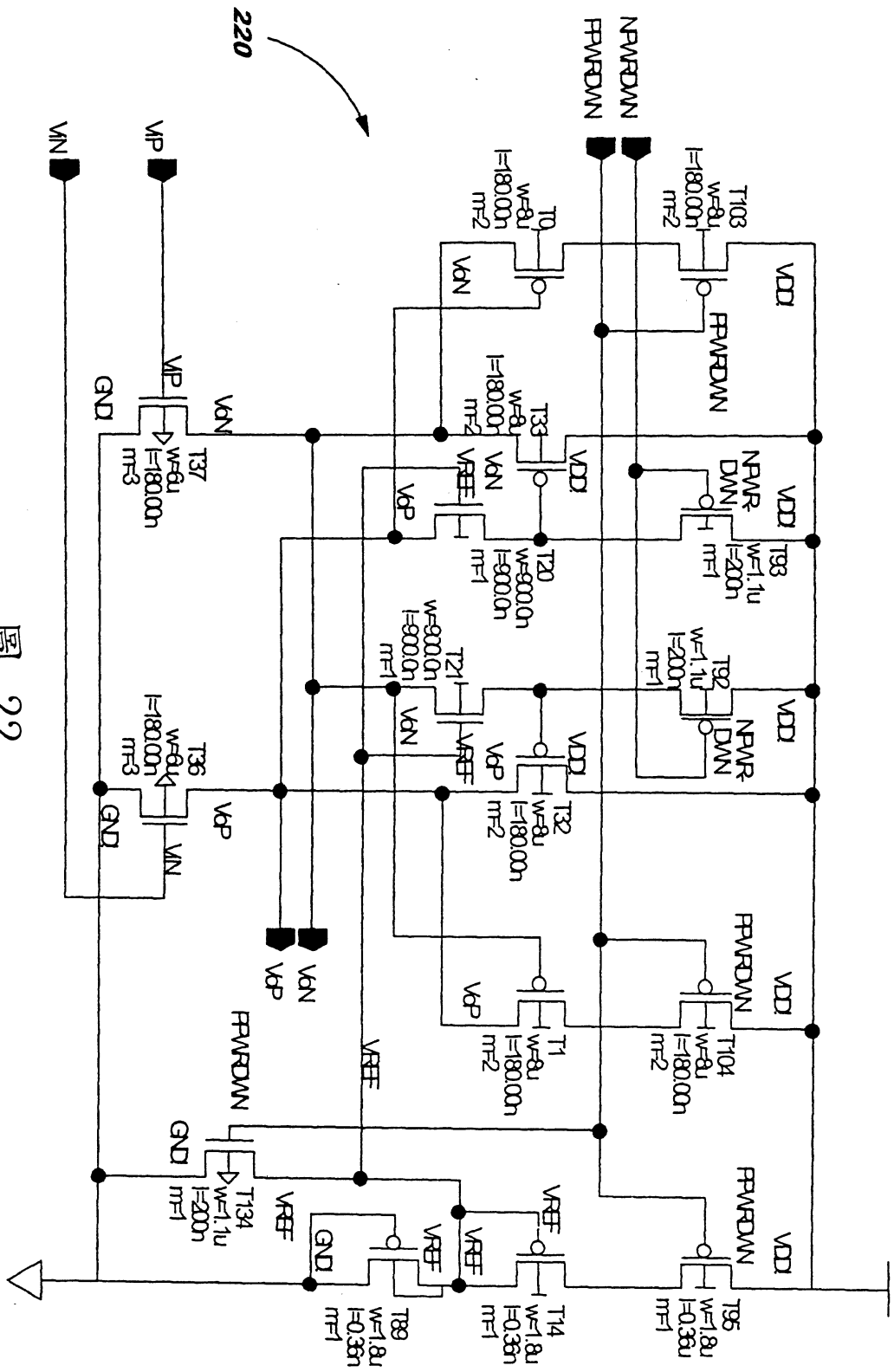


圖 22

具有附著之FIR濾波器之8級環振盪器

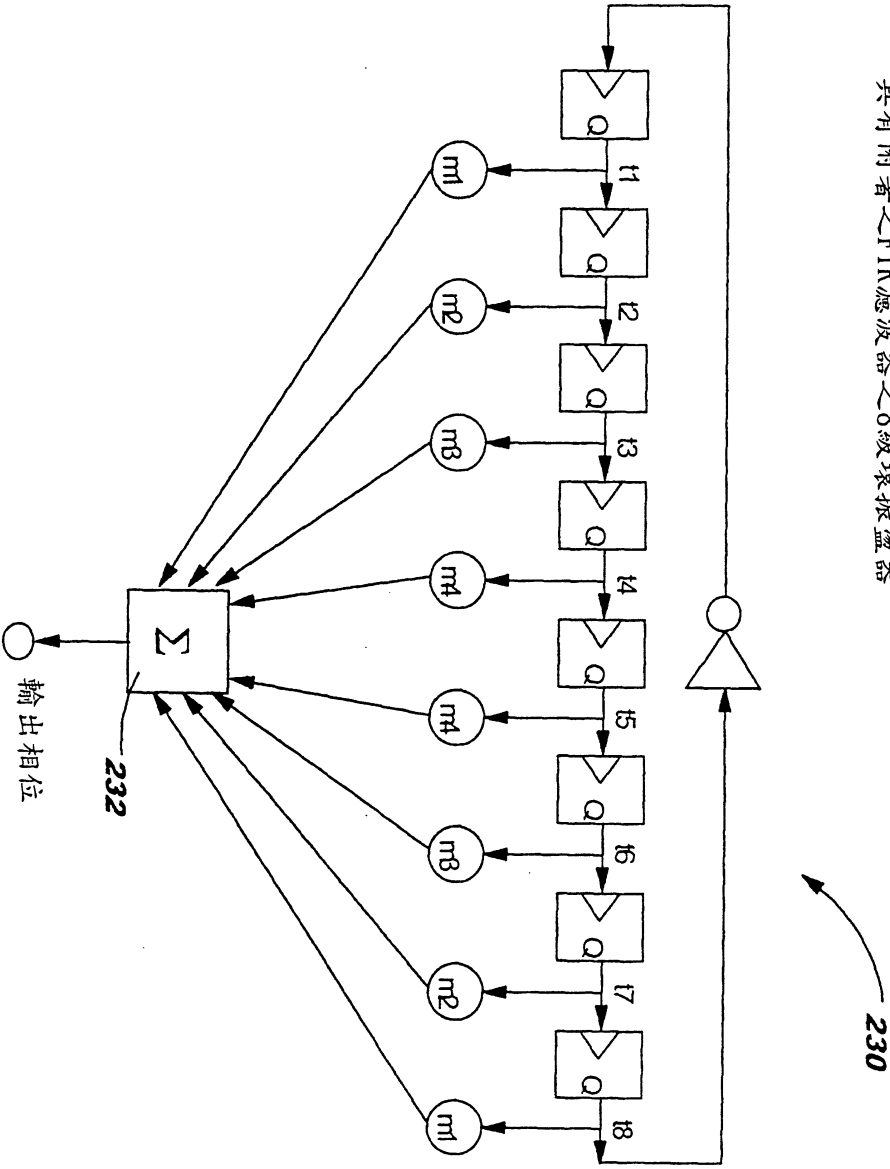


圖 23

在4步驟(a)至(d)中每次一相位片段之旋轉

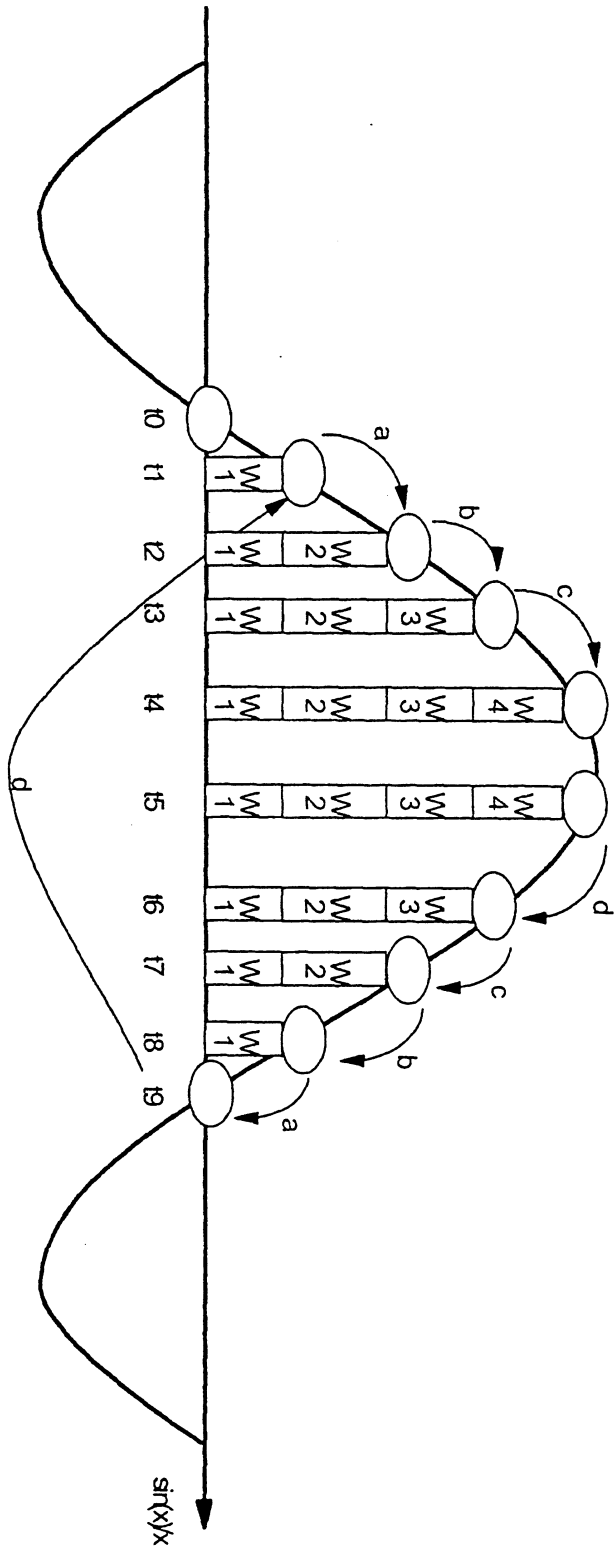
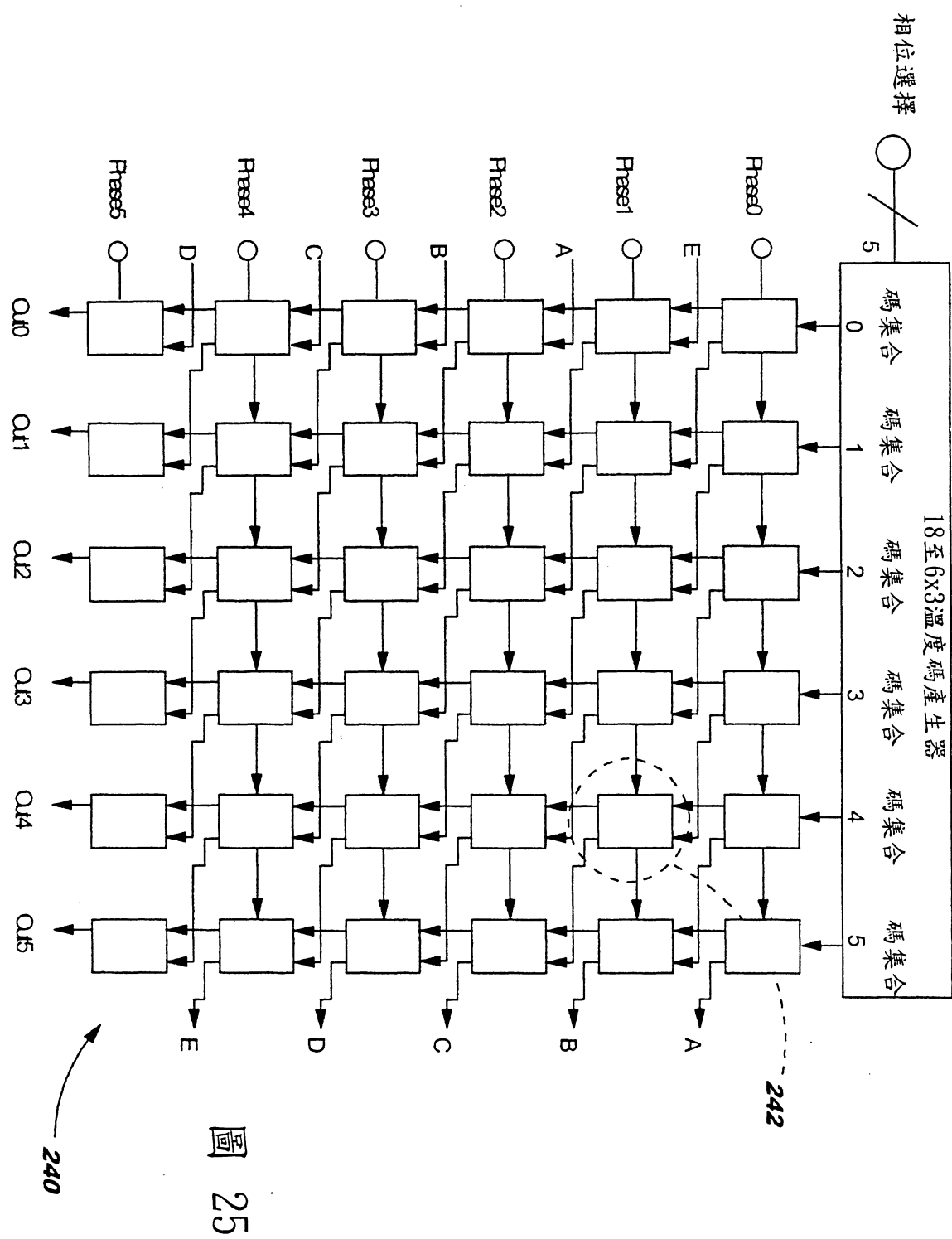


圖 24



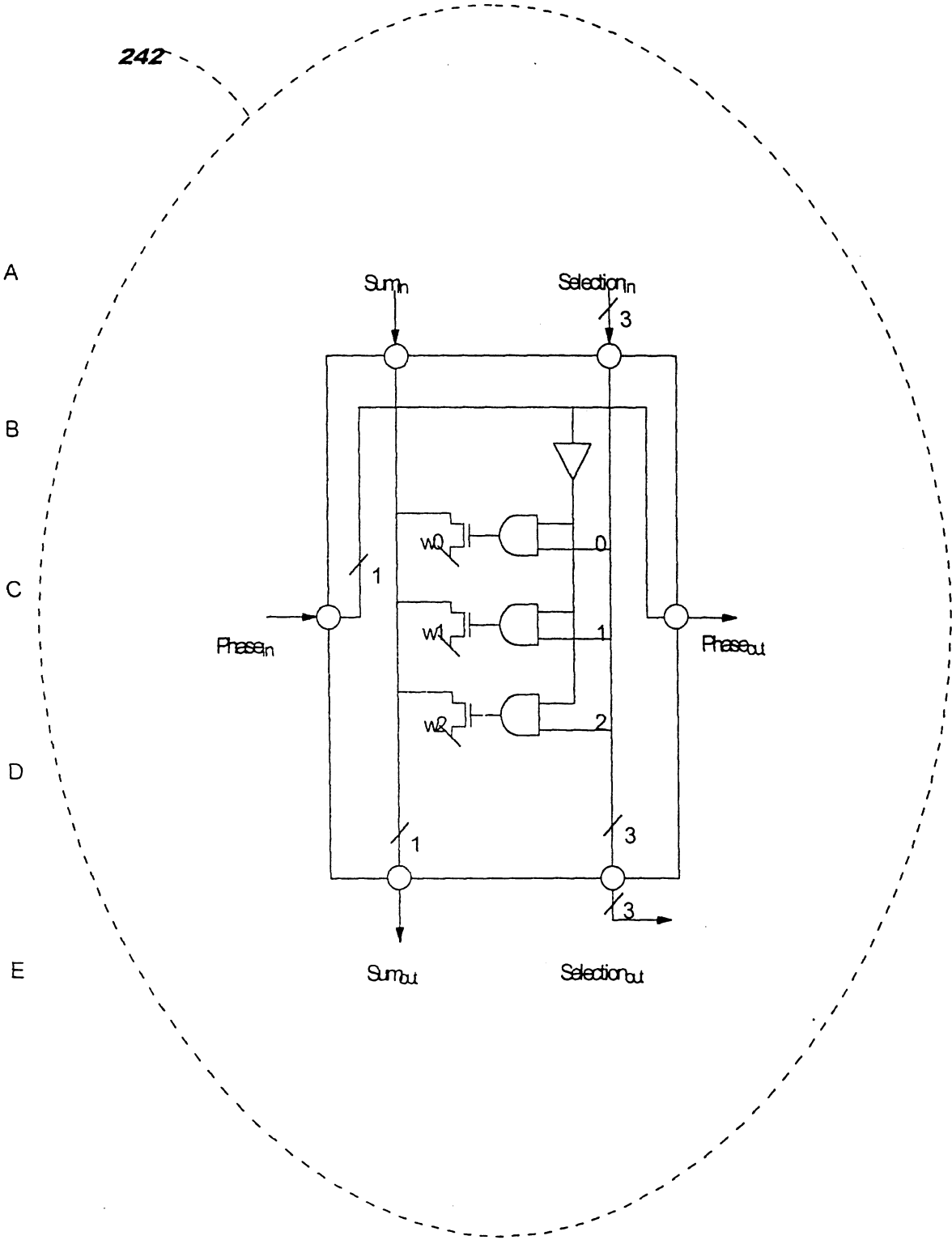


圖 26