

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97128181

H01L 21/336 (2006.01)

※申請日期：97 年 07 月 24 日

※IPC 分類：H01L 29/08 (2006.01)

一、發明名稱：

(中) 半導體裝置及其製造方法

(英) Semiconductor device and method of manufacturing the same

二、申請人：(共 1 人)

1. 姓 名：(中) 精工電子有限公司

(英) SEIKO INSTRUMENTS INC.

代表人：(中) 1. 新保雅文

(英) 1. SHIMBO, MASAFUMI

地 址：(中) 日本國千葉縣千葉市美濱區中瀬一丁目八番地

(英) 8, Nakase 1-chome, Mihama-ku, Chiba-shi, Chiba, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 橋谷雅幸

(英) HASHITANI, MASAYUKI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/07/27 ; 2007-195493 ☒ 有主張優先權2. 日本 ; 2008/07/03 ; 2008-174498 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置及其製造方法

所提供者係一半導體裝置，其形成有一溝渠部份，用於提供一於閘極寬度方向中具有連續變化之深度的凹入部份；與形成有一閘極，其經由一閘極絕緣薄膜設在該溝渠部份內且在其頂部表面上。在形成該閘極之前，雜質藉由離子植入從該溝渠部份之內部壁面被加至該源極區域及該汲極區域之至少一部份，且接著施行熱處理，用於擴散及活化，以由該溝渠部份之表面往下至其底部形成一擴散區域。在高密度流經該閘極之凹入部份的頂部表面之電流能均勻地流經該整個溝渠部份。

六、英文發明摘要

SEMICONDUCTOR DEVICE AND METHOD

發明之名稱：

OF MANUFACTURING THE SAME

Provided is a semiconductor device formed with a trench portion for providing a concave portion having a continually varying depth in a gate width direction and with a gate electrode provided within the trench portion and on a top surface thereof via a gate insulating film. Before the formation of the gate electrode, an impurity is added to at least a part of the source region and the drain region by ion implantation from an inner wall of the trench portion, and then heat treatment is performed for diffusion and activation to form a diffusion region from the surface of the trench portion down to a bottom portion thereof. Current flowing through a top surface of the concave portion of the gate electrode at high concentration can flow uniformly through the entire trench portion.

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖

(二)、本代表圖之元件代表符號簡單說明：

- 1：半導體基板
- 2：氧化物薄膜
- 3：溝渠結構
- 4：氧化物薄膜
- 5：抗蝕劑薄膜
- 6：閘極絕緣薄膜
- 7：閘極
- 9：源極區域
- 10：汲極區域
- 12：溝渠部份電晶體
- 13：平面部份電晶體
- 14：溝渠部份接點
- 15：平面部份接點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明

【發明所屬之技術領域】

本發明有關包括需要高驅動性能的金氧半（MOS）電晶體之半導體裝置，與有關該半導體裝置之製造方法。

【先前技術】

MOS 電晶體係電子工學中之核心電子元件。其重要的是達成該 MOS 電晶體之微型化及其高驅動性能。對該 MOS 電晶體賦予高驅動性能的方法之一係一閘極寬度之擴展，以減少導通電阻。然而，有一問題係用於該 MOS 電晶體之大閘極寬度需要一寬廣之佔用面積。當作對於此的一解決方法，已提出一技術，藉此一大閘極寬度被給與，同時抑制該 MOS 電晶體之佔用面積的增加。（譬如，看日本專利第 JP 2006-49826 A 號）。

下文，將參考圖 4A 至 4D 敘述一傳統半導體裝置。如在圖 4A 之透視圖中所顯示，該傳統半導體裝置包括一提供於井 11 中之溝渠結構 3、及一提供於具有該溝渠結構 3 的溝渠部份中及在一沒有通過閘極絕緣薄膜 6 的溝渠之平面部份的頂部表面上之閘極 7。於該井 11 的一表面部份中，該閘極 7 的一側面係設有一源極區域 9，且其另一側面係設有一汲極區域 10。圖 4B 係一取自圖 4A 沿著剖線 A-A 之 A-A 橫截面視圖，且顯示該平面部份。圖 4C 係於一垂直於通道之方向中取自圖 4A 沿著剖線 B-B 之 B-B 橫截面視圖。如在該 B-B 橫截面視圖中所顯示，該閘極 7 係

形成在該溝渠部份 3 中，且因此藉由位於該閘極 7 下方之閘極絕緣薄膜 6 所形成的曲線之總延伸長度係一閘極寬度。

如上面所述，於此技術中，既然該閘極部份具有包括一凸出部份及一凹入部份之溝渠結構，該實際之閘極寬度可為大於僅只在其一平坦表面上所製成之閘極的寬度。據此，每單位面積之導通電阻能被減少，而不會降低 MOS 電晶體之耐壓。

本發明之發明人已發現一問題，即於上述該半導體裝置之結構中，一實際驅動性能不能抵達該期待之驅動性能。其亦已發現該驅動性能視該閘極長度而定變化，且傾向於在一短閘極長度裝置中為低的。

其已假定此現象係藉由該源極及該汲極之間所產生的通道中之非均勻電流流動所造成：大部分電流沿著路徑 A 流動，該路徑 A 係一平面部份，在此未形成該溝渠部份 3；一些電流沿著路徑 B 流動，該路徑 B 係該溝渠部份 3 的一側表面，其係在連接該源極及該汲極之方向中平行於該通道，及沿著路徑 C，該路徑 C 係該溝渠部份 3 的一底部表面，如圖 4D 中所示。據此，該電流在該短閘極長度裝置中傾向於集中至該路徑 A，其被認為該短閘極長度裝置中之驅動性能降低的成因。

【發明內容】

本發明之一目的係改善一具有溝渠結構的半導體裝置

之驅動性能。

爲了解決該前述之問題，本發明採用以下之機構：

(1) 一半導體裝置包括：一第一導電率型半導體基板；一溝渠結構，其形成在該第一導電率型半導體基板上，且於一閘極寬度方向中具有一連續變化之深度；一閘極，其形成在一藉由該溝渠結構所界定之溝渠部份內，且經由一閘極絕緣薄膜形成在一平面部份之頂部表面上；一第二導電率型之源極區域，其形成在該閘極的一側面上；及該第二導電率型的一汲極區域，其形成在該閘極之另一側面上，其中將該溝渠部份夾在中間且面朝彼此之該源極區域及該汲極區域的部份係具有由該溝渠結構之頂部表面至其底部與較深位置之一的深度；

(2) 一半導體裝置包括：一第一導電率型半導體基板；一第二導電率型之源極區域及該第二導電率型之汲極區域，其在該第一導電率型半導體基板之表面附近被設置成彼此隔開；一平面部份，其係平坦的，且被設置於該源極區域及該汲極區域之間，以變成第一通道區域；一溝渠部份，其具有一恆定之深度，並隨著該平面部份設置，且具有一側表面及一用作第二通道區域之底部表面；一閘極絕緣薄膜，其被提供至該平面部份的一表面與該溝渠部份的一表面；及一閘極，其設在該閘極絕緣薄膜上，其中經由該溝渠部份面朝彼此之源極區域及汲極區域的部份包括一擴散區域，該擴散區域具有由該溝渠結構之頂部表面至其底部與較深位置之一的深度；及

(3) 一半導體裝置製造方法，包括：製備一半導體基板；移去一區域的一部份，以變成該半導體基板之由其一表面至其內側的一通道區域，且形成一具有側表面及底部表面之溝渠，以設置一平面部份及一溝渠部份；在該溝渠部份的一表面及該平面部份的一表面上形成一氧化物薄膜；施加一抗蝕劑材料及施行圖案化，以致一雜質能於源極區域方向及汲極區域方向中由該溝渠之頂部表面被導入至其底部表面；離子植入一雜質，用於轉動該半導體基板形成第一源極區域及第一汲極區域；移除該抗蝕劑材料及該氧化物薄膜，且形成一閘極絕緣薄膜；沈積多晶矽，以形成一閘極；及形成第二源極區域及第二汲極區域，以將該閘極夾在其間。

根據本發明，於上述半導體裝置之源極區域的一部份及該汲極區域的一部份中，由該溝渠部份之頂部表面分佈至其底部的深擴散區域之形成係能夠經過一光阻薄膜之施加及圖案化，及在形成該閘極之前離子植入至該溝渠部份。據此，能在一於該閘極寬度方向中具有連續變化深度的凹入部份之頂部減少電流密度，且亦能夠使該電流沿著該溝渠部份之側表面及底部表面流動，增強該半導體裝置之驅動性能。

【實施方式】

在下文，將參考該等圖面敘述本發明之具體實施例。

圖 1A 至 1H 係一製程順序流程之概要剖視圖，顯示

本發明之第一具體實施例的半導體裝置製造方法。

於圖 1A 中，在第一導電率型半導體基板上，譬如，p 型半導體基板 1、或一由於硼之加入而具有由 20 歐姆-公分至 30 歐姆-公分的電阻係數之雜質密度的半導體基板上，藉由矽的局部氧化（LOCOS）方法形成一厚氧化物薄膜 2，諸如一具有 500 奈米至 1 微米之厚度的熱氧化物薄膜。該基板之導電率型係與本發明之本質無關。如圖 1B 所示，一溝渠結構 3 係形成在該第一導電率型半導體基板上，譬如，具有數百奈米至數微米之深度。然後，氧化物薄膜 4 係譬如形成於數百埃之厚度中。

在此之後，如圖 1C 所示，一抗蝕劑薄膜 5 被施加，且如在圖 1D 所示，在一源極區域及一汲極區域中藉由圖案化移除該抗蝕劑薄膜 5，以致能由該溝渠結構 3 的一頂部表面至其底部表面或直至一較深位置施行將雜質加入至該源極區域及該汲極區域。代替該抗蝕劑薄膜 5，氮化物薄膜或多晶矽薄膜能被用作一用於圖案化之光罩。在此之後，如圖 1E 所示，諸如砷之雜質較佳地係藉由自旋（轉動）一晶圓在每平方公分 1×10^{13} 個原子至每平方公分 1×10^{16} 個原子之劑量被離子植入。

圖 2A 及 2B 詳細地敘述此步驟。圖 2A 及 2B 係概要視圖，顯示圖 1E 之離子植入步驟。圖 2A 顯示一源極區域側面，且當該晶圓相對於圖 2A 被轉動 180 度時，圖 2B 顯示一汲極區域側面。如在圖 2A 所顯示，一雜質被加至該溝渠結構 3 的一側表面及其一底部表面，且在離子植入之

低入射角下施行離子植入，同時自旋（轉動）該晶圓。據此，如圖 2B 所顯示，亦可在該汲極區域上由一側表面至其底部表面施行該雜質之導入，其係位在該源極區域側面上之抗蝕劑薄膜 5 的一相反側面中。圖 3A 係圖 1E 所示裝置之平面圖，其係一 A-A 剖視圖，顯示圖 3A 所示之 A-A 部份。該抗蝕劑薄膜 5 及該氧化物薄膜 4 稍後被移除。

隨後，如圖 1F 所示，一閘極絕緣薄膜 6 係由譬如具有數百至數千埃厚度之熱氧化物薄膜所形成。然後，多晶矽閘極薄膜較佳地是於 100 奈米至 500 奈米之厚度中沉積在該閘極絕緣薄膜 6 上，且一雜質係藉由預先沉積或一離子植入方法所導入，以獲得一閘極 7。在此，藉由該離子植入所導入之雜質係同時於該閘極絕緣薄膜 6 之形成中擴散及活化，該閘極絕緣薄膜係一熱氧化物薄膜。於此步驟中，已擴散有該雜質之源極區域 9 及汲極區域 10 兩者係由該溝渠結構 3 之頂部表面至其底部或一較深位置進一步擴散。此外，於藉由上述該離子植入在高密度施行該雜質導入之案例中，形成在該源極區域 9 及該汲極區域 10 的每一表面上之熱氧化物薄膜變厚。據此，該閘極及該汲極間之電容可被自動地減少。

在另一方面，該閘極 7 係以一抗蝕劑薄膜 8 圖案化，以獲得圖 1G 所示結構。隨後，如圖 1G 所示，施行雜質加入，以用自行對齊之方式相對於該閘極 7 形成一源極區域及一汲極區域。於該雜質加入至該源極區域及該汲極區域中，譬如，砷較佳地係在每平方公分 1×10^{15} 個原子至每

平方公分 1×10^{16} 個原子之劑量被離子植入。經過該前述之製程，一具有該溝渠結構 3 之 MOS 電晶體被組構。如圖 1H 所示，在攝氏 800 度至 1000 度熱處理達數小時，然後，形成該源極區域 9 及該汲極區域 10。

當作本發明之第二具體實施例，在形成該閘極絕緣薄膜 6 之後，能施行如上述該雜質加入至該源極區域 9 及該汲極區域 10，以便由該溝渠結構 3 之頂部表面至其底部或一較深位置深深地施行。

圖 3B 顯示本發明的前述第一具體實施例或第二具體實施例中所獲得之半導體裝置的平面圖。圖 3C 分別係取自圖 3B 沿著剖線 A-A 之 A-A 剖視圖，且圖 3D 係取自圖 3B 沿著剖線 B-B 之 B-B 剖視圖。參考圖 3C，於一具有該溝渠結構 3 之溝渠部份電晶體 12 中，一擴散區域係於該閘極 7 之附近由該溝渠結構 3 之頂部表面至其底部或一較深位置形成在該源極區域 9 及該汲極區域 10 中。同時，參考圖 3D，於一平面部份電晶體 13 中，該擴散區域係於該源極區域 9 及該汲極區域 10 中在該閘極 7 附近完全地形成有一大體上相等之深度。

圖 5 係本發明的第三具體實施例中所獲得之半導體裝置的平面圖。圖 5 係在該源極區域及該汲極區域上之接點的位置中不同於圖 3B。於圖 3B 中，溝渠部份接點及平面部份接點被配置成一行。然而，於此具體實施例中，爲了減少一寄生阻抗，一平面部份接點 15 及該閘極 7 間之距離係比溝渠部份接點 14 及該閘極間之距離較短。

如上面所述，在本發明中，於具有該溝渠結構之溝渠部份電晶體 12 中，該擴散區域係由該溝渠結構 3 之頂部表面至其底部或一較深位置所形成。據此，能在一於該閘極寬度方向中具有連續變化深度的凹入部份之頂部減少電流密度，且亦能夠使該電流沿著該溝渠部份之側表面及底部表面流動，增強該半導體裝置之驅動性能。

【圖式簡單說明】

於所附圖面中：

圖 1A 至 1H 係一製程順序流程之概要剖視圖，顯示本發明之第一具體實施例；

圖 2A 及 2B 係該製程順序流程的概要剖視圖中之離子植入步驟的概要視圖，顯示本發明之第一具體實施例；

圖 3A 及 3B 係概要平面圖，且圖 3C 及 3D 係概要剖視圖，顯示本發明的第一具體實施例及第二具體實施例中所獲得之半導體裝置；

圖 4A 至 4D 係概要視圖及剖視圖，顯示一相關技藝及其問題；及

圖 5 係本發明的第三具體實施例中所獲得之半導體裝置的概要平面圖。

【主要元件符號說明】

1：半導體基板

2：氧化物薄膜

3：溝渠結構

4：氧化物薄膜

5：抗蝕劑薄膜

6：閘極絕緣薄膜

7：閘極

8：抗蝕劑薄膜

9：源極區域

10：汲極區域

11：井

12：溝渠部份電晶體

13：平面部份電晶體

14：溝渠部份接點

15：平面部份接點

十、申請專利範圍

1. 一種半導體裝置，包括：

一第一導電率型半導體基板；

一溝渠結構，其形成在該第一導電率型半導體基板中，且於一閘極寬度方向，該溝渠結構包含一空穴且具有一平面表面；

一閘極，其包含佔據整個藉由該溝渠結構所界定之空穴的一圖案化結構，且經由一閘極絕緣薄膜形成在該平面上，該閘極具有變化的閘極長度尺寸；

一第二導電率型之源極區域，其形成在該閘極的一側面上；及

該第二導電率型的一汲極區域，其形成在該閘極之另一側面上，

其中至少一部份的該源極區域及至少一部份的該汲極區域將該溝渠結構夾在中間且面朝彼此，且具有由該溝渠結構之頂部表面至其底部與較深位置之一的深度，

其中該閘極與在該源極區域及該汲極區域之一的表面上之平面部份接點間之距離一係比該閘極與在該源極區域及該汲極區域之一的該表面上之溝渠部份接點間之距離較短，及

其中，該溝渠部份接點係與該溝渠結構的該空穴呈一直線，且該平面部份接點與該平面表面呈一直線。

2. 一種半導體裝置，包括：

一第一導電率型半導體基板；

一 第二導電率型之源極區域及該第二導電率型之汲極區域，其在該第一導電率型半導體基板之表面附近被設置成彼此隔開；

一 平面部份，其係平坦的，且被設置於該源極區域及該汲極區域之間，以變成第一通道區域；

一 溝渠部份，其具有一恆定之深度，並隨著該平面部份設置，且具有一側表面及一用作第二通道區域之底部表面；

一 閘極絕緣薄膜，其被提供至該平面部份的一表面與該溝渠部份的一表面；及

一 閘極，其設在該閘極絕緣薄膜上，

其中經由該溝渠部份面朝彼此之源極區域及汲極區域的部份包括一擴散區域，該擴散區域具有由該溝渠結構之頂部表面至其底部與較深位置之一的深度，

其中至少一部份的該源極區域及至少一部份的該汲極區域將該溝渠結構夾在中間且面朝彼此，且具有由該溝渠結構之頂部表面至其底部與較深位置之一的深度；

其中該閘極與在該源極區域及該汲極區域之一的表面上之平面部份接點間之距離一係比該閘極與在該源極區域及該汲極區域之一的該表面上之溝渠部份接點間之距離較短，及

其中，該溝渠部份接點係與該溝渠結構的空穴呈一直線，且該平面部份接點與該平面表面呈一直線。

3. 一種半導體裝置，包含：

一 第一導電率型半導體基板，其具有一溝渠於其中延伸於一閘極寬度方向，且具有平面表面與該溝渠鄰接；

一 閘極絕緣膜疊置於該平面表面及該溝渠上；

一 圖案化閘極具有變化的閘極長度尺寸，該閘極疊置於該閘極絕緣膜上且佔據整個該溝渠且具有部份疊置於該平面表面上；

一 第二導電率型源極區域位於該基板於該閘極的一側上的一第一平面部份；及

一 第二導電率型汲極區域位於該基板於該閘極的另一側上的一第二平面部份；

其中至少一部份的該源極區域及至少一部份的該汲極區域位於該溝渠的牆面中且於該溝渠的相對面面朝彼此，且具有由該溝渠結構之頂部表面至其底部與較深位置之一的深度，

其中該閘極與該源極區域及該汲極區域之一的表面上之平面部份接點間之距離一係比該閘極與該源極區域及該汲極區域之一的該表面上之溝渠部份接點間之距離較短，以及

其中，該溝渠部份接點係與該溝渠呈一直線，且該平面部份接點與該平面表面呈一直線。

4. 一種半導體裝置製造方法，包括：

製備一半導體基板；

移去一區域的一部份，以變成該半導體基板之由其一表面至其內側的一通道區域，且形成一具有側表面及底部

表面之溝渠，以設置一平面部份及一溝渠部份；

在該溝渠部份的一表面及該平面部份的一表面上形成一氧化物薄膜；

施加一抗蝕劑材料及施行圖案化，以致一雜質能於源極區域方向及汲極區域方向中由該溝渠之頂部表面被導入至其底部表面；

離子植入一雜質，用於轉動該半導體基板形成第一源極區域及第一汲極區域；

移除該抗蝕劑材料及該氧化物薄膜，且形成一閘極絕緣薄膜；

沈積多晶矽，以形成一閘極；及

形成第二源極區域及第二汲極區域，以將該閘極夾在其間。

5.如申請專利範圍第 4 項之半導體裝置製造方法，其中由該溝渠部份的頂部表面至其底部所形成之該第一源極區域及該第一汲極區域係在每平方公分 1×10^{13} 個原子至每平方公分 1×10^{16} 個原子之劑量被離子植入。

6.如申請專利範圍第 4 項之半導體裝置製造方法，另包括在形成閘極絕緣薄膜之同時施行該第一源極區域及該第一汲極區域之雜質擴散及活化，該第一源極區域及該第一汲極區域係由該溝渠部份之頂部表面至其底部所形成。

7.如申請專利範圍第 4 項之半導體裝置製造方法，其中可在形成閘極絕緣薄膜之前與之後的任一情況施行雜質之引導進入該第一源極區域及該汲極區域，該第一源極區

域及該汲極區域係由該溝渠部份之頂部表面至其底部所形成。

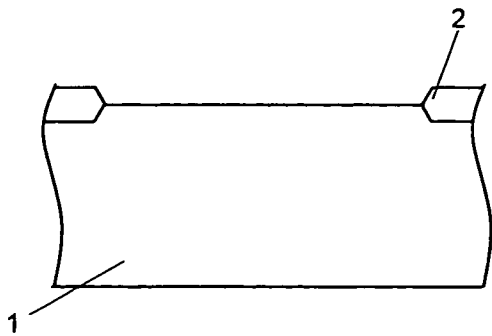


圖 1A

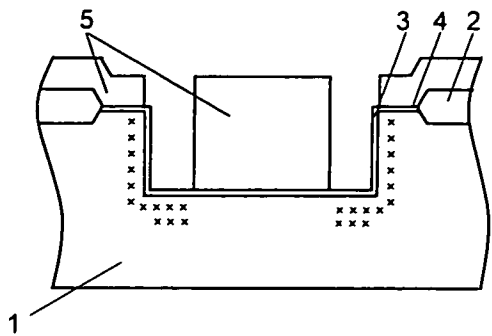


圖 1E

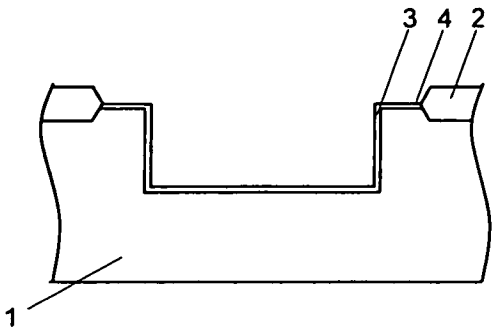


圖 1B

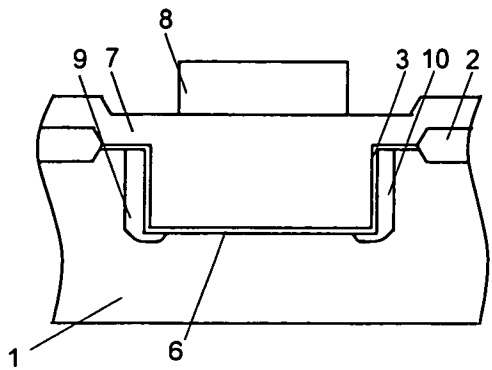


圖 1F

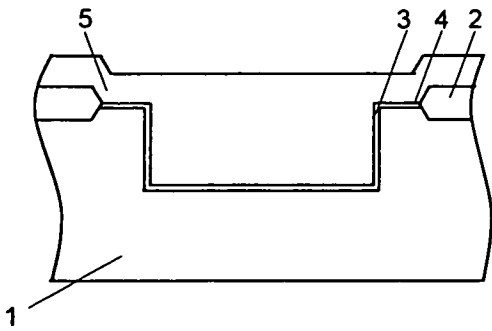


圖 1C

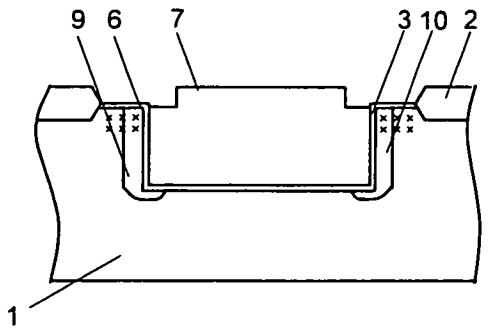


圖 1G

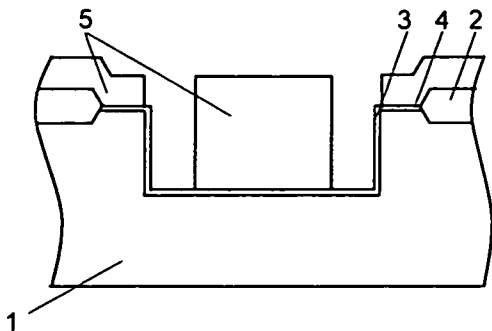


圖 1D

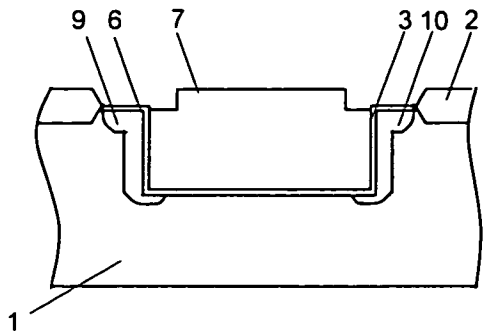


圖 1H

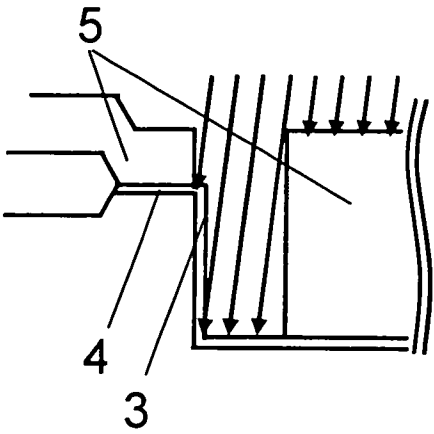


圖 2A

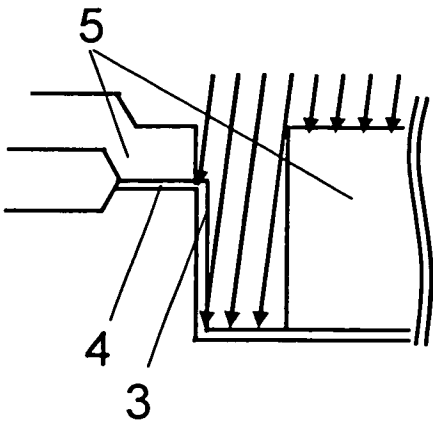


圖 2B

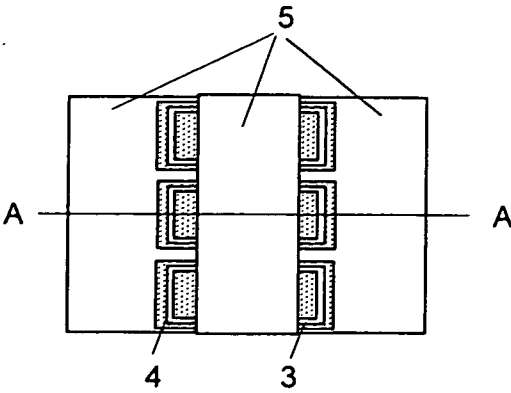


圖 3A

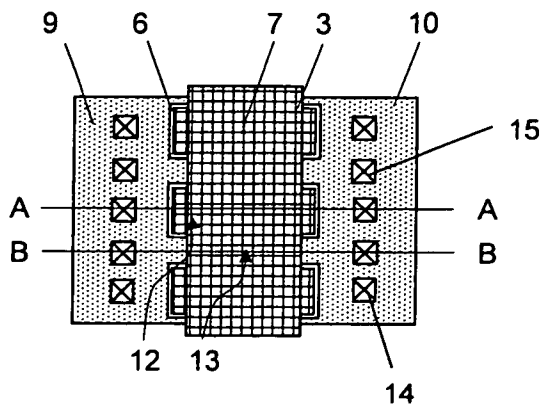


圖 3B

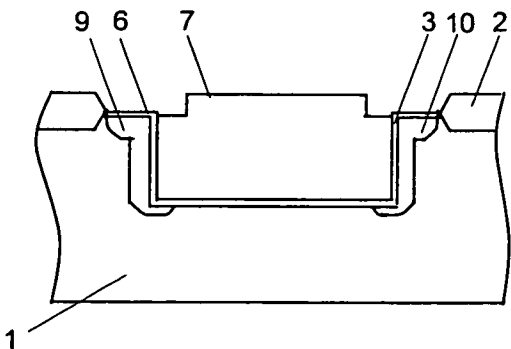


圖 3C

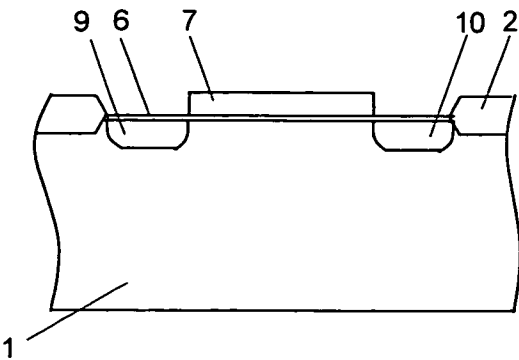


圖 3D

圖 4A

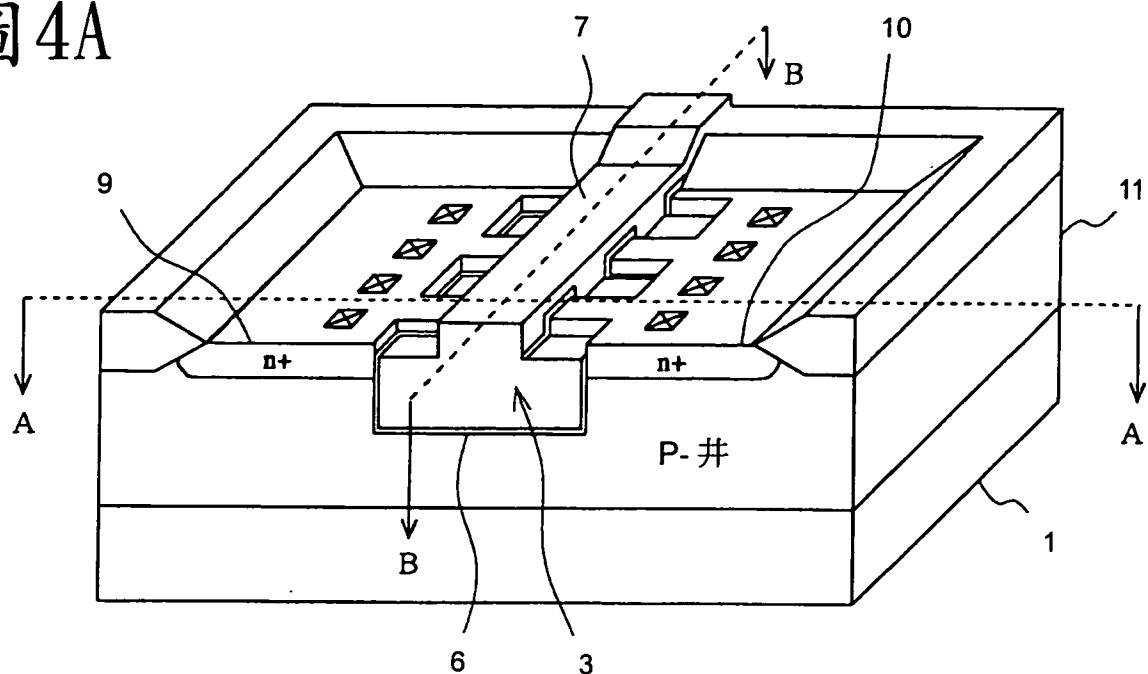


圖 4B

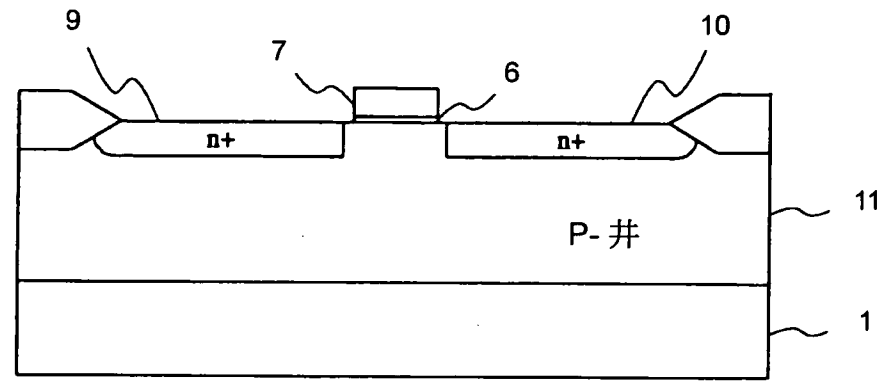


圖 4C

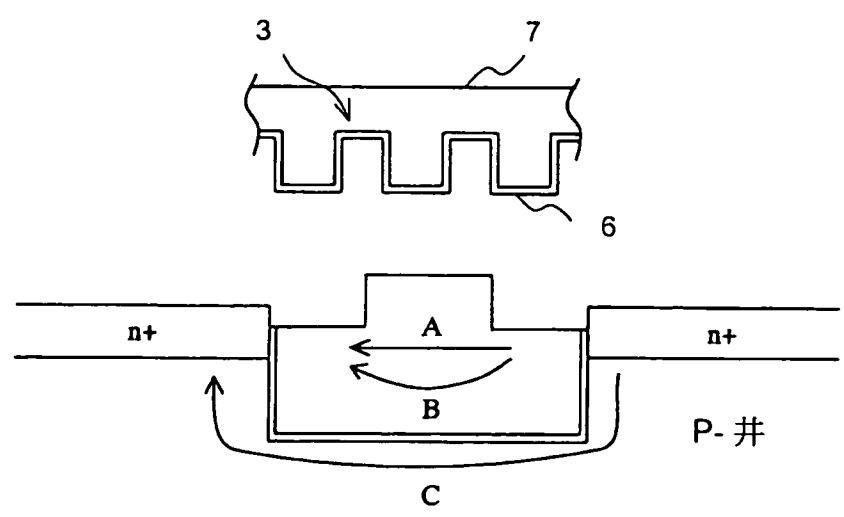


圖 4D

圖5

