

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6825520号
(P6825520)

(45) 発行日 令和3年2月3日(2021.2.3)

(24) 登録日 令和3年1月18日(2021.1.18)

(51) Int.Cl.

F 1

H01L 29/78 (2006.01)

H01L 29/78 652K

H01L 29/739 (2006.01)

H01L 29/78 653A

H01L 21/336 (2006.01)

H01L 29/78 655A

H01L 29/78 655G

H01L 29/78 658F

請求項の数 17 (全 23 頁) 最終頁に続く

(21) 出願番号

特願2017-176838 (P2017-176838)

(22) 出願日

平成29年9月14日(2017.9.14)

(65) 公開番号

特開2019-54091 (P2019-54091A)

(43) 公開日

平成31年4月4日(2019.4.4)

審査請求日

令和1年12月6日(2019.12.6)

(73) 特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74) 代理人 100082175

弁理士 高田 守

(74) 代理人 100106150

弁理士 高橋 英樹

(74) 代理人 100148057

弁理士 久野 淑己

(72) 発明者 高橋 徹雄

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 杉山 芳弘

最終頁に続く

(54) 【発明の名称】半導体装置、半導体装置の製造方法、電力変換装置

(57) 【特許請求の範囲】

【請求項 1】

第1導電型の基板と、

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、

ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアストア層と接するゲート電極と、

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、

前記ゲート絶縁膜は、前記エミッタ層と前記チャネルドープ層に接する第1部分と、前記キャリアストア層に接する第2部分と、前記基板に接する第3部分とを有し、

前記第2部分の少なくとも一部は、前記第1部分及び前記第3部分よりも厚く、

前記第2部分の中央部だけが前記第1部分及び前記第3部分よりも厚いことを特徴とする半導体装置。

【請求項 2】

第1導電型の基板と、

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、

ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアスト

10

20

ア層と接するゲート電極と、

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、

前記ゲート絶縁膜は、前記エミッタ層と前記チャネルドープ層に接する第1部分と、前記キャリアストア層に接する第2部分と、前記基板に接する第3部分とを有し、

前記第2部分の少なくとも一部は、前記第1部分及び前記第3部分よりも厚く、

前記チャネルドープ層の上に形成された、前記エミッタ層に隣接する第2導電型の拡散層を備え、

前記ゲート絶縁膜は、前記拡散層と前記拡散層の下の前記チャネルドープ層とに接する第4部分と、前記拡散層の下の前記キャリアストア層に接する第5部分と、前記拡散層の下の前記基板に接する第6部分とを有し、

前記第5部分の少なくとも一部は、前記第4部分及び前記第6部分よりも厚いことを特徴とする半導体装置。

【請求項3】

前記第2部分のうち前記第1部分及び前記第3部分よりも厚い部分は、前記第1部分から離れていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

第1導電型の基板と、

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、

ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアストア層と接するゲート電極と、

アイソレーション絶縁膜を介して、キャリアストア層と前記基板に接するフローティング電位の導体層と、

前記ゲート電極の下面を覆うとともに前記導体層の上面を覆うことで前記導体層と前記ゲート電極を電気的に分離する分離絶縁膜と、

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、

前記導体層は下面側端部が、前記アイソレーション絶縁膜を介して前記基板と対向することを特徴とする半導体装置。

【請求項5】

第1導電型の基板と、

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、

ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアストア層と接するゲート電極と、

アイソレーション絶縁膜を介して、キャリアストア層と前記基板に接するフローティング電位の導体層と、

前記ゲート電極の下面を覆うとともに前記導体層の上面を覆うことで前記導体層と前記ゲート電極を電気的に分離する分離絶縁膜と、

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、

前記分離絶縁膜の高さと、前記キャリアストア層の中間の高さが等しいことを特徴とする半導体装置。

【請求項6】

前記導体層は、全体が前記アイソレーション絶縁膜と前記分離絶縁膜によって覆われたことを特徴とする請求項4又は5に記載の半導体装置。

【請求項7】

第1導電型の基板と、

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

10

20

30

40

50

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、
前記チャネルドープ層の上に形成された、前記エミッタ層に隣接する第2導電型の拡散層と、

前記エミッタ層と、前記エミッタ層の下のチャネルドープ層と、前記エミッタ層の下のキャリアストア層に接する第1ゲート絶縁膜と、

前記拡散層と、前記拡散層の下のチャネルドープ層と、前記拡散層の下のキャリアストア層に接し、前記第1ゲート絶縁膜より厚い第2ゲート絶縁膜と、

前記第1ゲート絶縁膜に接するゲート電極と、

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、

平面視で前記拡散層は前記エミッタ層よりも幅が小さいことを特徴とする半導体装置。

10

【請求項8】

第1導電型の基板と、

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、

前記チャネルドープ層の上に形成された、前記エミッタ層に隣接する第2導電型の拡散層と、

前記エミッタ層と、前記エミッタ層の下のチャネルドープ層と、前記エミッタ層の下のキャリアストア層に接する第1ゲート絶縁膜と、

前記拡散層と、前記拡散層の下のチャネルドープ層と、前記拡散層の下のキャリアストア層に接し、前記第1ゲート絶縁膜より厚い第2ゲート絶縁膜と、

前記第1ゲート絶縁膜に接するゲート電極と、

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、

前記ゲート電極は平面視で前記エミッタ層の横にだけ形成されたことを特徴とする半導体装置。

20

【請求項9】

前記ゲート電極と前記第2ゲート絶縁膜の上に形成されたゲート配線を備えたことを特徴とする請求項8に記載の半導体装置。

【請求項10】

第1導電型の基板と、

30

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、

前記チャネルドープ層の上に形成された、前記エミッタ層に隣接する第2導電型の拡散層と、

前記エミッタ層と、前記エミッタ層の下のチャネルドープ層と、前記エミッタ層の下のキャリアストア層に接する第1ゲート絶縁膜と、

前記拡散層と、前記拡散層の下のチャネルドープ層と、前記拡散層の下のキャリアストア層に接し、前記第1ゲート絶縁膜より厚い第2ゲート絶縁膜と、

前記第1ゲート絶縁膜に接するゲート電極と、

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、

前記エミッタ層は、平面視で千鳥状に複数設けられ、

前記拡散層は、平面視で千鳥状に複数設けられたことを特徴とする半導体装置。

40

【請求項11】

第1導電型の基板と、

前記基板の上面側に形成された第1導電型のキャリアストア層と、

前記キャリアストア層の上に形成された第2導電型のチャネルドープ層と、

前記チャネルドープ層の上に形成された第1導電型のエミッタ層と、

ゲート絶縁膜を介して、前記エミッタ層、前記チャネルドープ層及び前記キャリアストア層と接するゲート電極と、

50

前記基板の下面側に形成された第2導電型のコレクタ層と、を備え、
前記ゲート電極は、前記基板の上面側の第1ゲート電極と、前記第1ゲート電極の下面
に接し、前記第1ゲート電極よりも不純物濃度が小さい第2ゲート電極とを有し、
前記第1ゲート電極と前記第2ゲート電極の境界は、前記キャリアストア層の横にある
ことを特徴とする半導体装置。

【請求項12】

前記第1ゲート電極と前記第2ゲート電極はドープドポリシリコンであることを特徴と
する請求項11に記載の半導体装置。

【請求項13】

第1導電型の基板の上に第1導電型のキャリアストア層を形成し、前記キャリアストア
層の上に第2導電型のチャネルドープ層を形成し、前記チャネルドープ層の上に第1導電
型のエミッタ層と前記エミッタ層に隣接する第2導電型の拡散層を形成することと、 10
前記キャリアストア層の側壁部分にイオン注入することと、

前記キャリアストア層の側壁部分と、前記チャネルドープ層の側壁部分と、前記エミッ
タ層の側壁部分と、前記第2導電型の拡散層と、前記基板にゲート絶縁膜を形成すること
と、

前記ゲート絶縁膜に接するゲート電極を形成することと、を備える半導体装置の製造方
法。

【請求項14】

第1導電型の基板の上に第1導電型のキャリアストア層を形成し、前記キャリアストア
層の上に第2導電型のチャネルドープ層を形成し、前記チャネルドープ層の上に第1導電
型のエミッタ層を形成することと、 20
前記エミッタ層と前記チャネルドープ層と前記キャリアストア層に前記基板が露出する
溝を形成し、前記溝に露出した部分にアイソレーション絶縁膜を形成し、前記溝を導体層
で埋め込み、前記導体層の下面側端部を前記アイソレーション絶縁膜を介して前記基板と
対向させることと、

前記導体層と前記アイソレーション絶縁膜の一部を除去して、前記エミッタ層の側面と
、前記チャネルドープ層の側面と、前記キャリアストア層の側面の一部とを露出させること
と、

前記導体層の上面に分離絶縁膜を形成し、前記エミッタ層の側面と、前記チャネルドー
プ層の側面と、前記キャリアストア層の側面の一部にゲート絶縁膜を形成し、前記溝をゲ
ート電極で埋め込むことと、を備え、 30
前記導体層の電位をフローティングとした半導体装置の製造方法。

【請求項15】

第1導電型の基板の上に第1導電型のキャリアストア層を形成し、前記キャリアストア
層の上に第2導電型のチャネルドープ層を形成し、前記チャネルドープ層の上の一部に第
1導電型のエミッタ層を形成することと、

平面視で前記エミッタ層が形成された部分に、側面が平面視で直線となり、前記基板が
露出する溝を形成し、平面視で前記エミッタ層が形成されていない部分に、側面が平面視
で蛇腹となり、前記基板が露出する溝を形成することと、 40
前記エミッタ層、前記チャネルドープ層及び前記キャリアストア層の側面と、前記溝に
露出した前記基板とを熱酸化してゲート絶縁膜を形成することと、

前記ゲート絶縁膜に接するゲート電極を形成することと、を備える半導体装置の製造方
法。

【請求項16】

第1導電型の基板の上に第1導電型のキャリアストア層を形成し、前記キャリアストア
層の上に第2導電型のチャネルドープ層を形成し、前記チャネルドープ層の上の一部に第
1導電型のエミッタ層を形成することと、

平面視で前記エミッタ層が形成された部分と、平面視で前記エミッタ層が形成されてい
ない部分の一部をエッチングして前記基板を露出させる第1溝を形成することと、 50

前記第1溝をゲート絶縁膜で埋め込むこと、

平面視で前記エミッタ層が形成された部分の前記ゲート絶縁膜の一部を、前記エミッタ層と前記チャネルドープ層と前記キャリアストア層と前記基板を露出させないように、エッチングすることで前記ゲート絶縁膜に第2溝を形成すること、

前記第2溝をゲート電極で埋め込むこと、

平面視で前記エミッタ層が形成されていない部分の前記ゲート絶縁膜の上と、前記ゲート電極の上に、ゲート配線を形成することと、を備える半導体装置の製造方法。

【請求項17】

請求項1～12のいずれか1項に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

10

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、を備えた電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、半導体装置の製造方法及び電力変換装置に関する。

【背景技術】

【0002】

一般にパワーデバイスには、低損失化、耐圧保持能力、動作時に素子が破壊に至らないための安全動作領域の保証などが求められている。そのため、装置の小型化と軽量化が進み、広い意味ではエネルギー消費低減による地球環境への配慮につながっている。さらには、これらの特性を、出来る限り低コストで実現することが要求されている。上記の問題を解決する一つの構造としてIGBT(Insulated Gate Bipolar Transistor)が広く使用されている。

20

【0003】

特許文献1には、ドリフト層として機能するN⁻型の半導体基板と、ドリフト層上に形成されたP型のベース層と、ドリフト層よりも高不純物濃度とされたキャリアストレージ層とが開示されている。キャリアストレージ層はドリフト層とベース層の間に設けられている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2016-157934号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

IGBTなどの半導体装置がオフからオンへ切り替わる期間はターンオン期間であり、オンからオフへ切り替わる期間はターンオフ期間である。ターンオン期間とターンオフ期間には半導体装置がノイズを発生させて、他の機器の誤動作を引き起こしたり、半導体装置自身が誤動作を起こしたりする場合がある。例えばドリフト層又はキャリアストア層の電位が変動する際にゲート電極に変位電流が流れ、ゲート電位が変化し、誤動作するおそれがある。さらに、装置の短絡時に、ゲート電極周りの電位が変動すると、ゲート電極に変位電流が流れ、ゲート電位が上昇する。その結果、短絡電流が増加し装置にダメージが及ぶおそれがあった。

40

【0006】

ゲート電極に変位電流が流れることによる弊害を防止するために、トレンチ型のゲート電極の基板表面からの深さを浅くする方法が考えられる。しかし、そうすると、エミッタ-コレクタ間の主耐圧が低下してしまう。

【0007】

50

本発明は、上述のような課題を解決するためになされたもので、ゲート電極に流れる変位電流を抑制できる半導体装置、半導体装置の製造方法及び電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本願の発明に係る半導体装置は、第1導電型の基板と、該基板の上面側に形成された第1導電型のキャリアストア層と、該キャリアストア層の上に形成された第2導電型のチャネルドープ層と、該チャネルドープ層の上に形成された第1導電型のエミッタ層と、ゲート絶縁膜を介して、該エミッタ層、該チャネルドープ層及び該キャリアストア層と接するゲート電極と、該基板の下面側に形成された第2導電型のコレクタ層と、を備え、該ゲート絶縁膜は、該エミッタ層と該チャネルドープ層に接する第1部分と、該キャリアストア層に接する第2部分と、該基板に接する第3部分とを有し、該第2部分の少なくとも一部は、該第1部分及び該第3部分よりも厚く、該第2部分の中央部だけが該第1部分及び該第3部分よりも厚いことを特徴とする。10

【0009】

本願の発明に係る他の半導体装置は、第1導電型の基板と、該基板の上面側に形成された第1導電型のキャリアストア層と、該キャリアストア層の上に形成された第2導電型のチャネルドープ層と、該チャネルドープ層の上に形成された第1導電型のエミッタ層と、ゲート絶縁膜を介して、該エミッタ層、該チャネルドープ層及び該キャリアストア層と接するゲート電極と、アイソレーション絶縁膜を介して、キャリアストア層と該基板に接するフローティング電位の導体層と、該ゲート電極の下面を覆うとともに該導体層の上面を覆うことで該導体層と該ゲート電極を電気的に分離する分離絶縁膜と、該基板の下面側に形成された第2導電型のコレクタ層と、を備え、該導体層は下面側端部が、該アイソレーション絶縁膜を介して該基板と対向することを特徴とする。20

【0010】

本願の発明に係る他の半導体装置は、第1導電型の基板と、該基板の上面側に形成された第1導電型のキャリアストア層と、該キャリアストア層の上に形成された第2導電型のチャネルドープ層と、該チャネルドープ層の上に形成された第1導電型のエミッタ層と、該チャネルドープ層の上に形成された、該エミッタ層に隣接する第2導電型の拡散層と、該エミッタ層と、該エミッタ層の下のチャネルドープ層と、該エミッタ層の下のキャリアストア層に接する第1ゲート絶縁膜と、該拡散層と、該拡散層の下のチャネルドープ層と、該拡散層の下のキャリアストア層に接し、該第1ゲート絶縁膜より厚い第2ゲート絶縁膜と、該第1ゲート絶縁膜に接するゲート電極と、該基板の下面側に形成された第2導電型のコレクタ層と、を備え、平面視で該拡散層は該エミッタ層よりも幅が小さいことを特徴とする。30

【0011】

本願の発明に係る他の半導体装置は、第1導電型の基板と、該基板の上面側に形成された第1導電型のキャリアストア層と、該キャリアストア層の上に形成された第2導電型のチャネルドープ層と、該チャネルドープ層の上に形成された第1導電型のエミッタ層と、ゲート絶縁膜を介して、該エミッタ層、該チャネルドープ層及び該キャリアストア層と接するゲート電極と、該基板の下面側に形成された第2導電型のコレクタ層と、を備え、該ゲート電極は、該基板の上面側の第1ゲート電極と、該第1ゲート電極の下面に接し、該第1ゲート電極よりも不純物濃度が小さい第2ゲート電極とを有し、該第1ゲート電極と該第2ゲート電極の境界は、該キャリアストア層の横にあることを特徴とする。40

【0012】

本願の発明に係る半導体装置の製造方法は、第1導電型の基板の上に第1導電型のキャリアストア層を形成し、該キャリアストア層の上に第2導電型のチャネルドープ層を形成し、該チャネルドープ層の上に第1導電型のエミッタ層と該エミッタ層に隣接する第2導電型の拡散層を形成することと、該キャリアストア層の側壁部分にイオン注入することと、該キャリアストア層の側壁部分と、該チャネルドープ層の側壁部分と、該エミッタ層の50

側壁部分と、該第2導電型の拡散層と、該基板にゲート絶縁膜を形成することと、該ゲート絶縁膜に接するゲート電極を形成することと、を備える。

【0013】

本願の発明に係る他の半導体装置の製造方法は、第1導電型の基板の上に第1導電型のキャリアストア層を形成し、該キャリアストア層の上に第2導電型のチャネルドープ層を形成し、該チャネルドープ層の上に第1導電型のエミッタ層を形成することと、該エミッタ層と該チャネルドープ層と該キャリアストア層に該基板が露出する溝を形成し、該溝に露出した部分にアイソレーション絶縁膜を形成し、該溝を導体層で埋め込み、該導体層の下面側端部を該アイソレーション絶縁膜を介して該基板と対向させることと、該導体層と該アイソレーション絶縁膜の一部を除去して、該エミッタ層の側面と、該チャネルドープ層の側面と、該キャリアストア層の側面の一部とを露出させることと、該導体層の上面に分離絶縁膜を形成し、該エミッタ層の側面と、該チャネルドープ層の側面と、該キャリアストア層の側面の一部にゲート絶縁膜を形成し、該溝をゲート電極で埋め込むことと、を備え、該導体層の電位をフローティングとした。10

【0014】

本願の発明に係る他の半導体装置の製造方法は、第1導電型の基板の上に第1導電型のキャリアストア層を形成し、該キャリアストア層の上に第2導電型のチャネルドープ層を形成し、該チャネルドープ層の上の一部に第1導電型のエミッタ層を形成することと、平面視で該エミッタ層が形成された部分に、側面が平面視で直線となり、該基板が露出する溝を形成し、平面視で該エミッタ層が形成されていない部分に、側面が平面視で蛇腹となり、該基板が露出する溝を形成することと、該エミッタ層、該チャネルドープ層及び該キャリアストア層の側面と、該溝に露出した該基板とを熱酸化してゲート絶縁膜を形成することと、該ゲート絶縁膜に接するゲート電極を形成することと、を備える。20

【0015】

本願の発明に係る他の半導体装置の製造方法は、第1導電型の基板の上に第1導電型のキャリアストア層を形成し、該キャリアストア層の上に第2導電型のチャネルドープ層を形成し、該チャネルドープ層の上の一部に第1導電型のエミッタ層を形成することと、平面視で該エミッタ層が形成された部分と、平面視で該エミッタ層が形成されていない部分の一部をエッチングして該基板を露出させる第1溝を形成することと、該第1溝をゲート絶縁膜で埋め込むことと、平面視で該エミッタ層が形成された部分の該ゲート絶縁膜の一部を、該エミッタ層と該チャネルドープ層と該キャリアストア層と該基板を露出させないように、エッチングすることで該ゲート絶縁膜に第2溝を形成することと、該第2溝をゲート電極で埋め込むことと、平面視で該エミッタ層が形成されていない部分の該ゲート絶縁膜の上と、該ゲート電極の上に、ゲート配線を形成することと、を備える。30

【0016】

本願の発明に係る電力変換装置は、上記の半導体装置のいずれか1つを有し、入力される電力を変換して出力する主変換回路と、該半導体装置を駆動する駆動信号を該半導体装置に出力する駆動回路と、該駆動回路を制御する制御信号を該駆動回路に出力する制御回路と、を備える。

【0017】

本発明のその他の特徴は以下に明らかにする。

【発明の効果】

【0018】

本発明によれば、例えばキャリアストア層に接するゲート絶縁膜を厚くすることで、ゲート電極に流れる変位電流を抑制できる。

【図面の簡単な説明】

【0019】

【図1】実施の形態1に係る半導体装置の平面図である。

【図2】図1の素子領域の一部を拡大した図である。

【図3】図2のA-A'線における断面図である。

10

20

30

40

50

- 【図4】図2のB-B'線における断面図である。
- 【図5】実施の形態1に係る製造途中の半導体装置の断面図である。
- 【図6】実施の形態1に係る製造途中の半導体装置の断面図である。
- 【図7】実施の形態1に係る製造途中の半導体装置の断面図である。
- 【図8】実施の形態2に係る半導体装置の断面図である。
- 【図9】実施の形態2に係る半導体装置の断面図である。
- 【図10】実施の形態2に係る製造途中の半導体装置の断面図である。
- 【図11】実施の形態2に係る製造途中の半導体装置の断面図である。
- 【図12】実施の形態2に係る製造途中の半導体装置の断面図である。
- 【図13】実施の形態2に係る製造途中の半導体装置の断面図である。 10
- 【図14】実施の形態2に係る製造途中の半導体装置の断面図である。
- 【図15】実施の形態3に係る半導体装置の平面図である。
- 【図16】図15のC-C'線における半導体装置の断面図である。
- 【図17】図15のD-D'線における半導体装置の断面図である。
- 【図18】実施の形態3に係る製造途中の半導体装置の断面図である。
- 【図19】実施の形態3に係る製造途中の半導体装置の断面図である。
- 【図20】マスクの平面図である。 20
- 【図21】実施の形態3に係る製造途中の半導体装置の断面図である。
- 【図22】実施の形態3に係る製造途中の半導体装置の断面図である。
- 【図23】実施の形態3に係る製造途中の半導体装置の断面図である。
- 【図24】実施の形態3に係る製造途中の半導体装置の断面図である。
- 【図25】実施の形態4に係る半導体装置の断面図である。 30
- 【図26】実施の形態4に係る半導体装置の断面図である。
- 【図27】実施の形態5に係る半導体装置の平面図である。
- 【図28】図27のG-G'線における半導体装置の断面図である。
- 【図29】図27のH-H'線における半導体装置の断面図である。
- 【図30】実施の形態5に係る製造途中の半導体装置の断面図である。
- 【図31】実施の形態5に係る製造途中の半導体装置の断面図である。
- 【図32】実施の形態5に係る製造途中の半導体装置の断面図である。
- 【図33】実施の形態5に係る製造途中の半導体装置の断面図である。 30
- 【図34】実施の形態5に係る製造途中の半導体装置の断面図である。
- 【図35】実施の形態5に係る製造途中の半導体装置の断面図である。
- 【図36】実施の形態5に係る製造途中の半導体装置の断面図である。
- 【図37】実施の形態5に係る製造途中の半導体装置の断面図である。
- 【図38】実施の形態6に係る半導体装置の平面図である。 40
- 【図39】図38のI-I'線における半導体装置の断面図である。
- 【図40】実施の形態7に係る電力変換装置のブロック図である。
- 【発明を実施するための形態】
- 【0020】
- 本発明の実施の形態に係る半導体装置、半導体装置の製造方法及び電力変換装置について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。
- 【0021】
- 実施の形態1。
- 図1は、実施の形態1に係る半導体装置の平面図である。ウエハに複数の半導体装置が形成され、そのうちの1つの半導体装置が図1に示されている。この半導体装置が1つのIGBTチップを構成している。半導体装置は、素子領域10と、ゲートパッド領域12と、素子領域10及びゲートパッド領域12を囲む耐圧保持領域14を備えている。ゲートパッド領域12に印加された電圧に応じて素子領域10に電流が流れるか否かが決まる。耐圧保持領域14は、空乏層を素子領域10の外側に伸ばすために形成される。 50

【0022】

図2は、図1の素子領域10の一部を拡大した平面図である。素子領域には直線的なゲート電極20が複数設けられている。ゲート電極20は例えばポリシリコンである。ゲート電極20にはゲート絶縁膜22が接している。ゲート絶縁膜22に拡散層24とエミッタ層26が接している。図2において斜線が引かれた部分も拡散層24の一部である。斜線が引かれた部分は第2導電型の不純物濃度が中央部に比べて低くなっている。拡散層24はp型の導電型であり、エミッタ層26はn型の導電型である。以後、n型を第1導電型と称し、p型を第2導電型と称する。各部分の導電型を反転させてもよい。図2における破線で囲まれた領域はエミッタコンタクト領域28である。

【0023】

10

図3は、図2のA-A'線における断面図である。基板30はドリフト層として機能する部分である。基板30は例えば第1導電型のSiである。基板はn⁻型の導電型を有する。基板30の上面側には第1導電型のキャリアストア層32が設けられている。キャリアストア層32の上に第2導電型のチャネルドープ層34が設けられている。チャネルドープ層34の上に第1導電型のエミッタ層26が設けられている。キャリアストア層32、チャネルドープ層34、エミッタ層26はそれぞれ、n型、p型、N⁺型の層である。

【0024】

ゲート電極20は、ゲート絶縁膜22を介して、エミッタ層26、チャネルドープ層34、キャリアストア層32及び基板30と接する。ゲート絶縁膜22は、エミッタ層26とチャネルドープ層34に接する第1部分22aと、キャリアストア層32に接する第2部分22bと、基板30に接する第3部分22cとを有している。第2部分22bの少なくとも一部は、第1部分22a及び第3部分22cよりも厚い。言いかえれば、ゲート電極20とキャリアストア層32に挟まれた部分に、ゲート絶縁膜22の最も厚い部分がある。

20

【0025】

エミッタ層26の上にはエミッタ層26に接するエミッタ電極38が設けられている。エミッタ電極38とゲート電極20の間には層間絶縁膜36が設けられているので、エミッタ電極38とゲート電極20は電気的に絶縁されている。

【0026】

基板30の下面側には、第1導電型のバッファ層40が形成されている。バッファ層40はn型の層とすることができます。バッファ層40の下面側には第2導電型のコレクタ層42が形成されている。コレクタ層42はp⁺型の層とすることができます。コレクタ層42の下面側にはコレクタ電極44が形成されている。基板30の下面側の構造として、コレクタ層42を有する別の構造を採用してもよい。

30

【0027】

図4は、図2のB-B'線における断面図である。チャネルドープ層34の上には拡散層24が設けられている。拡散層24は、エミッタ層26に隣接する第2導電型の層である。拡散層24はp⁺型の層とすることができます。ゲート絶縁膜22は、拡散層24と拡散層24の下のチャネルドープ層34とに接する第4部分22dと、拡散層24の下のキャリアストア層32に接する第5部分22eと、拡散層24の下の基板30に接する第6部分22fとを有している。そして、第5部分22eの少なくとも一部は第4部分22d及び第6部分22fよりも厚い。言いかえれば、ゲート電極20とキャリアストア層32に挟まれた部分に、ゲート絶縁膜22の最も厚い部分がある。図4の第5部分22eは図3の第2部分22bと同じ形状を有している。

40

【0028】

実施の形態1に係る半導体装置の製造方法を説明する。まず、基板30の上にキャリアストア層32を形成し、キャリアストア層32の上にチャネルドープ層34を形成し、チャネルドープ層34の上にエミッタ層26を形成する。その後、エミッタ層26、チャネルドープ層34およびキャリアストア層32の一部をエッティングすることで溝を形成し、基板30を露出させる。図5は、基板30を露出させる溝が形成された半導体装置の断面

50

図である。

【0029】

次いで、キャリアストア層32の側壁部分にイオン注入する。例えば一般的な写真製版技術とイオン注入技術を用いて、キャリアストア層32の側壁部分にイオン注入を行う。図6は、キャリアストア層32の側壁部分にイオン注入部50が形成されたことを示す半導体装置の断面図である。局所的にイオン注入することでイオン注入部50を形成する目的は酸化レートを高めることである。

【0030】

次いで、キャリアストア層32の側壁部分と、チャネルドープ層34の側壁部分と、エミッタ層26の側壁部分と、基板30にゲート絶縁膜を形成する。図7は、ゲート絶縁膜22が形成された半導体装置の断面図である。ゲート絶縁膜22は、例えば高温で酸化を行う方法である熱酸化によって形成する。キャリアストア層32にはイオン注入部50が形成されているのでこの部分で特に酸化が進行する。その結果、ゲート絶縁膜22のうち第2部分22bが一番厚く形成される。次いで、ゲート絶縁膜22に接するゲート電極20を形成する。その後周知のプロセスを経て、図1-4に示す半導体装置が完成する。

10

【0031】

次に、実施の形態1に係る半導体装置の動作を説明する。半導体装置をオンにして導通状態にする場合は、ゲート電極20に正電圧を印加する。すると、エミッタ層26、チャネルドープ層34、キャリアストア層32、ゲート絶縁膜22及びゲート電極20からなるMOSFETがオンして、エミッタ電極38から電子が、コレクタ電極44から正孔が基板30へ流入し、基板30にキャリアが溜まることで導電率変調が起こる。これにより、コレクタ-エミッタ間電圧が下がり、半導体装置が導通状態となる。

20

【0032】

一方、半導体装置をオフ状態とするときには、ゲート電極20の電圧を、エミッタ層26、チャネルドープ層34、キャリアストア層32、ゲート絶縁膜22及びゲート電極20からなるMOSFETのしきい値電圧以下にする。そうするとエミッタ電極38とコレクタ電極44から基板30へ流入するキャリアが遮断され、基板30の内部に溜まった過剰キャリアが排出され、基板30が空乏化することで半導体装置がオフ状態となる。実施の形態1に係る半導体装置がインバータ回路の一部として設けられた場合、半導体装置のオンオフが繰り返される。

30

【0033】

半導体装置をオンする際、基板30の電圧変化又は前述のMOSFETのチャネルを流れる電流変化などにより、容量成分として働くゲート絶縁膜22から変位電流が流れる。特に不純物濃度が高いキャリアストア層32とゲート絶縁膜22の界面に電流が集まりやすいので、キャリアストア層32が電流変化の影響を受けて発振などの望まない動作を引き起こす場合がある。上記の望まない動作の例としては、短絡時のゲートの浮きあがり、ターンオン時に dV/dt の値が高くなることなどが挙げられる。これに対し、実施の形態1では、キャリアストア層32に接する第2部分22bを厚くすることで変位電流自体を低下させることができる。よって、誤動作などの望まない動作を起こりにくくすることができる。

40

【0034】

さらに、キャリアストア層32を設けたことで、半導体装置をオンするときの基板30のキャリア蓄積効果が高くなるためオン電圧が小さくなる。よって、半導体装置でインバータ回路を構成した際の定常損失を下げることができる。これらの効果は、第2部分22bの厚く形成された部分がキャリアストア層32の一部と接しているだけでも得られるものである。なお、ゲート絶縁膜22のうち厚く形成された部分が基板30に接する部分にまで及んでいてもよい。

【0035】

ゲート絶縁膜22の第1部分22aの厚さは、半導体装置のMOSFETのチャネル電流を決める。したがって第1部分22aの厚さは予め定められた厚さとしなければならぬ

50

いが、第2部分22bの厚い部分を第1部分22aに近接させると、製造ばらつきによつて、第1部分22aまで厚く形成されてしまうおそれがある。そこで、第2部分22bのうち第1部分22a及び第3部分22cよりも厚い部分は、第1部分22aから離すことが好ましい。実施の形態1では、第2部分22bの中央部だけが第1部分22a及び第3部分22cよりも厚い。これにより、製造ばらつきを考慮しても、第1部分22aが厚くなってしまうことを回避できる。

【0036】

実施の形態1に係る半導体装置と半導体装置の製造方法はその特徴を失わない範囲で様々な変形が可能である。以下の実施の形態にかかる半導体装置、半導体装置の製造方法について、実施の形態1との共通点が多いので実施の形態1との相違点を中心に説明する。

10

【0037】

実施の形態2.

実施の形態2に係る半導体装置の平面図は図1、2と同じであるので省略する。図8は、実施の形態2に係る半導体装置の断面図である。この断面図は半導体装置のエミッタ層26がある部分における断面図であるので、図2のA-A'線における断面図に対応することができる。ゲート電極20は、ゲート絶縁膜22Aを介して、エミッタ層26、チャネルドープ層34及びキャリアアストア層32と接している。ゲート電極20の上面はゲート配線につながれる部分を除いて層間絶縁膜36に覆われている。ゲート電極20の側面はゲート絶縁膜22Aに覆われている。ゲート電極20の下面是分離絶縁膜22Bに覆われている。

20

【0038】

分離絶縁膜22Bの下には導体層60が設けられている。導体層60は、ゲート電極20の直下にゲート電極20と同じ幅で形成されている。導体層60はアイソレーション絶縁膜22Cを介してキャリアアストア層32と基板30に接している。導体層60の上面は分離絶縁膜22Bに覆われ、側面と下面はアイソレーション絶縁膜22Cに覆われている。導体層60は分離絶縁膜22Bとアイソレーション絶縁膜22Cに囲まれることで他の導体と電気的に絶縁されている。つまり、導体層60の電位はフローティングとなっている。導体層60の全体をアイソレーション絶縁膜22Cと分離絶縁膜22Bによって覆うことが好ましい。

30

【0039】

図9は、実施の形態2に係る半導体装置の拡散層24がある部分における断面図である。図9は、図2のB-B'線における断面図に対応することができる。拡散層24がある部分についても、ゲート絶縁膜22A、分離絶縁膜22B、アイソレーション絶縁膜22C、ゲート電極20及び導体層60が設けられている。これらは図8のゲート絶縁膜22A、分離絶縁膜22B、アイソレーション絶縁膜22C、ゲート電極20及び導体層60とつながっている。

【0040】

このように、実施の形態2に係る半導体装置には、ゲート電極20の下面を覆うとともに導体層60の上面を覆うことで導体層60とゲート電極20を電気的に分離する分離絶縁膜22Bがある。分離絶縁膜22Bの高さと、キャリアアストア層32の中間の高さとを等しくすることが好ましい。すなわち、キャリアアストア層32の上面と下面の中間位置の横に分離絶縁膜22Bを設けることが好ましい。分離絶縁膜22Bより下にあるキャリアアストア層32又は基板30からみたゲート電極20の容量は、アイソレーション絶縁膜22Cと分離絶縁膜22Bの容量の直列和になるため、実効的な容量を低減することができる。このため、キャリアアストア層32又は基板30の電位変動に対して生じる変位電流が少なくなる。結果として、ゲート電位の変動を抑える事ができる。キャリアアストア層32の横に分離絶縁膜22Bを設けることでこの効果が得られる。

40

【0041】

実施の形態2に係る半導体装置の製造方法を、断面図である図10-14を参照して説

50

明する。まず、周知の方法で図10に示す構成を製造する。図10は製造途中の半導体装置の断面図である。図10に示されるように、基板30の上にキャリアストア層32を形成し、キャリアストア層32の上にチャネルドープ層34を形成し、チャネルドープ層34の上にエミッタ層26を形成する。次いで、エミッタ層26とチャネルドープ層34とキャリアストア層32に基板30が露出する溝を形成し、その溝に露出した部分にアイソレーション絶縁膜22Cを形成し、その溝を導体層60で埋め込む。アイソレーション絶縁膜22Cは例えばシリコン酸化膜である。導体層60は例えばポリシリコンである。

【0042】

次いで、図11に示す構造を製造する。図11には、導体層60の一部を除去したことが示されている。この工程では選択的に導体層60の一部をエッチバックする。導体層60の上面はキャリアストア層32の横にある。次いで、図12に示す構造を製造する。図12には、アイソレーション絶縁膜22Cの一部を選択的に除去したことが示されている。まず、図11で説明したとおり導体層60の一部を除去して、その後アイソレーション絶縁膜22Cの一部を除去することで、エミッタ層26の側面と、チャネルドープ層34の側面と、キャリアストア層32の側面の一部とを露出させる。

【0043】

次いで、ゲート酸化を行うことで図13に示す構造を製造する。図13には、導体層60の上面に分離絶縁膜22Bを形成し、エミッタ層26の側面と、チャネルドープ層34の側面と、キャリアストア層32の側面の一部にゲート絶縁膜22Aを形成したことが示されている。1回の酸化処理によって、分離絶縁膜22Bとゲート絶縁膜22Aを形成することができる。

【0044】

次いで、図14に示すように、分離絶縁膜22Bの上にある溝をゲート電極20で埋め込む。ゲート電極20は例えばポリシリコンのデポジションとその選択的なエッチバックによって形成することができる。その後、周知の方法でプロセスを進め、図8、9に示す半導体装置を完成させる。

【0045】

実施の形態3.

図15は実施の形態3に係る半導体装置の平面図である。ゲート絶縁膜22は、第1ゲート絶縁膜22Dと、第1ゲート絶縁膜22Dにつながっている第2ゲート絶縁膜22Eとを備えている。第1ゲート絶縁膜22Dはエミッタ層26に接し、第2ゲート絶縁膜22Eは拡散層24に接している。第1ゲート絶縁膜22Dと第2ゲート絶縁膜22Eのx軸に沿った長さが第1ゲート絶縁膜22Dと第2ゲート絶縁膜22Eの厚みである。第2ゲート絶縁膜22Eは第1ゲート絶縁膜22Dより厚くなっている。すなわち、半導体装置をオン状態としたときにチャネルが形成される部分に接するゲート絶縁膜よりも、チャネルが形成されない部分に接するゲート絶縁膜が厚くなっている。第2ゲート絶縁膜22Eが第1ゲート絶縁膜22Dより厚くなっている分だけ、拡散層24はエミッタ層26よりもx軸に沿った長さが短くなっている。したがって、平面視で拡散層24はエミッタ層26よりも幅が小さい。

【0046】

図16は、図15のC-C'線に沿った半導体装置の断面図である。第1ゲート絶縁膜22Dは、エミッタ層26と、エミッタ層26の下のチャネルドープ層34と、エミッタ層26の下のキャリアストア層32と、基板30に接している。第1ゲート絶縁膜22Dの幅はx1である。図17は、図15のD-D'線に沿った半導体装置の断面図である。第2ゲート絶縁膜22Eは、拡散層24と、拡散層24の下のチャネルドープ層34と、拡散層24の下のキャリアストア層32と、基板30に接している。第2ゲート絶縁膜22Eの幅x2は、第1ゲート絶縁膜22Dの幅x1より大きい。ゲート電極20は第1ゲート絶縁膜22Dと第2ゲート絶縁膜22Eの両方に接する。

【0047】

このように、第2ゲート絶縁膜22Eを第1ゲート絶縁膜22Dより厚くすることで、

10

20

30

40

50

ゲートエミッタ間容量 C_{g e} とゲートコレクタ間容量 C_{g c} の値を下げるができる。これにより、ゲート絶縁膜 22 の周辺の電位が変動したことでゲート電極に流れる変位電流を減少させることができるので、ゲート浮きあがりによる短絡電流の増加等を防ぐ事ができる。しかも、チャネルの形成に寄与する第 1 ゲート絶縁膜 22D は予め定められた厚さにすることができる。

【0048】

実施の形態 3 に係る半導体装置の製造方法を説明する。まず、図 18、19 に示す構造を製造する。図 18 は、エミッタ層 26 を含む部分における断面図である。図 18 は、図 15 の C - C' 線に沿った断面における製造途中の半導体装置を示す。図 19 は、拡散層 24 が形成される部分における断面図である。図 19 は、図 15 の D - D' 線に沿った断面における製造途中の半導体装置を示す。基板 30 の上にキャリアストア層 32 を形成し、キャリアストア層 32 の上にチャネルドープ層 34 を形成し、チャネルドープ層 34 の上的一部にエミッタ層 26 を形成する。こうして、図 18、19 の構造を得ることができる。

10

【0049】

次いで、図 18、19 に示す構造に、ゲート絶縁膜とゲート電極を形成するための溝を形成する。図 20 は、溝形成に用いる写真製版用のマスク 70 の平面図である。マスク 70 は第 1 部分 70A と第 2 部分 70B を備えている。第 1 部分 70A では直線的なマスクパターンとなっているが、第 2 部分 70B では蛇腹状のマスクパターンとなっている。レジストを塗布した半導体装置のレジストにマスク 70 を用いて露光処理をし、露光されたレジストを現像し、レジストパターンから露出した部分を基板 30 が露出するまでエッチングする。そうすると、図 21、22 で示す構造を得ることができる。

20

【0050】

図 21 は、エミッタ層 26 がある部分における半導体装置の断面図である。図 21 は図 18 と同じ位置における断面図である。図 22 は、エミッタ層 26 がない部分における半導体装置の断面図である。図 22 は図 19 と同じ位置における断面図である。マスク 70 を利用したエッチングにより、平面視でエミッタ層 26 が形成された部分に、側面が平面視で直線となり、基板 30 が露出する溝が形成される。したがって、図 21 の溝の幅は一様である。また、平面視でエミッタ層 26 が形成されていない部分に、側面が平面視で蛇腹となり、基板 30 が露出する溝も形成される。したがって、図 22 の溝は、マスク 70 の第 2 部分 70B における蛇腹状の形状を反映して、場所により幅が異なっている。

30

【0051】

次いで、図 21、22 に示す構造に熱酸化を施す。具体的には、エミッタ層 26、チャネルドープ層 34 及びキャリアストア層 32 の側面と、溝に露出した基板 30 とを熱酸化してゲート絶縁膜を形成する。図 23、24 は、図 21、22 に示す構造を熱酸化して得られた構造の断面図である。熱酸化では、平面視で蛇腹状に形成された部分では 3 方向から酸化が進む。つまり、図 15 の座標系で言えば、x 正方向又は x 負方向、並びに y 正方向及び y 負方向に酸化が進む。熱酸化では、3 方向から進展した酸化膜がつながって蛇腹状の部分のシリコンが無くなるまで酸化を進める。こうして、図 23、24 に示すように、エミッタ層 26 に接する第 1 ゲート絶縁膜 22D よりも、拡散層 24 に接する第 2 ゲート絶縁膜 22E を厚くすることができる。その後、ゲート絶縁膜 22 に接するゲート電極 20 を形成し、周知のプロセスを実行することで、トレンチ型のゲート部を有する半導体装置を製造することができる。

40

【0052】

実施の形態 4 。

実施の形態 4 に係る半導体装置の平面図は図 1、2 と同じであるので省略する。図 25、26 は、実施の形態 4 に係る半導体装置の断面図である。図 25 は半導体装置のエミッタ層 26 がある部分における断面図なので、図 2 の A - A' 線における断面図に対応するということができる。図 26 は半導体装置の拡散層 24 がある部分における断面図なので、図 2 の B - B' 線における断面図に対応するということができる。

50

【0053】

図25には、ゲート絶縁膜22を介して、エミッタ層26、チャネルドープ層34、キャリアストア層32及び基板30と接するゲート電極20が示されている。ゲート電極20は、基板30の上面側の第1ゲート電極20Aと、第1ゲート電極20Aの下面に接し、第1ゲート電極20Aよりも不純物濃度が小さい第2ゲート電極20Bとを有している。第1ゲート電極20Aと第2ゲート電極20Bは例えばドープドポリシリコンである。第1ゲート電極20Aと第2ゲート電極20Bの境界は、キャリアストア層32の横にある。図26に示されるように、拡散層24がある部分でも、図25と同じく第1ゲート電極20Aと第2ゲート電極20Bを有するゲート電極20が設けられている。

【0054】

10

図25、26に示す半導体装置は、まず、第2ゲート電極20Bの材料を堆積させ、その一部を選択的にエッチバックした後、第1ゲート電極20Aの材料を堆積する事で形成できる。ゲート電極20のコレクタ側に形成された部分である第2ゲート電極20Bを、第1ゲート電極20Aよりも低不純物濃度とした。これは、ゲート絶縁膜22を介してキャリアストア層32及び基板30に接するゲート電極20の不純物濃度を低濃度にすることと言い換えることができる。これにより、第2ゲート電極20Dに電位分布が生じ変位電流が減少する。よって、チャネルが形成される部分の横にあるゲート電極20の電位変動が小さくなり、ゲート電位の浮きあがりによる短絡電流増加および低電流ターンオン時のリカバリ電流等を抑制できる。

【0055】

20

実施の形態5.

図27は実施の形態5に係る半導体装置の平面図である。ゲート電極20は平面視でエミッタ層26の横にだけ形成されている。拡散層24の横にはゲート電極20は形成されていない。平面視するとゲート電極20は島状に複数形成されている。エミッタ層26の横の第1ゲート絶縁膜22gよりも、拡散層24の横の第2ゲート絶縁膜22hが厚く形成されている。これにより、チャネルの形成される部分であるエミッタ層26の横にのみゲート電極20が設けられる。

【0056】

図28は、図27のG-G'線における半導体装置の断面図である。ゲート電極20の上にゲート配線80が形成されている。図29は、図27のH-H'線における半導体装置の断面図である。第2ゲート絶縁膜22hの上にはゲート配線80が形成されている。図28のゲート配線80と図29のゲート配線80はつながっている。ゲート電極20とゲート配線80は例えばポリシリコンである。

30

【0057】

このように、チャネルが形成されない部分である拡散層24に接するゲート絶縁膜を厚くすることで、 C_{ge} と C_{gc} の値を下げることができる。これによりゲート絶縁膜の周辺で電位変動が起こった際にゲート電極20に生じる変位電流が減少し、ゲート浮きあがりによる短絡電流の増加等を防ぐ事ができる。

【0058】

40

実施の形態5に係る半導体装置の製造方法を説明する。まず、図30、31に示す構造を製造する。図30は、エミッタ層26を含む部分における半導体装置の断面図である。図30は、図27のG-G'線に沿った断面における製造途中の半導体装置を示す。図31は、拡散層24が形成される部分における断面図である。図31は、図27のH-H'線に沿った断面における製造途中の半導体装置を示す。基板30の上にキャリアストア層32を形成し、キャリアストア層32の上にチャネルドープ層34を形成し、チャネルドープ層34の上の一部にエミッタ層26を形成する。こうして、図30、31の構造を得ることができる。

【0059】

次いで、図30、31に示す構造に、ゲート絶縁膜とゲート電極を形成するための溝を形成する。具体的には、平面視でエミッタ層26が形成された部分と、平面視でエミッタ

50

層 2 6 が形成されていない部分の一部をエッティングして基板 3 0 を露出させる第 1 溝を形成する。図 3 2、3 3 には、第 1 溝 8 2 が示されている。図 3 2 は、図 3 0 の構造に第 1 溝 8 2 を形成したことを示す断面図である。図 3 3 は、図 3 1 の構造に第 1 溝 8 2 を形成したことを示す断面図である。第 1 溝 8 2 は、一般的な写真製版技術とエッティング技術を用いて形成することができる。

【 0 0 6 0 】

次いで、第 1 溝 8 2 をゲート絶縁膜で埋め込む。例えば、酸化膜を堆積させた後で、余分の酸化膜をエッティングで除去することで、第 1 溝 8 2 の内にゲート絶縁膜を形成する。図 3 4 は、図 3 2 の構造における第 1 溝 8 2 に第 1 ゲート絶縁膜 2 2 g を形成したことを示す断面図である。図 3 5 は、図 3 3 の構造における第 1 溝 8 2 に第 2 ゲート絶縁膜 2 2 h を形成したことを示す断面図である。10

【 0 0 6 1 】

次いで、図 3 4 に示す第 1 ゲート絶縁膜 2 2 g に第 2 溝を形成する。そしてその第 2 溝をゲート電極で埋め込む。図 3 6 には、図 3 4 の構造に第 2 溝 8 4 を形成しその第 2 溝 8 4 をゲート電極 2 0 で埋め込んだことが示されている。第 2 溝 8 4 は、平面視でエミッタ層 2 6 の横にある第 1 ゲート絶縁膜 2 2 g の一部を、エミッタ層 2 6 とチャネルドープ層 3 4 とキャリアストア層 3 2 と基板 3 0 を露出させないように、エッティングすることで形成する。このプロセスは、一般的な写真製版技術とエッティング技術を用いて行うことができる。その結果、断面視で U 字型の第 1 ゲート絶縁膜 2 2 g が形成される。断面視で U 字型に形成された第 1 ゲート絶縁膜 2 2 g によって第 2 溝 8 4 が提供される。この第 2 溝 8 4 に例えればポリシリコンでゲート電極 2 0 を形成する。20

【 0 0 6 2 】

このゲート電極 2 0 の形成と同時に又は遅れて、ゲート電極 2 0 の上にゲート配線 8 0 を形成する。図 3 7 に示すように、第 2 ゲート絶縁膜 2 2 h の上にもゲート配線 8 0 を形成する。平面視でエミッタ層 2 6 の横と、エミッタ層 2 6 が形成されていない部分の横とにゲート配線 8 0 を形成することで、拡散層 2 4 を挟んで設けられた 2 つのエミッタ層 2 6 に隣接するゲート電極 2 0 を電気的に接続することができる。堆積技術と写真製版及びエッティングの技術とを用いることで、第 2 溝 8 4 を形成し、ゲート電極 2 0 を形成し、ゲート配線 8 0 を形成することができる。その後、周知のプロセスを実行することで、図 2 7 - 2 9 に示された半導体装置を製造することができる。30

【 0 0 6 3 】

実施の形態 6 。

図 3 8 は実施の形態 6 に係る半導体装置の平面図である。エミッタ層 2 6 は平面視で千鳥状に複数設けられている。拡散層 2 4 は平面視で千鳥状に複数設けられている。並行に走っているゲート電極 2 0 に対して、エミッタ層 2 6 と拡散層 2 4 が千鳥形に配置されている。ゲート絶縁膜 2 2 は、エミッタ層 2 6 に接する第 1 ゲート絶縁膜 2 2 F と、拡散層 2 4 に接する第 2 ゲート絶縁膜 2 2 G を備えている。第 2 ゲート絶縁膜 2 2 G の少なくとも一部は、第 1 ゲート絶縁膜 2 2 F よりも厚く形成されている。

【 0 0 6 4 】

図 3 9 は、図 3 8 の I - I' 線における断面図である。第 2 ゲート絶縁膜 2 2 G の厚さ × 2 は第 1 ゲート絶縁膜 2 2 F の厚さ × 1 より大きい。つまり、チャネルが形成されない拡散層 2 4 に接するゲート絶縁膜を、チャネルが形成されるエミッタ層 2 6 に接するゲート絶縁膜より厚くする。これにより、C_{g e} と C_{g c} の値を下げることができる。そうすると、ゲート絶縁膜周辺で電位変動が起こった際のゲート電極の変位電流が減少し、ゲート浮きあがりによる短絡電流の増加等を防ぐ事ができる。40

【 0 0 6 5 】

実施の形態 3 に係る半導体装置の製造方法と同様に蛇腹状のパターンを形成して酸化膜の厚さに差をつける手法を利用することで、実施の形態 6 に係る半導体装置を製造することができる。

【 0 0 6 6 】

10

20

30

40

50

実施の形態 3、5、6 の半導体装置は、拡散層 24 に接するゲート絶縁膜の少なくとも一部を、エミッタ層 26 に接するゲート絶縁膜よりも厚くした点で共通している。この特徴を別の実施形態に取り入れてもよい。

【0067】

実施の形態 1 - 6 で説明した半導体装置の特徴を組み合わせて、本発明の効果を高めてもよい。半導体装置のある領域にある実施形態の構造を採用し、別の領域に別の実施形態の構造を採用してもよい。部分的に上記の構造を採用してもよい。また、半導体装置の構造としては IGBT に限定されず、MOSFET またはダイオードなどのパワーデバイスとしてもよい。半導体装置の耐圧クラスは特に限定されない。基板 30 としては、FZ 基板、エピ基板又は周知の基板を用いることができる。

10

【0068】

実施の形態 7 .

本実施の形態は、上述した実施の形態 1 - 6 にかかる半導体装置を電力変換装置に適用したものである。本発明は特定の電力変換装置に限定されるものではないが、以下、実施の形態 7 として、三相のインバータに本発明を適用した場合について説明する。

【0069】

図 40 は、本実施の形態にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【0070】

図 40 に示す電力変換システムは、電源 100、電力変換装置 200、負荷 300 から構成される。電源 100 は、直流電源であり、電力変換装置 200 に直流電力を供給する。電源 100 は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路又は AC / DC コンバータで構成することとしてもよい。また、電源 100 を、直流系統から出力される直流電力を所定の電力に変換する DC / DC コンバータによって構成することとしてもよい。

20

【0071】

電力変換装置 200 は、電源 100 と負荷 300 の間に接続された三相のインバータであり、電源 100 から供給された直流電力を交流電力に変換し、負荷 300 に交流電力を供給する。電力変換装置 200 は、図 40 に示すように、直流電力を交流電力に変換して出力する主変換回路 201 と、主変換回路 201 の各スイッチング素子を駆動する駆動信号を出力する駆動回路 202 と、駆動回路 202 を制御する制御信号を駆動回路 202 に出力する制御回路 203 とを備えている。

30

【0072】

負荷 300 は、電力変換装置 200 から供給された交流電力によって駆動される三相の電動機である。なお、負荷 300 は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車、電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

30

【0073】

以下、電力変換装置 200 の詳細を説明する。主変換回路 201 は、スイッチング素子と還流ダイオードを備えており（図示せず）、スイッチング素子がスイッチングすることによって、電源 100 から供給される直流電力を交流電力に変換し、負荷 300 に供給する。主変換回路 201 の具体的な回路構成は種々のものがあるが、本実施の形態にかかる主変換回路 201 は 2 レベルの三相フルブリッジ回路であり、6 つのスイッチング素子とそれぞれのスイッチング素子に逆並列された 6 つの還流ダイオードから構成することができる。主変換回路 201 の各スイッチング素子には、上述した実施の形態 1 - 6 のいずれかにかかる半導体装置を適用する。6 つのスイッチング素子は 2 つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U 相、V 相、W 相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路 201 の 3 つの出力端子は、負荷 300 に接続される。

40

【0074】

50

駆動回路 202 は、主変換回路 201 のスイッチング素子を駆動する駆動信号を生成し、主変換回路 201 のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路 203 からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

【0075】

制御回路 203 は、負荷 300 に所望の電力が供給されるよう主変換回路 201 のスイッチング素子を制御する。具体的には、負荷 300 に供給すべき電力に基づいて主変換回路 201 の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調する PWM 制御によって主変換回路 201 を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路 202 に制御指令（制御信号）を出力する。駆動回路 202 は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

【0076】

本実施の形態に係る電力変換装置では、主変換回路 201 のスイッチング素子として実施の形態 1 - 6 のいずれか 1 つにかかる半導体装置を適用するため、ゲート電極に流れる変位電流を原因とする誤動作を防止できる。つまり、電力変換装置の信頼性を高めることができる。

【0077】

本実施の形態では、2 レベルの三相インバータに本発明を適用する例を説明したが、本発明は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2 レベルの電力変換装置としたが 3 レベル又はマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本発明を適用しても構わない。また、直流負荷等に電力を供給する場合には DC / DC コンバータ又は AC / DC コンバータに本発明を適用することも可能である。

【0078】

また、本発明を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機若しくはレーザー加工機、又は誘導加熱調理器若しくは非接触器給電システムの電源装置として用いることもでき、さらには太陽光発電システム又は蓄電システム等のパワーコンディショナーとして用いることも可能である。

【符号の説明】

【0079】

10 素子領域、	20 ゲート電極、	22 ゲート絶縁膜、	24 拡散層、	26 エミッタ層、	30 基板、	32 キャリアアストア層、	34 チャネルドープ層、	36 エミッタ電極、	40 バッファ層、	42 コレクタ層、	44 コレクタ電極
----------	-----------	------------	---------	-----------	--------	---------------	--------------	------------	-----------	-----------	-----------

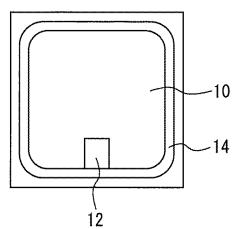
10

20

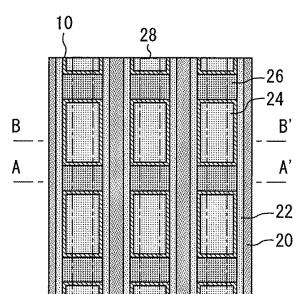
30

40

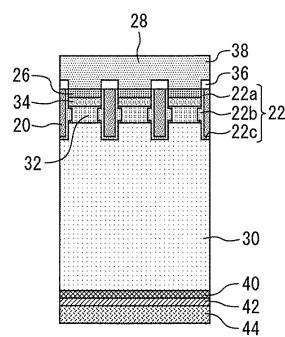
【図1】



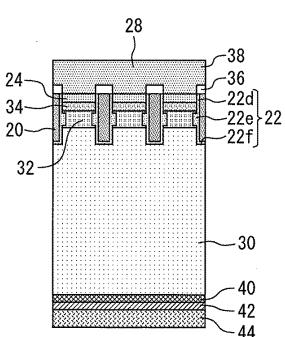
【図2】



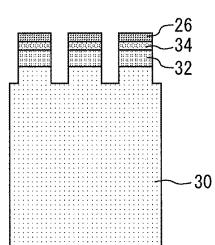
【図3】



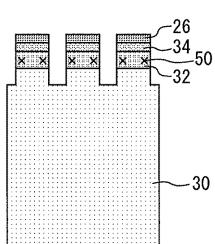
【図4】



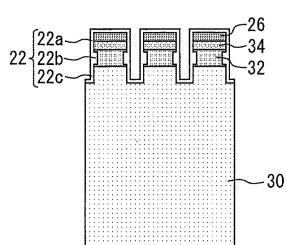
【図5】



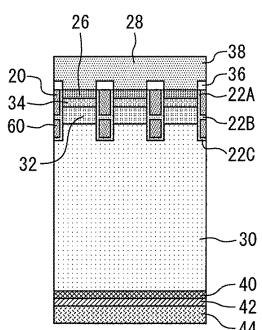
【図6】



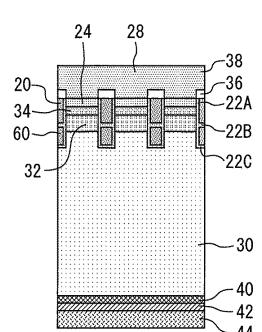
【図7】



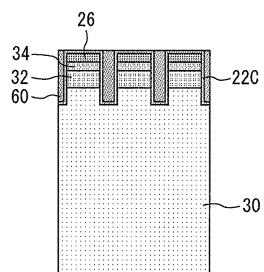
【図8】



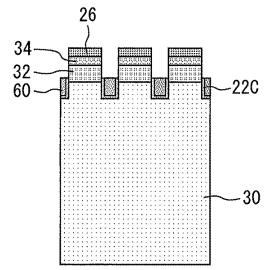
【図9】



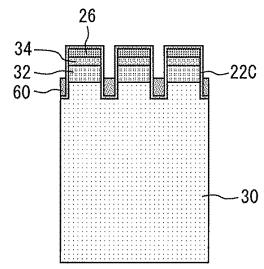
【図10】



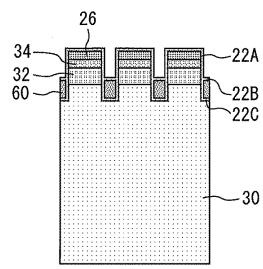
【図12】



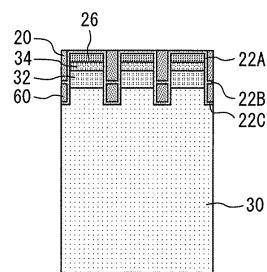
【図11】



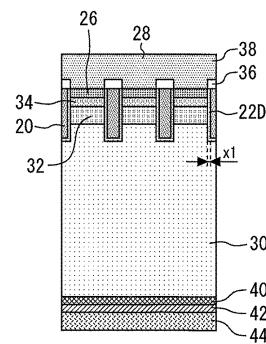
【図13】



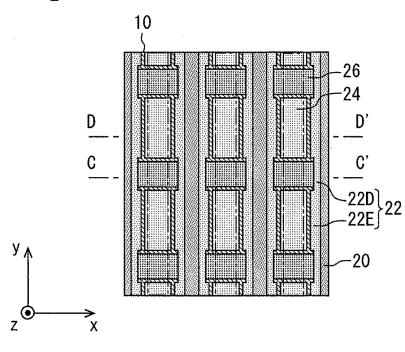
【図14】



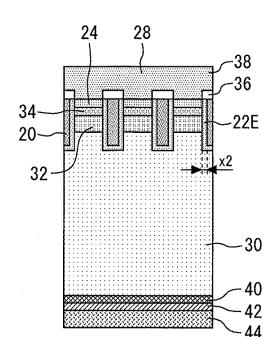
【図16】



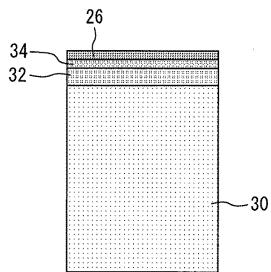
【図15】



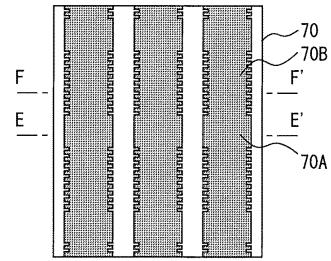
【図17】



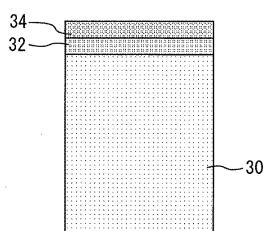
【図18】



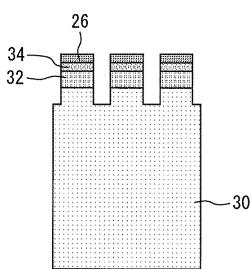
【図20】



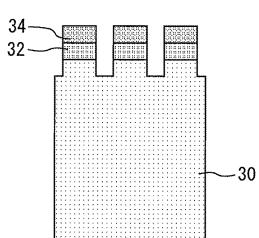
【図19】



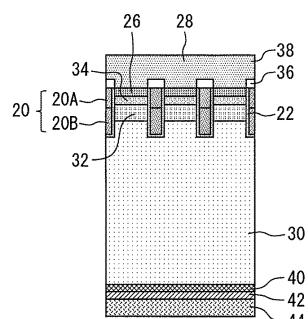
【図21】



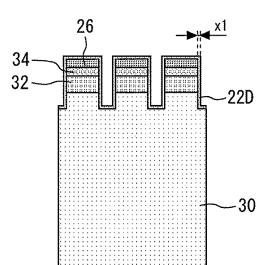
【図22】



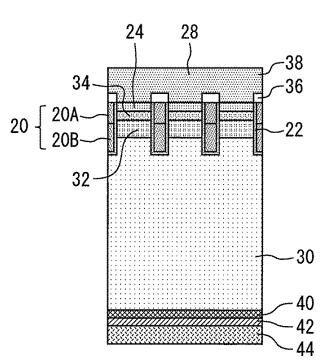
【図25】



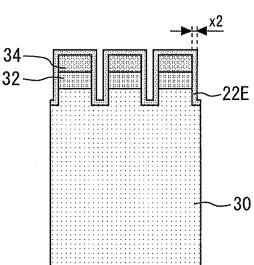
【図23】



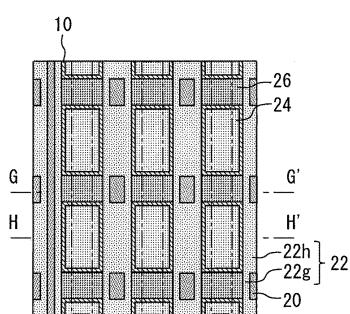
【図26】



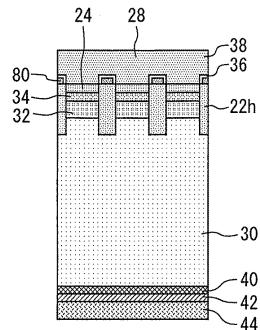
【図24】



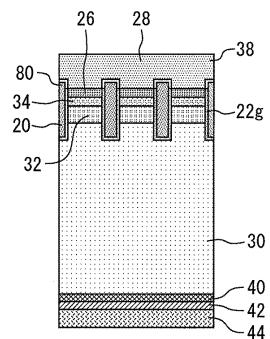
【図27】



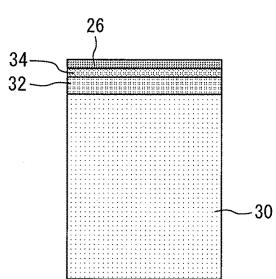
【図29】



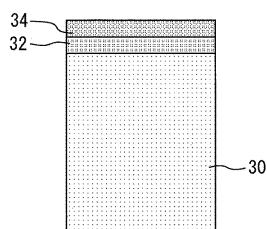
【図28】



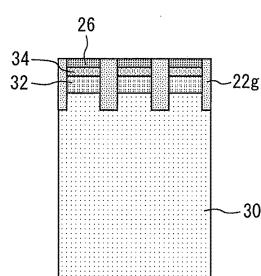
【図30】



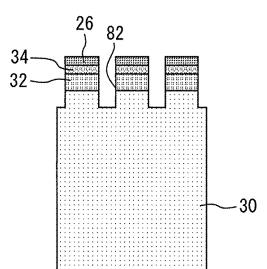
【図31】



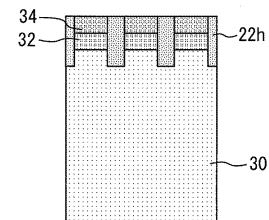
【図34】



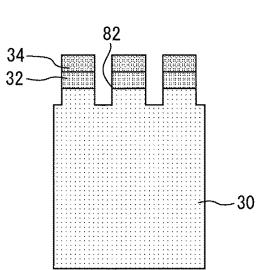
【図32】



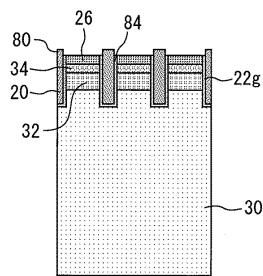
【図35】



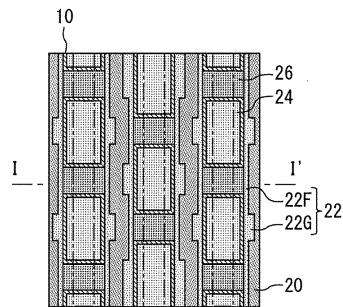
【図33】



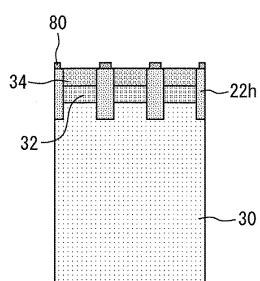
【図36】



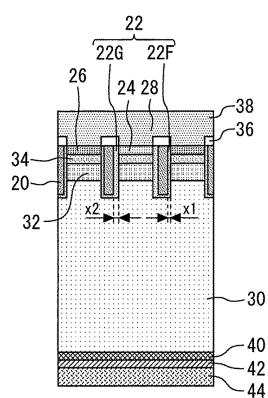
【図38】



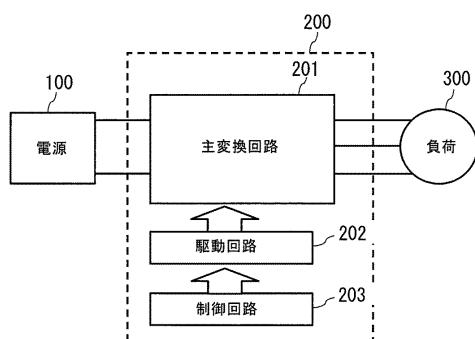
【図37】



【図39】



【図40】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 5 2 J
H 0 1 L	29/78	6 5 8 A

(56)参考文献 特開2016-154218(JP,A)

特開2014-060362(JP,A)

特開2010-129973(JP,A)

特開2013-171931(JP,A)

国際公開第2016/125490(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 7 3 9

H 0 1 L 2 1 / 3 3 6