



(12)发明专利

(10)授权公告号 CN 104812504 B

(45)授权公告日 2018.01.26

(21)申请号 201380060566.7

(22)申请日 2013.11.06

(65)同一申请的已公布的文献号

申请公布号 CN 104812504 A

(43)申请公布日 2015.07.29

(30)优先权数据

61/728,339 2012.11.20 US

(85)PCT国际申请进入国家阶段日

2015.05.20

(86)PCT国际申请的申请数据

PCT/IB2013/059932 2013.11.06

(87)PCT国际申请的公布数据

W02014/080310 EN 2014.05.30

(73)专利权人 皇家飞利浦有限公司

地址 荷兰艾恩德霍芬

(72)发明人 J·H·克鲁特威克 M·米尔德

N·M·A·德维尔德 K·卡拉卡亚

C·A·范登赫费尔

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 蔡洪贵

(51)Int.Cl.

B06B 1/02(2006.01)

(56)对比文件

WO 2011142850 A2, 2011.11.17,

US 2005177045 A1, 2005.08.11,

CN 101578686 A, 2009.11.11,

CN 102159334 A, 2011.08.17,

WO 2011142850 A2, 2011.11.17,

审查员 槐建明

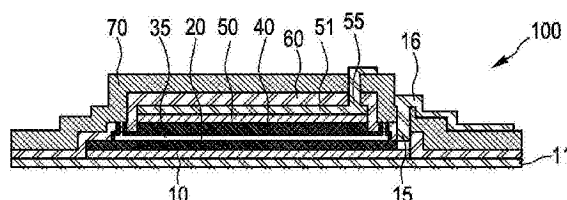
权利要求书2页 说明书14页 附图13页

(54)发明名称

电容性微加工换能器和制造所述电容性微加工换能器的方法

(57)摘要

本发明涉及一种制造电容性微加工换能器(100)、尤其是CMUT的方法,所述方法包括:将第一电极层(10)沉积在基板(1)上,将第一介电薄膜(20)沉积在所述第一电极层(10)上,将牺牲层(30)沉积在所述第一介电薄膜(20)上,所述牺牲层(30)可移除以形成所述换能器的腔体(35),将第二介电薄膜(40)沉积在所述牺牲层(30)上,将第二电极层(50)沉积在所述第二介电薄膜(40)上,以及图案化所述沉积层和薄膜(10、20、30、40、50)中的至少一个,其中所述沉积步骤是通过原子层沉积来执行的。本发明还涉及一种通过此方法制造的电容性微加工换能器、尤其是CMUT。



1. 一种制造电容性微加工换能器(100)的方法,所述方法包括:
 - 沉积第一电极层(10),
 - 沉积牺牲层(30),所述牺牲层(30)能够被移除以形成所述换能器的腔体,
 - 沉积第二电极层(50),
 - 通过提供蚀刻孔洞(32)并蚀刻所述牺牲层(30)以形成腔体(35)来移除所述牺牲层(30),其中所述腔体包括顶表面(92)、底表面(94)和侧表面(96、98),以及随后
 - 通过原子层沉积在所述腔体(35)中将第一介电薄膜(20)沉积在所述第一电极层(10)上且将第二介电薄膜(40)沉积在所述第二电极层(50)上,其中所沉积的第一介电薄膜(20)和第二介电薄膜(40)覆盖所述腔体(35)的所述顶表面(92)和所述底表面(94)以及所述侧表面(96、98)。
2. 根据权利要求1所述的方法,其特征在于,所述方法包括在移除所述牺牲层(30)的步骤之前图案化所沉积的层(10、30、50)中的至少一个。
3. 根据权利要求2所述的方法,其特征在于,所述方法还包括在移除所述牺牲层(30)和图案化所述第二电极层(50)的步骤之前通过原子层沉积将所述第二电极层(50)沉积在所述牺牲层(30)上的步骤。
4. 根据权利要求2所述的方法,其特征在于,所述方法还包括在移除所述牺牲层(30)和图案化所述第一电极层(10)的步骤之前通过原子层沉积将所述第一电极层(10)沉积在基板(1、11)上的步骤。
5. 根据权利要求2所述的方法,其特征在于,所述方法还包括通过原子层沉积来沉积所述牺牲层(30),以及图案化所述牺牲层(30)。
6. 根据权利要求1所述的方法,其特征在于,所述方法还包括在移除所述牺牲层(30)的步骤之前通过原子层沉积来沉积覆盖所述牺牲层(30)的介电层(60)。
7. 一种电容性微加工换能器(100),其通过权利要求1所述的方法来制造。
8. 一种电容性微加工换能器(100),包括:
 - 基板(1、11)上的第一电极层(10),
 - 所述第一电极层(10)上的第一介电薄膜(20),
 - 形成于所述第一介电薄膜(20)上方的腔体(35),
 - 覆盖所述腔体(35)的第二介电薄膜(40),以及
 - 在所述第二介电薄膜(40)上的第二电极层(50),其中所述第一介电薄膜(20)和所述第二介电薄膜(40)覆盖所述腔体(35)的顶表面(92)和底表面(94)以及侧表面(96、98)。
9. 根据权利要求8所述的换能器,其特征在于,所沉积的层(10、50)中的至少一个被图案化。
10. 根据权利要求8所述的换能器,其特征在于,所述第一电极层(10)和/或所述第二电极层(50)包括非金属导电材料,其中所述非金属导电材料是从包括TiN、TaN、TaCN、IrO₂、ITO、LaNiO₃和SrRuO₃的组中选择的至少一种材料,具体地所述非金属导电材料是TiN。
11. 根据权利要求9所述的换能器,其特征在于,至少一个图案化过的层(10、50)在其侧面处突然地或非连续地结束。
12. 根据权利要求8所述的换能器,其特征在于,所述换能器还包括从所述第一电极层

(10) 沿垂直于所述第一电极层的顶表面的方向延伸和/或从所述第二电极层 (50) 沿垂直于所述第二电极层的顶表面的方向延伸的至少一个导电导通孔 (15、55)。

13. 根据权利要求8所述的换能器, 其特征在于, 所述换能器还包括覆盖所沉积的层和薄膜 (10、20、30、40、50) 的介电层 (60), 其中所述介电层 (60) 以基本上相同的覆盖结构覆盖所沉积的层和薄膜 (10、20、30、40、50) 的顶表面和侧表面。

14. 根据权利要求8所述的换能器, 其特征在于, 所述第一介电薄膜 (20) 和/或所述第二介电薄膜 (40) 包括具有氧化物的第一层、具有高k材料的第二层、以及具有氧化物的第三层。

电容性微加工换能器和制造所述电容性微加工换能器的方法

发明领域

[0001] 本发明涉及一种制造电容性微加工换能器的方法,尤其是用于传输和/或接收超声波的电容性微加工超声换能器(CMUT)。本发明还涉及一种电容性微加工换能器,尤其是用于传输和/或接收超声波的电容性微加工超声换能器(CMUT)。

背景技术

[0002] 任何超声(成像)系统的核心均为换能器,其将电能转换为声能,且反之亦然。传统地,这些换能器由布置在线性(1-D)换能器阵列中的压电晶体制成,且在高达10MHz的频率下操作。然而,朝向矩阵(2-D)换能器阵列发展的趋势和朝向小型化发展以将超声(成像)功能集成到导管和导线中的驱动力已导致了所谓的电容性微加工超声换能器(CMUT)的开发。CMUT包括膜(或隔膜)、在所述膜下方的腔体、以及形成电容器的电极。为了接收超声波,超声波使所述膜移动或振动且可检测到所述电极之间的电容变化。因此,将所述超声波转变成对应的电信号。相反地,应用到所述电极上的电信号使所述膜移动或振动且因此发射超声波。

[0003] 然而,电荷累积(charging)是电容性微加工超声换能器的一个已知缺点。WO 2010/032156 A2描述了一种具有特定层结构的电容性微加工超声换能器,其解决了电荷累积问题。包括电介质的第一隔离层布置在所述第一电极和第二电极之间。此外,包括电介质的第二隔离层可以布置在所述第二电极和所述腔体之间。尤其是,所谓的ONO(氧化物-氮化物-氧化物)介电层提供了对电荷累积的解决方案。

[0004] 在WO 2010/032156 A2中,第一介电隔离层和第二介电隔离层电隔离了第一电极和第二电极。此类介电隔离层在恰当的程度确定了CMUT装置的总性能。在理想的情况下,介电隔离层非常薄,或者具有高的介电常数和高的击穿电压。然而,ONO介电层具有其缺陷,且仅可以沉积在相对厚的层上(例如,约250nm,使用“等离子增强的化学气相沉积法”(PECVD)),且具有低的介电常数,因为氮化物的介电常数为约5至7。因此,CMUT的性能由ONO介电层的最小厚度、电击穿电压及其介电常数限定。此CMUT装置的具体问题可以是,工作电压相当高且输出压力相对低。因此,需要进一步改善此CMUT。

发明内容

[0005] 本发明的目的是提供一种改善的电容性微加工换能器(尤其是CMUT),尤其是具有改善的性能(例如,降低工作电压和/或增加输出压力)和/或更易于制造。本发明的另一目的是提供一种改善的制造此电容性微加工换能器(尤其是CMUT)的方法。

[0006] 在本发明的第一方面中,提供一种制造电容性微加工换能器、尤其是CMUT的方法,所述方法包括:沉积牺牲层,所述牺牲层可被移除以形成所述换能器的腔体;通过提供蚀刻孔洞和蚀刻所述牺牲层以形成腔体来移除所述牺牲层;且其中大致执行以下步骤中的至少一个:通过原子层沉积在所述腔体中沉积第一电极层和第二电极层;和/或通过原子层沉积在所述腔体中将第一介电薄膜沉积在所述第一电极层上且将第二介电薄膜沉积在所述第

二电极层上。

[0007] 在本发明的另一方面,提供一种通过本发明的方法来制造的电容性微加工换能器,尤其是CMUT。

[0008] 在本发明的另一方面,提供一种电容性微加工换能器,尤其是CMUT,所述电容性微加工换能器包括:在基板上的第一电极层;在所述第一电极层上的第一介电薄膜;形成于所述第一介电薄膜上方的腔体;覆盖所述腔体的第二介电薄膜,以及在所述第二介电薄膜上的第二电极层;其中所述第一和第二介电薄膜覆盖所述腔体的顶表面和底表面以及侧表面。

[0009] 本发明的基本观点之一是使用原子层沉积(ALD)用于所述制造方法。所述ALD技术提供优点和选项以克服当前的处理限制,且相应地克服CMUT性能限制。提供一种制造方法,其中在一个单一工艺序列中、尤其是在可控的环境下而非如在现有技术的处理期间通常将基板暴露至周围环境很必要的情况下沉积所有CMUT功能层。所述CMUT功能层尤其是第一电极层(提供第一电极)、第一介电薄膜(提供电隔离)、牺牲层(形成腔体)、第二介电薄膜(提供电隔离)和第二电极薄膜(提供第二电极)。此工艺也称为全层ALD(AL-ALD)CMUT工艺。以此方式,实现具有沉积层(或薄膜)堆叠的晶片。由于在生长所述层的堆叠时晶片并未离开ALD机器,因此可以实现非常清洁的材料界面。此外,可以通过控制和细调(例如)各个层和界面的应力和电荷累积属性而获得性能改善。

[0010] 此发明涉及显著地改善CMUT装置的性能。实现CMUT装置的一个基本处理步骤通过蚀刻牺牲层而形成了腔体的开口。此步骤仍会显著地影响装置性能。本发明提议首先通过蚀刻牺牲层且随后通过ALD穿过已存在的开口生长所述介电薄膜和/或金属层(电极层)来实现所述腔体。借此,可能完美地清洁所述腔体。随后,添加介电薄膜和/或电极层,所述介电薄膜和/或电极层由于其后续施加而不会在沉积之后受任何化学侵蚀的影响。通过施加此工艺选项,可以通过控制和细调(例如)各个层及其界面的应力和电荷累积属性而预期到进一步的性能改善,这在传统处理(即,完整的“由顶至底”图案化)中将是不可可能的。然而,腔体仍需要通过蚀刻牺牲层来打开,其中蚀刻之后的残留物仍可以是在装置操作期间的重要电荷累积来源。这一新方案中的关键首先是腔体的实现,且随后是将电极层和介电薄膜沉积在此腔体中,此后在此腔体中无需任何额外的处理步骤,因此最小化介电层顶部的残留物的风险。当在移除所述牺牲层之后且因此在打开所述腔体之后通过ALD来施加至少所述介电薄膜时,所述介电薄膜不再受到蚀刻化学剂的侵蚀,且无任何蚀刻残留物将在此类介电层的顶部上。因此,具体地讲,在蚀刻牺牲层的步骤之后,且在通过ALD将第一和第二电极层和/或第一和第二介电薄膜沉积在所述腔体中之前,执行对所述腔体的清洁以移除蚀刻残留物的步骤。所述制造方法部分地使用尤其是“由顶至底”图案化。所述由顶至底图案化提供了具有特征性锥体结构、尤其是台阶式锥体结构的CMUT。此典型剖面可以通过分析方法使用(例如)FIB或SEM(扫描电子显微镜)剖面来识别。图案化意味着使所述结构(例如,沉积层的堆叠)具有一定的图案。例如,这可以使用(光学(photo))平版印刷来执行,其中使光敏感性物质曝光。所述曝光工具称为步进机。已开发称为Resist的光敏层。所述图案可被蚀刻到一个层中。所述蚀刻过程可以是“湿”或“干”过程。

[0011] 原子层沉积是薄膜沉积技术,其基于气相化学过程的顺序使用。大部分ALD反应使用两种化学品,通常称为“前体”。这些前体以顺序的方式一次一个地与表面起反应。通过将

所述前体重复地暴露至生长表面,沉积了薄膜。ALD是自限制(即,在每个反应周期中沉积的薄材料的量是恒定的)、顺序表面化学过程,其将材料的适形薄膜沉积到不同组成的基板上。ALD沉积层通常是无定形的。ALD沉积层通常具有高品质,无针孔现象且可以在低温下沉积。由于所述低的工艺温度,ALD是CMOS相容的。较薄的介电隔离层导致在较低工作电压下具有更高的输出压力和改善的接收敏感度。这是因为,所述膜由电极之间的沿着朝向腔体底部的方向的电力吸引。薄的介电薄膜或具有高介电常数的材料(也称为高 ϵ 材料或高k材料)显著增加了此电力,这产生了更多输出电力或增加了接收敏感度(基于库仑的反平方定律)。这尤其适用于在塌缩模式下操作的CMUT(即,在操作期间所述膜部分地触碰腔体底部,例如通过在电极之间施加偏压),但通常也适用于在非塌缩模式下的CMUT。

[0012] 本发明的优选实施例被限定在从属权利要求中。应当了解,所要求的CMUT具有与所要求的方法的优选实施例和从属权利要求中所限定的优选实施例类似和/或一致的优选实施例。同样,应当了解,所要求的方法具有与所要求的CMUT的优选实施例和从属权利要求中所限定的优选实施例类似和/或一致的优选实施例。

[0013] 在尤其优选的实施例中,第一介电薄膜和/或第二介电薄膜包括具有氧化物的第一层,具有高k材料的第二层,以及具有氧化物的第三层。因此,所述介电隔离层包括氧化物层(O)、高k层和另一氧化物层(O)。换句话讲,高k层夹在两个氧化物层之间(尤其是硅氧化物)。这是所谓的层合材料。高k是指高介电常数(例如,8或更大)。所述介电常数通常缩写为字母k(或者是 ϵ_r)。与ONO介电隔离层相比,以此方式可以显著地改善换能器性能(例如,以较低的工作电压实现较高的输出压力)。因此,通过用借助原子层沉积(ALD)而沉积的高k材料替换ONO介电隔离层,实现CMUT性能在工作电压和输出压力方面的显著增加。此外,与ONO介电隔离层相比,可以实现关于装置稳定性的类似性能(尤其是相对于时间的稳定输出)。换句话讲,所述层合材料并不存储导致超声输出发生偏移的电荷。

[0014] 在此实施例的变化形式中,高k材料是氧化铝(Al_2O_3)和/或氧化铪(HfO_2)。氧化铝(k或 ϵ_r 介于7和9之间,尤其是约8或9)或氧化铪(k或 ϵ_r 介于12和27之间,尤其是约14或20)具有高的介电常数。在一个实例中,可以以此方式提供氧化物-氧化铝-氧化物(缩写为OAO)的层合材料(交替的层)。在另一实例中,可以以此方式提供氧化物-氧化铪-氧化物(缩写为OHO)的层合材料(交替的层)。

[0015] 在此实施例的另一变化形式中,第二层包括具有氧化铝的第一子层,具有氧化铪的第二子层,和具有氧化铝的第三子层。以此方式,可提供氧化物-氧化铝-氧化铪-氧化铝-氧化物(缩写为OAHAO)的层合材料(交替的层)。氧化铝(也称为矾土)具有高的介电常数以及高的电击穿电压。氧化铪具有甚至更高的介电常数但是较低的击穿电压。因此,OAHAO介电隔离层组合了低应力、高介电常数和高击穿电压。

[0016] 在另一变化形式中,第二层具有小于100nm的厚度。以此方式,可以提供极薄的高k层,尤其是使用ALD。

[0017] 在一个实施例中,沉积层中的至少一个是在移除牺牲层的步骤之前被图案化的。具体地讲,在蚀刻之前沉积的CMUT功能层中的至少一个被图案化。更具体地讲,第一电极层、牺牲层和/或第二电极层可以被图案化。此图案化可以包括多个步骤,例如图案化最顶部层的第一步骤和图案化最底部层的第二步骤。在每个步骤中,所述层可以被图案化以具有不同的横向尺寸(沿平行于层的顶表面的方向)。以此方式,可以形成(台阶式)锥体结构。

作为另外一种选择,可以在单个步骤中执行图案化,其中将所述层图案化以使其具有相同的横向尺寸。

[0018] 在一个实施例中,图案化包括在移除牺牲层的步骤之前通过原子层沉积(ALD)将第二电极层沉积在牺牲层上和图案化第二电极层的步骤。以此方式,可以限定第二电极的横向尺寸。例如,第二电极层可以被图案化以小于第一电极层。以此方式,可以执行“由顶至底”的图案化(例如,使用第一蚀刻遮罩)。因此提供了特征性锥体结构,尤其是台阶式锥体结构。

[0019] 在另一实施例或变化形式中,所述方法包括在移除牺牲层的步骤之前通过原子层沉积将第一电极层沉积在基板上和图案化第一电极层的步骤。在另一实施例或变化形式中,所述方法包括通过原子层沉积来沉积牺牲层并图案化所述牺牲层的步骤。通过图案化所述牺牲层,可以限定所述腔体的横向尺寸。以此方式,可以进一步执行“由顶至底”的图案化(例如,使用第二蚀刻遮罩)。所述牺牲层的图案化可以在与图案化第二电极层的步骤分离的步骤中执行。作为另外一种选择,所述牺牲层的图案化和所述第二电极层的图案化可以在同一步骤中执行。通过图案化第一电极层,可以限定所述第一电极的横向尺寸。以此方式,可以进一步执行“由顶至底”的图案化(例如,使用第三蚀刻遮罩)。所述第一电极层的图案化可以在与图案化第二电极层的步骤和/或图案化牺牲层的步骤分离的步骤中执行。作为另外一种选择,所述第一电极层的图案化和所述牺牲层的图案化可以在同一步骤中执行。这也可以与第二电极层的图案化在同一步骤中执行。

[0020] 在另一实施例中,图案化多数或所有沉积层和薄膜。具体地讲,通过ALD沉积的多数或所有层和薄膜是在ALD沉积之后才图案化的。具体地讲,所有CMUT功能层均被图案化。更具体地讲,图案化所述第一电极层、第一介电薄膜、牺牲层、第二介电薄膜和第二电极层。此图案化可以包括多个步骤,例如图案化最顶部层的第一步骤和图案化最底部层的第二步骤。在每个步骤中,所述层可以被图案化以具有不同的横向尺寸(沿平行于层的顶表面的方向)。以此方式,可以形成(台阶式)锥体结构。作为另外一种选择,可以在单个步骤中执行图案化,其中将所述层图案化以使其具有相同的横向尺寸。

[0021] 在另一实施例中,所述方法还包括沉积覆盖所述沉积层的介电层。此沉积步骤尤其是可以使用原子层沉积来执行。所述介电层尤其是可以覆盖具有基本相同的覆盖结构的沉积层和薄膜的顶表面和侧表面。这提供了极好的台阶式覆盖结构,尤其是通过原子层沉积。

[0022] 在另一实施例中,所述方法还包括通过提供蚀刻孔洞并蚀刻所述牺牲层以形成腔体来移除所述牺牲层。以此方式,用简单的方式提供(例如,使用第四蚀刻遮罩)CMUT的腔体。

[0023] 在另一实施例中,第一电极层和/或第二电极层包括非金属导电材料。以此方式,原子层沉积技术可以提供独特选项以在一个单一工艺序列期间沉积CMUT的所有功能层。例如,所述非金属导电材料可以是半导体。

[0024] 在此实施例的变化形式中,非金属导电材料是从包括TiN(氮化钛)、Ta₂N₅(氮化钽)、TaCN、IrO₂(氧化铱)、ITO(氧化铟锡)、LaNiO₃和SrRuO₃(钌酸锶)的组中选择的至少一种材料。这些材料适合用于原子层沉积。在此变化形式的变化形式中,非金属导电材料是TiN(氮化钛)。氮化钛尤其适合于原子层沉积。例如,氮化钛具有低电阻(例如,与有机硅聚合物相

比),和/或可以沉积为极薄的层(例如,与有机硅聚合物相比)。

[0025] 在另一实施例中,第一和第二电极层分别邻近于第一和第二介电薄膜绕腔体延伸。因此,在此实施例中,在蚀刻所述牺牲层之后,不仅是介电薄膜、而且还有第一和第二电极层均经由ALD沉积在腔体中。首先,第一和第二电极层通过ALD沉积在腔体中。然后,第一和第二介电薄膜通过ALD沉积在腔体中。因此,所述腔体由介电薄膜围绕。并且,在介电薄膜的与腔体相反的侧上,第一和第二电极层邻近所述介电薄膜定位。

[0026] 在可替代实施例中,第一电极层和/或第二电极层包括金属导电材料。具体地讲,所述金属导电材料可以包括从包括Ni(镍)、Cu(铜)、W(钨)、Pt(铂)、Ir(铱)和Al(铝)的组中选择的至少一种材料。例如,所述金属可以是其合金。

[0027] 在另一实施例中,第一介电薄膜和/或第二介电薄膜包括工艺残留物,例如碳或氯残留物。这些残留物可以是在ALD工艺中使用的前体的残留。这示出了已使用原子层沉积制造了CMUT。例如,所述残留物可以使用XPS(X射线光电子光谱学)或诸如SIMS(二次离子质谱)的其他表征方法来检测。

[0028] 在另一实施例中,所述至少一个图案化层和/或薄膜在其侧面处突然地或非连续地结束。换句话说,层的顶表面和侧表面是基本上彼此垂直的。这示出了已使用图案化制造了CMUT。理想的是,层的顶表面和侧表面彼此正交(90°)或成直角。然而,实际上所述层由于并非完美的图案化(尤其是蚀刻)过程而具有一定倾斜度,或者可以蓄意地施加一个斜坡。而且,各种材料的蚀刻率是不相等的。因此,在图案化(具体地讲,蚀刻)具有不同的属性的层的堆叠时,所述层在其端部处的顶表面和侧表面将不是完美的直角。例如,可以形成悬垂的结构。因此,基本上垂直可以被理解为介于 70° 与 110° 之间的角度($90^\circ \pm 20^\circ$),或者介于 80° 和 100° 之间的角度($90^\circ \pm 10^\circ$),或者介于 85° 和 95° 之间的角度($90^\circ \pm 5^\circ$)。

[0029] 在另一实施例中,第二电极层被图案化以小于第一电极层。这示出了已使用“由顶至底”的图案化制造了CMUT。因此提供了特征性锥体结构,尤其是台阶式锥体结构。

[0030] 在另一实施例中,所述CMUT还包括从第一电极层和/或第二电极层沿垂直于所述层的顶表面的方向延伸的至少一个导电导通孔。因此,所述导电导通孔垂直于沉积层或与其成直角。以此方式,第一电极、第二电极或两者可以设置有电连接件。例如,所述导电导通孔可以电连接到位于CMUT下方的ASIC。

[0031] 在另一实施例中,所述CMUT还包括覆盖所述沉积层和薄膜的介电层。具体地讲,所述介电层覆盖了具有基本相同的覆盖结构的沉积层和薄膜的顶表面和侧表面。这示出了CMUT提供了极好的台阶式覆盖结构,尤其是使用原子层沉积。具体地讲,介电层的竖直部分可以基本上垂直于沉积层和/或薄膜延伸。如上所述,基本上垂直可以被理解为介于 70° 与 110° 之间的角度($90^\circ \pm 20^\circ$),或者介于 80° 和 100° 之间的角度($90^\circ \pm 10^\circ$),或者介于 85° 和 95° 之间的角度($90^\circ \pm 5^\circ$)。

附图说明

[0032] 根据下文所述的实施例将显而易见本发明的这些和其它方面,并将结合所述实施例来说明这些和其它方面。在下图中

[0033] 图1a-k示出了一种根据第一实施例制造CMUT的方法;

[0034] 图1k示出了根据第一实施例的CMUT的示意性剖面;

- [0035] 图2a-k示出了一种根据第二实施例制造CMUT的方法；
- [0036] 图2k示出了根据第二实施例的CMUT的剖面；
- [0037] 图3a-i示出了一种根据第三实施例制造CMUT的方法；
- [0038] 图3i示出了根据第三实施例的CMUT的示意性剖面；
- [0039] 图4示出了CMUT的介电常数(ϵ)对比相对声学输出压力的图表；并且
- [0040] 图5示出了横跨电介质的电场对比流过所述电介质的电流的示例性图表。

具体实施方式

[0041] 图1a-k示出了一种根据第一实施例制造CMUT 100的方法。具体地讲，图1b-j示出了示意性由顶至底工艺流程，在已使用原子层沉积(ALD)在一个工艺序列中沉积所有功能性CMUT层(见图1a)之后。

[0042] 所述方法以使用ALD的工艺序列开始(见图1a)。首先，将第一电极层10沉积在基板(未示出)或介电层11上。在图1a所示的实施例中，介电层11设置于或沉积于基板和第一电极层10之间。在这种情况下，介电层11是基板上的第一层。在这种情况下，例如，介电层可以由氧化物(氧化硅)或氮化物(氮化硅)制成，具体地讲，当在ASIC上处理时，其中通常使用平坦化台阶来形成平滑的表面。然而，介电层11也可以被省略。然后，将牺牲层30沉积在第一电极层10上。牺牲层30可被移除以稍后形成换能器的腔体。随后，将第二电极层50沉积在牺牲层30上。在图1a的实施例中，将另一介电层51沉积在第二电极层50上。介电层51覆盖或保护第二电极层50，尤其是在执行牺牲蚀刻以移除牺牲层30时。然而，介电层51也可以被省略。上述这些沉积步骤中每一个均通过原子层沉积(ALD)来执行。以此方式，提供介电材料和导电材料的交替层的堆叠(见图1a)。因此，在ALD机器中的单个工艺序列(即单次运行)中沉积所有CMUT功能层(AL-ALD CMUT)，其中晶片并不离开机器而可发生数个(处理或沉积)步骤。因此，多种材料可以在一个单一工艺序列中彼此上下堆叠，但在此工艺序列内的多个(处理或沉积)步骤中一个接一个地沉积所述材料。此工艺或工艺序列也称为全层ALD(AL-ALD)CMUT工艺。

[0043] 所述方法还包括图案化沉积层10、30、50、51中的至少一个。此图案化的一个实例将参照图1b-d来解释。所述制造方法使用了“由顶至底”图案化。所述由顶至底图案化提供了具有特征性锥体结构的CMUT，尤其是台阶式锥体结构(例如，其典型剖面可以通过利用FIB或SEM剖面的分析方法来识别)。所述至少一个图案化层和/或薄膜在其侧面处突然地或非连续地结束。换言之，层的顶表面和侧表面是基本上彼此垂直的。这示出了已使用图案化制造了CMUT。理想的是，层的顶表面和侧表面彼此垂直(90°)。然而，实际上所述层由于并非完美的图案化(尤其是蚀刻)过程而具有一定倾斜度，或者可以蓄意地施加一个倾斜度。而且，各种材料的蚀刻率是不相等的。因此，在图案化(具体地讲，蚀刻)具有不同属性的层的堆叠时，所述层在其端部处的顶表面和侧表面将不是完美的直角。例如，可以形成悬垂的结构。因此，基本上垂直可以被理解为介于 70° 与 110° 之间的角度($90^\circ \pm 20^\circ$)，或者介于 80° 和 100° 之间的角度($90^\circ \pm 10^\circ$)，或者介于 85° 和 95° 之间的角度($90^\circ \pm 5^\circ$)。

[0044] 在此第一实施例中，如在图1b中可见，图案化包括图案化第二电极层50的第一步骤。这是使用第一蚀刻遮罩(用“遮罩1”标记)执行的。以此方式，限定第二电极50的横向尺寸(沿平行于所述层的顶表面或基板的顶表面的方向)或长度。在这一实例中，在图案化的

第一步骤中,也图案化第二介电薄膜40(以及第二电极层50上的其他介电层51)。可看出,第二电极层50被图案化以小于第一电极层10。例如,第二电极层50可以被图案化成环形电极的形式。这对于声学性能来说是有益的。图案化还包括图案化牺牲层30的第二(单独)步骤,如图1c所指示。这是使用第二蚀刻遮罩(用“遮罩2”标记)执行的。以此方式,可以限定CMUT的腔体的横向尺寸(沿平行于所述层的顶表面或基板的顶表面的方向)或长度。此外,如图1d所示,图案化包括图案化第一电极层10的第三(单独)步骤。这是使用第三蚀刻遮罩(用“遮罩3”标记)执行的。以此方式,限定第一电极10的横向尺寸(沿平行于所述层的顶表面或基板的顶表面的方向)或长度。在这一实例中,使用图案化的多个步骤来图案化牺牲层30。在此实例中,仅基板上的介电层11未被图案化。因此,多数沉积层和薄膜(介电层11除外)现在已被图案化。现在,在ALD沉积之后进行图案化的步骤已完成。所有沉积的功能CMUT层10、30、50、51现在已被图案化。

[0045] 在后续步骤中,现在参照图1e,所述方法包括沉积覆盖了沉积层和薄膜10、20、30、40、50、51的介电层60。此沉积步骤同样可以使用原子层沉积(ALD)来执行。作为另外一种选择,可以使用另一种技术,诸如PECVD。介电层60以基本上相同的覆盖结构覆盖了沉积层和薄膜10、30、50、51的顶表面和侧表面(例如,介电层60的水平部分的厚度和介电层60的竖直部分的厚度是基本上相同的)。以此方式,提供极好的台阶式覆盖结构。换句话讲,介电层60的竖直部分和介电层60的水平部分具有大约相同的覆盖结构或厚度(见图1e)。介电层60的竖直部分(沿垂直于所述层的顶表面或基板的顶表面的方向)基板上垂直于沉积层和薄膜10、20、30、40、50、51延伸。理想的是,介电层60的竖直部分垂直于(90°)沉积层和/或薄膜或与其成直角。然而,实际上,介电层60具有一定的倾斜度。因此,介电层60的竖直部分将并非为完美的直角。因此,基本上垂直可以被理解为介于70°与110°之间的角度(90°±20°),或者介于80°和100°之间的角度(90°±10°),或者介于85°和95°之间的角度(90°±5°)。

[0046] 随后,所述方法包括通过提供蚀刻孔洞32(见图1f)、尤其是多个蚀刻孔洞(例如,三个或更多个)并蚀刻牺牲层30以形成腔体35(见图1g)来移除牺牲层30。腔体35具有顶表面92、底表面94和侧表面96、98。提供蚀刻孔洞32是使用第四蚀刻遮罩(用“遮罩4”标记)执行的。蚀刻孔洞32设置于介电层60中。腔体的高度(沿垂直于层的顶表面或基板的顶表面的方向)由被移除的牺牲层30的厚度限定。随后,为了移除牺牲层30并形成腔体35,清洁腔体35以清除蚀刻过程的任何残留物。然后,将第一和第二介电薄膜20、40通过ALD沉积在腔体35中(图1h)。因此,第一介电薄膜20现在覆盖了第一电极层10。第二介电薄膜40覆盖了第二电极层50。由于腔体中的ALD工艺,不仅是顶表面和底表面92、94,而且侧表面96、98均被介电薄膜覆盖。

[0047] 然后,参照图1i,可提供额外层70,尤其是额外的介电层来覆盖介电层60。额外层70闭合或密封蚀刻孔洞32。

[0048] 此外,所述方法包括提供至少一个分别从第一电极层10和第二电极层50沿垂直于所述层的顶表面(或基板的顶表面)的方向延伸的导电导通孔15、55。因此,导电导通孔15、55垂直于沉积层或与其成直角。在这一实例中,这是通过提供蚀刻孔洞62并用导电材料填充蚀刻孔洞62以形成导电导通孔15、55来执行的。在这里,提供引导至第一电极层10的第一蚀刻孔洞62(穿过额外层70、介电层60和第一介电薄膜20)。提供引导至第二电极层50的第二蚀刻孔洞62(穿过介电层60和额外层70)。第一蚀刻孔洞62填充有导电材料以形成自第一

电极层10的导通孔15。第二蚀刻孔洞62填充有导电材料以形成自第二电极层50的导通孔55。此外,提供用于分别提供自导通孔15、55(例如,至ASIC和/或电源,例如以连接至偏压,或连接至缆线或焊线)的外部电连接的导电部分16。以此方式,第一电极10和第二电极50均设置有电连接件(例如,连接至CMUT下方的ASIC)。应当理解,也可以只提供第一蚀刻孔洞或第二蚀刻孔洞。例如,自第一电极10的导电导通孔15也可以形成于基板中。

[0049] 此外,在可供选择的方法中,也可以在形成腔体35之后再通过ALD将第一电极层10和第二电极层50沉积于已形成且被清洁的腔体35中。在这种情况下,无需在蚀刻之前通过图案化来形成第一电极层10和第二电极层50。

[0050] 图1j示出了根据第一实施例的CMUT 100的示意性剖面。具体地讲,图1j的CMUT 100已使用如上文结合图1所述的方法来制造。CMUT 100包括基板(未示出)上的第一(底部)电极层10、第一电极层10上的第一介电薄膜20、形成于第一介电薄膜20上方的腔体35、覆盖腔体35的第二介电薄膜40、以及第二介电薄膜40上的第二(顶部)电极层50。由于腔体中的ALD工艺,不仅是顶表面和底表面92、94,而且侧表面96、98均被介电薄膜覆盖。可选地,CMUT 100可以包括介电层11和介电层51。多数沉积层和薄膜被图案化。在这一实施例中,所有沉积的CMUT功能层和薄膜10、20、30、40、50均被图案化。因此,沉积的CMUT功能层和薄膜10、20、30、40、50中的每一个均被图案化。第二电极层50被图案化以小于第一电极层10(例如,被图案化成环形电极的形式),这是有益于声学性能的。第二电极层50被图案化以小于腔体35。腔体35被图案化以小于第一电极层10。以此方式,提供了特征性(台阶式)锥体结构。CMUT 100还包括覆盖了沉积层和薄膜10、20、30、40、50的介电层60。介电层60以基本上相同的覆盖结构或厚度覆盖了沉积层和薄膜10、20、30、40、50的顶表面和侧表面,如上文所述。介电层60的竖直部分基本上垂直于沉积层10、20、30、40、50延伸。CMUT 100还包括覆盖了介电层60的额外层70。具体地讲,额外层70与其他层或薄膜相比厚得多,例如多于2倍或更多、或者多于5倍或更多(例如,与层70的约1 μ m的厚度相比,层40的厚度为约200nm)。此外,CMUT 100包括从第一电极层10沿垂直于层的顶表面的方向(图1j中的竖直方向)延伸的导电导通孔15。此外,CMUT 100包括从第一电极层10沿垂直于层的顶表面的方向(图1j中的竖直方向)延伸的导电导通孔55。CMUT100还包括用于分别提供自导通孔15、55(例如,至ASIC和/或电源,例如以连接至偏压,或连接至缆线或焊线)的外部电连接的导电部分16、56。导通孔15、55沿竖直方向(垂直于层或基板的顶表面)延伸,且导电部分56沿水平方向(平行于层或基板的顶表面)延伸。

[0051] 图2a-k示出了一种根据第二实施例的CMUT的制造方法。在这一实施例中,基板1包括集成于其中的ASIC 2和基板中的导电导通孔15。作为另外一种选择,ASIC 2也可以附接到基板1。所述方法以将第一电极层10沉积到基板1上开始。然后,将牺牲层30沉积在第一电极层10上。牺牲层30可被移除以稍后形成换能器的腔体。随后,将第二电极层50沉积在牺牲层30上。这些沉积步骤中每一个均通过原子层沉积(ALD)来执行。以此方式,提供介电材料和导电材料的交替层的堆叠(见图2b)。因此,在一个单一工艺序列中沉积所有CMUT功能层(AL-ALD CMUT)。

[0052] 该方法还包括图案化所有的沉积层10、30、50,尤其是所有的沉积CMUT功能层10、30、50。在这一实施例中,图案化包括图案化第二电极层50的第一步(见图2c)和图案化牺牲层30及第一电极层10的第二(单独)步骤(见图2d)。因此,在这一实施例中,在同一步骤中

图案化牺牲层30和第一电极层10。图案化第二电极层50的第一步是使用第一蚀刻遮罩(遮罩1)执行的。第二图案化步骤可以使用第二蚀刻遮罩(遮罩2)来执行。可看出,第二电极层50被图案化以小于第一电极层10(例如,呈环形电极的形式)。现在,图案化的步骤已完成。

[0053] 在后续步骤中,现在参照图2e,所述方法包括沉积覆盖了沉积层和薄膜10、30、50的介电层60。此沉积步骤同样使用原子层沉积(ALD)来执行的。介电层60以基本上相同的覆盖结构或厚度覆盖了沉积层和薄膜10、30、50的顶表面和侧表面,如上文所述。以此方式,提供极好的台阶式覆盖结构。换言之,介电层60的竖直部分和介电层60的水平部分具有大约相同的覆盖结构或厚度(见图2e)。介电层60的竖直部分基本上垂直于沉积层10、30、50延伸。

[0054] 随后,所述方法包括通过提供蚀刻孔洞32(见图2f)并蚀刻牺牲层30以形成腔体35(见图2g)来移除牺牲层30。腔体35具有顶表面92、底表面94和侧表面96、98。蚀刻孔洞32设置于介电层60中。蚀刻孔洞32可以使用第三蚀刻遮罩(遮罩3)来提供。随后,为了移除牺牲层30并形成腔体35,清洁腔体35以清除蚀刻过程的任何残留物。然后,将第一和第二介电薄膜20、40通过ALD沉积在腔体35中(图2h)。因此,第一介电薄膜20现在覆盖了第一电极层10。第二介电薄膜40覆盖了第二电极层50。由于腔体中的ALD工艺,不仅是顶表面和底表面92、94,而且侧表面96、98均被介电薄膜覆盖。

[0055] 然后,参照图2i,可提供额外层70,尤其是额外的介电层来覆盖介电层60。额外层70闭合或密封蚀刻孔洞32。

[0056] 此外,所述方法包括提供从第二电极层50沿垂直于层的顶表面的方向延伸的导电导通孔55。因此,导电导通孔55垂直于沉积层或与其成直角。在这一实例中,这是通过提供蚀刻孔洞62(见图2j)并用导电材料填充蚀刻孔洞62以形成导电导通孔55来执行的(见图2k)。提供蚀刻孔洞62可以使用第四蚀刻遮罩(遮罩4)来执行。至第一电极10的导电导通孔15形成于基板1中。此外,提供用于提供自导通孔55的外部电连接的导电部分56。这可以通过将导电层沉积在额外层70上且然后图案化所述导电层来执行。这可以使用第五蚀刻遮罩(遮罩5)来执行。

[0057] 图2k示出了根据第二实施例的CMUT 100的剖面。具体地讲,图2k的CMUT 100已使用如上文结合图2所述的方法来制造。CMUT 100包括基板1上的第一电极层10、第一电极层10上的第一介电薄膜20、形成于第一介电薄膜20上方的腔体35、覆盖腔体35的第二介电薄膜30、以及第二介电薄膜40上的第二电极层50。可选地,CMUT 100可以包括基板上的介电层11和第二电极层50上的介电层51,如参照第一实施例所阐释。在图2k所示的实施例中,所有沉积的CMUT功能层和薄膜10、20、30、40、50均被图案化。第二电极层50被图案化以小于第一电极层10和腔体35,或者与其相比具有较小的横向尺寸(沿平行于所述层或基板的顶表面的方向),例如在圆形形状的情况下具有较小的直径。以此方式,提供了特征性(台阶式)锥体结构。CMUT 100还包括覆盖了沉积层和薄膜10、20、30、40、50的介电层60。介电层60以基本上相同的覆盖结构覆盖了沉积层和薄膜10、20、30、40、50的顶表面和侧表面,如上文所述。介电层60的竖直部分基本上垂直于沉积层10、20、30、40、50延伸。CMUT 100还包括覆盖了介电层60的额外层70。具体地讲,额外层70与其他层或薄膜相比厚得多,例如厚多于2倍或更多、或者多于5倍或更多(例如,与层70的约1 μ m的厚度相比,层40的厚度为约200nm)。应

该指出的是,在图2k中,仅示意性地指示额外层70,且其可以相当沿循层60的形状,类似于参照图1k示出的额外层70。此外,CMUT包括从第二电极层50沿垂直于层的顶表面的方向(图2j中的竖直方向)延伸的导电导通孔55。CMUT 100还包括用于提供自导通孔55(例如,至ASIC和/或电源,例如以连接至偏压,或连接至缆线或焊线)的外部电连接的导电部分56。而且,CMUT 100包括自第一电极10的导电导通孔15。导电导通孔15形成于基板1中。导通孔15、55沿竖直方向(垂直于层或基板的顶表面)延伸,且导电部分56沿水平方向(平行于层或基板的顶表面)延伸。

[0058] 此外,在可供选择的方法中,也可以在形成腔体35之后再通过ALD将第一电极层10和第二电极层50沉积于已形成且被清洁的腔体35中。在这种情况下,无需在蚀刻之前通过图案化来形成第一电极层10和第二电极层50。图3a-i示出了一种根据第三实施例制造CMUT的方法。图3a-h的第三实施例的方法类似于图2a-k的第二实施例的方法。然而,与第二实施例相比,省略了图2c的单独图案化第二电极层50的步骤。因此,在第三实施例中,使用更少的蚀刻遮罩。

[0059] 而且,在这一第三实施例中,基板1包括集成于其中的ASIC 2和基板中的导电导通孔15。所述方法以将第一电极层10沉积到基板1上开始。然后,将牺牲层30沉积在第一电极层30上。牺牲层30可被移除以稍后形成换能器的腔体。随后,将第二电极层50沉积在牺牲层30上。这些沉积步骤中每一个均通过原子层沉积(ALD)来执行。以此方式,提供介电材料和导电材料的交替层的堆叠(见图3a)。因此,在一个单一工艺序列中沉积所有CMUT功能层(AL-ALD CMUT)。

[0060] 该方法还包括图案化所有的沉积层10、30、50,尤其是所有的沉积CMUT功能层10、30、50。在这一实施例中,图案化包括图案化第二电极层50、牺牲层30和第一电极层10的同一步骤(见图3b)。因此,在这一实施例中,在同一步骤中图案化所有沉积层(第二电极层50、牺牲层30和第一电极层10)。可以看出,所有沉积层和薄膜10、30、50具有相同的横向尺寸(沿平行于所述层或基板的顶表面的方向),例如在圆形形状的情况下具有相同的直径。所述同一图案化步骤可以使用第一蚀刻遮罩(遮罩1)来执行。现在,图案化的步骤已完成。

[0061] 在后续步骤中,现在参照图3c,所述方法包括沉积覆盖了沉积层和薄膜10、30、50的介电层60。此沉积步骤同样使用原子层沉积(ALD)来执行的。介电层60以基本上相同的覆盖结构覆盖了沉积层和薄膜10、30、50的顶表面和侧表面。以此方式,提供极好的台阶式覆盖结构。换句话讲,介电层60的竖直部分和介电层60的水平部分具有大约相同的覆盖结构或厚度(见图3c)。

[0062] 随后,所述方法包括通过提供蚀刻孔洞32(见图3d)并蚀刻牺牲层30以形成腔体35(见图3e)来移除牺牲层30。腔体35具有顶表面92、底表面94和侧表面96、98。蚀刻孔洞32设置于介电层60中。如图3d和图3e所指示,蚀刻孔洞32优选地并未设置于第二电极层50中,而是接近于第二电极层的某处。如图3d和图3e中的虚线所指示,蚀刻孔洞32从介电层60延伸穿过第二电极层50。蚀刻孔洞32可以使用第二蚀刻遮罩(遮罩2)来提供。随后,为了移除牺牲层30并形成腔体35,清洁腔体35以清除蚀刻过程的任何残留物。然后,将第一和第二介电薄膜20、40通过ALD沉积在腔体35中(图3f)。因此,第一介电薄膜20现在覆盖了第一电极层10。第二介电薄膜40覆盖了第二电极层50。由于腔体中的ALD工艺,不仅是顶表面和底表面92、94,而且侧表面96、98均被介电薄膜覆盖。

[0063] 然后,参照图3g,可提供额外层70,尤其是额外的介电层来覆盖介电层60。额外层70闭合或密封蚀刻孔洞32。

[0064] 此外,所述方法包括提供从第二电极层50沿垂直于层的顶表面的方向延伸的导电导通孔55。因此,导电导通孔55垂直于沉积层或与其成直角。在这一实例中,这是通过提供蚀刻孔洞62(见图3h)并用导电材料填充蚀刻孔洞62以形成导电导通孔55来执行的(见图3i)。提供蚀刻孔洞62可以使用第三蚀刻遮罩(遮罩3)来执行。至第一电极10的导电导通孔15形成于基板1中。此外,提供用于提供自导通孔55的外部电连接的导电部分56。这可以通过将导电层沉积在额外层70上且然后图案化所述导电层来执行。这可以使用第四蚀刻遮罩(遮罩4)来执行。

[0065] 图3i示出了根据第三实施例的CMUT 100的示意性剖面。具体地讲,图3h的CMUT 100已使用如上文结合图3所述的方法来制造。CMUT 100包括基板1上的第一电极层10、第一电极层10上的第一介电薄膜20、形成于第一介电薄膜20上方的腔体35、覆盖腔体35的第二介电薄膜30、以及第二介电薄膜40上的第二电极层50。可选地,CMUT 100可以包括基板上的介电层11和第二电极层50上的介电层51,如参照第一实施例所阐释。在图3i所示的实施例中,所有沉积的CMUT功能层和薄膜10、20、30、40、50均在同一步骤中被图案化。因此,所有沉积层和薄膜10、20、30、40、50均被图案化以具有相同的横向尺寸(沿平行于所述层或基板的顶表面的方向),例如在圆形形状的情况下具有相同的直径。因此,在这一实施例中,不提供特征性(台阶式)锥体结构。CMUT 100还包括覆盖了沉积层和薄膜10、20、30、40、50的介电层60。介电层60以基本上相同的覆盖结构覆盖了沉积层和薄膜10、20、30、40、50的顶表面和侧表面,如上文所述。介电层60的竖直部分基本上垂直于沉积层10、20、30、40、50延伸。CMUT 100还包括覆盖了介电层60的额外层70。具体地讲,额外层70与其他层或薄膜相比厚得多,例如厚多于2倍或更多、或者多于5倍或更多(例如,与层70的约1 μ m的厚度相比,层40的厚度为约200nm)。应该指出的是,在图3h中,仅示意性地指示额外层70,且其可以相当沿循层60的形状,类似于参照图1k示出的额外层70。此外,CMUT包括从第二电极层50沿垂直于层的顶表面的方向(图3i中的竖直方向)延伸的导电导通孔55。CMUT 100还包括用于提供自导通孔55(例如,至ASIC和/或电源,例如以连接至偏压,或连接至缆线或焊线)的外部电连接的导电部分56。而且,CMUT 100包括自第一电极10的导电导通孔15。导电导通孔15形成于基板1中。导通孔15、55沿竖直方向(垂直于层或基板的顶表面)延伸,且导电部分沿水平方向(平行于层或基板的顶表面)延伸。

[0066] 此外,在可供选择的方法中,也可以在形成腔体35之后再通过ALD将第一电极层10和第二电极层50沉积于已形成且被清洁的腔体35中。在这种情况下,无需在蚀刻之前通过图案化来形成第一电极层10和第二电极层50。

[0067] 优选地,在任何所示实施例中,第一介电薄膜20和第二介电薄膜40中的每一个均包括具有氧化物的第一层,具有高k材料的第二层,以及具有氧化物的第三层。因此,介电隔离层20、40包括氧化物层(O)、高k层和另一氧化物层(O)。换句话讲,高k层夹在两个氧化物层之间(尤其是硅氧化合物)。具体地讲,高k材料可以是氧化铝(Al_2O_3)和/或氧化铪(HfO_2)。例如,可以提供氧化物-氧化铝-氧化物(缩写为OAO)的层合材料(交替的层)。在另一实例中,第二层包括具有氧化铝的第一子层,具有氧化铪的第二子层,和具有氧化铝的第三子层。以此方式,可以提供氧化物-氧化铝-氧化铪-氧化铝-氧化物(缩写为OAHAO)的层合材料

(交替的层)。

[0068] 沉积层的介电常数大体取决于材料的密度,且因此取决于沉积或处理设定,诸如处理温度(形成所述层的温度)。取决于沉积或处理设定,氧化铝具有介于7和9之间的介电常数(k 或 ϵ_r)。例如,氧化铝的介电常数可以是7.5(例如,以约265℃的低温进行沉积),或8(例如,以约350℃的高温进行沉积)或9。取决于沉积或处理设定,氧化铪具有介于12和27之间的介电常数(k 或 ϵ_r)。例如,氧化铪的介电常数可以是14或20或25。例如,氧化铝-氧化铪-氧化铝的层合材料的介电常数可以是10。

[0069] 优选地,在每个所示实施例中,第一电极层10和第二电极层50中的每一个均包括非金属导电材料(例如,半导体)。例如,非金属导电材料可以是包括TiN(氮化钛)、TaN(氮化钽)、TaCN、IrO₂(氧化铱)、ITO(氧化铟锡)、LaNiO₃和SrRuO₃(钌酸锶)的组中选择的至少一种(或恰好一种)材料。这些材料适合用于原子层沉积。具体地讲,非金属导电材料可以是氮化钛(TiN)。氮化钛(TiN)具有约30至70 $\mu\Omega\text{ cm}$ 的传导率,其被视为良好导体。而且,可以使用有机硅聚合物(具有约500 $\mu\Omega\text{ cm}$ 的传导率)。应当理解,电极层的材料也可以是任何其他导电材料,例如金属,尤其是包括从包括Ni(镍)、Cu(铜)、W(钨)、Pt(铂)、Ir(铱)和Al(铝)的组中选择的至少一种(或恰好一种)材料。例如,所述金属可以是其合金。例如,铝具有约3 $\mu\Omega\text{ cm}$ 的传导率。在任何情况下,电极的导电材料,金属和非金属,必须适合通过ALD来沉积(例如,在ALD机器中)。

[0070] 例如,介电层60和/或额外层70可以是或包括氧化物(尤其是氧化硅)、氮化物(尤其是氮化硅)或二者的结合。例如,介电层60可以是或包括氧化物(氧化硅)和氮化物(氮化硅)的结合。例如,额外层70可以是或包括氮化物(氮化硅)。然而,应当理解,可以使用任何其他适合的介电材料。例如,介电层60可以通过ALD或通过PECVD来沉积。具体地讲,额外层70由于其较大的厚度而可以通过PECVD来沉积。具体地讲,牺牲层30由不同于介电隔离层20、40的材料(具有不同的蚀刻属性)制成。以此方式,可以选择性地移除牺牲层。

[0071] 图4示出了CMUT的介电常数(ϵ)对比相对声学输出压力的图表。图4是基于模拟的。所有尺寸(间隙厚度、介电厚度等)均假设为常数。闭合的圆指示通过ALD沉积的氧化铪(HfO₂)(在这里 ϵ 为14)。开放的圆指示ONO。菱形指示通过ALD沉积的氧化铝(Al₂O₃)(在这里 ϵ 为8)。可以看出,假设可以施加偏压,则高 k 材料几乎使输出压力加倍(例如,对Al₂O₃来说约为70%)。

[0072] 图5示出了横跨电介质的电场对比流过所述电介质的电流的示例性图表。电场对电流的图表是针对高温下的ONO和氧化铝Al₂O₃中的每一个来显示的。在图8中可以看出,对于同一电场值来说,氧化铝Al₂O₃(在高温下)与ONO相比具有较少的泄漏电流。而且,对于氧化铝Al₂O₃(在高温下)来说,与ONO相比可以施加至少相同的偏压。

[0073] 已示出,提供使用原子层沉积(ALD)技术制造的高 k 介电层和层堆叠显著地改善了CMUT的性能(例如,通过降低工作电压和/或增加(声学)输出压力)。具体地讲,通过提供非金属电极(例如TiN)代替金属电极,ALD技术提供了在一个单一工艺步骤期间沉积所有CMUT功能层的独特选项。因此,具有较高的有效介电常数的介电堆叠提供了性能改善,所述性能改善应当与CMUT的由于介电层中的电荷捕获所致的类似或较低偏移相结合。全层ALD(AL-ALD)CMUT工艺是非常有益的,因为它提供了通过调节各个层及其界面的属性来进一步改进CMUT性能的选项。AL-ALD技术与由顶至底图案化一起,确保了各种电介质的高品质界面且

需要较少的操作员干预。

[0074] 在CMUT中,可以检测是否已通过ALD沉积了一个层,在一个实例中,如果通过ALD沉积,则第一介电薄膜20和/或第二介电薄膜40包括工艺残留物,诸如碳或氯残留物。例如,所述残留物可以使用XPS(X射线电子光谱学)或诸如SIMS(二次离子质谱)的其他表征方法来检测。在另一实例中,介电隔离层20、40的第二层具有小于100nm的厚度。这一极薄的高k层可以(仅)是使用ALD提供的。

[0075] 在本文所述方法(AL-ALD)中,首先沉积几乎整个层堆叠,且然后将其图案化(且最终沉积也密封腔体的介电层)。因此,对于通过此方法生产的CMUT来说,在CMUT的剖面中,在接近于膜的区域中,移除或不存在所有或多数介电层。然而,对于通过另一方法(非ALD)生产的CMUT来说,例如使用溅射,在CMUT的剖面中,在接近于膜的区域中,存在构成所述CMUT的所有或多数介电层。

[0076] 通过ALD沉积的层(尤其是 Al_2O_3 和/或 HfO_2)可以展现以下特征中的一个或多个:

[0077] (1) ALD沉积的 Al_2O_3 的台阶式覆盖结构是极好的且非常适形,例如与溅射的 Al_2O_3 相比。例如,这可在(剖面)SEM中检测。

[0078] (2) ALD氧化物允许更好地控制电荷累积效应,且泄漏电流小得多(因为ALD氧化物是无针孔的),这在电容性-电压测量(CV-曲线)中显示出。

[0079] (3) Al_2O_3 的组成不同(例如,与溅射的 Al_2O_3 相比)且可通过RBS和/或XPS来检测。

[0080] (4) 通过XPS或SIMS检测到诸如碳(例如,其不能在溅射 Al_2O_3 中发现)等典型工艺残留物。

[0081] 仅作为一个实例,SIMS(二次离子质谱)可用于检测溅射氧化铝与通过ALD沉积的氧化铝之间的差别。例如,在溅射过程中使用了氩,且在溅射层中找到了一些残留物(例如,少量百分比)。这可以通过SIMS(二次离子质谱)轻松地检测到。

[0082] 与ONO介电隔离层中的氧化物层(O)相比,OAO介电隔离层中的氧化物层(O)的功能是非常不同的。ONO介电隔离层中的氧化物层(O)是出于电气原因而设置的。如果不存在所述氧化物层(O),将存在显著的CMUT装置电荷累积,这会使性能严重降级。在实践中,单个O层(通过PECVD沉积)的最小厚度是约50nm。ONO介电隔离层中的氧化物层(O)是出于处理原因而设置的。已发现,如果不存在所述氧化物层(即,仅有矾土层),则所述层会受到极大的机械应力,结果导致极大的膜变形,且CMUT装置不可操作。然而,使用OAO介电隔离层提供了较低的应力水平。氧化物层可以是薄的。此外,OAO介电隔离层与仅有矾土层相比,具有甚至更好的电气表现。

[0083] 所述电容性微加工换能器已被描述为CMUT,涉及到超声。然而,应当理解,所述电容性微加工换能器也可以用于其他应用,例如作为压力传感器或压力换能器。

[0084] 所述电容性微加工换能器,尤其是CMUT,可以包括或者是单个单元,尤其是CMUT单元。然而,应当理解,所述电容器微加工换能器、具体来讲是CMUT,也可以包括多个单元或单元阵列,尤其是CMUT单元的阵列。所述电容性微加工换能器、尤其是CMUT和/或其各个层可以具有圆形形状。然而,也可以使用其他形状,诸如方形或六边形形状。

[0085] 尽管已在附图和前述说明中详细示出和描述了本发明,但此类图示和说明应当视为示例性或示例性而非约束性的;本发明并不限于所公开的实施例。根据对附图、公开内容和随附权利要求的研究,本领域的技术人员可理解和实施所公开实施例的其它变化形式,

以实践所主张的本发明。

[0086] 在权利要求书中,词语“包括”并不排除其它元件或步骤,而不定冠词“一”或“一个”并不排除多个。一个元件或其它单元可满足权利要求书中陈述的若干物项的功能。在相互不同的从属权利要求中描述某些措施并不表明这些措施不能够有利地结合起来使用。

[0087] 在权利要求书中的任何元件符号不应视为限制其范围。

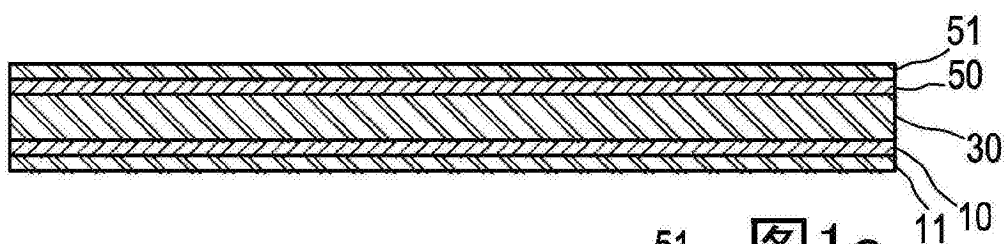


图1a

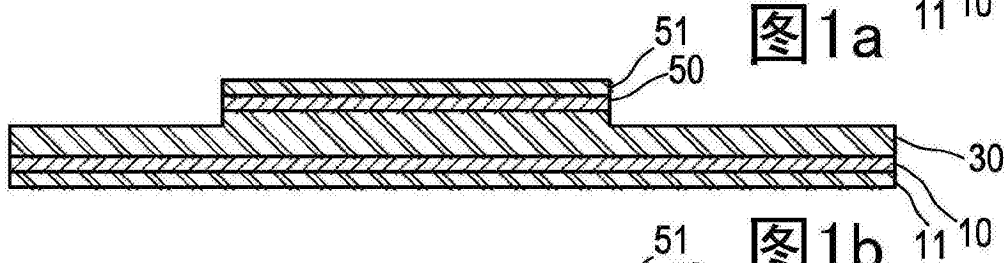


图1b

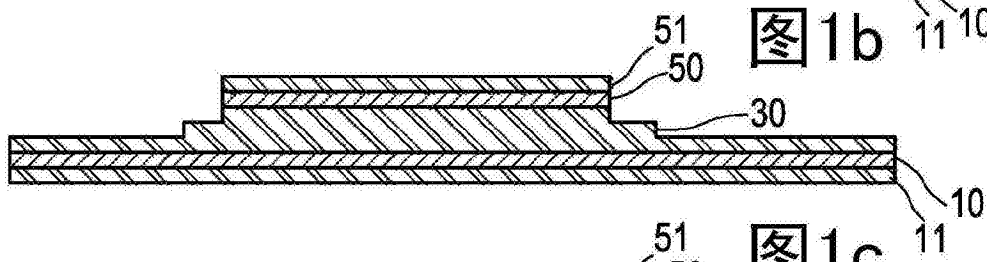


图1c

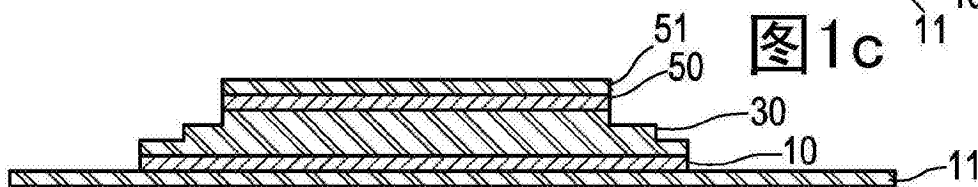


图1d

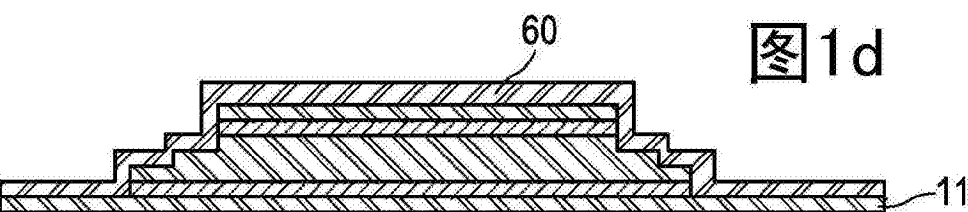


图1e

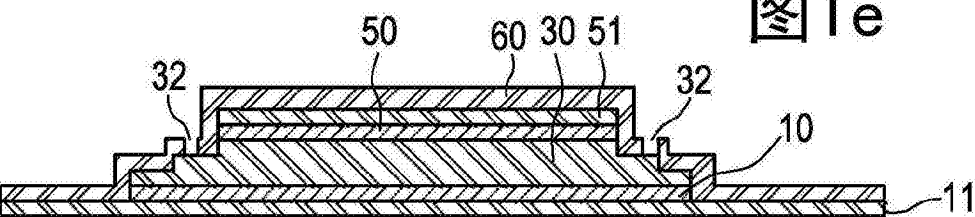


图1f

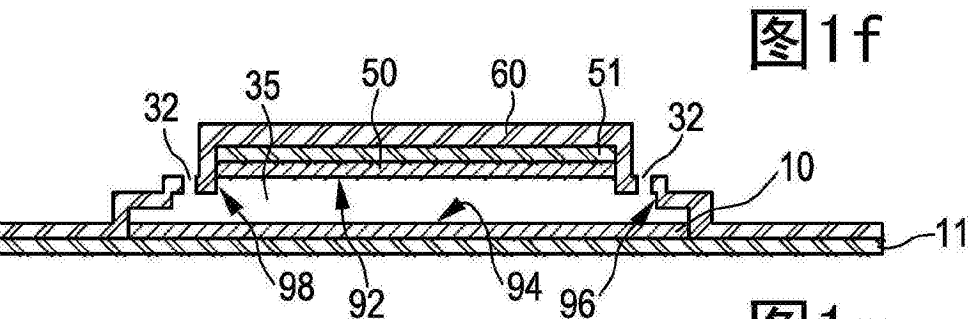


图1g

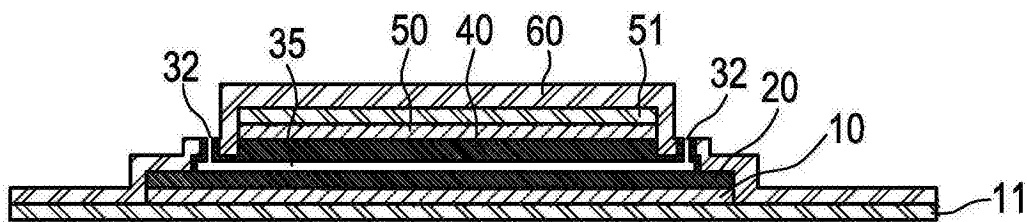


图1h

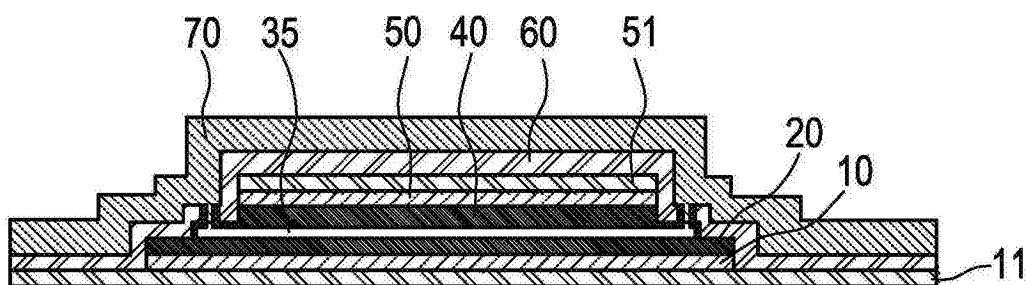


图1i

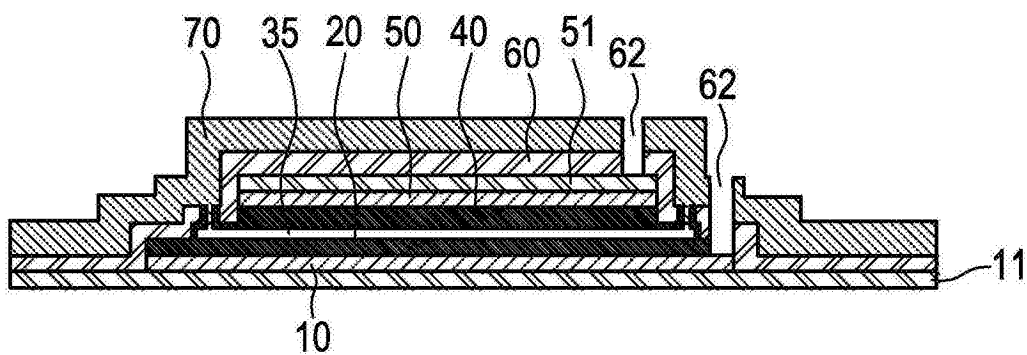


图1j

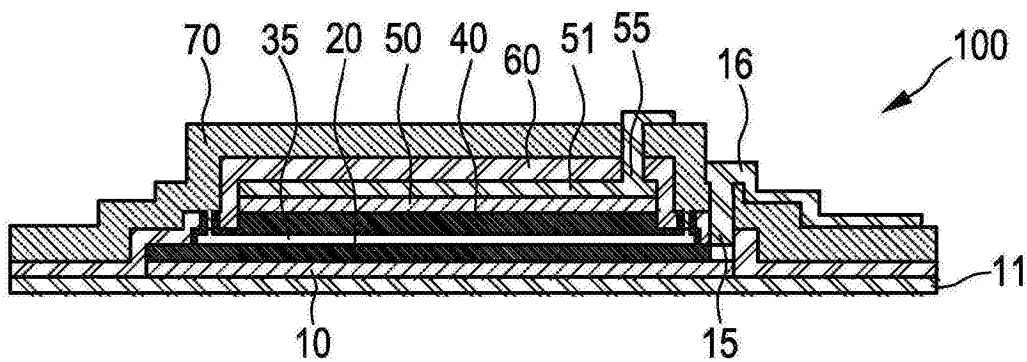


图1k

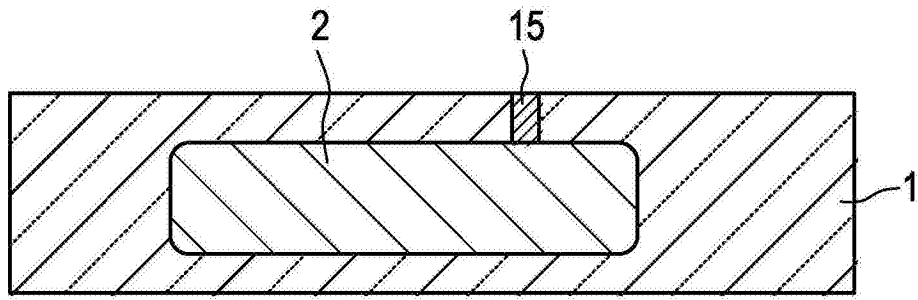


图2a

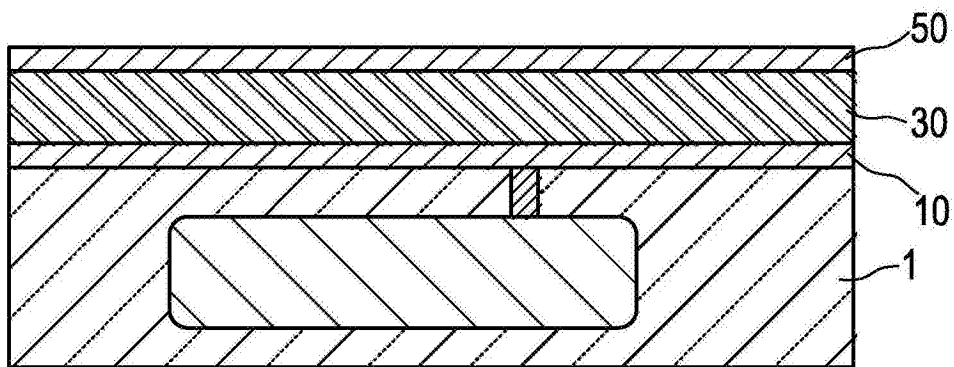


图2b

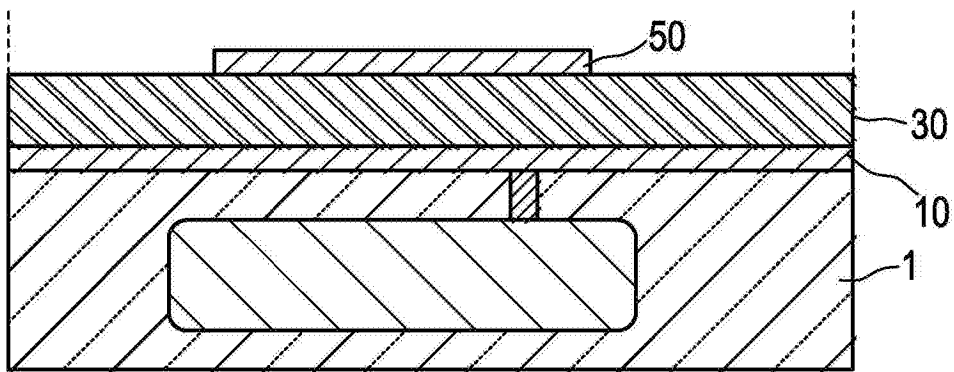


图2c

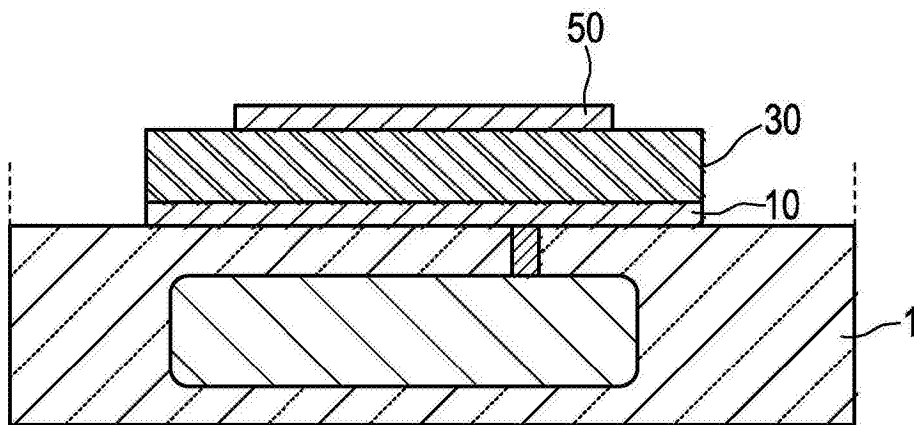


图2d

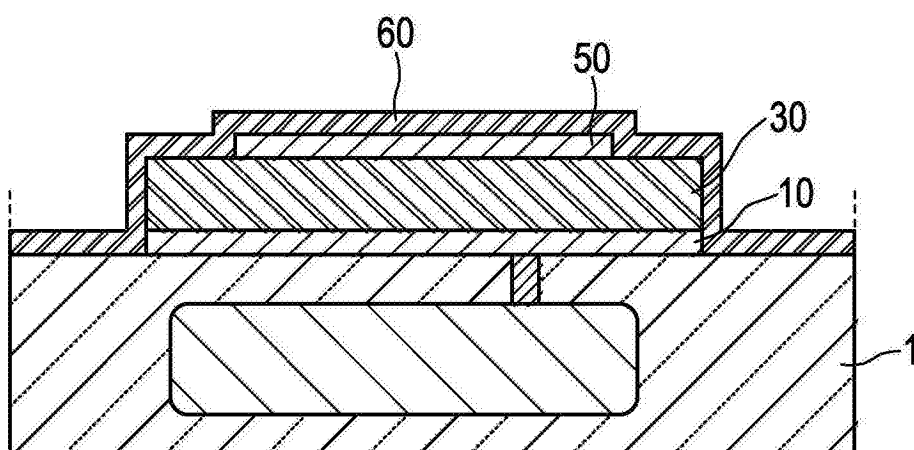


图2e

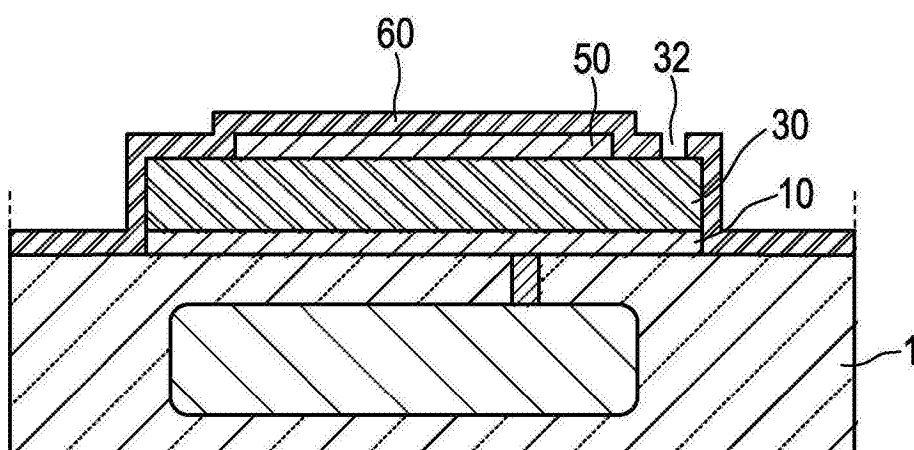


图2f

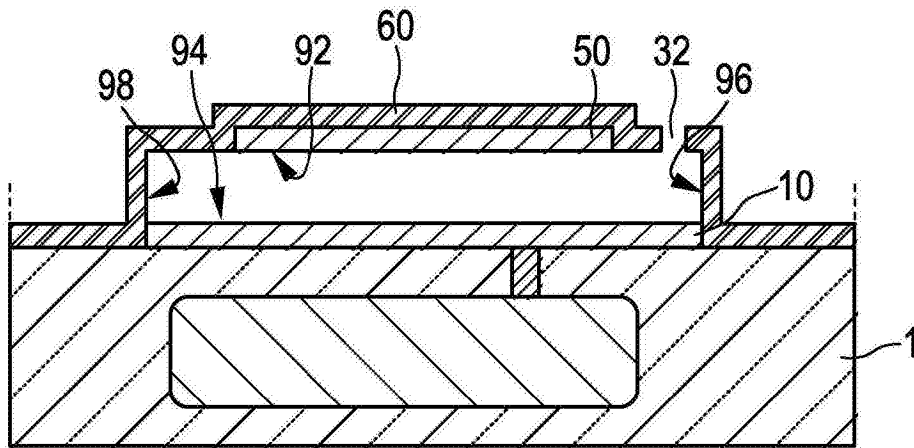


图2g

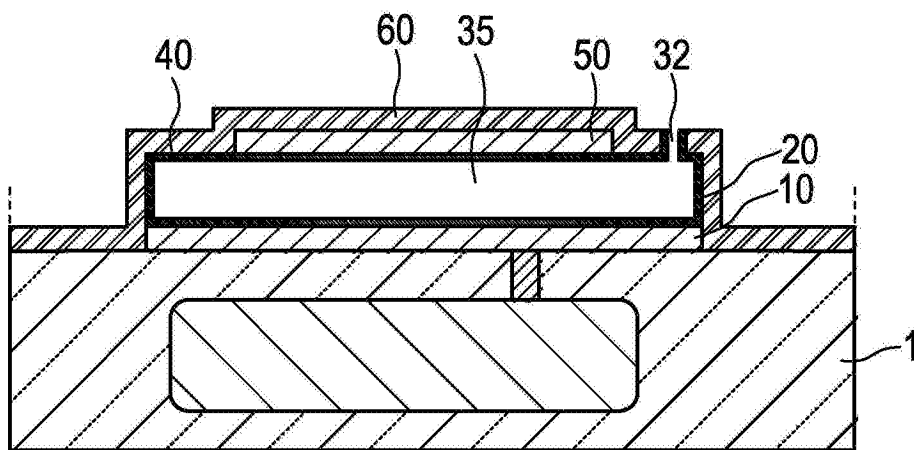


图2h

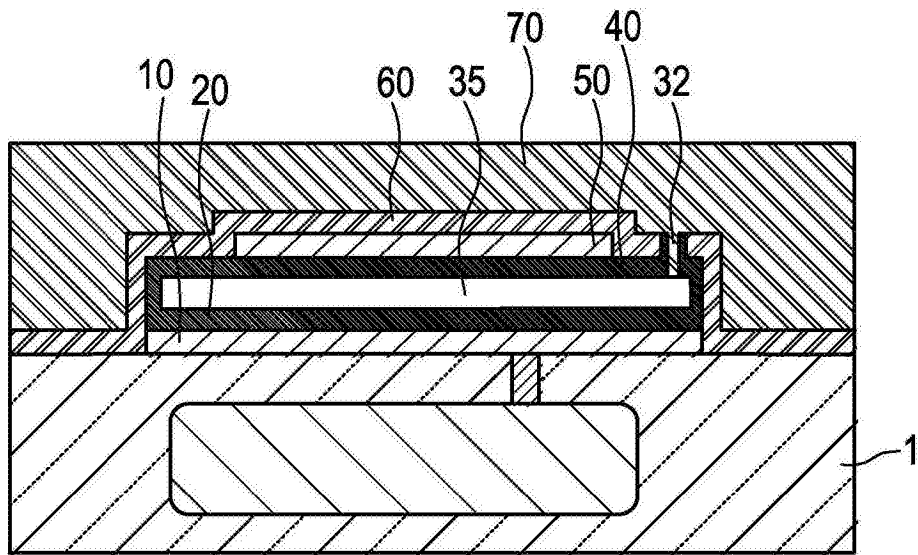


图2i

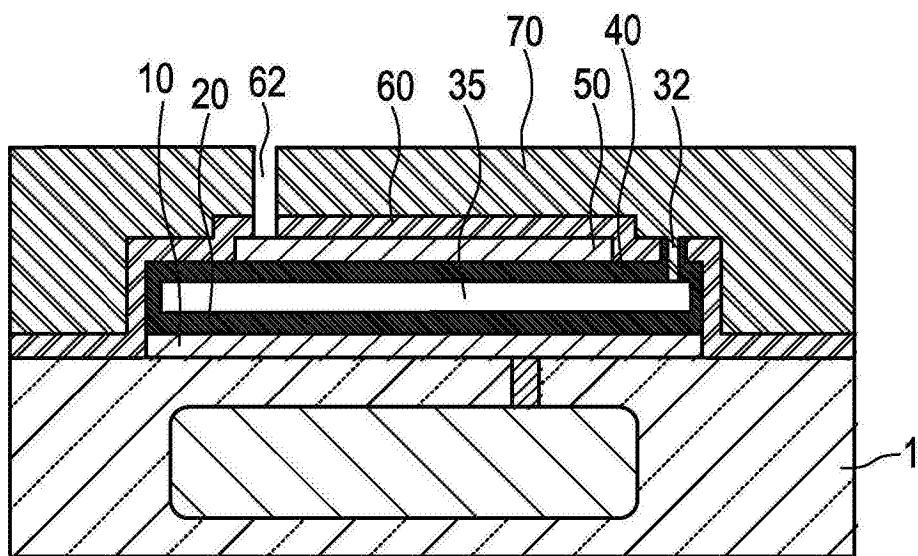


图2j

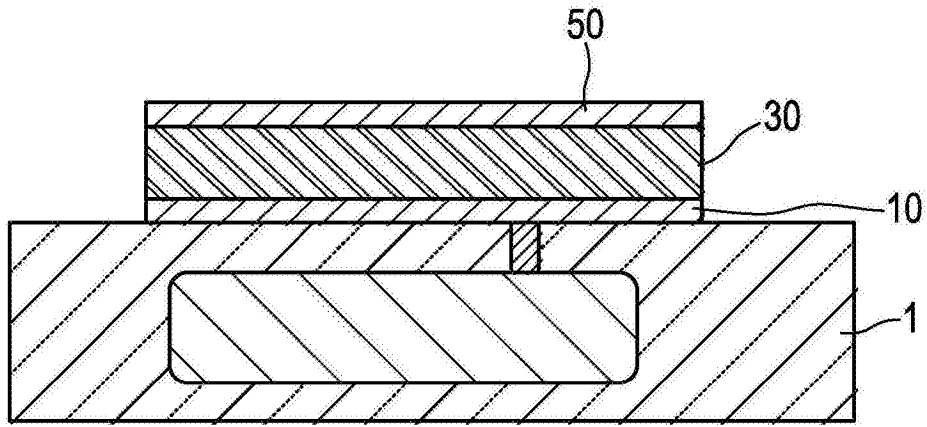


图3b

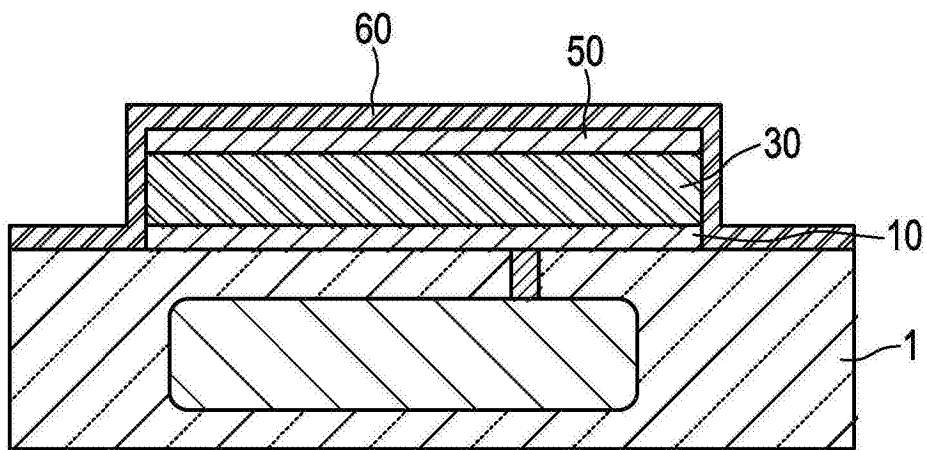


图3c

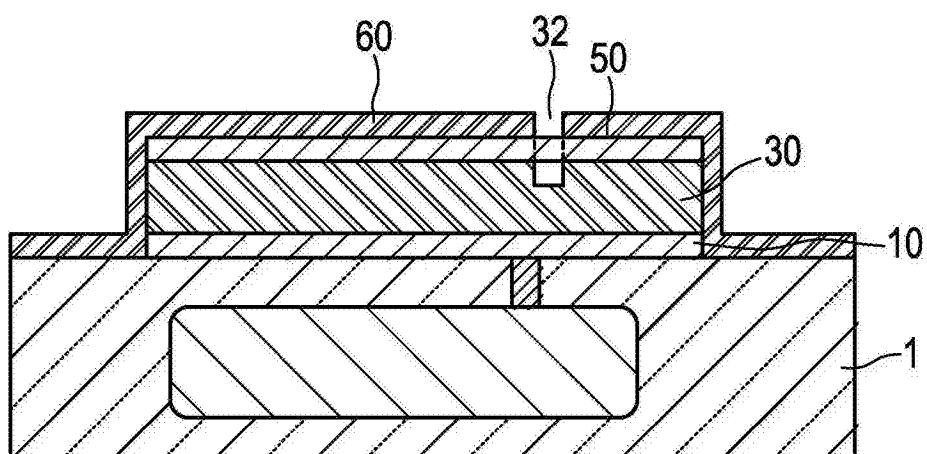


图3d

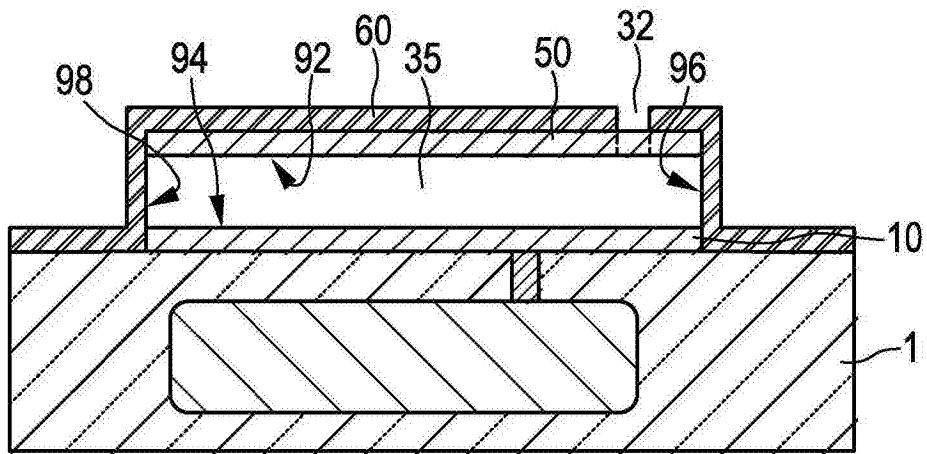


图3e

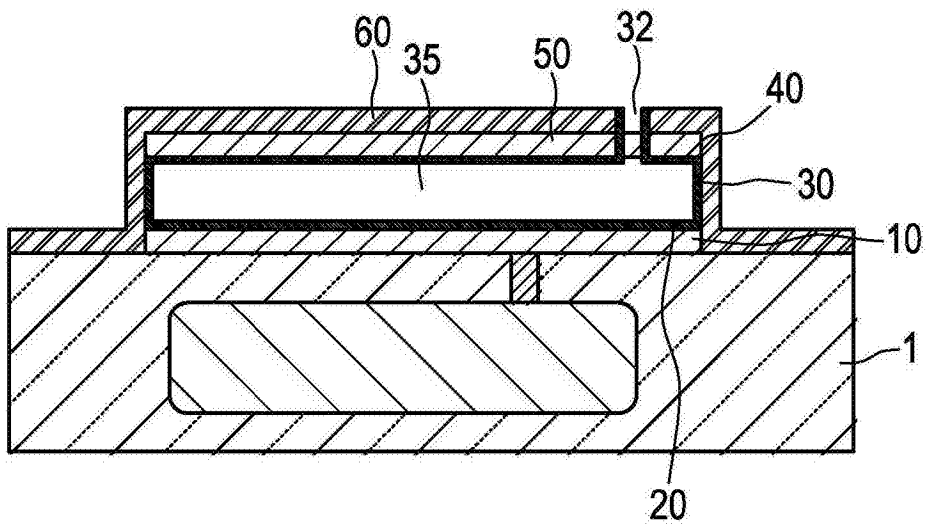


图3f

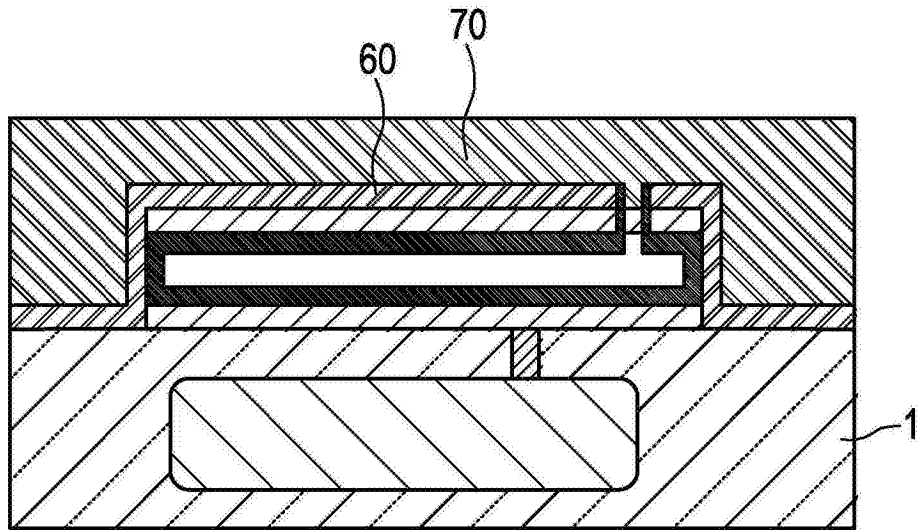


图3g

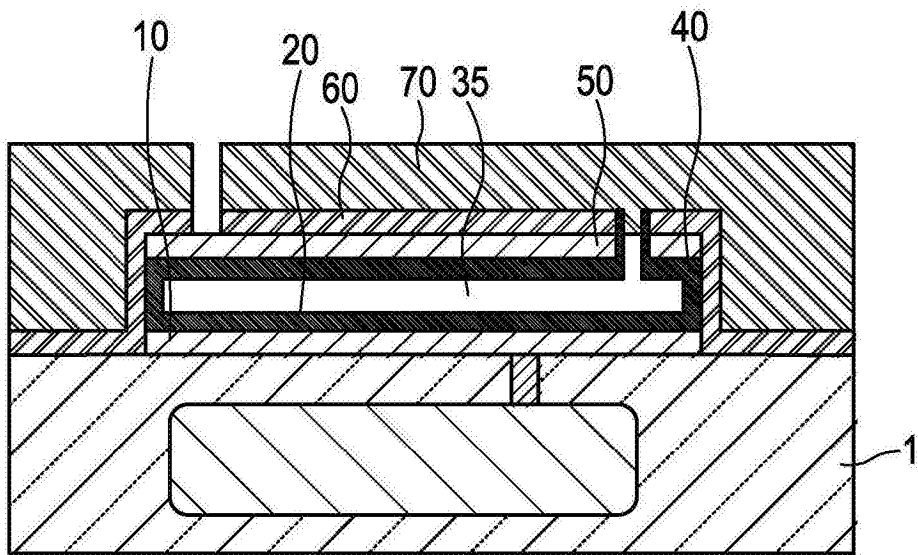


图3h

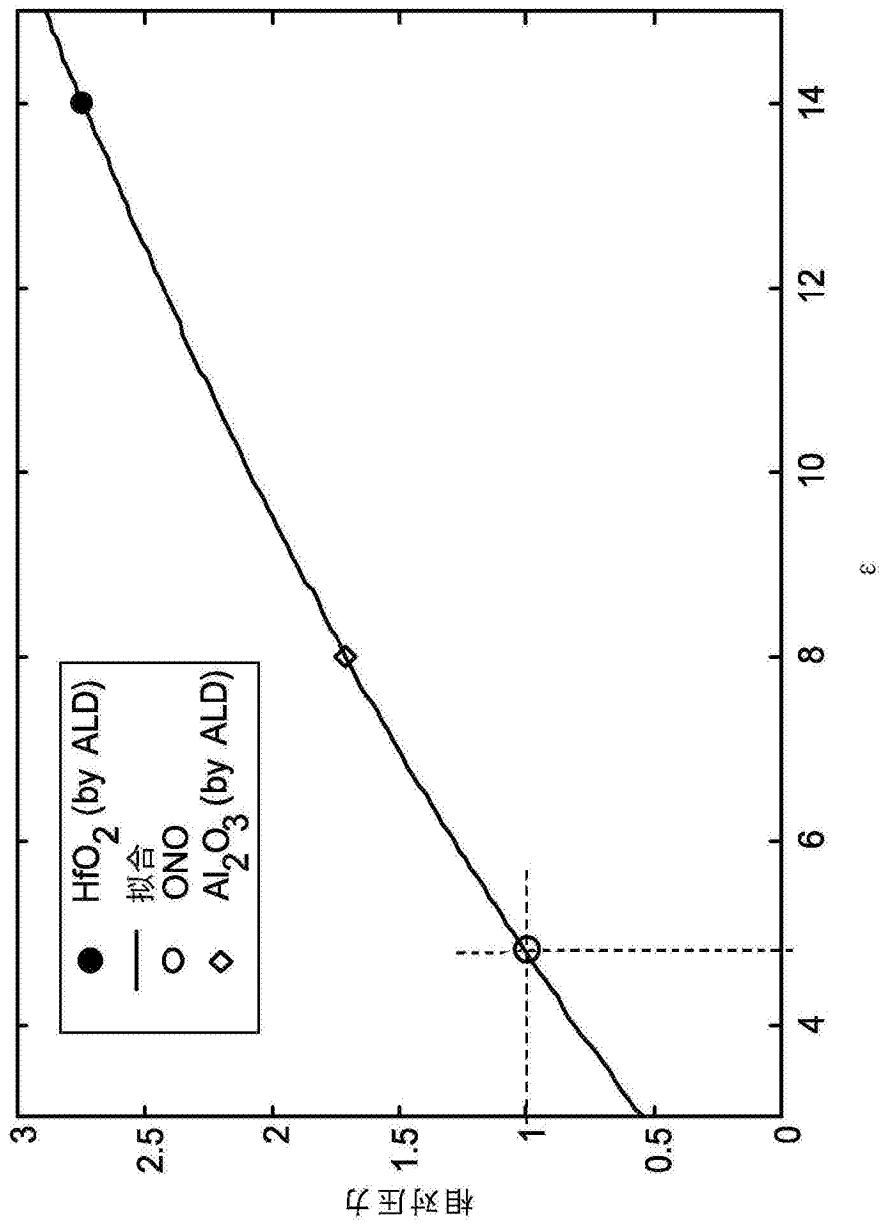


图4

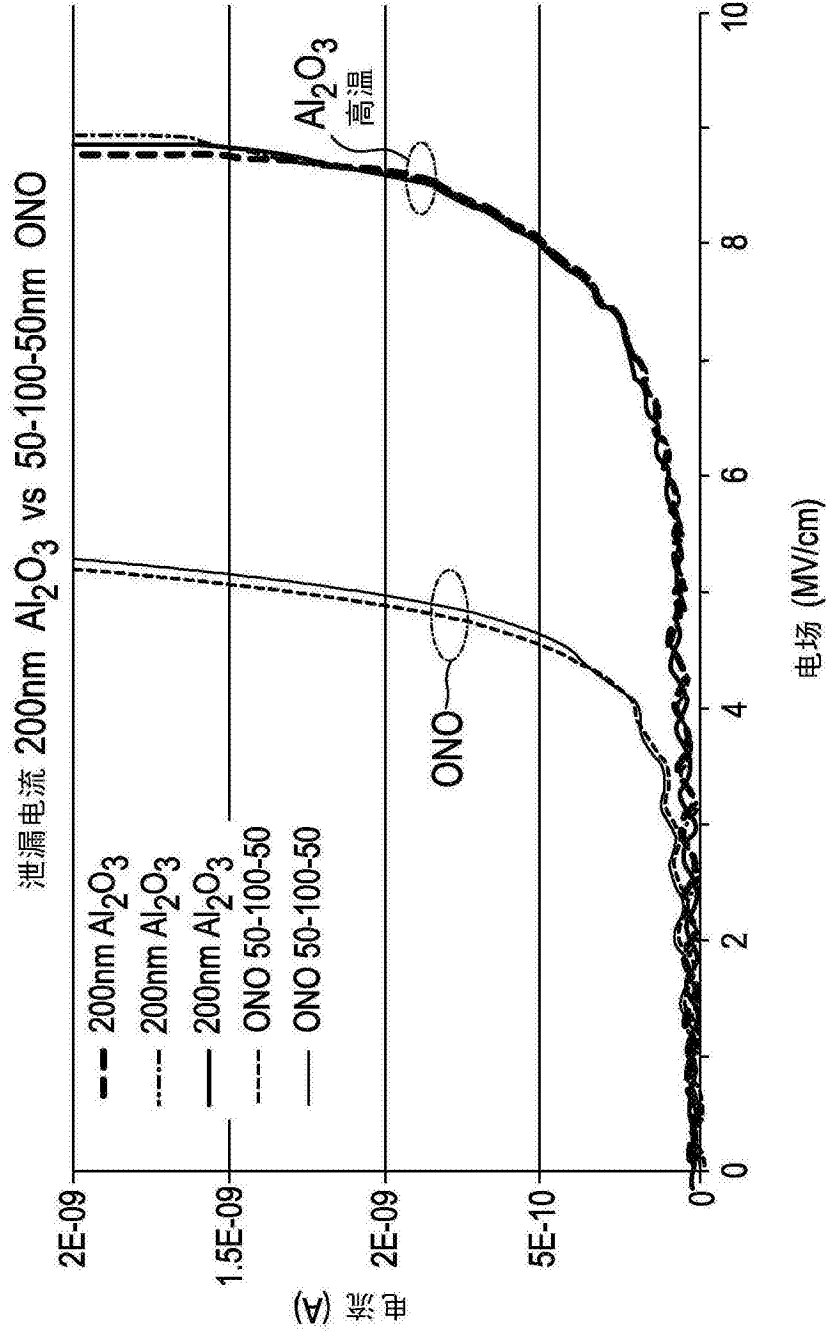


图5