

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年11月22日(2007.11.22)

【公開番号】特開2002-124079(P2002-124079A)

【公開日】平成14年4月26日(2002.4.26)

【出願番号】特願2000-316867(P2000-316867)

【国際特許分類】

<i>G 1 1 C</i>	<i>11/14</i>	<i>(2006.01)</i>
<i>G 1 1 C</i>	<i>11/15</i>	<i>(2006.01)</i>
<i>H 0 1 L</i>	<i>43/08</i>	<i>(2006.01)</i>
<i>H 0 1 L</i>	<i>21/8246</i>	<i>(2006.01)</i>
<i>H 0 1 L</i>	<i>27/105</i>	<i>(2006.01)</i>

【F I】

<i>G 1 1 C</i>	<i>11/14</i>	<i>Z</i>
<i>G 1 1 C</i>	<i>11/14</i>	<i>B</i>
<i>G 1 1 C</i>	<i>11/15</i>	
<i>H 0 1 L</i>	<i>43/08</i>	<i>Z</i>
<i>H 0 1 L</i>	<i>43/08</i>	<i>A</i>
<i>H 0 1 L</i>	<i>27/10</i>	<i>4 4 7</i>

【手続補正書】

【提出日】平成19年10月4日(2007.10.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 半導体集積回路であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書き込み電流によって印加されるデータ書き込み磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有し、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書き込み時において前記第1のデータ書き込み電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書き込みワード線と、

前記磁性体メモリセルの列に対応してそれぞれ設けられ、各々が第1および第2のビット線を含む複数のビット線対と、

前記データ書き込み時において、前記複数のビット線対のうちのアドレス選択結果に応じて選択される1つに含まれる前記第1および第2のビット線を高電位状態および低電位状態の一方ずつに設定するためのデータ書き込み制御回路と、

前記複数のビット線対に対応してそれぞれ設けられ、各々が、前記データ書き込み時において前記第2のデータ書き込み電流を流すために対応する前記第1および第2のビット線の間を

電気的に結合する複数のビット線電流制御回路とをさらに備える、半導体集積回路。

【請求項 2】 前記データ書込制御回路は、前記半導体集積回路に対して外部から供給された外部電源電位によって駆動される、請求項 1 記載の半導体集積回路。

【請求項 3】 前記複数の書込ワード線を前記アドレス選択結果に応じて選択的に活性状態に駆動するためのワード線駆動回路と、

前記複数の書込ワード線の各々を前記複数の書込ワード線の非活性状態に対応する電位と結合するためのワード線電流制御回路とをさらに備え、

前記ワード線駆動回路は、前記外部電源電位によって駆動される、請求項 2 記載の半導体集積回路。

【請求項 4】 前記複数のビット線対に共通に設けられ、第 1 および第 2 のデータ線によって形成されるデータ線対と、

前記列に対応してそれぞれ設けられ、前記アドレス選択結果に応じて対応する前記第 1 および第 2 のビット線を前記第 1 および第 2 のデータ線とそれぞれ接続する複数の列選択ゲート回路とを備え、

前記データ書込制御回路は、前記データ書込時において、第 1 および第 2 の内部ノードを前記高電位状態および低電位状態の一方ずつに設定し、

前記第 1 および第 2 の内部ノードと前記第 1 および第 2 のデータ線との接続点は、前記第 2 のデータ書込電流の経路を形成する配線の抵抗値が、前記アドレス選択の対象となる前記列の位置に関わらずほぼ一定となるように設けられる、請求項 1 記載の半導体集積回路。

【請求項 5】 前記複数のビット線対は、前記列に沿った方向に配置され、前記データ線対は、前記行に沿った方向に配置され、

前記第 1 の内部ノードは、先頭の前記列側の領域において前記第 1 のデータ線と接続され、

前記第 2 の内部ノードは、最終の前記列側の領域において前記第 2 のデータ線と接続される、請求項 4 記載の半導体集積回路。

【請求項 6】 前記複数のビット線対は、前記列に沿った方向に配置され、前記データ線対は、前記行に沿った方向に配置され、

前記第 1 および第 2 の内部ノードは、中央の前記列周辺の領域において、前記第 1 および第 2 のデータ線とそれぞれ接続される、請求項 4 記載の半導体集積回路。

【請求項 7】 M 個 (M : 2 以上の自然数) の前記列ごとに配置され、第 1 および第 2 のデータ線によって形成されるデータ線対と、

前記列に対応してそれぞれ設けられ、前記アドレス選択結果に応じて対応する前記第 1 および第 2 のビット線を対応する前記第 1 および第 2 のデータ線とそれぞれ接続する複数の列選択ゲート回路とを備え、

前記データ書込制御回路は、前記データ線対ごとに設けられ、

各前記データ書込制御回路は、前記データ書込時においてアドレス選択結果に応じて動作して、対応する前記第 1 および第 2 のデータ線を前記高電位状態および低電位状態の一方ずつに設定する、請求項 1 記載の半導体集積回路。

【請求項 8】 前記データ線対は、前記複数のビット線と同一方向に沿って、対応する M 個の前記列の中央部に配置される、請求項 7 記載の半導体集積回路。

【請求項 9】 前記行に対応してそれぞれ設けられ、データ読出時においてアドレス選択結果に応じて活性化されて対応する磁性体メモリセルを対応するビット線対と結合するための複数の読出ワード線と、

データ読出時において、アドレス選択結果に応じて選択される前記複数のビットのうちの 1 つに含まれる前記第 1 および第 2 のビット線に対してデータ読出電流を供給するためのデータ読出制御回路とをさらに備え、

前記データ読出時において、各前記ビット線電流制御回路は、対応する第 1 および第 2 のビット線の間を開放する、請求項 1 記載の半導体集積回路。

【請求項 10】 前記磁性体メモリセルは、それぞれの前記列において、前記第 1 お

および第2のビット線といずれか一方と結合され、

前記半導体集積回路は、さらに、

前記列に対応してそれぞれ設けられ、前記第1のビット線のそれぞれと結合される複数の第1のダミーメモリセルと、

前記列に対応してそれぞれ設けられ、前記第2のビット線のそれぞれと結合される複数の第2のダミーメモリセルと、

前記複数の第1のダミーメモリセルに対応して設けられ、前記複数の第1のダミーメモリセルを対応する前記第1のビット線とそれぞれ結合するために、前記データ読出時においてアドレス選択結果に応じて活性化される第1のダミー読出ワード線と、

前記複数の第2のダミーメモリセルに対応して設けられ、前記複数の第2のダミーメモリセルを対応する前記第2のビット線とそれぞれ結合するために、前記データ読出時においてアドレス選択結果に応じて活性化される第2のダミー読出ワード線と、

前記データ読出時において、前記複数のワード線のうちの1つおよび前記第1および第2のダミー読出ワード線のうちの1つを、前記アドレス選択結果に応じて選択的に活性化するワード線駆動回路をさらに備え、

前記第1および第2のダミーメモリセルの各々は、前記磁性体メモリセルが前記記憶データのレベルに応じて有する第1および第2の抵抗値の中間の抵抗値を有する、請求項9記載の半導体集積回路。

【請求項11】 前記半導体集積回路に対して外部から供給された外部電源電位を降圧して内部電源電位を生成する電圧降下回路をさらに備え、

前記データ書込制御回路は、前記外部電源電位によって駆動され、

前記データ読出制御回路は、前記内部電源電位によって駆動される、請求項9記載の半導体集積回路。

【請求項12】 半導体集積回路であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印加されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有し、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時においてアドレス選択結果に応じて前記第1のデータ書込電流を流すための複数の書込ワード線と、

前記磁性体メモリセルの列に対応してそれぞれ設けられる複数のビット線と、

前記複数のビット線対に共通に設けられ、第1および第2のデータ線によって形成されるデータ線対と、

前記データ書込時において、前記第1および第2のデータ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、

前記列に対応してそれぞれ設けられ、各々が、前記アドレス選択結果に応じて対応する前記ビット線を前記第1のデータ線と接続する複数の列選択ゲート回路と、

前記列に対応してそれぞれ設けられ、各々が、前記データ書込時において前記第2のデータ書込電流を流すために、前記対応する前記ビット線と前記第2のデータ線との間を電気的に結合する複数のビット線電流制御回路とをさらに備える、半導体集積回路。

【請求項13】 前記データ書込制御回路は、前記データ書込時において、第1および第2の内部ノードを前記高電位状態および低電位状態の一方ずつに設定し、

各前記ビット線電流制御回路は、前記アドレス選択結果に応じて、前記対応する前記ビット線と前記第2のデータ線との間を電気的に結合し、

前記半導体集積回路は、

データ読出時においてデータ読出電流を第3の内部ノードに供給するためのデータ読出制御回路と、

前記データ書込時において、前記第1および第2の内部ノードと前記第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、

前記接続切換回路は、前記データ読出時において、前記第1および第2のデータ線を、

前記第3の内部ノードおよび読出基準電位を供給する第4の内部ノードとそれ電気的に結合し、

前記データ読出制御回路は、前記読出基準電位と前記第3の内部ノードとの間の電位差に基づいて前記データ読出を行なう、請求項12記載の半導体集積回路。

【請求項14】前記データ書込制御回路は、前記データ書込時において、第1および第2の内部ノードを前記高電位状態および低電位状態の一方ずつに設定し、

各前記ビット線電流制御回路は、前記データ読出前のプリチャージ時において前記対応する前記ビット線と前記第2のデータ線との間を電気的に結合するとともに、データ読出時において前記対応する前記ビット線と前記第2のデータ線との間を電気的に切り離し、

前記半導体集積回路は、

前記データ読出時においてデータ読出電流を前記第1のデータ線に供給するためのデータ読出制御回路と、

前記データ書込時において、前記第1および第2の内部ノードと前記第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、

前記接続切換回路は、前記プリチャージ時において、前記第1および第2のデータ線を、読出基準電位を供給する第3および第4の内部ノードとそれ電気的に結合するとともに、前記データ読出時において、前記第1および第2のデータ線を前記第1から第4の内部ノードから切り離し、

前記データ読出制御回路は、前記読出基準電位と前記第1のデータ線との間の電位差に基づいて前記データ読出を行なう、請求項12記載の半導体集積回路。

【請求項15】半導体集積回路であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第1および第2のデータ書込電流によって印加されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ読出時において、アドレス選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時において前記第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性状態に駆動される複数の書込ワード線と、

前記行に対応してそれぞれ設けられ、前記データ書込時において前記第2のデータ書込電流を流すための複数の書込データ線と、

前記列に対応してそれぞれ設けられ、前記データ読出時において前記データ読出電流を流すための複数の読出データ線とを備える、半導体集積回路。

【請求項16】前記複数の読出データ線の各々は、対応する前記行に属する複数の前記記憶部の各々と各前記メモリセル選択ゲートを介して電気的に結合される、請求項15記載の半導体集積回路。

【請求項17】前記複数の読出データ線の各々と前記複数の書込ワード線との各々は、同一の共通配線を共有して配置され、

前記半導体集積回路は、

前記活性状態に対応する第1の電位とは異なる第2の電位と各前記共通配線との間を、前記データ読出時および前記データ書込時のそれれにおいて結合および遮断する電流制御回路をさらに備える、請求項15記載の半導体集積回路。

【請求項18】半導体集積回路であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第1および第2のデータ書込電流によって印加されるデータ書込磁界が所定磁界よりも

大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する記憶部と、データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ読出時において、アドレス選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記行および列の一方に対応してそれぞれ設けられ、前記データ書込時において前記第1のデータ書込電流を流すための複数の書込データ線と、

前記行および列の他方に対応してそれぞれ設けられる複数の共通配線とを備え、

前記複数の共通配線の各々は、前記データ読出時において、前記アドレス選択結果に応じて前記データ読出電流の供給を選択的に受け、

前記複数の共通配線の各々は、前記データ書込時において、前記第2のデータ書込電流を流すために第1の電位に選択的に駆動され、

第1の電位とは異なる第2の電位と各前記共通配線との間を、前記データ読出時および前記データ書込時のそれぞれにおいて結合および遮断する電流制御回路をさらに備える、半導体集積回路。

【請求項19】 前記複数の共通配線の各々は、対応する前記行に属する複数の前記記憶部の各々と各前記メモリセル選択ゲートを介して電気的に結合される、請求項15記載の半導体集積回路。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

図45を参照して、半導体基板上に、MTJメモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。図45においては、MTJメモリセルをn行×m列(n,m:自然数)に配置する場合が示される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

【課題を解決するための手段】

請求項1記載の半導体集積回路は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印加されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有し、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書込ワード線と、磁性体メモリセルの列に対応してそれぞれ設けられ、各々が第1および第2のビット線を含む複数のビット線対と、データ書込時において、複数のビット線対のうちのアドレス選択結果に応じて選択される1つに含まれる第1および第2のビット線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、複数のビット線対に対応してそれぞれ設けられ、各々が、データ書込時において第2のデータ書込電流を流すために対応する第1および第2のビット線の間を電気的に結合する複数のビット線電流制御回路とをさらに備える。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

請求項2記載の半導体集積回路は、請求項1記載の半導体集積回路であって、データ書込制御回路は、半導体集積回路に対して外部から供給された外部電源電位によって駆動される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

請求項3記載の半導体集積回路は、請求項2記載の半導体集積回路であって、複数の書込ワード線をアドレス選択結果に応じて選択的に活性状態に駆動するためのワード線駆動回路と、複数の書込ワード線の各々を複数の書込ワード線の非活性状態に対応する電位と結合するためのワード線電流制御回路とをさらに備え、ワード線駆動回路は、外部電源電位によって駆動される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

請求項4記載の半導体集積回路は、請求項1記載の半導体集積回路であって、複数のビット線対に共通に設けられ、第1および第2のデータ線によって形成されるデータ線対と、列に対応してそれぞれ設けられ、アドレス選択結果に応じて対応する第1および第2のビット線を第1および第2のデータ線とそれぞれ接続する複数の列選択ゲート回路とを備え、データ書込制御回路は、データ書込時ににおいて、第1および第2の内部ノードを高電位状態および低電位状態の一方ずつに設定し、第1および第2の内部ノードと第1および第2のデータ線との接続点は、第2のデータ書込電流の経路を形成する配線の抵抗値が、アドレス選択の対象となる列の位置に関わらずほぼ一定となるように設けられる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

請求項5記載の半導体集積回路は、請求項4記載の半導体集積回路であって、複数のビット線対は、列に沿った方向に配置され、データ線対は、行に沿った方向に配置され、第1の内部ノードは、先頭の列側の領域において第1のデータ線と接続され、第2の内部ノードは、最終の列側の領域において第2のデータ線と接続される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

請求項6記載の半導体集積回路は、請求項4記載の半導体集積回路であって、複数のビット線対は、列に沿った方向に配置され、データ線対は、行に沿った方向に配置され、第1および第2の内部ノードは、中央の列周辺の領域において、第1および第2のデータ線

とそれぞれ接続される。

【手続補正 1 0】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 8

【補正方法】変更

【補正の内容】

【0 0 3 8】

請求項 7 記載の半導体集積回路は、請求項 1 記載の半導体集積回路であって、M 個 (M : 2 以上の自然数) の列ごとに配置され、第 1 および第 2 のデータ線によって形成されるデータ線対と、列に対応してそれぞれ設けられ、アドレス選択結果に応じて対応する第 1 および第 2 のビット線を対応する第 1 および第 2 のデータ線とそれ接続する複数の列選択ゲート回路とを備え、データ書込制御回路は、データ線対ごとに設けられ、各データ書込制御回路は、データ書込時においてアドレス選択結果に応じて動作して、対応する第 1 および第 2 のデータ線を高電位状態および低電位状態の一方ずつに設定する。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 9

【補正方法】変更

【補正の内容】

【0 0 3 9】

請求項 8 記載の半導体集積回路は、請求項 7 記載の半導体集積回路であって、データ線対は、複数のビット線と同一方向に沿って、対応する M 個の列の中央部に配置される。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 0

【補正方法】変更

【補正の内容】

【0 0 4 0】

請求項 9 記載の半導体集積回路は、請求項 1 記載の半導体集積回路であって、行に対応してそれぞれ設けられ、データ読出時においてアドレス選択結果に応じて活性化されて対応する磁性体メモリセルを対応するビット線対と結合するための複数の読出ワード線と、データ読出時において、アドレス選択結果に応じて選択される複数のビットのうちの 1 つに含まれる第 1 および第 2 のビット線に対してデータ読出電流を供給するためのデータ読出制御回路とをさらに備え、データ読出時において、各ビット線電流制御回路は、対応する第 1 および第 2 のビット線の間を開放する。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 1

【補正方法】変更

【補正の内容】

【0 0 4 1】

請求項 1 0 記載の半導体集積回路は、請求項 9 記載の半導体集積回路であって、磁性体メモリセルは、それぞれの列において、第 1 および第 2 のビット線といずれか一方と結合され、半導体集積回路は、さらに、列に対応してそれぞれ設けられ、第 1 のビット線のそれぞれと結合される複数の第 1 のダミーメモリセルと、列に対応してそれぞれ設けられ、第 2 のビット線のそれぞれと結合される複数の第 2 のダミーメモリセルと、複数の第 1 のダミーメモリセルに対応して設けられ、複数の第 1 のダミーメモリセルを対応する第 1 のビット線とそれぞれ結合するために、データ読出時においてアドレス選択結果に応じて活性化される第 1 のダミー読出ワード線と、複数の第 2 のダミーメモリセルに対応して設けられ、複数の第 2 のダミーメモリセルを対応する第 2 のビット線とそれぞれ結合するため

に、データ読出時においてアドレス選択結果に応じて活性化される第2のダミー読出ワード線と、データ読出時において、複数のワード線のうちの1つおよび第1および第2のダミー読出ワード線のうちの1つを、アドレス選択結果に応じて選択的に活性化するワード線駆動回路をさらに備え、第1および第2のダミーメモリセルの各々は、磁性体メモリセルが記憶データのレベルに応じて有する第1および第2の抵抗値の中間の抵抗値を有する。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正の内容】

【0042】

請求項11記載の半導体集積回路は、請求項9記載の半導体集積回路であって、半導体集積回路に対して外部から供給された外部電源電位を降圧して内部電源電位を生成する電圧降下回路をさらに備え、データ書き制御回路は、外部電源電位によって駆動され、データ読出制御回路は、内部電源電位によって駆動される。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

請求項12記載の半導体集積回路は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書き電流によって印加されるデータ書き磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有し、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書き時においてアドレス選択結果に応じて第1のデータ書き電流を流すための複数の書きワード線と、磁性体メモリセルの列に対応してそれぞれ設けられる複数のビット線と、複数のビット線対に共通に設けられ、第1および第2のデータ線によって形成されるデータ線対と、データ書き時において、第1および第2のデータ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書き制御回路と、列に対応してそれぞれ設けられ、各々が、アドレス選択結果に応じて対応するビット線を第1のデータ線と接続する複数の列選択ゲート回路と、列に対応してそれぞれ設けられ、各々が、データ書き時において第2のデータ書き電流を流すために、対応するビット線と第2のデータ線との間を電気的に結合する複数のビット線電流制御回路とをさらに備える。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

請求項13記載の半導体集積回路は、請求項12記載の半導体集積回路であって、データ書き制御回路は、データ書き時において、第1および第2の内部ノードを高電位状態および低電位状態の一方ずつに設定し、各ビット線電流制御回路は、アドレス選択結果に応じて、対応するビット線と第2のデータ線との間を電気的に結合し、半導体集積回路は、データ読出時においてデータ読出電流を第3の内部ノードに供給するためのデータ読出制御回路と、データ書き制御回路において、第1および第2の内部ノードと第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、接続切換回路は、データ読出時において、第1および第2のデータ線を、第3の内部ノードおよび読出基準電位を供給する第4の内部ノードとそれぞれ電気的に結合し、データ読出制御回路は、読出基準

電位と第3の内部ノードとの間の電位差に基づいてデータ読出を行なう。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

請求項14記載の半導体集積回路は、請求項12記載の半導体集積回路であって、データ書込制御回路は、データ書込時において、第1および第2の内部ノードを高電位状態および低電位状態の一方ずつに設定し、各ビット線電流制御回路は、データ読出前のプリチャージ時において対応するビット線と第2のデータ線との間を電気的に結合するとともに、データ読出時において対応するビット線と第2のデータ線との間を電気的に切り離し、半導体集積回路は、データ読出時においてデータ読出電流を第1のデータ線に供給するためのデータ読出制御回路と、データ書込時において、第1および第2の内部ノードと第1および第2のデータ線とをそれぞれ結合するための接続切換回路とをさらに備え、接続切換回路は、プリチャージ時において、第1および第2のデータ線を、読出基準電位を供給する第3および第4の内部ノードとそれぞれ電気的に結合するとともに、データ読出時において、第1および第2のデータ線を第1から第4の内部ノードから切り離し、データ読出制御回路は、読出基準電位と第1のデータ線との間の電位差に基づいてデータ読出を行なう。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

請求項15記載の半導体集積回路は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印加されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ読出時において、アドレス選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時において第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性状態に駆動される複数の書きワード線と、行に対応してそれぞれ設けられ、データ書込時において第2のデータ書込電流を流すための複数の書きデータ線と、列に対応してそれぞれ設けられ、データ読出時においてデータ読出電流を流すための複数の読出データ線とを備える。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

請求項16記載の半導体集積回路は、請求項15記載の半導体集積回路であって、複数の読出データ線の各々は、対応する行に属する複数の記憶部の各々と各メモリセル選択ゲートを介して電気的に結合される。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

請求項17記載の半導体集積回路は、請求項15記載の半導体集積回路であって、複数の読み出データ線の各々と複数の書きワード線との各々は、同一の共通配線を共有して配置され、半導体集積回路は、活性状態に対応する第1の電位とは異なる第2の電位と各共通配線との間を、データ読み出時およびデータ書き時のそれぞれにおいて結合および遮断する電流制御回路をさらに備える。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

請求項18記載の半導体集積回路は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書き電流によって印加されるデータ書き磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて異なる抵抗値を有する記憶部と、データ読み出時において記憶部にデータ読み出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ読み出時において、アドレス選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読み出ワード線と、行および列の一方に対応してそれぞれ設けられ、データ書き時ににおいて第1のデータ書き電流を流すための複数の書きデータ線と、行および列の他方に対応してそれぞれ設けられる複数の共通配線とを備え、複数の共通配線の各々は、データ読み出時において、アドレス選択結果に応じてデータ読み出電流の供給を選択的に受け、複数の共通配線の各々は、データ書き時ににおいて、第2のデータ書き電流を流すために第1の電位に選択的に駆動され、第1の電位とは異なる第2の電位と各共通配線との間を、データ読み出時およびデータ書き時のそれぞれにおいて結合および遮断する電流制御回路をさらに備える。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

【0082】

一方、書きデータDINのデータレベルがHレベルである場合には、内部ノードNw1およびNw2の電位レベルの設定が上記の場合とは反対となり、ビット線BL2および/BL2には、上記と逆方向のデータ書き電流が流れ、上記とは逆のデータレベルが書き込まれる。このようにして、書きデータDINのデータレベルに応じた方向を有するデータ書き電流±Iwがビット線BLおよび/BLに供給される。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

行選択結果に応じて奇数行が選択されて、ビット線BL2とMTJメモリセルMCとが結合される場合には、ダミーリードワード線DRWL2が活性化されて、ビット線/BL2とダミーメモリセルDMCとが結合される。反対に、行選択結果に応じて偶数行が選択されて、ビット線/BL2とMTJメモリセルMCとが結合される場合には、ダミーリードワード線DRWL1が活性化されて、ビット線BL2とダミーメモリセルDMCとが結

合される。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正の内容】

【0101】

実施の形態2においては、データ書込時にデータ書込電流を供給する、データ書込電流制御回路51およびワード線WWLを活性化するワード線ドライバ30に対して、MRA Mデバイス1に対して外部から供給される外部電源電位Ext. Vccを直接供給する。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0131

【補正方法】変更

【補正の内容】

【0131】

読み出/書込制御回路60が有するイコライズトランジスタ62-1～62-mは、それぞれのメモリセル列において、ライトビット線WBLおよび/WBLを電気的に結合する。イコライズトランジスタ62-1～62-mは、コラム選択ゲートCSG1～CSGmと同様に、コラム選択線CSL1～CSLmの電位レベルに応じてオン/オフされる。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0132

【補正方法】変更

【補正の内容】

【0132】

このような構成とすることにより、列選択結果に応じて、たとえばコラム選択線CSL2が選択状態(Hレベル)に活性化されると、コラム選択ゲートCSG2およびイコライズトランジスタ62-2がオンして、ノードNw1(データ書込電流制御回路51)～データ線IO～ライトビット線WBL～イコライズトランジスタ62-2～ライトビット線/WBL2～データ線IO～ノードNw2(データ書込電流制御回路51)の電流経路が形成される。

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0137

【補正方法】変更

【補正の内容】

【0137】

図9を参照して、実施の形態4の変形例1においては、図5の場合と同様に、データI/O線対DI/OPは、M個のメモリセル列ごとに配置される。データ書込電流制御回路51も、メモリアレイ10全体で(m/M)組配置されるデータI/O線対DI/OPに対応してそれぞれ配置される。イコライズトランジスタ62-1～62-mは、図8の場合と同様に、コラム選択線CSL1～CSLmの電位レベルに応じてオン/オフされて、実施の形態1と同様のデータ書込が実行される。

【手続補正28】

【補正対象書類名】明細書

【補正対象項目名】0164

【補正方法】変更

【補正の内容】

【0164】

図15は、電流切換回路58の構成を示すブロック図である。

図15を参照して、電流切換回路58は、データ書込電流制御回路51の出力ノードNw1および電源電位Vccを供給するプリチャージノードNp1とデータ線I/Oとの間に配置されるスイッチSW2aと、データ書込電流制御回路51の出力ノードNw2および電源電位Vccを供給するプリチャージノードNp2とデータ線I/Oとの間に配置されるスイッチSW2bとを有する。

【手続補正29】

【補正対象書類名】明細書

【補正対象項目名】0165

【補正方法】変更

【補正の内容】

【0165】

スイッチSW2aおよびSW2bは、データ書込時において、データ線I/Oおよび/IOと、データ書込電流制御回路51の出力ノードNw1およびNw2とを電気的にそれぞれ結合する。また、スイッチSW2aおよびSW2bは、データ読出に先立って実行されるプリチャージ動作時において、データ線I/Oおよび/IOをプリチャージノードNp1およびNp2と電気的にそれぞれ結合する。

【手続補正30】

【補正対象書類名】明細書

【補正対象項目名】0169

【補正方法】変更

【補正の内容】

【0169】

さらに、実施の形態5と同様の構成を有するデータ読出回路52によって、データ線I/Oおよび選択されたメモリセル列に対応するコラム選択ゲートを介して、ビット線BLに対してセンス電流Isが供給される。リードワード線RWLの活性化に応じてビット線と結合されたMTJメモリセルMCによってビット線BLに生じる電圧降下を基準の電圧降下Vrと比較することによって、データ読出回路52は、読出データDOUTのデータレベルを検知することができる。

【手続補正31】

【補正対象書類名】明細書

【補正対象項目名】0170

【補正方法】変更

【補正の内容】

【0170】

一方、データ書込時においては、ビット線プリチャージ信号BLPRはHレベルに活性化されて、電流制御トランジスタ64-1~64-mはオンする。したがって、選択されたメモリセル列において、ノードNw1(データ書込電流制御回路51)~データ線I/O~ビット線BL~電流制御トランジスタ~データ線I/O~ノードNw2(データ書込電流制御回路51)の電流経路が形成されて、書込データDINのデータレベルに応じたデータ書込電流±Iwをビット線BLに流すことができる。これにより、実施の形態5と同様のデータ書込動作を実行することができる。

【手続補正32】

【補正対象書類名】明細書

【補正対象項目名】0211

【補正方法】変更

【補正の内容】

【0211】

データ読出時においては、ライトビット線WBLの電位レベルを接地電位レベルVssに設定することにより、リードワード線RWLを選択状態(Hレベル)に活性化すること

によって、アクセストランジスタ A T R をターンオンして、共通配線 C M L ~ 磁気トンネル接合部 M T J ~ アクセストランジスタ A T R ~ ライトビット線 W B L の経路にセンス電流 I s を流すことができる。

【手続補正 3 3】

【補正対象書類名】明細書

【補正対象項目名】0 2 3 6

【補正方法】変更

【補正の内容】

【0 2 3 6】

ワード線電流制御回路 4 0 は、共通配線 C M L 1 ~ C M L m と接地電位 V s s との間にそれぞれ電気的に結合される電流制御トランジスタ 4 1 - 1 ~ 4 1 - m を有する。電流制御トランジスタ 4 1 - 1 ~ 4 1 - m の各々は、データ書込時において、共通配線 C M L と接地電位 V s s とを結合する。データ書込時以外においては、共通配線 C M L 1 ~ C M L m は接地電位 V s s と切離される。データ読出前においては、共通配線 C M L は、接地電位 V s s にプリチャージされる。

【手続補正 3 4】

【補正対象書類名】明細書

【補正対象項目名】0 2 4 9

【補正方法】変更

【補正の内容】

【0 2 4 9】

ワード線電流制御回路は、共通配線 C M L 1 ~ C M L n と接地電位 V s s との間にそれぞれ電気的に結合される電流制御トランジスタ 4 1 - 1 ~ 4 1 - n を有する。電流制御トランジスタ 4 1 - 1 ~ 4 1 - n の各々は、データ書込時において、共通配線 C M L と接地電位 V s s とを結合する。データ書込時以外においては、共通配線 C M L 1 ~ C M L n は接地電位 V s s と切離される。特に、データ読出前においては、共通配線 C M L は、接地電位 V s s にプリチャージされる。

【手続補正 3 5】

【補正対象書類名】明細書

【補正対象項目名】0 2 6 8

【補正方法】変更

【補正の内容】

【0 2 6 8】

図 4 0 に示される構成においては、同一方向に沿って配置されるリードビット線 R B L およびライトワード線 W W L は、同一の金属配線層に配置される。したがって、磁気トンネル接合部 M T J は、金属配線層 M 1 および M 2 の間に設けられ、ライトワード線 W W L は、磁気トンネル接合部 M T J と近接して、リードビット線 R B L と同一の金属配線層 M 1 に配置される。ライトビット線 W B L は、磁気トンネル接合部 M T J と電気的に結合されて、第 2 の金属配線層 M 2 に配置される。

【手続補正 3 6】

【補正対象書類名】明細書

【補正対象項目名】0 2 7 4

【補正方法】変更

【補正の内容】

【0 2 7 4】

【発明の効果】

請求項 1 記載の半導体集積回路は、データ書込時におけるデータ書込電流を短絡されたビット線対に往復電流として流すことができるので、データ書込電流を制御するための構成を簡素化できる。

【手続補正 3 7】

【補正対象書類名】明細書

【補正対象項目名】0275

【補正方法】変更

【補正の内容】

【0275】

請求項2および3記載の半導体集積回路は、データ書込電流を供給するための回路を外部電源電位によって直接駆動するので、請求項1記載の半導体集積回路が奏する効果に加えて、データ書込電流を速やかに供給することができる。

【手続補正38】

【補正対象書類名】明細書

【補正対象項目名】0276

【補正方法】変更

【補正の内容】

【0276】

請求項4から8に記載の半導体集積回路は、アドレス選択の対象となるメモリセル列の位置に関わらずデータ書込電流の電流量をほぼ一定に維持することができる。この結果、請求項1記載の半導体集積回路が奏する効果に加えて、電力消費を無用に増加させることなくそれぞれのメモリセル列に対して書込動作マージンを確保できる。

【手続補正39】

【補正対象書類名】明細書

【補正対象項目名】0277

【補正方法】変更

【補正の内容】

【0277】

請求項9および10に記載の半導体集積回路は、請求項1記載の半導体集積回路が奏する効果に加えて、ビット線およびビット線電流回路を共有してデータ読出動作を実行することができる。

【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0278

【補正方法】変更

【補正の内容】

【0278】

請求項11記載の半導体集積回路は、データ書込電流を供給するための回路を外部電源電位によって直接駆動するとともに、データ読出に関する回路を外部電源電位を降圧した内部電源電位によって駆動するので、請求項9記載の半導体集積回路が奏する効果に加えて、データ書込電流の速やかな供給と、低消費電力化およびデバイスの微細化に対応した信頼性の確保とを両立することができる。

【手続補正41】

【補正対象書類名】明細書

【補正対象項目名】0279

【補正方法】変更

【補正の内容】

【0279】

請求項12記載の半導体集積回路は、データ線対を構成する第1および第2のデータ線の電位レベルの制御によって、開放型のビット線に流されるデータ書込電流の方向を設定できる。したがって、データ書込電流を制御するための構成を簡素化できる。

【手続補正42】

【補正対象書類名】明細書

【補正対象項目名】0280

【補正方法】変更

【補正の内容】

【0280】

請求項13および14に記載の半導体集積回路は、請求項12記載の半導体集積回路が奏する効果に加えて、ビット線およびビット線電流回路を共有してデータ読出動作をさらに実行することができる。

【手続補正43】

【補正対象書類名】明細書

【補正対象項目名】0281

【補正方法】変更

【補正の内容】

【0281】

請求項15記載の半導体集積回路は、読出ワード線および書込データ線を磁性体メモリセルの行および列にそれぞれ対応させて配置するので、読出ワード線を選択的に駆動するための回路と、書込ワード線のそれぞれを選択的に駆動するための回路とを独立して配置することができる。この結果、レイアウトの自由度を向上させて集積度を高めることができる。

【手続補正44】

【補正対象書類名】明細書

【補正対象項目名】0282

【補正方法】変更

【補正の内容】

【0282】

請求項16記載の半導体集積回路は、データ読出の対象となる磁性体メモリセルの記憶部のみを読出データ線と結合するので、請求項15記載の半導体集積回路が奏する効果に加えて、読出データ線の容量を低減してデータ読出を高速化できる。

【手続補正45】

【補正対象書類名】明細書

【補正対象項目名】0283

【補正方法】変更

【補正の内容】

【0283】

請求項17記載の半導体集積回路は、データ読出時における読出データ線の機能とデータ書込時における書込ワード線との機能を共通配線に共有することができる。この結果、請求項15記載の半導体集積回路が奏する効果に加えて、配線数を減らして製造コストを削減できる。

【手続補正46】

【補正対象書類名】明細書

【補正対象項目名】0284

【補正方法】変更

【補正の内容】

【0284】

請求項18記載の半導体集積回路は、データ読出時における読出データ線の機能とデータ書込時における書込ワード線との機能を共通配線に共有することができる。この結果、配線数を減らして製造コストを削減できる。

【手続補正47】

【補正対象書類名】明細書

【補正対象項目名】0285

【補正方法】変更

【補正の内容】

【0285】

請求項19記載の半導体集積回路は、データ読出の対象となる磁性体メモリセルの記憶部のみを共通配線と結合するので、請求項18記載の半導体集積回路が奏する効果に加えて、データ読出時における共通配線の容量を低減してデータ読出を高速化できる。

【手続補正48】

【補正対象書類名】明細書

【補正対象項目名】図24

【補正方法】変更

【補正の内容】

【図24】 実施の形態6の変形例1に従うMTJメモリセルの配置を説明する構造図である。

【手続補正49】

【補正対象書類名】明細書

【補正対象項目名】図36

【補正方法】変更

【補正の内容】

【図36】 実施の形態6の変形例5に従うMTJメモリセルの配置を示す構造図である。

【手続補正50】

【補正対象書類名】明細書

【補正対象項目名】図41

【補正方法】変更

【補正の内容】

【図41】 磁気トンネル接合部を有するメモリセルの構成を示す概略図である。