

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2016/097576 A1

(43) Date de la publication internationale
23 juin 2016 (23.06.2016)

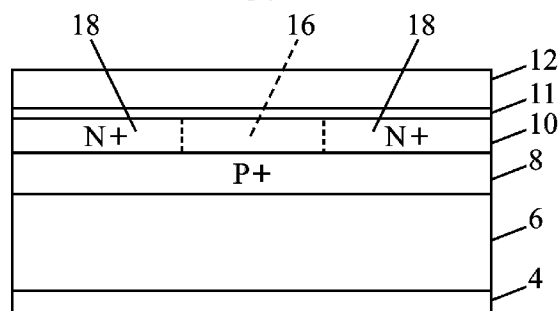
WIPO | PCT

- (51) Classification internationale des brevets :
H01L 29/778 (2006.01) *H01L 29/10* (2006.01)
H01L 21/338 (2006.01) *H01L 29/20* (2006.01)
H01L 21/336 (2006.01)
- (21) Numéro de la demande internationale :
PCT/FR2015/053503
- (22) Date de dépôt international :
15 décembre 2015 (15.12.2015)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
14 62461 15 décembre 2014 (15.12.2014) FR
- (71) Déposants : CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE - CNRS - [FR/FR]; 3, rue Michel Ange, Paris, 75016 (FR). UNIVERSITE LIBANAISE [LB/LB]; Rectorat Place du Musée, BP 6573-14, Beyrouth (LB).
- (72) Inventeurs : MORANCHO, Frédéric; 6 allée du Lauragais, 31520 Ramonville-saint-agne (FR). HAMADY, Saleem; Cité Ranguel, Tripode C, 118 route de Narbonne, 31400 Toulouse (FR). BEYDOUN, Bilal; Rue Nsouli Immeuble Louloua, 11ème étage, BP 11-4661, Beyrouth (LB).
- (74) Mandataire : CABINET PLASSERAUD; 52 rue de la Victoire, 75440 Paris Cedex 09 (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LI, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- Publiée :
— avec rapport de recherche internationale (Art. 21(3))

(54) Title : HEMT TRANSISTOR

(54) Titre : TRANSISTOR HEMT

FIG. 2



(57) Abstract : Semiconductor heterojunction structure, i.e. what is also referred to as a heterostructure, especially for a high electron mobility transistor (HEMT), comprising a substrate (4) and a stack of at least three buffer layers made of the same semiconductor of wide bandgap EG1 based on a nitride of column, namely an unintentionally doped first buffer layer (6), a second buffer layer (8) and an unintentionally doped third buffer layer (10), an unintentionally doped intermediate layer (11) and a barrier layer (12) that is placed on the intermediate layer (11), said barrier layer (12) being made of a semiconductor of wide bandgap EG2 based on a nitride of column III; the second buffer layer (8) has a constant p⁺-type dopant concentration through all or some of its thickness; and the third buffer layer (10) has a first unintentionally doped region (16) right through its thickness and at least one second region (18) adjacent said first region with an n⁺ doping surrounding the first region (16).

(57) Abrégé :

[Suite sur la page suivante]



WO 2016/097576 A1



Structure à hétérojonction, dite aussi hétéro-structure, en matériau semi-conducteur, notamment pour un transistor à grande mobilité d'électrons (HEMT) comprenant un substrat (4), un empilement d'au moins trois couches tampons en un même matériau semi-conducteur à large bande interdite EG1 à base de nitrure de la colonne, dont une première couche tampon (6) non intentionnellement dopée, une deuxième couche tampon (8), une troisième couche tampon (10) non intentionnellement dopée, une couche intermédiaire non intentionnellement dopée (11) et une couche barrière (12) disposée sur la couche intermédiaire (11), ladite couche barrière (12) étant en un matériau semi-conducteur à large bande interdite EG2 à base de nitrure de la colonne III; la deuxième couche tampon (8) présente un dopage de type P+ constant sur tout ou partie de son épaisseur; et la troisième couche tampon (10) présente une première région (16) non intentionnellement dopée sur toute son épaisseur ainsi qu'au moins une deuxième région (18) adjacente à ladite première région avec un dopage N+ entourant la première région (16).

TRANSISTOR HEMT

Domaine Technique

La présente invention se rapporte de manière générale aux techniques de réalisation de transistors à grande mobilité d'électrons (ou transistor HEMT, de l'anglais « *High Electron Mobility Transistor* »). Elle concerne plus spécialement
5 une hétéro-structure à partir de laquelle peut être réalisé un tel transistor.

L'invention trouve des applications, en particulier dans le domaine des composants électroniques de puissance utilisés, par exemple, dans des dispositifs de production, de conversion et/ou de gestion des énergies renouvelables tels que l'énergie éolienne ou solaire, mais également dans le
10 transport à faible impact écologique.

Art Antérieur

Les sources d'énergie renouvelables telles que par exemple les énergies éoliennes ou solaires sont devenues depuis quelques années des solutions alternatives viables, adaptées pour faire face à la diminution des ressources
15 énergétiques fossiles et au réchauffement climatique. De plus, le développement de moyens de transport à faible impact écologique, tels que le tramway, le train ou bien la voiture électrique, appelle le développement de composants électroniques de puissance adaptés et plus, spécialement, d'interrupteurs de puissance.

En particulier, des améliorations aux composants de type semi-conducteur sous forme de circuits intégrés, comme par exemple des transistors de puissance, portent sur les caractéristiques intrinsèques de ces composants pour augmenter leur tension d'utilisation et/ou leur fréquence maximale de commutation. Elles visent aussi à proposer des solutions d'intégration totale
20 permettant une fabrication en masse pour diminuer les coûts de production.

A ce jour, seuls des composants de puissance à base de Silicium (Si) tels que par exemple des transistors MOS (« *Metal Oxide Semiconductor* ») ou des transistors IGBT (« *Insulated Gate Bipolar Transistor* ») réalisent ce type de fonctions. Cependant, les propriétés physiques inhérentes à l'utilisation du
30 Si rendent difficiles les évolutions technologiques de ce type de composants.

Depuis quelques années, de nombreux travaux de recherche ont permis de trouver des solutions alternatives grâce à l'utilisation de matériaux à large bande interdite, permettant la réalisation de nouveaux composants de puissance comme par exemple des transistors à haute mobilité électronique, aussi appelés transistors HEMT.

Le carbure de Silicium (SiC) et le Nitrure de Gallium (GaN) sont apparus comme étant deux matériaux parmi les plus prometteurs grâce à un champ électrique critique élevé et à une large gamme de fonctionnement en température. Malgré des résultats remarquables, les composants de puissance à base de SiC rencontrent toutefois des difficultés pour pénétrer les marchés de masse, du fait des tailles limitées des plaquettes en SiC (100 à 150 mm de diamètre maximum à l'heure actuelle). De plus, des problématiques persistent à ce jour pour ce type de composants en ce qui concerne la maîtrise des défauts, mais également la reproductibilité des procédés de fabrication.

Le GaN semble être une alternative au SiC très intéressante pour la conception de composants de puissance. En effet, le GaN est un matériau semi-conducteur plus performant que le Si ou le SiC en termes de compromis résistance passante / tenue en tension. Ce rapport, autrement nommé facteur de mérite, caractérise les performances statiques d'un interrupteur de puissance.

Sur la **Figure 1** est représenté un exemple de structure électronique à hétérojonction utilisée dans un transistor HEMT. Cette structure électronique à hétérojonction comprend plusieurs couches à base de GaN ayant chacune des caractéristiques intrinsèques maîtrisées, et empilées les unes au-dessus des autres, avec :

- un substrat 1,
- par-dessus lequel vient une première couche 3, dite couche tampon, composée d'un matériau M1 caractérisé par sa largeur de bande interdite ou « gap » E_{g1} ; et,

- une seconde couche 5, dite couche barrière, venant par-dessus la première couche 3 et composée d'un matériau M2 caractérisé par sa largeur de bande interdite ou « gap » E_{g2} , où E_{g1} est inférieure à E_{g2} .

De nombreux travaux de recherche portent sur la maîtrise et l'amélioration d'un confinement du gaz bidimensionnel d'électrons au niveau de l'hétéro-structure AlGaIn/GaN en étudiant différentes solutions. Ces solutions peuvent être au niveau du dépôt de la couche GaN, afin de modifier certaines caractéristiques intrinsèques de l'hétéro-structure permettant ainsi d'obtenir des transistors HEMT avec des vitesses de commutation relativement élevées ainsi que des pertes relativement faibles. Elles peuvent aussi consister à créer de nouvelles structures de type MOS-HEMT.

Ainsi, par exemple, une structure de transistor MOS-HEMT est proposée dans la publication IEEE de 2008, « *Enhanced device performance of AlGaIn/GaN HEMTs using thermal oxidation of electron-beam deposited Aluminium for gate oxide* » de C. Hongwei et al. Cette publication montre l'amélioration des performances d'une structure classique de transistor HEMT qui peut être obtenue en ajoutant une couche d'oxydation au niveau de l'électrode de grille. La structure MOS-HEMT ainsi obtenue possède des courants de fuite moins importants et une gamme de courant de drain plus grande qu'une structure HEMT classique avec, cependant, la nécessité d'avoir une tension de seuil inférieure à zéro volt pour placer le transistor dans un état bloqué.

Or, un autre axe de recherche très important à l'heure actuelle concerne l'état au repos de ce type de structure, c'est-à-dire l'état du transistor lorsqu'aucune tension n'est appliquée sur l'électrode de grille du transistor HEMT. En effet, dans de nombreuses applications de puissance, le transistor utilisé comme interrupteur doit être à l'état ouvert par défaut (aussi appelé fonctionnalité « normally OFF »). En effet, cet état est indispensable pour des raisons de sécurité et d'économie d'énergie, comme par exemple dans les applications pour le transport automobile ou ferroviaire.

Plusieurs structures à base de GaN ont été récemment proposées afin de satisfaire la fonctionnalité « normally OFF » d'un transistor HEMT. Des travaux

de l'équipe de C. Hongwei et al, ont montré la possibilité de modifier la tension de seuil pour obtenir un transistor HEMT « normally OFF » en utilisant un traitement aux ions Fluor dans une publication nommée « *Self-aligned enhancement-mode AlGaIn/GaN HEMTs Using 25keV Fluorine Ion Implantation* » publié en 2010 dans la revue IEEE. Pour ce faire, une zone dopée au Fluor est insérée dans la couche barrière de la structure AlGaIn/GaN du transistor HEMT et celle-ci est placée en dessous de l'électrode de grille, les doses d'ions Fluor étant déterminées pour avoir un décalage suffisant de la tension V_{gs} du transistor.

10 La demande de brevet US2007/0278518 intitulé « *Enhancement Mode III-N Devices and Circuits* » propose en outre une autre évolution du procédé de fabrication d'une structure de transistor HEMT. Selon cette évolution, on utilise une méthode de traitement à base d'un plasma de Fluor sur la couche barrière de l'hétéro-structure. Cette méthode permet, avec un procédé relativement
15 simple (utilisation d'un plasma de fluor), de modifier les caractéristiques intrinsèques de l'hétéro-structure afin d'obtenir un transistor « normally OFF ».

L'évolution des techniques de conception ainsi que de fabrication comme celles présentées ci-dessus permet d'obtenir des transistors HEMT « normally OFF » pouvant adresser seulement certains marchés de conversion d'énergie
20 à cause de courants de fuite encore relativement importants.

La demande de brevet US2013/0256685 intitulée « *Compound semiconductor device and method for manufacturing the same* » propose une structure à base de transistor HEMT dans laquelle un gaz bidimensionnel d'électrons est généré, et une électrode est formée sur la structure à base de
25 transistor HEMT. La structure comprend en outre une couche de semi-conducteur de type P en dessous d'une zone où le gaz bidimensionnel d'électrons est généré. Pour contrôler une densité d'électrons du gaz bidimensionnel, la couche de semi-conducteur de type P présente une partie contenant une plus grande quantité d'accepteurs ionisés que d'autres parties
30 de la couche semi-conductrice de type P.

Résumé de l'Invention

L'invention vise à surmonter les inconvénients de l'art antérieur précités, et plus particulièrement à permettre la réalisation d'un transistor HEMT avec un faible courant de fuite au niveau de la grille, une vitesse de commutation élevée et une tension de seuil supérieure à 0 V afin d'assurer la fonctionnalité « normally OFF ».

A cet effet, un premier aspect de l'invention propose une **structure** à hétérojonction, notamment pour un transistor à grande mobilité d'électrons (HEMT) comprenant:

- 10 - un substrat plan,
- un empilement de couches tampons avec au moins trois couches en un même matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III dont :
 - 15 ▪ une première couche tampon non intentionnellement dopée est disposée sur le substrat,
 - une deuxième couche tampon disposée sur la première couche et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
 - 20 ▪ une troisième couche tampon non intentionnellement dopée est disposée sur la deuxième couche tampon et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
- une couche intermédiaire non intentionnellement dopée disposée sur la troisième couche tampon en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons,
- 25 - une couche barrière disposée sur la couche intermédiaire, ladite couche barrière étant en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III,
- 30

dans laquelle :

- la deuxième couche tampon présente un dopage de type P+ sensiblement constant sur tout ou partie de son épaisseur, et

la troisième couche tampon comporte une première région qui est non intentionnellement dopée sur toute son épaisseur, ainsi qu'au moins une deuxième région adjacente à ladite première région et qui est dopée avec un dopage de type N+. Ainsi, grâce à la présence des deux régions l'effet de la deuxième couche tampon dopée P+ est atténué sur un gaz bidimensionnel d'électrons.

Dans un exemple de réalisation, la deuxième région adjacente à la première région de la troisième couche tampon a un dopage constant sur toute l'épaisseur de ladite troisième couche tampon permettant ainsi de contrôler la formation du gaz bidimensionnel 2DEG.

Dans une variante, la deuxième région adjacente à la première région de la troisième couche tampon a un dopage de type gaussien suivant l'épaisseur de ladite troisième couche tampon.

Selon des modes de réalisation de l'invention, une distance suivant une direction orthogonale au plan du substrat, entre la deuxième couche tampon et l'interface entre la couche intermédiaire et la couche barrière est inférieure à 20 nm, ce qui permet de contrôler et d'élever localement le niveau de Fermi et la bande de conduction de l'hétérojonction.

Selon différents modes de réalisation de l'invention, le matériau semi-conducteur à base de nitrure de la colonne III dont sont réalisées la première couche tampon, la deuxième couche tampon, la troisième couche tampon, la couche disposée sur la troisième couche tampon et la couche barrière comprend du GaN.

Un dopage de type N+ peut être utilisé pour doper la région adjacente à la première région de ladite troisième couche tampon et le dopant est préférentiellement du silicium.

Avantageusement, pour pallier ce problème mais également les problèmes éventuels de dislocation, dans un mode de réalisation de l'invention

une couche de transition est intercalée entre le substrat et la première couche tampon.

Un deuxième aspect de l'invention se rapporte à un **transistor** de type HEMT réalisé à partir d'une hétéro-structure telle que décrite ci-dessus. Le transistor comprend une électrode de grille de surface déterminée dans un premier plan parallèle au plan du substrat, une électrode de drain et une électrode de source, disposées dans un deuxième plan au-dessus de la couche barrière de la structure à hétérojonction. Les premier et deuxième plans peuvent être confondus ou décalés.

10 Dans un exemple de réalisation, la première région de la troisième couche tampon de la structure à hétérojonction, est disposée sous l'électrode de grille, et a une surface dans un plan parallèle au plan du substrat qui est inférieure ou égale à ladite surface de l'électrode de grille.

15 Dans des modes de réalisation, un tel transistor peut avoir une couche isolante à base d'oxyde, sur la couche barrière, au-dessous de l'électrode de grille permettant de contrôler des courants de fuite.

Par exemple, la couche isolante a une surface dans un plan parallèle au plan du substrat identique à la surface de l'électrode de grille.

20 Selon un troisième aspect de l'invention, il est proposé un **produit semi-conducteur** comprenant au moins un transistor selon le deuxième aspect. Il peut s'agir, par exemple, d'un interrupteur de puissance ou de tout autre composant de puissance tel qu'un régulateur de tension de puissance, par exemple.

25 Selon un quatrième aspect, l'invention concerne un **procédé** de fabrication d'une telle hétéro-structure qui comprend :

- la préparation d'un substrat plan,
- les dépôts successifs sur le substrat d'un empilement de couches tampons réalisées en un même matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III dont :

- 5 ▪ le dépôt d'une première couche tampon sur le substrat, ledit matériau semi-conducteur dont est réalisé ladite première couche tampon étant non intentionnellement dopé,
- le dépôt d'une deuxième couche tampon sur la première
10 couche tampon ayant une épaisseur déterminée suivant une direction orthogonale au plan du substrat et le dopage de ladite deuxième couche tampon étant réalisé à l'aide d'éléments dopants de type P+ sur toute son épaisseur ;
- le dépôt d'une troisième couche tampon sur la deuxième
15 couche tampon et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat, ledit matériau semi-conducteur dont est réalisé ladite troisième couche tampon étant non intentionnellement dopé,
 - 20 - le dopage à l'aide d'éléments dopants de type N+ d'au moins une région de la troisième couche tampon adjacente à une première région de ladite troisième couche tampon qui est non intentionnellement dopée suivant toute son épaisseur,
 - le dépôt d'une couche intermédiaire non intentionnellement dopée en un matériau semi-conducteur à large bande interdite Eg1 à base
25 de nitrure de la colonne III identique à celui de l'empilement de couches tampons,
 - le dépôt d'une couche barrière en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III sur la troisième couche tampon.

25 On note que, préférentiellement, la couche intermédiaire et la couche barrière recouvrent la totalité des couches tampons, et donc les électrodes du transistor monté par-dessus ne seront pas en contact direct avec la couche dopée P+.

30 Avantageusement, ce procédé de fabrication est simple et nécessite peu d'étapes supplémentaires par rapport à la fabrication d'une hétéro-structure classique, par exemple pour la réalisation d'un transistor HEMT classique.

 Dans un souci d'optimisation des performances de la structure, il est proposé dans une variante de réalisation du procédé que les dépôts successifs

de l'empilement de couches soient réalisés sans interruption d'un procédé d'épitaixie.

Brève Description des Dessins

D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés dans lesquels :

- La Figure 1, déjà analysée, est une vue en coupe d'une structure à hétérojonction selon l'art antérieur ;
- La Figure 2 est une vue en coupe d'un exemple d'empilement des couches formant une structure à hétérojonction selon un mode de réalisation de l'invention ;
- Les Figures 3 à 14 sont des vues en coupe illustrant les principales étapes technologiques pour la réalisation de la structure à hétérojonction de la figure 2 ;
- La Figure 15 est une vue en coupe d'un transistor HEMT selon un mode de réalisation ;
- La Figure 16 est une vue de dessus et les Figures 17 et 18 sont des vues de côté montrant la position de l'électrode de grille du transistor par rapport à une première région non intentionnellement dopée d'une couche tampon sous-jacente ;
- La Figure 19 est un graphe montrant la tension de seuil et le courant du transistor de la Figure 15 en fonction de sa tension grille-source ;
- La Figure 20 est une vue en coupe d'un exemple transistor HEMT selon un autre mode de réalisation.

Description détaillée de modes de réalisation

A titre liminaire, il est à noter que toutes les figures illustrant des vues en coupe de la structure à hétérojonction ainsi que toutes les figures illustrant des empilements des couches mais également celles représentant des étapes de procédé de fabrication de la structure à hétérojonction et du transistor HEMT, ne sont pas à l'échelle. Les différentes épaisseurs ne sont pas représentées dans des proportions conformes à la réalité. Dans un souci de simplification,

dans la description qui suit et aux figures, les éléments communs à toutes les structures portent les mêmes références.

L'invention sera plus particulièrement décrite dans un exemple non limitatif d'application à une structure 2 à hétérojonction pour transistors HEMT.

5 L'exemple de structure 2 à hétérojonction décrit ci-après est à base de nitrures d'éléments de la colonne III du tableau périodique des éléments, également appelé tableau de Mendeleïev. Elle porte plus particulièrement sur une structure 2 à hétérojonction à base de matériaux nitrurés pour former une interface de type AlGa_N/Ga_N. Avantageusement, le Ga_N est un matériau semi-
10 conducteur avec une largeur de bande interdite E_{g1} plus petite qu'une largeur de bande interdite E_{g2} du matériau AlGa_N.

Il est bien évident, toutefois, que l'invention n'est pas limitée à ces exemples. Par exemple, une structure à hétérojonction qui utilise les propriétés d'un autre type de matériaux semi-conducteurs permettant la création d'une
15 interface entre un matériau à grand gap du type du GaAlAs et un matériau à petit gap du type du GaAs peut être réalisée.

La **Figure 2** montre un premier exemple d'empilement de couches tampons constituant la structure 2 à hétérojonction. Elle comprend dans l'ordre croissant d'empilement :

- 20
- un substrat 4 plan,
 - un empilement de couches tampons avec au moins trois couches en un même matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III dont :
 - 25 ▪ une première couche tampon 6 non intentionnellement dopée est disposée sur le substrat 4,
 - une deuxième couche tampon 8 disposée sur la première couche 6 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
 - une troisième couche tampon 10 non intentionnellement
30 dopée disposée sur la deuxième couche tampon 8 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,

- une couche intermédiaire non intentionnellement dopée 11 disposée sur la troisième couche tampon 10 en un matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons,
- 5 - une couche barrière 12 disposée sur la couche intermédiaire 11, ladite couche barrière 12 étant en un matériau semi-conducteur à large bande interdite Eg2 à base de nitrure de la colonne III,

dans laquelle :

- 10 - la deuxième couche tampon 8 présente un dopage de type P+ sensiblement constant sur tout ou partie de son épaisseur, et
- la troisième couche tampon 10 comporte une première région 16 qui est non intentionnellement dopée sur toute son épaisseur, ainsi qu'au moins une deuxième région 18 adjacente à ladite première région 16 et qui est dopée avec un dopage de type N+.

15 On remarque que les couches tampons 6, 8,10, la couche intermédiaire 11 et la couche barrière 12 s'étendent de manière continue en empilage sur toute la surface de la structure ; la deuxième 8 recouvrant continument et entièrement la première 6 ; la troisième 10 recouvrant continument et entièrement la deuxième 8 ; la couche intermédiaire 11 recouvrant continument et entièrement la troisième 10, la couche barrière 12 recouvrant continument et
20 entièrement la couche intermédiaire 11.

Le dopage de type P+ mentionné ici correspond à une densité comprise entre 10^{17} et 10^{18} cm⁻³, de préférence comprise entre 10^{18} et 10^{19} cm⁻³.

25 Le procédé de fabrication dans un exemple de réalisation d'une telle hétéro-structure comprend :

- la préparation d'un substrat 4 plan,
- les dépôts successifs sur le substrat 4 d'un empilement de couches tampons réalisées en un même matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III dont :
 - 30 - le dépôt d'une première couche tampon 6 sur le substrat 4, ledit matériau semi-conducteur dont est réalisé ladite première couche tampon étant non intentionnellement dopé,

- 5 ▪ le dépôt d'une deuxième couche tampon 8 sur la première couche tampon 6 ayant une épaisseur déterminée suivant une direction orthogonale au plan du substrat et le dopage de ladite deuxième couche tampon étant réalisé à l'aide d'éléments dopants de type P+ sur toute son épaisseur,
- 10 ▪ le dépôt d'une troisième couche tampon 10 sur la deuxième couche tampon 8 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat, ledit matériau semi-conducteur dont est réalisé ladite troisième couche tampon étant non intentionnellement dopé,
 - le dopage à l'aide d'éléments dopants de type N+ d'au moins une région 18 de la troisième couche tampon 10 adjacente à une première région 16 de ladite troisième couche tampon qui est non intentionnellement dopée suivant toute son épaisseur,
 - 15 - le dépôt d'une couche intermédiaire non intentionnellement dopée 11 en un matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons,
 - 20 - le dépôt d'une couche barrière 12 en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III sur la couche 11.

Les performances de la structure 2 à hétérojonction présentant un empilement de couches dépendent entre autre de la qualité cristalline du matériau d'épitaxie utilisé.

- 25 Le GaN est un matériau d'épitaxie qui permet de limiter des désaccords partiels de maille avec les matériaux formant l'hétéro-structure. Pour ce faire, le GaN est obtenu par croissance cristallographique à partir du substrat 4.

Plusieurs types de matériaux peuvent être utilisés pour réaliser le substrat 4, en tant que substrat d'épitaxie pour le GaN. Dans des modes de réalisation, on utilise par exemple le Carbure de Silicium (SiC) qui donne un désaccord de maille de l'ordre de 3,4% seulement, ou le Saphir (Al₂O₃). D'autres exemples de substrats, comme par exemple des substrats à base de GaAs, de ZnO ou bien des substrats dits « free standing » peuvent aussi être utilisés.

En variante, le Silicium (Si) peut également être utilisé. En effet, le Si est un matériau qui est couramment utilisé pour la fabrication de composants électroniques en général et de transistors HEMT en particulier. L'utilisation massive et ancienne du Si dans les composants électroniques en fait un
5 matériau dont les caractéristiques intrinsèques sont très bien maîtrisées avec surtout un coût de revient très faible malgré un désaccord de maille supérieur au SiC.

En fonction de la nature du substrat, par exemple SiC ou Si, ou de l'orientation cristalline du substrat de Si, la qualité de la couche GaN obtenue
10 par croissance épitaxiale peut varier, ce qui est susceptible de modifier les performances de la structure 2 à hétérojonction. C'est pourquoi, dans un exemple de réalisation, la structure 2 à hétérojonction peut être réalisée sur un substrat Si d'orientation cristalline déterminée, par exemple celle notée (111) dans la littérature.

Il peut être parfois nécessaire de déposer une couche de transition 14
15 comme illustrée à la **Figure 3**, dite plus communément couche de nucléation, afin de pallier d'éventuels problèmes de dislocation. Cette couche de transition 14 peut également permettre la diminution du risque de déchirure entre les couches. Ces déchirures sont dues généralement à la différence de contraintes
20 mécaniques internes à l'interface entre les couches. Ainsi, par exemple et comme illustré à la figure 3, la couche de transition 14 peut être disposée entre le substrat 4 et la première couche tampon 6 de l'empilement de couches tampons.

Dans une variante (non représentée sur les figures), plusieurs couches de
25 transition peuvent être déposées entre deux couches.

Dans le cas de plusieurs couches de nucléation (ou couches de transition), celles-ci peuvent être déposées, par exemple en plusieurs opérations de dépôt successives, sur une autre couche de composés nitrurés par épitaxie. Avantagusement, ceci permet d'améliorer et/ou de maîtriser la
30 qualité de la première couche tampon 6 afin d'éviter par exemple un arrachement ou alors la création de lacunes qui pourraient engendrer des courants de fuite non maîtrisés.

On notera également que le substrat Si peut être d'orientation cristalline autre comme (001) ou encore (100), et que, si nécessaire, des couches intermédiaires peuvent être utilisées, comme précédemment exposé, afin d'obtenir un film de GaN en concordance avec le cahier des charges de l'application. Il est à noter que les substrats décrits ci-dessus sont cités ici
5 seulement à titre d'exemple et ne sont pas limitatifs de l'invention.

La croissance des différentes couches de la structure 2 à hétérojonction peut être réalisée à l'aide des techniques de la microélectronique, comme par exemple une technique par Épitaxie en Phase Vapeur dans des réacteurs de type HVPE (de l'anglais « *Hybride Vapour Phase Epitaxy* »), à partir de
10 certains mélanges gazeux de type par exemple GaCl₃/NH₃. Cette technique permet grâce à des vitesses de croissance élevées d'obtenir des épaisseurs relativement importantes et d'excellentes qualités.

D'autres techniques de dépôt peuvent être également utilisées telles que par exemple la méthode MBE (de l'anglais « *Molecular Beam Epitaxy* »), mais également la méthode MOCVD (de l'anglais « *MetalOrganic Chemical Vapor Deposition* »). Ces méthodes sont citées à titre d'exemple et n'ont aucun caractère limitatif quant aux techniques de conception de telles couches nitrurées qui peuvent être utilisées pour la conception de transistors HEMT.
15

Dans des modes de réalisation et comme illustré à la **Figure 4**, la croissance de la première couche tampon 6 de l'empilement de couches peut être obtenue par la méthode MOCVD, par exemple en utilisant des éléments de la colonne III, notamment par acheminement dans une chambre de réaction. Il peut s'agir, par exemple, d'un mélange de dihydrogène ainsi que
20 d'un précurseur chimique. Le GaN se forme ainsi à la surface de la couche de transition 14 pour former la première couche tampon 6.

Avantageusement, la première couche tampon 6 est non intentionnellement dopée. Pour l'homme de l'art, une telle couche, c'est-à-dire une couche non intentionnellement dopée en GaN est aussi appelée UID-GaN
30 (de l'anglais « *unintentionally doped* »), GaN-NID (du français « GaN Non Intentionnellement Dopé »), ou i-GaN (« *intrinsic GaN* » ou « GaN intrinsèque »). Un tel procédé d'épitaxie permet d'obtenir une vitesse de

croissance de l'ordre de quelques $\mu\text{m}/\text{h}$. Ainsi, il est possible d'obtenir une épaisseur de l'ordre de 1 à 3 μm pour la première couche tampon 6 en seulement quelques heures.

La deuxième couche tampon 8 (**Figure 5**) est ensuite déposée sur la première couche tampon 6. Avantageusement, la deuxième couche tampon 8 est réalisée sans que le processus d'épitaxie ne soit interrompu c'est-à-dire sans que le substrat 4 ne soit ôté de l'enceinte d'épitaxie ou ne subisse d'autres étapes technologiques. Ainsi, la qualité des interfaces entre les différentes couches est sensiblement améliorée. De plus, grâce au dépôt successif de l'empilement de couches, le temps du procédé est diminué, ce qui fait chuter sensiblement les couts de production de la structure 2 à hétérojonction.

Le processus de croissance de la deuxième couche tampon 8 par épitaxie repose sensiblement sur le même procédé que celui décrit dans les paragraphes précédents pour la première couche tampon 6. Afin de doper la deuxième couche tampon 8, un élément dopant de type P est utilisé durant le processus de croissance de cette dernière. L'élément dopant de type P appartient préférentiellement aux éléments de la colonne II-A tels que par exemple le Magnésium (Mg). Cependant, d'autres dopants de cette même colonne du tableau périodique de Mendeleïev peuvent également être utilisés, comme par exemple le Béryllium.

Avantageusement, les doses d'éléments dopants durant le processus de croissance de la deuxième couche tampon 8 peuvent être modulées pour obtenir une couche avec un dopage déterminé correspondant à un cahier des charges précis de l'application.

La deuxième couche tampon 8 présente une épaisseur minimale de 400 nm afin d'obtenir des tensions de seuil décalées vers des valeurs positives.

Dans des modes de réalisation, la structure 2 à hétérojonction comprend en outre une troisième couche tampon 10 de GaN comme illustré sur la **Figure 6**. Le matériau de cette troisième couche tampon 10 ainsi que les caractéristiques intrinsèques sont préférentiellement identiques aux caractéristiques de la première couche tampon 6 de l'empilement de couches.

Préférentiellement, la troisième couche tampon 10 est non intentionnellement dopée UID-GaN. Le procédé pour obtenir cette couche est identique à celui présenté précédemment pour fabriquer la première couche tampon 6. La troisième couche tampon 10 présente en outre une épaisseur de l'ordre de 10 nm permettant de décaler la tension de seuil du HEMT vers des valeurs positives.

Avantageusement, grâce au procédé de fabrication présenté ci-dessus, la structure 2 à hétérojonction présente un moindre risque de déchirure des films constituant les différentes couches. De plus, grâce aux dépôts successifs de l'empilement de couches, il est possible de contrôler la quantité d'impuretés dans les différentes couches tout en diminuant le nombre d'étapes technologiques. Ainsi, le coût de fabrication d'une telle structure 2 à hétérojonction est sensiblement diminué par rapport aux structures de l'art antérieur.

Afin de maîtriser la densité de porteurs dans le gaz bidimensionnel d'électrons, dans un mode de réalisation préféré il est délimité, dans la troisième couche tampon 10, une première région 16 ainsi qu'au moins une région adjacente à cette région 16, telle que les régions adjacentes 18 situées de part et d'autre de la région 16 dans la vue en couche de la **Figure 7**. On notera que, vues de dessus, les deux régions 18 de la **Figure 7** peuvent n'être qu'une seule et même région 18 entourant la région 16.

Pour obtenir ces régions, il est utilisé tout d'abord comme illustré à la **Figure 8** une couche de masquage 20 ou de protection permettant de délimiter avec précision la première région 16. Ce masque 20 peut être réalisé par exemple avec un polymère photosensible permettant à l'aide des techniques de photolithographie classiques, de délimiter la première région 16. Ce procédé de délimitation à l'aide d'un polymère étant bien connu de l'homme de l'art il ne sera pas plus détaillé ici.

Une fois la première région 16 délimitée et le masque 20 adapté pour protéger la troisième couche tampon 10, un procédé d'implantation ionique est réalisé sur toute la surface de la troisième couche tampon 10 qui n'est pas

protégée par le masque 20. Préférentiellement, il est utilisé un dopant de type N comme par exemple du Si.

L'implantation localisée ou autrement nommée dopage localisé d'une couche de GaN nécessite des énergies des dopants relativement importantes. En effet, pour faire pénétrer les dopants dans des profondeurs de quelques nm dans la couche de GaN, il est nécessaire d'utiliser des énergies de l'ordre de quelques dizaines voire centaines de keV. De telles énergies sont nécessaires à cause d'une densité atomique du GaN relativement importante comparée par exemple à celle du Silicium. Les procédés d'implantation ionique sont de nos jours bien connus, maîtrisés et par conséquent ne seront pas présentés ici.

Afin de finaliser le processus d'implantation, un recuit est réalisé pour que les espèces dopantes se positionnent dans des sites substitutionnels (activation). Le recuit est également utilisé pour que le GaN se recristallise suite aux dégâts engendrés par l'implantation. Par exemple, la température de recuit est de l'ordre de 1000 °C.

Avantageusement, cette étape d'implantation permet d'annuler l'influence de la présence de la deuxième couche tampon 8 dopée P sur le gaz bidimensionnel d'électrons au niveau des deux régions 18. Dans un exemple de réalisation, le dopage de type N+ dans la troisième couche tampon 10 est de forme gaussienne comme illustré schématiquement à la **Figure 9a**.

Les dimensions de la première région 16, ainsi que l'épaisseur de la troisième couche tampon 10 jouent un rôle important sur les propriétés de l'hétéro-structure. Ainsi, il est préférable de délimiter la zone d'implantation de façon précise.

On notera que des matériaux pouvant être utilisés pour créer la couche de masquage 20 ont été donnés ci-dessus seulement à titre d'exemple ainsi que le mode de dopage des deux régions 18. De plus, il est bien entendu que l'intégralité des différentes étapes du procédé technologique telles que, par exemple, des phases de dépôt de résine photosensibles, des étapes de photolithographie et des étapes de nettoyage nécessaires à un tel procédé n'ont pas été citées pour ne pas alourdir la description.

Dans une variante de l'invention, le dopage de type N⁺ dans la troisième couche tampon 10 permet une propagation de ce dernier dans la zone dopée P de la deuxième couche tampon 8 comme illustré schématiquement à la **Figure 9b**. Ainsi, la deuxième couche tampon 8 peut présenter un profil de dopage qui n'est pas constant sur toute son épaisseur.

En référence à la **Figure 10**, une couche intermédiaire non intentionnellement dopée 11 est ensuite déposée sur la troisième couche tampon 10. Le matériau constituant la couche intermédiaire 11 peut être formé d'un matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons. Préférentiellement, la couche intermédiaire 11 est non intentionnellement dopée UID-GaN. Le procédé pour obtenir cette couche est identique à celui présenté précédemment pour fabriquer la première couche tampon 6. La couche intermédiaire 11 présente en outre une épaisseur entre 10 et 30 nm, de préférence de l'ordre de 10 nm permettant de décaler la tension de seuil du HEMT vers des valeurs positives.

En référence à la **Figure 10**, une couche barrière 12 est ensuite déposée sur la couche intermédiaire non intentionnellement dopée 11. Le matériau constituant la couche barrière 12 peut être formé d'un matériau semi-conducteur ayant une largeur de bande Eg2. Dans l'exemple considéré ici, cette couche peut être composée d'AlGa_(1-x)N, où x est la fraction molaire et est compris entre 0 et 1, avec une épaisseur de la couche barrière 12 inférieure à 1 μm.

Dans un mode de réalisation non illustré sur les figures, la couche barrière 12 peut être composée de plusieurs couches avec des caractéristiques respectives maîtrisées, telles que, par exemple, une couche dopée, appelée couche donneuse fournissant des électrons intervenant dans la formation du gaz bidimensionnel d'électrons.

La structure 2 à hétérojonction qui a été présentée ci-dessus permet un perfectionnement, par exemple, dans la maîtrise des tensions de seuil des transistors HEMT afin d'obtenir des transistors « normally OFF ». De plus, une telle structure permet d'obtenir un transistor avec une fiabilité améliorée.

Dans une variante de réalisation, la troisième couche tampon 10 est dopée avec un élément dopant de type N durant le processus de croissance de cette dernière. L'élément dopant de type N peut être du Si. Pour délimiter la première région 16 (**Figure 11**), la troisième couche tampon 10 est gravée localement préférentiellement à l'aide par exemple d'une solution d'attaque sèche.

Une couche de GaN 10.1 non intentionnellement dopée est ensuite réalisée dans la première région 16 (**Figure12**). Ainsi, la présence de la deuxième couche 8 dopée P+ sous la partie 10.1 de la troisième couche tampon 10 permettra d'influencer le gaz 2DEG. Avantageusement, ce procédé permet de diminuer les défauts de charges dans le volume de la troisième couche tampon 10.

Dans une autre variante illustrée à la **Figure 13**, la troisième couche tampon 10 dopée N+ est réalisée par une méthode de dépôt dite méthode « lift » permettant de définir la première région 16 sans gravure de la troisième couche tampon 10. Ensuite, un dépôt de la couche de GaN-NID 10.1 est effectué (**Figure 14**).

Avantageusement, la première couche tampon 6, la couche 11 et la première région 16 peuvent présenter un léger dopage N (10^{16} à 10^{17} cm⁻³) très inférieur au dopage N+ (10^{19} à 10^{20} cm⁻³) de la région 18. Le léger dopage N pourrait avantageusement se situer un peu en dessous à savoir en densité/concentration comprise entre 10^{15} et 10^{16} cm⁻³.

Il faut noter que le terme 'non intentionnellement dopé' recouvre effectivement les cas où on trouve un dopage léger, comme le léger dopage N mentionné juste au-dessus.

Dans un exemple de réalisation d'un transistor HEMT, celui-ci comprend comme représenté sur la **Figure 15** :

- un substrat 4 plan,
- un empilement de couches tampons avec au moins trois couches en un même matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III dont :

- une première couche tampon 6 non intentionnellement dopée est disposée sur le substrat 4,
 - une deuxième couche tampon 8 disposée sur la première couche 6 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
 - une troisième couche tampon 10 non intentionnellement dopée disposée sur la deuxième couche tampon 8 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
- 10 - une couche intermédiaire non intentionnellement dopée 11 disposée sur la troisième couche tampon 10 en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons,
- 15 - une couche barrière 12 disposée sur la couche intermédiaire 11, ladite couche barrière 12 étant en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III,
- des électrodes de source (S), de drain (D) et de grille (G).

On remarque que la deuxième couche tampon 8 dopée P+ n'est reliée à aucune électrode du transistor, ni la source, ni le drain, ni la grille alors que cette deuxième couche s'étend préférentiellement sur toute la surface du transistor. Autrement dit, cette deuxième couche tampon 8 dopée P+ est flottante.

De plus, on remarque que l'électrode de grille G est située juste au-dessus de la première région 16 avec des dimensions similaires.

25 Le procédé de fabrication dans un exemple de réalisation d'un transistor (HEMT) utilisant une telle hétéro-structure comprend :

- la préparation d'un substrat 4 plan,
 - les dépôts successifs sur le substrat 4 d'un empilement de couches tampons réalisées en un même matériau semi-conducteur à base de nitrure de la colonne III dont :
- 30
- le dépôt d'une première couche tampon 6 sur le substrat 4, ledit matériau semi-conducteur dont est réalisé ladite première couche tampon étant non intentionnellement dopé,

- 5 ▪ le dépôt d'une deuxième couche tampon 8 sur la première couche tampon 6 ayant une épaisseur déterminée suivant une direction orthogonale au plan du substrat et le dopage de ladite deuxième couche tampon étant réalisé à l'aide d'éléments dopants de type P+ sur toute son épaisseur ;
- 10 ▪ le dépôt d'une troisième couche tampon 10 sur la deuxième couche tampon 8 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat, ledit matériau semi-conducteur dont est réalisé ladite troisième couche tampon étant non intentionnellement dopé,
 - le dopage à l'aide d'éléments dopants de type N+ d'au moins une région 18 de la troisième couche tampon 10 adjacente à une première région 16 de ladite troisième couche tampon qui est non intentionnellement dopée suivant toute son épaisseur,
 - 15 - le dépôt d'une couche intermédiaire non intentionnellement dopée 11, en un matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons, sur la troisième couche tampon 10,
 - 20 - le dépôt d'une couche barrière 12 en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III sur la couche intermédiaire 11,
 - la création des électrodes de grille (G), de drain (D) et de source (S) à l'aide d'une ou de plusieurs couches de matériaux conducteur électriquement.

25 Il est noté que toutes les étapes intermédiaires liées à un tel procédé que sont les étapes de photolithographie, nettoyage, ainsi que par exemple les étapes de dépôt de résine photosensible ne sont pas décrites en détails ici afin de ne pas alourdir la présente description.

30 Les électrodes de Drain D et Source S sont des contacts dits « ohmiques » réalisant ainsi des contacts Métal/Semi-conducteur de faible résistance et l'électrode de Grille G est un contact Métal/Semi-conducteur dit « Schottky ». Le procédé de fabrication de telles électrodes étant connu de l'homme du métier, il ne sera pas détaillé dans la description.

Les métaux utilisés pour effectuer ces reprises de contact du transistor HEMT décrit dans l'invention peuvent être de différentes natures, en fonction des caractéristiques des contacts souhaitées.

Les électrodes peuvent être composées d'une seule couche de métal par exemple Ti, Al ou d'autres métaux, voire de bicouche ou tri-couche métallique.

Ces métaux peuvent être déposés par les méthodes traditionnelles de dépôt de métaux utilisées en microélectronique comme par exemple par la méthode Lift-Off ou par la méthode LIGA (pour Lithographie GALvanic). Lesdites électrodes peuvent également être constituées d'autres matériaux dont les propriétés électriques auront été au préalable modifiées pour convenir à la résistance de contact souhaitée.

Comme il a déjà été présenté dans ce qui précède, l'invention permet d'obtenir un transistor HEMT avec une tension de seuil nulle ou positive afin d'obtenir un transistor HEMT « normally OFF ». Pour ce faire, dans un exemple de réalisation du procédé, il est créé une première région 16 non intentionnellement dopée permettant à la couche dopée P+ placée sous cette région d'influencer le gaz d'électrons 2DEG. La première région 16 est positionnée sous l'électrode de grille (G) du transistor et est, selon des modes de réalisation, de 10 nm d'épaisseur et présente une largeur de 1 μm . Ces paramètres permettent de maîtriser la tension de seuil du transistor HEMT.

Afin de ne pas dépléter le canal de conduction dans une région non contrôlée par la tension de grille, la première région 16 est caractérisée par sa longueur Lo_{16} et sa largeur La_{16} dans un plan parallèle à celui du substrat est de préférence de dimensions inférieures ou égales aux dimensions de l'électrode de grille G dans un plan parallèle au plan du substrat.

En référence à la **Figure 16**, on alors les relations suivantes:

$$Lo_{16} \leq Lo_G, \quad (1)$$

$$La_{16} \leq La_G. \quad (2)$$

où :

Lo_{16} est la longueur de la première région 16,
 La_{16} est la largeur de la première région 16,
 Lo_G est la longueur de l'électrode de grille (G), et

LaG est la largeur de l'électrode de grille (G).

Ces dimensions étant considérées dans un plan parallèle au plan du substrat.

De plus, afin de ne pas encourir un blocage du courant de grille, le placement de la première région 16 par rapport à l'électrode de grille G est important. Pour ce faire, le placement de la de la première région 16 par rapport à l'électrode de grille G doit être (**Figure 17** et **Figure 18**):

$$[B1 = 0; B2 = 0]_{LoZCP=LoG;LaZCP=LaG} \tag{3}$$

où :

$$10 \quad [B1 \leq 0; B2 \leq 0]_{LoZCP < LoG; LaZCP < LaG} \tag{4}$$

Avec :

$$B1 = p1 - p2, \tag{5}$$

$$B2 = p3 - p4. \tag{6}$$

15 où :

p1 est le positionnement de l'électrode de grille (G) sur l'axe x,

p2 est le positionnement de la première région 16 sur l'axe x,

p3 est le positionnement de l'électrode de grille (G) sur l'axe z,

p4 est le positionnement de la première région 16 sur l'axe z,

20 B1 est l'écart entre l'électrode de grille (G) et la première région 16 selon l'axe des x

B2 est l'écart entre l'électrode de grille (G) et la première région 16 selon l'axe des z,

Lo16 est la longueur de la première région 16,

25 La16 est la largeur de la première région 16,

LoG est la longueur de l'électrode de grille (G), et,

LaG est la largeur de l'électrode de grille (G).

La présence de la première région 16 non intentionnellement dopée placée sur la deuxième couche tampon 8 dopée P+ permet d'augmenter l'écart du niveau de Fermi et, de ce fait, la bande de conduction de l'hétérojonction 30 AlGaN/GaN.

Selon un autre exemple de réalisation, l'invention propose de contrôler la tension de seuil du transistor en faisant varier la distance entre la deuxième couche tampon 8 (dopée P+) et l'interface AlGaN/GaN c'est-à-dire entre la couche 11 et la couche barrière 12. En effet, la diminution ou l'augmentation de la distance entre la deuxième couche tampon 8 et la couche barrière 12 permet de moduler l'écart entre le niveau de Fermi et la bande de conduction et donc de moduler la tension de seuil du transistor.

Le graphe de la **Figure 19** compare la tension de seuil d'un transistor selon un exemple de réalisation de l'invention à la tension de seuil d'un HEMT conventionnel « normally ON » présentant les mêmes paramètres physiques et géométriques à l'exception de la première région 16. Pour cette structure qui nous est montrée à titre d'exemple, les paramètres de la structure sont :

- distance entre haut de la couche 8 et l'interface entre la couche 11 et la couche barrière 12 = 10 nm,
- ouverture latérale (largeur) = 1 μm
- épaisseur de la couche 8 = 500 nm.

Ces résultats de simulations montrent que, contrairement au transistor HEMT conventionnel, la tension de seuil du transistor HEMT est positive grâce notamment au réglage de la distance entre la deuxième couche tampon 8 et l'interface entre la couche intermédiaire 11 et la couche barrière 12. Cependant, les courants de fuite d'une telle structure restent relativement élevés du fait de la présence d'un contact Schottky entre l'électrode de grille G et la couche barrière 12.

Afin de pallier ces inconvénients il est intégré dans un autre exemple de réalisation une couche d'oxyde entre l'électrode de grille G et la couche Al(1-x)GaN. Celle-ci comprend en outre comme représentée sur la **Figure 20** :

- un substrat 4 plan,
- un empilement de couches tampons avec au moins trois couches en un même matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III dont :

- une première couche tampon 6 non intentionnellement dopée est disposée sur le substrat 4,
- une deuxième couche tampon 8 disposée sur la première couche 6 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
- 5 ▪ une troisième couche tampon 10 non intentionnellement dopée disposée sur la deuxième couche tampon 8 et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
- 10 - une couche intermédiaire non intentionnellement dopée 11 disposée sur la troisième couche tampon 10 en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons,
- une couche barrière 12 disposée sur la couche intermédiaire 11,
- 15 ladite couche barrière 12 étant en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III,
- des électrodes de source S, de drain D disposées sur la couche barrière 12,
- une couche isolante électriquement 24 de type oxyde thermique et,
- 20 - une électrode de grille G disposée sur la couche isolante électriquement 24.

L'Homme du métier appréciera que des techniques qui peuvent être utilisées pour le dépôt de la couche isolante aient été décrites plus haut.

La présence de cette couche isolante électriquement 24 permet donc d'obtenir un contact MOS pour (Métal/Oxyde/Semi-conducteur) entre le contact de grille G et la couche barrière 12.

La couche d'oxyde 24 peut être obtenue par oxydation thermique à l'aide, par exemple, d'un four d'oxydation de type PECVD (Plasma Enhanced Chemical Vapor Deposition) permettant d'obtenir des couches de quelques nanomètres à un micromètre d'épaisseur, par exemple.

La présence de la couche d'oxyde et la suppression du contact Schottky permettent de diminuer le courant de fuite de l'ordre, à titre d'exemple, d'un

facteur 20, permettant ainsi d'améliorer très fortement les performances du transistor HEMT.

La tension de seuil obtenue en fonction des paramètres cités ci-dessus permet d'obtenir un transistor HEMT avec une tension de seuil par exemple de
5 de 4V. Cette tension de seuil positive permet donc d'obtenir, selon les différents modes de réalisation présentés, un transistor HEMT qui respecte la fonctionnalité « normally OFF ». De nouveaux champs d'applications sont possibles grâce à un tel composant. En effet, cette tension de seuil élevée permet de rendre ce type de composant peu sensible à des perturbations
10 extérieures telles que du bruit sur la tension de grille, notamment du bruit électromagnétique.

La description ci-dessus a été donnée à titre illustratif seulement et n'est pas limitative de la portée de l'invention. Toute variante de réalisation techniquement envisageable peut être préférée aux modes de réalisation
15 décrits. Par exemple, le matériau GaN utilisé dans la description peut être remplacé par du GaAs. L'utilisation d'un tel matériau implique donc que le type de dopant et les doses qui seront utilisés ainsi que les dimensions et le positionnement de la couche 8 seront choisis de sorte que le comportement global du transistor HEMT utilisant un matériau GaAs corresponde au transistor
20 décrit dans l'invention.

De même, les étapes du procédé technologique décrites dans l'invention sont données à titre illustratif et ne sont pas limitées aux exemples donnés ici.

Enfin, il est bien entendu que les différents perfectionnements décrits peuvent être utilisés séparément ou en combinaison, selon les qualités et
25 performances recherchées pour le transistor HEMT réalisé avec cette structure.

La présente invention ne se limite pas aux formes de réalisation présentées. D'autres variantes et modes de réalisation peuvent être déduits et mis en œuvre par la personne du métier à la lecture de la présente description
30 et des figures annexées. Les signes de référence ne sauraient être compris comme limitant la portée de l'invention ou l'étendue de la description.

Dans la description ci-dessus, il est supposé que lorsqu'un élément comme par exemple une couche, une région ou un substrat est mentionné comme étant « au-dessus » ou « sur » un autre élément, ledit élément peut être directement sur l'autre élément, ou des éléments intermédiaires peuvent être présents.

Il est également supposé que les termes premier, deuxième, troisième, etc. peuvent être utilisés ici pour décrire différents éléments, composants, régions, couches et / ou sections. Ces éléments, régions, couches et / ou sections ne doivent pas être limités par ces termes. Ces termes sont utilisés uniquement pour distinguer un élément, un composant, une région, une couche ou une section d'une autre région, couche ou section. Ainsi, un premier élément, région, couche ou section décrit ci-dessus pourrait être appelé deuxième élément, région, couche ou section sans s'écarter des enseignements de concepts inventifs.

De plus, les termes de positionnement relatif, tels que « sous », « en dessous », « inférieur », « au-dessus », « supérieur », etc., ont été utilisés ici pour faciliter la description et pour décrire le positionnement d'un élément par rapport à un autre élément comme illustré dans les figures.

On comprendra que les termes de positionnement relatif sont destinés à couvrir des orientations différentes du dispositif selon l'invention en cours d'utilisation ou d'exploitation en plus de l'orientation représentée sur les figures. Par exemple, si le dispositif selon l'invention est retourné, les éléments décrits comme « en dessous » ou « sous » d'autres éléments seraient alors orientés « au-dessus » des autres éléments. Ainsi, le terme « en dessous » peut englober à la fois une orientation « ci-dessus » et « ci-dessous ». Le dispositif peut également être orienté autrement (rotation de 90 degrés ou d'autres orientations) et les termes de positionnement relatif utilisés ici seront interprétés en conséquence.

REVENDICATIONS

1. Structure à hétérojonction, notamment pour un transistor à grande mobilité d'électrons (HEMT) comprenant:
- 5 - un substrat (4) plan,
 - un empilement de couches tampons avec au moins trois couches en un même matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III dont :
 - 10 ▪ une première couche tampon (6) non intentionnellement dopée est disposée sur le substrat (4),
 - 15 ▪ une deuxième couche tampon (8) disposée sur la première couche (6) et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
 - une troisième couche tampon (10) non intentionnellement dopée disposée sur la deuxième couche tampon (8) et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat,
 - 20 - une couche intermédiaire (11) non intentionnellement dopée disposée sur la troisième couche (10) en un matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons,
 - une couche barrière (12) disposée sur la couche intermédiaire (11), ladite couche barrière (12) étant en un matériau semi-conducteur à large bande interdite E_{g2} à base de nitrure de la colonne III,
- dans laquelle :
- 25 - la deuxième couche tampon (8) présente un dopage de type P+ sensiblement constant sur tout ou partie de son épaisseur, et
 - la troisième couche tampon (10) comporte une première région (16) qui est non intentionnellement dopée sur toute son épaisseur, ainsi que au moins une deuxième région (18) adjacente à ladite première région (16) et qui est dopée avec un dopage de type N+,
 - 30
2. Structure à hétérojonction selon la revendication 1, dans laquelle la deuxième région (18) adjacente à la première région (16) de la troisième

- couche tampon (10) a un dopage constant sur toute l'épaisseur de ladite troisième couche tampon (10).
3. Structure à hétérojonction selon la revendication 1, dans laquelle la
5 deuxième région (18) adjacente à la première région (16) de la troisième
couche tampon (10) a un dopage de type gaussien suivant l'épaisseur de ladite
troisième couche tampon (10).
4. Structure à hétérojonction selon l'une quelconque des revendications 1 à
10 3, dans laquelle une distance suivant une direction orthogonale au plan du
substrat, entre la deuxième couche tampon (8) et l'interface entre la couche
intermédiaire (11) et la couche barrière (12) est inférieure à 20 nm.
5. Structure à hétérojonction selon l'une quelconque des revendications 1
15 à 4, dans laquelle le matériau semi-conducteur à base de nitrure de la colonne
III dont sont réalisées la première couche tampon (6), la deuxième couche
tampon (8), la troisième couche tampon (10), la couche intermédiaire (11) et la
couche barrière (12) comprend du GaN.
- 20 6. Structure à hétérojonction selon l'une quelconque des revendications 1
à 5, dans laquelle le dopant de type N⁺ est du silicium.
7. Structure à hétérojonction, selon l'une quelconque des revendications 1
à 6, comprenant au moins une couche de transition (14) intercalée entre le
25 substrat (4) et la première couche tampon (6).
8. **Transistor** à grande mobilité d'électrons (HEMT) comprenant une
structure à hétérojonction selon l'une quelconque des revendications 1 à 7, et
comprenant une électrode de grille (G) de surface déterminée dans un premier
30 plan parallèle au plan du substrat, une électrode de drain (D) et une électrode
de source (S), disposées dans un deuxième plan au-dessus de la couche
barrière (12) de la structure (2) à hétérojonction.

9. Transistor selon la revendication 8, dans laquelle la première région (16) de la troisième couche tampon (8) de la structure à hétérojonction, est disposée sous de l'électrode de grille, et a une surface dans un plan parallèle au plan du substrat qui est inférieure ou égale à ladite surface de l'électrode de grille (G).
10. Transistor selon l'une quelconque des revendications 8 et 9, comprenant en outre une couche isolante (24) à base d'oxyde, sur la couche barrière (12), au-dessous de l'électrode de grille, les premier et deuxième plans pouvant être confondus ou décalés.
11. Transistor selon la revendication 10, dans lequel la couche isolante (24) a une surface dans un plan parallèle au plan du substrat identique à la surface de l'électrode de grille (G).
12. Transistor selon l'une quelconque des revendications 8 à 11, dans lequel la deuxième couche tampon (8) dopée P+ n'est pas reliée directement à une des électrodes (V,G,S) du transistor.
13. **Dispositif** électronique à semi-conducteur comprenant au moins un transistor à grande mobilité d'électrons (HEMT) selon l'une quelconque des revendications 8 à 12.
14. **Procédé** de fabrication d'une structure à hétérojonction, en matériau semi-conducteur, notamment pour un transistor à grande mobilité d'électrons (HEMT), comprenant :
- la préparation d'un substrat (4) plan,
 - les dépôts successifs sur le substrat (4) d'un empilement de couches tampons réalisées en un même matériau semi-conducteur à large bande interdite E_{g1} à base de nitrure de la colonne III dont :
 - le dépôt d'une première couche tampon (6) sur le substrat (4), ledit matériau semi-conducteur dont est réalisé ladite première couche tampon étant non intentionnellement dopé,

- 5
- le dépôt d'une deuxième couche tampon (8) sur la première couche tampon (6) ayant une épaisseur déterminée suivant une direction orthogonale au plan du substrat et le dopage de ladite deuxième couche tampon étant réalisé à l'aide d'éléments dopants de type P + sur toute son épaisseur ;
 - le dépôt d'une troisième couche tampon (10) sur la deuxième couche tampon (8) et présentant une épaisseur déterminée suivant une direction orthogonale au plan du substrat, ledit matériau semi-conducteur dont est réalisé ladite troisième couche tampon étant non intentionnellement dopé,
- 10
- le dopage à l'aide d'éléments dopants de type N+ d'au moins une région (18) de la troisième couche tampon (10) adjacente à une première région (16) de ladite troisième couche tampon qui est non intentionnellement dopée suivant toute son épaisseur,
- 15
- le dépôt d'une couche intermédiaire (11) non intentionnellement dopée en un matériau semi-conducteur à large bande interdite Eg1 à base de nitrure de la colonne III identique à celui de l'empilement de couches tampons sur la troisième couche tampon (10),
- 20
- le dépôt d'une deuxième couche barrière (12) en un matériau semi-conducteur à large bande interdite à base de nitrure de la colonne III sur la troisième couche intermédiaire (11).

15. Procédé de fabrication d'une structure à hétérojonction selon la revendication 14, dans lequel les dépôts successifs de l'empilement des couches tampons sont réalisés par un procédé d'épitaxie sans interruption.

25

FIG. 1

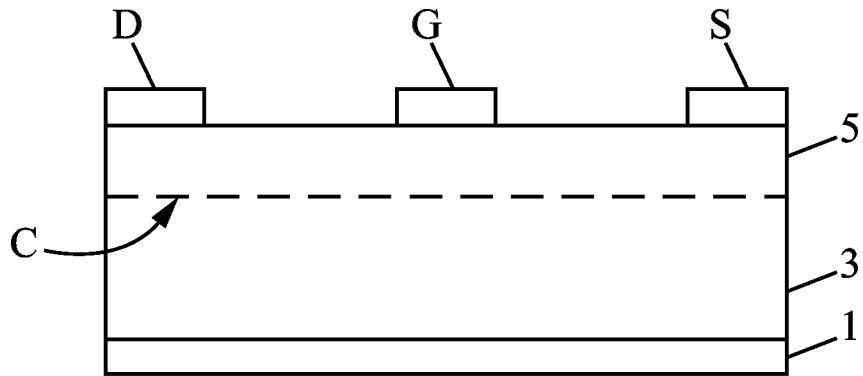


FIG. 2

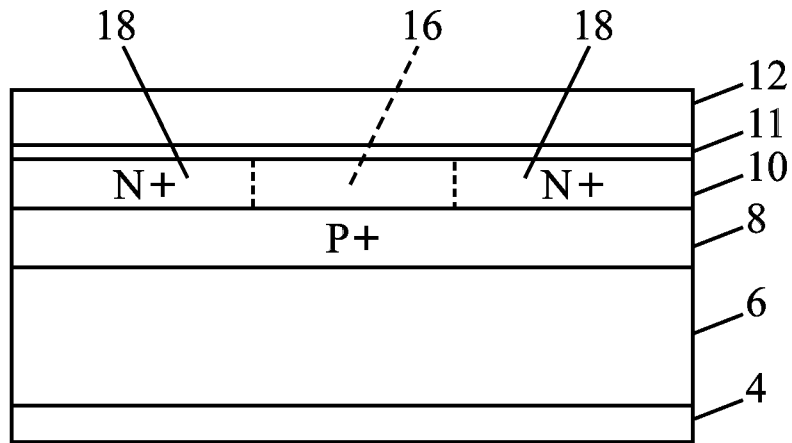


FIG. 3

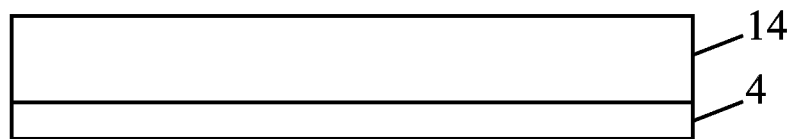


FIG. 4

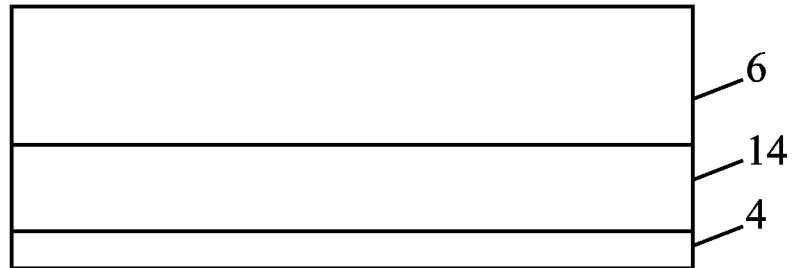


FIG. 5

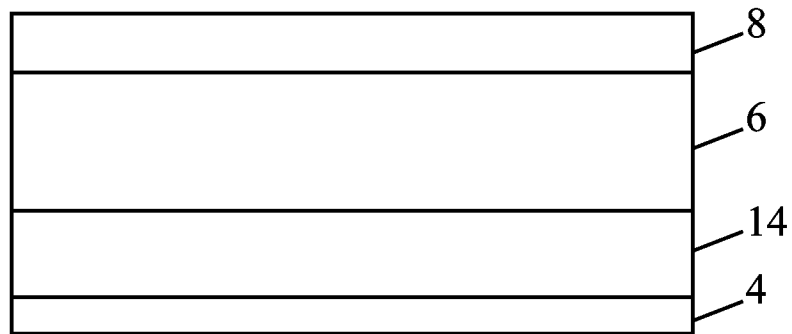


FIG. 6

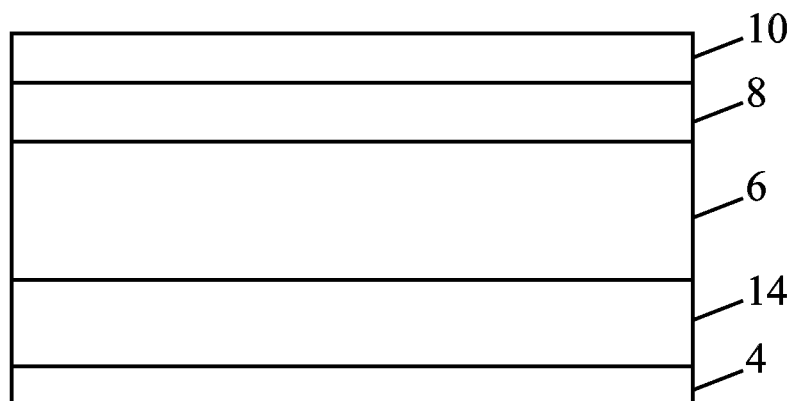


FIG. 7

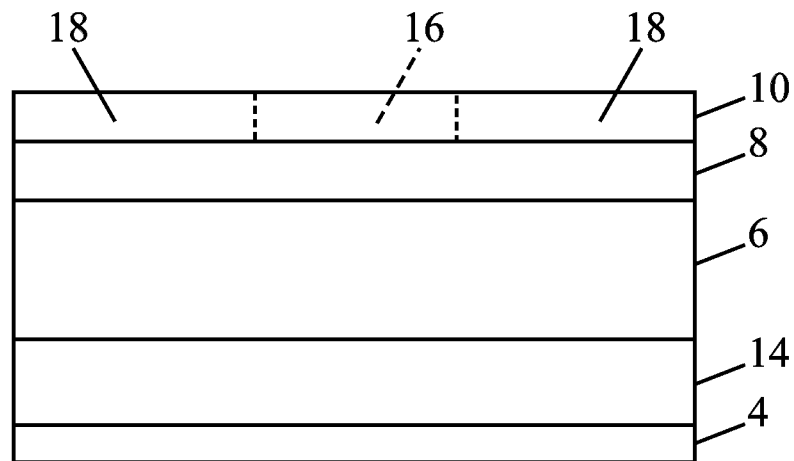


FIG. 8

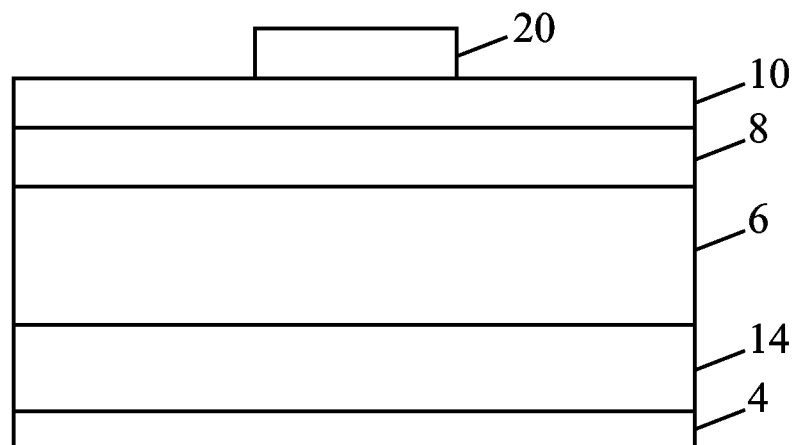


FIG. 9a

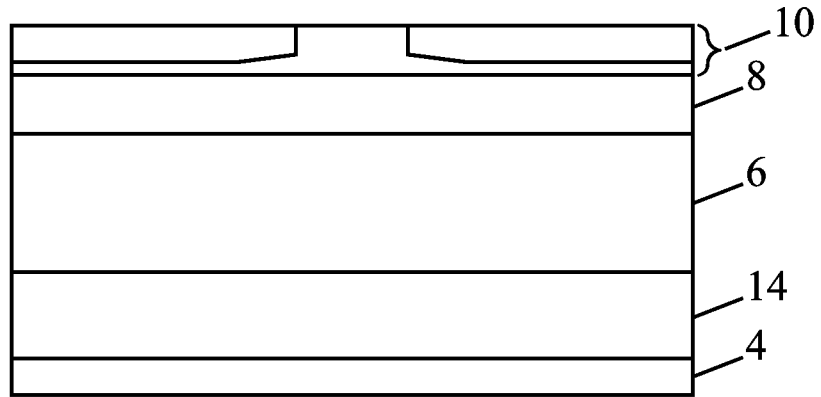


FIG. 9b

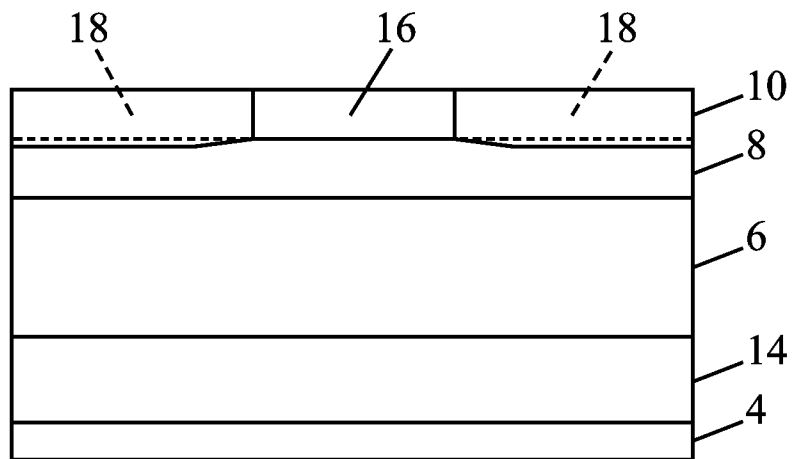


FIG. 10

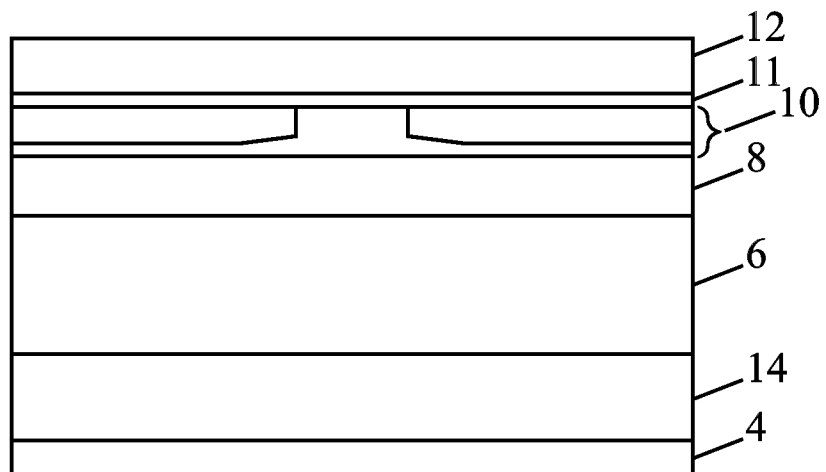


FIG. 11

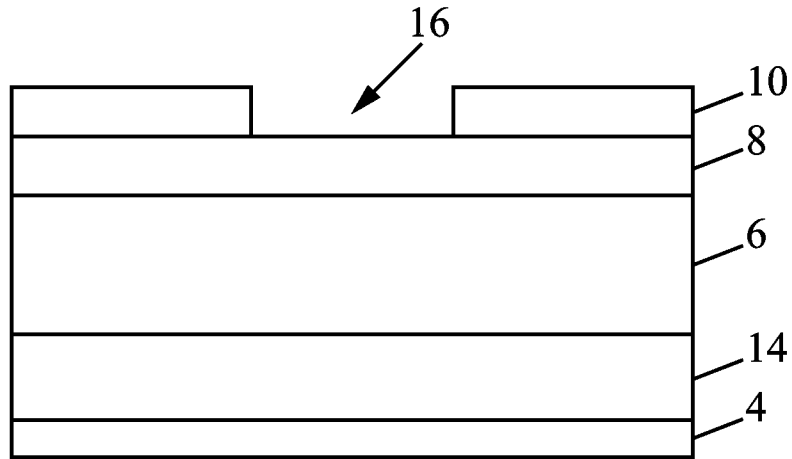


FIG. 12

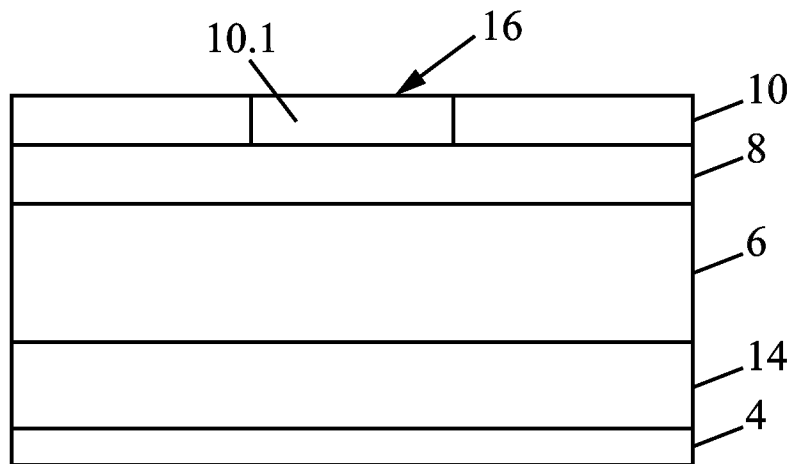


FIG. 13

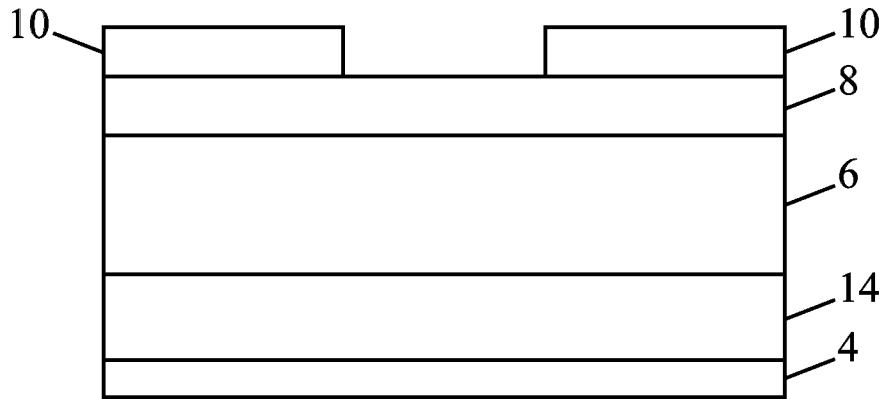


FIG. 14

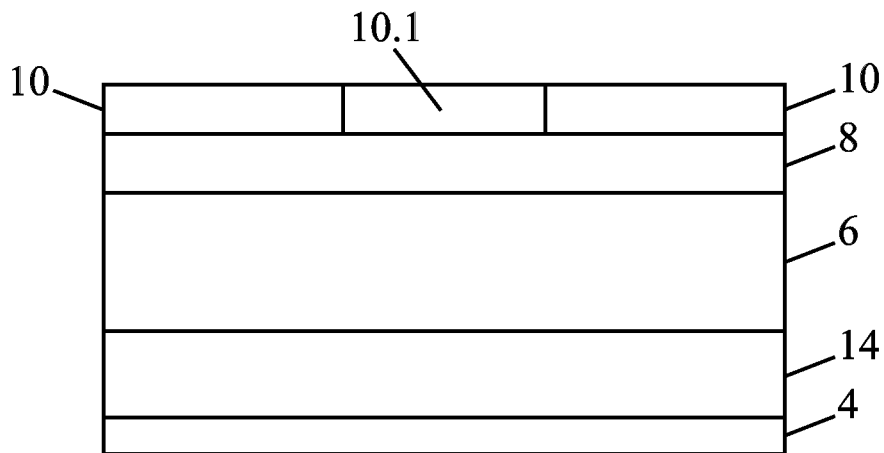


FIG. 15

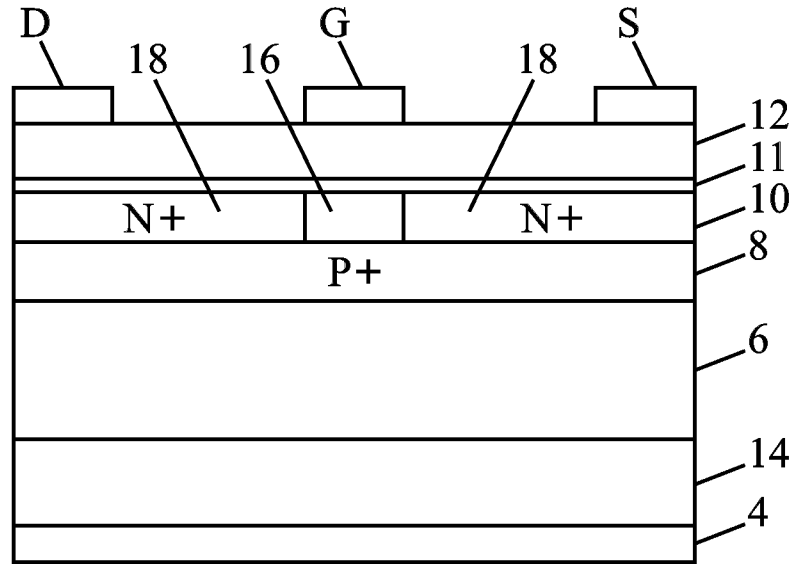
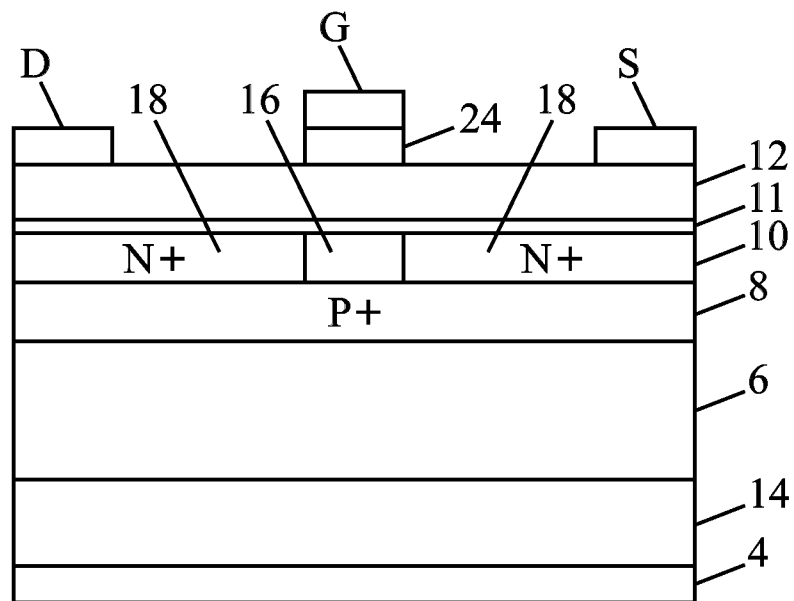


FIG. 20



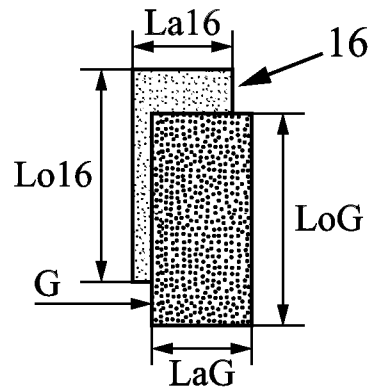


FIG. 16

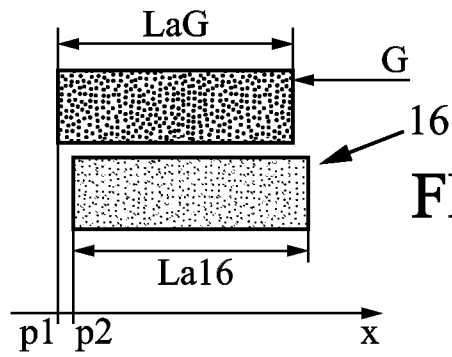


FIG. 17

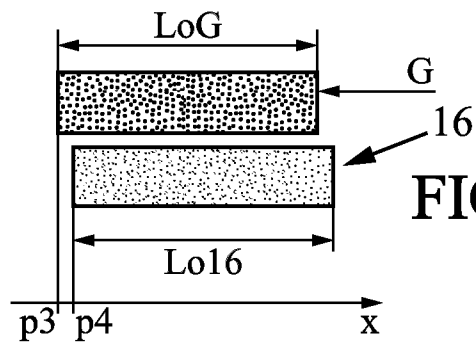


FIG. 18

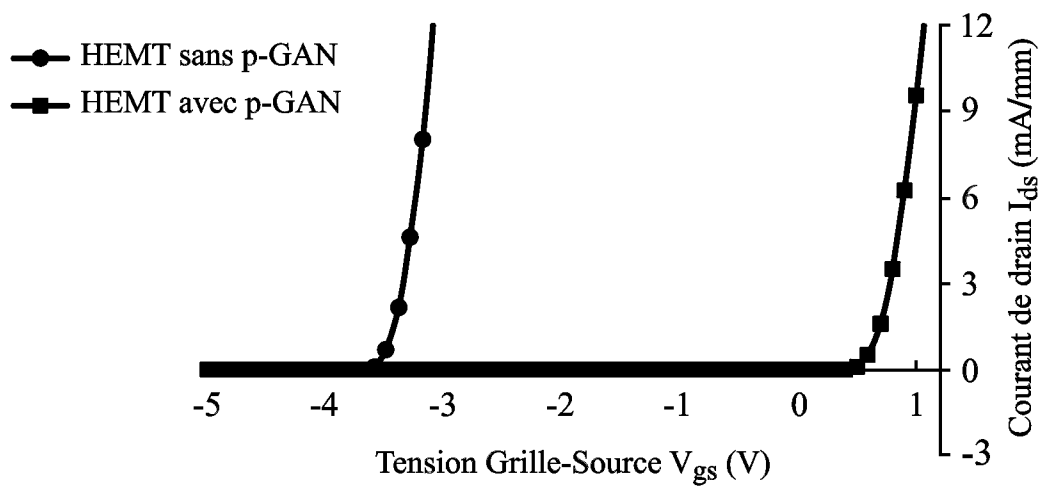


FIG. 19

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2015/053503

A. CLASSIFICATION OF SUBJECT MATTER
 INV. H01L29/778 H01L21/338 H01L21/336 H01L29/10
 ADD. H01L29/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 EPO-Internal, WPI Data, COMPENDEX, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/019284 A1 (MAUDER ANTON [DE] ET AL) 26 January 2012 (2012-01-26) figure 9 paragraphs [0033], [0047], [0049] -----	1-15
X	EP 1 884 999 A1 (TOYOTA MOTOR CO LTD [JP]) 6 February 2008 (2008-02-06) figures 23-25 et texte associé -----	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search 29 March 2016	Date of mailing of the international search report 07/04/2016
--	--

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Moehl, Sebastian
--	--

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2015/053503

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012019284	A1	26-01-2012	
		CN 102347372 A	08-02-2012
		DE 102011052139 A1	26-01-2012
		US 2012019284 A1	26-01-2012

EP 1884999	A1	06-02-2008	
		CN 101180734 A	14-05-2008
		EP 1884999 A1	06-02-2008
		JP 2007005764 A	11-01-2007
		US 2009134456 A1	28-05-2009
		WO 2006126726 A1	30-11-2006

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2015/053503

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L29/778 H01L21/338 H01L21/336 H01L29/10 ADD. H01L29/20		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data, COMPENDEX, INSPEC, IBM-TDB		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2012/019284 A1 (MAUDER ANTON [DE] ET AL) 26 janvier 2012 (2012-01-26) figure 9 alinéas [0033], [0047], [0049]	1-15
X	EP 1 884 999 A1 (TOYOTA MOTOR CO LTD [JP]) 6 février 2008 (2008-02-06) figures 23-25 et texte associé	1-14
<input type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets
Date à laquelle la recherche internationale a été effectivement achevée 29 mars 2016		Date d'expédition du présent rapport de recherche internationale 07/04/2016
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Moehl, Sebastian

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2015/053503

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication	
US 2012019284	A1	26-01-2012	CN 102347372 A	08-02-2012
			DE 102011052139 A1	26-01-2012
			US 2012019284 A1	26-01-2012

EP 1884999	A1	06-02-2008	CN 101180734 A	14-05-2008
			EP 1884999 A1	06-02-2008
			JP 2007005764 A	11-01-2007
			US 2009134456 A1	28-05-2009
			WO 2006126726 A1	30-11-2006
