

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4050171号
(P4050171)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年12月7日(2007.12.7)

(51) Int.Cl. F I
G 1 1 C 11/403 (2006.01) G 1 1 C 11/34 3 6 3 M
G 1 1 C 11/406 (2006.01) G 1 1 C 11/34 3 6 3 N

請求項の数 6 (全 23 頁)

<p>(21) 出願番号 特願2003-88869 (P2003-88869) (22) 出願日 平成15年3月27日(2003.3.27) (65) 公開番号 特開2004-127478 (P2004-127478A) (43) 公開日 平成16年4月22日(2004.4.22) 審査請求日 平成16年7月26日(2004.7.26) (31) 優先権主張番号 特願2002-231646 (P2002-231646) (32) 優先日 平成14年8月8日(2002.8.8) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号 (74) 代理人 100068755 弁理士 恩田 博宣 (74) 代理人 100105957 弁理士 恩田 誠 (72) 発明者 栗田 裕司 愛知県春日井市高蔵寺町二丁目1844番 2 富士通ヴィエルエスアイ株式会社内 審査官 須原 宏光</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止するパワーダウンモードを備えた半導体記憶装置であって、

前記パワーダウンモードのエントリ信号を生成するパワーダウン制御回路と、

発振回路を有し、該発振回路の発振信号に基づいて前記リフレッシュの要求信号を生成するセルフリフレッシュ制御回路と

を備え、

前記発振回路は、前記パワーダウン制御回路から入力されるエントリ信号に基づいて発振動作を停止し、

前記セルフリフレッシュ制御回路は、前記発振回路に加えて、前記発振信号の周波数を制御するための発振周波数制御信号を生成するOSC制御回路を備え、

前記OSC制御回路は、その電源経路にトランジスタが設けられ、前記パワーダウン制御回路から入力されるエントリ信号に基づいて前記トランジスタがオフすることで前記発振周波数制御信号の出力を停止し、

前記セルフリフレッシュ制御回路は、前記発振回路及びOSC制御回路に加えて、前記発振周波数制御信号の電圧レベルを検出するレベル検出回路を備え、

前記レベル検出回路は、前記発振周波数制御信号の電圧レベルが所定電圧未満のときには、前記発振回路からの発振信号の出力を禁止する検出信号を出力するとともに、前記発振周波数制御信号の電圧レベルが所定電圧以上のときに、前記発振回路からの発振信号の

出力を許可する検出信号を出力することを特徴とする半導体記憶装置。

【請求項 2】

前記セルフリフレッシュ制御回路は、
前記リフレッシュの周期を判定すべく、前記発振回路の発振信号を取り込みカウントする周期カウンタと、
前記発振回路と前記周期カウンタとの間に設けられ、前記レベル検出回路の検出信号により制御されるスイッチ回路と
を備えたことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記OSC制御回路は、定電流もしくは定電圧を発生させる回路であり、該OSC制御回路と前記発振回路とにより、定電流制御型もしくは定電圧制御型の発振器を構成するものであることを特徴とする請求項 1 に記載の半導体記憶装置。

10

【請求項 4】

発振器を有し、該発振器の発振信号により前記内部電源を発生する内部電源発生回路を備え、

前記パワーダウン制御回路は、前記内部電源を非活性にする第 1 パワーダウンモードのエントリ信号と、前記内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止する第 2 パワーダウンモードのエントリ信号を生成し、

前記内部電源発生回路における発振器に前記第 1 パワーダウンモードのエントリ信号を入力し、前記セルフリフレッシュ制御回路における発振回路に前記第 2 パワーダウンモードのエントリ信号を入力するようにしたことを特徴とする請求項 1 に記載の半導体記憶装置。

20

【請求項 5】

内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止するパワーダウンモードを備えた半導体記憶装置の制御方法において、

前記リフレッシュを定期的実施する通常モードから前記パワーダウンモードにエントリするステップと、

前記パワーダウンモードにエントリした場合、前記内部電源を発生する内部電源発生回路を活性化させた状態で、前記リフレッシュの要求信号を生成するためのセルフリフレッシュ制御回路の発振動作を停止させることによりメモリセルへのリフレッシュ動作を停止するステップと、

30

前記パワーダウンモードから前記通常モードにエントリするステップと、

前記通常モードにエントリした場合、前記セルフリフレッシュ制御回路の発振動作を行うことで該制御回路を活性化することによりメモリセルへのリフレッシュ動作を再開するステップと、

を備え、

前記リフレッシュ動作を停止するステップでは、発振回路の発振周波数を制御するOSC制御回路を停止し、

前記OSC制御回路から出力される発振周波数制御信号の電圧レベルを検出して、前記発振周波数制御信号の電圧レベルが所定電圧未満のときには、前記発振回路からの発振信号の出力を禁止する検出信号を出力するとともに、前記発振周波数制御信号の電圧レベルが所定電圧以上のときに、前記発振回路からの発振信号の出力を許可する検出信号を出力するステップを備えることを特徴とする半導体記憶装置の制御方法。

40

【請求項 6】

前記リフレッシュ動作を停止するステップでは、前記内部電源発生回路における発振器の発振動作により内部電源を発生することを特徴とする請求項 5 に記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

50

本発明は、内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止するパワーダウンモードを備えた半導体記憶装置に関するものである。

【0002】

近年、DRAMは、SRAM等の代替品として携帯電話等の携帯用電子機器にも広く使用されている。DRAMは、スタンバイ時に記憶保持動作（セルフリフレッシュ動作）が必要であり、その記憶保持動作に電力を消費する。携帯用電子機器では、低消費電力化が必要となっているため、DRAMにおいても、記憶保持動作による消費電力を低減することが必要となっている。

【0003】

【従来の技術】

一般に、DRAMを含むシステムにおいて、その待機状態にはデータの記憶保持のためにDRAMにおけるメモリセルのリフレッシュが定期的実施されている。近年のシステムでは、DRAMのデータ保持を必要とする待機状態に加え、DRAMのデータ保持を必要としない待機状態が存在する場合がある。このシステムでは、データ保持を必要としない待機状態にてDRAMのリフレッシュ動作を行うことは電流を無駄に消費することになる。

【0004】

そのため、DRAMにおいて、データ保持を必要としない待機状態で、リフレッシュ動作に必要な回路を停止させたり、内部電源の供給を止めたりすることにより、消費電流を低減するといった動作モードを備えたものが実用化されている（例えば、特許文献1参照）。そのような動作モードは、パワーダウンモードと呼ばれ、具体的には「スリープモード」、「リフレッシュ停止モード（Napモード）」等がある。

【0005】

図13には、低消費電流のためのパワーダウンモードを備えた従来のDRAM60の概略構成を示している。DRAM60は、セルフリフレッシュ制御回路61、パワーダウン制御回路62、内部電源発生回路63、リフレッシュ制御回路64、メイン回路65等を含む。

【0006】

セルフリフレッシュ制御回路61は、所定の周期を持つリフレッシュ要求信号（リクエスト信号）reqを生成するための回路であって、OSC制御回路66と、発振回路67と、周期カウンタ68と、リクエスト発生回路69とにより構成されている。

【0007】

OSC制御回路66において、電源、グランド間にPMOSトランジスタTP1及び抵抗R1が直列に接続されている。PMOSトランジスタTP1のゲート端子とドレイン端子とが接続されており、同ドレイン端子から発振周波数制御信号VRが出力される。該制御信号VRは、PMOSトランジスタTP1及び抵抗R1に流れる電流（定電流）Iにより設定される。この電流Iは、低消費電流動作の要請から小電流値となるよう設定されることが望ましい。例えば、抵抗R1の抵抗値を10Mとし、電流Iが数マイクロアンペア程度に設定される。

【0008】

また、発振回路67は、奇数段（図13では3段）のインバータ回路71、72、73がループ状に接続されており、リングオシレータを構成している。各インバータ回路71～73の電源端子は、PMOSトランジスタTP2、TP3、TP4を介して電源に接続されている。PMOSトランジスタTP2～TP4のゲート端子には発振周波数制御信号VRが入力され、同制御信号VRに応じた制御電流がトランジスタTP2～TP4を介して各インバータ回路71～73に供給される。これにより、各インバータ回路71、73からなるリングオシレータが動作して発振信号OSCが出力される。

【0009】

周期カウンタ68は、発振回路67の発振信号OSCを取り込み、該発振信号のパルス数をカウントすることで所定のリフレッシュ周期を決定する。リクエスト発生回路69は、

10

20

30

40

50

周期カウンタ 6 8 にて決定されたリフレッシュ周期毎にリクエスト信号 *req* を出力する。

【 0 0 1 0 】

パワーダウン制御回路 6 2 は、図示しない外部信号に基づいてパワーダウンモードを判定して、判定結果に応じて *Nap* モードのエントリ信号 *nape*、スリープモードのエントリ信号 *sleep* 等を生成して出力する。

【 0 0 1 1 】

セルフリフレッシュ制御回路 6 1 とリフレッシュ制御回路 6 4 との間にはノア回路 7 0 が設けられており、同ノア回路 7 0 の一方の入力端子にはリクエスト発生回路 6 9 からのリクエスト信号 *req* が入力され、他方の入力端子にはパワーダウン制御回路 6 2 からの *Nap* モードのエントリ信号 *nape* が入力される。

10

【 0 0 1 2 】

リフレッシュ制御回路 6 4 は、リクエスト信号 *req* を検出すると、同リクエスト信号 *req* をトリガーとしてセルフリフレッシュのための制御を実施する。メイン回路 6 5 は *DRAM* コア 6 5 a を備え、該 *DRAM* コア 6 5 a はメモリセル、ロウデコード、コラムデコード、センスアンプからなる。リフレッシュ制御回路 6 4 の制御により、メイン回路 6 5 における *DRAM* コア 6 5 a の各ワード線が活性化されて、ワード線に接続されたメモリセルの情報がリフレッシュされる。

【 0 0 1 3 】

内部電源発生回路 6 3 は、*DRAM* 6 0 を動作させるための内部電源を生成する回路であって、パワーダウン制御回路 6 2 から入力されるスリープモードのエントリ信号 *sleep* に応答して、活性化 / 非活性化する。活性化した内部電源発生回路 6 3 は *DRAM* コア 6 5 a やその周辺回路に供給する電源電圧や、基板に供給する負電位や昇圧電位等を生成する。つまり、セルフリフレッシュ制御回路 6 1、メイン回路 6 5、及びリフレッシュ制御回路 6 4 を動作させるための電源電圧が内部電源発生回路 6 3 で発生される。また、非活性化した内部電源発生回路 6 3 は、電源電圧の発生を停止する。これにより、メモリセルのリフレッシュ動作は停止される。なお、パワーダウン制御回路 1 2 を動作させるための電源電圧は、図示しない別の内部電源発生回路で生成される。

20

【 0 0 1 4 】

ここで、*Nap* モード時の動作を説明する。

30

パワーダウン制御回路 6 2 から *H* レベルのエントリ信号 *nape* が出力されている期間 (図 1 4 において時刻 *t* 1 1 ~ 時刻 *t* 1 2 の *Nap* 期間) では、ノア回路 7 0 の出力が *L* レベルに維持されるため、リフレッシュ制御回路 6 4 にはリクエスト信号 *req* が入力されなくなる。これにより、メモリセルのリフレッシュ動作が停止され、消費電流が低減される。

【 0 0 1 5 】

Nap モード時では、図 1 5 に示すように、内部電源発生回路 6 3 が活性化されており、リフレッシュ制御回路 6 4、メイン回路 6 5、セルフリフレッシュ制御回路 6 1 には電源が供給されている。その状態にてパワーダウン制御回路 6 2 のエントリ信号 *nape* により、セルフリフレッシュ制御回路 6 1 からリフレッシュ制御回路 6 4 へのリクエスト信号 *req* が遮断され、リフレッシュ動作が停止される。

40

【 0 0 1 6 】

これに対し、スリープモード時では、図 1 6 に示すように、パワーダウン制御回路 6 2 からのエントリ信号 *sleep* により内部電源発生回路 6 3 における電源の発生が停止される。またこのとき、パワーダウン制御回路 6 2 は、内部電源発生回路 6 3 と外部電源とを接続する電源ラインと、内部電源発生回路 6 3 から各回路 6 1、6 4、6 5 へ内部電源を供給するための電源ラインとを切断している。

【 0 0 1 7 】

図 1 7 には、各動作モード (通常待機モード、*Nap* モード、スリープモード) における消費電流の内訳を示している。

50

Napモードの場合、リフレッシュ動作を実施する通常待機モードの消費電流に対して、リフレッシュ動作に関するAC電流が低減される。また、スリープモードの場合、Napモードの消費電流に対して、セルフリフレッシュ制御回路（self制御回路）61における発振動作のためのAC電流と内部電源発生回路63等におけるDC電流が低減される。つまり、スリープモードの場合、パワーダウン制御回路（PD制御回路）62等の回路、すなわち、モード判定等のために動作させる必要がある回路以外は電源から切り離して動作を停止させることで、消費電流をより低減することができる。

【0018】

ところが、図18(a)に示すようにスリープモードで動作する期間（時刻t11～時刻t12のsleep期間）は、内部電源発生回路63は非活性となるため内部電源は接地電圧となるまで低下する。そのため、同スリープモードから通常待機モード（Standbyモード）に復帰する場合、内部電源発生回路63を活性化して内部電源が安定するまでに数百μsの復帰時間（時刻t12～t13）がかかってしまう。

10

【0019】

一方、図18(b)に示すように、Napモードで動作する期間（時刻t11～t12のNap期間）は、内部電源発生回路63は活性化しているため、同Napモードから通常待機モード（Standbyモード）に復帰するのにほとんど時間がかからない。よって、Napモードは、データ保証が必要な動作モードとデータ保証が不要な動作モードとの切り替えが頻繁に実施されるシステムで使用される。

【0020】

20

ところで、Napモードでの動作時には、リフレッシュ動作を停止させるために、リクエスト信号reqのみを停止させ、セルフリフレッシュ制御回路61における発振回路67やOSC制御回路66を動作させるようにしている。これは、下記の理由による。

【0021】

発振回路67は、内部電源発生回路63が活性化状態である場合に常に非同期で発振動作を行うため、その発振動作を途中で止めたり、動かしたりすると、所定の発振周期とは異なる周期の信号が発生してリフレッシュ制御回路64等が誤動作する可能性がある。具体的には、発振回路67の後段に設けられている周期カウンタ68が、所定周期とは異なる周期の信号でカウント動作を実施することにより、リクエスト信号reqの周期が所望のリフレッシュ周期からずれてしまう。

30

【0022】

また、OSC制御回路66への電源供給を遮断した場合、OSC制御回路66にて電流経路を構成する抵抗R1は高抵抗値であるため、再び電源供給が開始されるときには、発振周波数制御信号VRが所定値に達するまでに所定時間を要する。この場合、発振周波数制御信号VRが所定値に達するまでの過渡的な期間（不安定期間）では、リフレッシュ期間に応じた所定周波数とは異なる発振周波数で発振動作が行われてしまう。

【0023】

【特許文献1】

特開2002-170383号公報

【0024】

40

【発明が解決しようとする課題】

上記のように、従来のNapモードでは、リフレッシュ動作を停止させるために、リクエスト信号reqの発生のみを停止させ、セルフリフレッシュ制御回路61におけるOSC制御回路66や発振回路67を動作させている。しかし、Napモードではリフレッシュ動作が不要であるため、セルフリフレッシュ制御回路61におけるOSC制御回路66や発振回路67を動作させることは、無駄な電流を消費することとなっていた。

【0025】

本発明は上記問題点を解決するためになされたものであって、その目的は、パワーダウンモードでの消費電流を低減し、通常モードでのリフレッシュ動作を的確に行うことができる半導体記憶装置及びその制御方法を提供することにある。

50

【 0 0 2 6 】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、半導体装置がパワーダウンモードで動作する際には、パワーダウン制御回路にて該パワーダウンモードのエントリ信号が生成されてセルフリフレッシュ制御回路の発振回路に入力される。このエントリ信号の入力により発振回路の発振動作が停止され、その発振動作に伴う消費電流が低減される。またこの場合、通常モードにおいてリフレッシュ周期に応じた的確な発振信号を出力することが可能であるため、該発振信号に基づきリフレッシュが的確に行われる。また、セルフリフレッシュ制御回路のOSC制御回路は、その電源経路にトランジスタが設けられ、パワーダウン制御回路からのエントリ信号に基づいてトランジスタがオフされて発振周波数制御信号の出力が停止される。これにより、セルフリフレッシュ制御回路における消費電流をより低減することが可能となる。さらに、OSC制御回路から発振回路に入力される発振周波数制御信号の電圧レベルがレベル検出回路により検出される。その検出結果に応じて、発振回路を制御するための検出信号がレベル検出回路から出力される。これにより、レベル検出回路の検出結果に応じた所定の発振周波数で発振動作を行わせることが可能となる。よって、OSC制御回路にて生成される発振周波数制御信号が安定しない過渡期間において不安定な発振動作が防止される。

10

【 0 0 2 7 】

請求項2に記載の発明によれば、周期カウンタは、リフレッシュの周期を判定すべく発振回路の発振信号を取り込みカウントする。その周期カウンタと発振回路との間にスイッチ回路が設けられる。スイッチ回路は、レベル検出回路の検出信号により制御される。このスイッチの制御により、発振信号がリフレッシュ周期に応じた所定の発振周期と異なる場合にその出力が防止される。

20

【 0 0 2 8 】

請求項3に記載の発明によれば、OSC制御回路により定電流もしくは定電圧が発生され、該OSC制御回路と発振回路とによって定電流制御型もしくは定電圧制御型の発振器が構成される。

【 0 0 2 9 】

請求項4に記載の発明によれば、パワーダウン制御回路において、内部電源を非活性にする第1パワーダウンモードのエントリ信号と、内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止する第2パワーダウンモードのエントリ信号が生成される。第1パワーダウンモードのエントリ信号は内部電源発生回路における発振器に入力され、第2パワーダウンモードのエントリ信号はセルフリフレッシュ制御回路における発振回路に入力される。

30

【 0 0 3 3 】

請求項5に記載の発明によれば、リフレッシュを定期的実施する通常モードからパワーダウンモードにエントリされる。該パワーダウンモードでは、内部電源を発生する内部電源発生回路を活性化させた状態で、リフレッシュの周期を制御するためのセルフリフレッシュ制御回路の発振動作が停止される。これにより、メモリセルへのリフレッシュ動作が停止される。その後、パワーダウンモードから通常モードにエントリされると、リフレッシュ制御回路の発振動作が行われて該回路が活性化することによりメモリセルへのリフレッシュ動作が再開される。このようにすれば、内部電源の活性化を行いつつ、記憶保持のためのリフレッシュを停止するパワーダウンモードにて、セルフリフレッシュ制御回路における発振動作が停止されるので、その発振動作に伴う消費電流が低減される。またこの場合、通常モードにおいて、リフレッシュ周期に応じた的確な発振信号を出力することが可能であるため、該発振信号に基づきメモリセルのリフレッシュが的確に実施される。また、OSC制御回路から発振回路に入力される発振周波数制御信号の電圧レベルがレベル検出回路により検出される。その検出結果に応じて、発振回路を制御するための検出信号がレベル検出回路から出力される。これにより、レベル検出回路の検出結果に応じた所定の発振周波数で発振動作を行わせることが可能となる。よって、OSC制御回路にて生

40

50

成される発振周波数制御信号が安定しない過渡期間において不安定な発振動作が防止される。

【 0 0 3 4 】

請求項 6 に記載の発明によれば、リフレッシュ動作を停止するステップでは、内部電源発生回路における発振器の発振動作により内部電源が発生（活性化）される。

【 0 0 3 6 】

【発明の実施の形態】

（第 1 実施形態）

以下、本発明を具体化した第 1 実施形態を図面に従って説明する。

【 0 0 3 7 】

図 1 は、本実施形態の原理説明図である。

半導体記憶装置 1 0 は、セルフリフレッシュ制御回路 1 1、パワーダウン制御回路 1 2、内部電源発生回路 1 3、リフレッシュ制御回路 1 4、メイン回路 1 5 等を備える。セルフリフレッシュ制御回路 1 1 は、OSC 制御回路 1 6 と、発振回路 1 7 と、周期カウンタ 1 8 と、リクエスト発生回路 1 9 とにより構成されている。セルフリフレッシュ制御回路 1 1 において、OSC 制御回路 1 6 により発振回路 1 7 の発振信号 OSC が所定周波数に制御される。周期カウンタ 1 8 は、その発振信号 OSC をカウントし、リクエスト発生回路 1 9 は、周期カウンタ 1 8 のカウント値に基づく所定周期毎にリフレッシュのリクエスト信号 req を出力する。

【 0 0 3 8 】

セルフリフレッシュ制御回路 1 1 のリクエスト信号 req は、スイッチ回路 2 0 を介してリフレッシュ制御回路 1 4 に入力される。パワーダウン制御回路 1 2 から出力される Nap モードのエントリ信号 nape は、スイッチ回路 2 0 に入力されるとともに、セルフリフレッシュ制御回路 1 1 における発振回路 1 7 に入力される。発振回路 1 7 へのエントリ信号 nape の入力により、図 2 に示すように、時刻 t 1 ~ 時刻 t 2 の Nap 期間において、発振回路 1 7 の発振信号 OSC の出力が停止され、消費電流の低減が図られる。なお、この Nap 期間には、スイッチ回路 2 0 がオフされてリクエスト信号 req の出力も停止され、メモリセルのリフレッシュ動作が停止される。

【 0 0 3 9 】

図 3 は、本実施形態の具体的構成を示す回路図である。

本実施形態の半導体記憶装置 (DRAM) 1 0 において、パワーダウン制御回路 1 2、内部電源発生回路 1 3、リフレッシュ制御回路 1 4、メイン回路 1 5、OSC 制御回路 1 6、周期カウンタ 1 8、リクエスト発生回路 1 9 は、図 1 3 に示す従来の各回路 6 2 ~ 6 9 と同一構成である。つまり、DRAM 1 0 は、セルフリフレッシュ制御回路 1 1 における発振回路 1 7 が従来の構成と異なり、以下にはその相違点を中心に説明する。

【 0 0 4 0 】

発振回路 1 7 は、インバータ回路 2 1, 2 2, 2 3 とノア回路 2 5, 2 6 とを備える。発振回路 1 7 において、2 つのインバータ回路 2 1, 2 2 と 1 つのノア回路 2 5 とがループ状に接続されている。つまり、2 つのインバータ回路 2 1, 2 2 と 1 つのノア回路 2 5 とが直列に接続されており、ノア回路 2 5 の出力がインバータ回路 2 1 の入力に接続されている。パワーダウン制御回路 1 2 はインバータ回路 2 3 を介してノア回路 2 6 の一方の入力に接続され、同ノア回路 2 6 の他方の入力とインバータ回路 2 1 の入力とが接続されている。また、ノア回路 2 6 の出力は、同ノア回路 2 5 の一方の入力に接続され、同ノア回路 2 5 の他方の入力には、インバータ回路 2 2 が接続されている。

【 0 0 4 1 】

インバータ回路 2 1, 2 2 及びノア回路 2 5 の電源端子は、PMOS トランジスタ TP 2, TP 3, TP 4 を介して電源に接続されている。PMOS トランジスタ TP 2 ~ TP 4 のゲート端子には、OSC 制御回路 1 6 からの発振周波数制御信号 VR が入力され、制御信号 VR に応じた制御電流が各トランジスタ TP 2 ~ TP 4 を介してインバータ回路 2 1, 2 2 及びノア回路 2 5 に供給される。

10

20

30

40

50

【 0 0 4 2 】

図 4 は、発振回路 1 7 の動作波形図である。図 4 において、パワーダウン制御回路 1 2 から入力されるエントリ信号 $n a p e$ 、インバータ回路 2 3 の出力信号 $n a p x$ 、発振信号 $O S C$ 、インバータ回路 2 2 の出力信号 $O S C X$ 及びノア回路 2 6 の出力信号 $e n$ の各信号が示されている。

【 0 0 4 3 】

すなわち、通常待機時 ($S t a n d b y$ 時) には、エントリ信号 $n a p e$ は L レベルであり、インバータ回路 2 3 の出力信号 $n a p x$ は H レベルとなる。この場合、ノア回路 2 6 の出力信号 $e n$ は L レベルとなるため、ノア回路 2 5 は論理反転回路として機能し、インバータ回路 2 1 , 2 2 及びノア回路 2 5 がリングオシレータとして動作する。これにより、発振回路 1 7 は発振信号 $O S C$ を出力する。発振信号 $O S C$ の周期は、 $O S C$ 制御回路からの発振周波数制御信号 $V R$ により決定される。具体的に、リングオシレータを構成する各回路 2 1 , 2 2 , 2 5 には、発振周波数制御信号 $V R$ に応じた制御電流が各トランジスタ $T P 2 \sim T P 4$ を介して供給されている。リングオシレータにおいて、各段の入力容量の充放電時間に基づく伝搬遅延時間は、その制御電流により決定されるため、その伝搬遅延時間をリングオシレータの 1 周について加算した時間が発振信号 $O S C$ の周期となる。

【 0 0 4 4 】

$N a p$ モードにエントリする時刻 $t 1$ において、パワーダウン制御回路 1 2 から H レベルのエントリ信号 $n a p e$ が入力されると、インバータ回路 2 3 の出力信号 $n a p x$ は L レベルとなる。なおこのとき、H レベルのエントリ信号 $n a p e$ がノア回路 2 0 に入力されるため、同ノア回路 2 0 からリフレッシュ制御回路 1 4 へのリクエスト信号 $r e q$ の出力が停止される。また、インバータ回路 2 3 の出力信号 $n a p x$ が L レベルとなった後、発振信号 $O S C$ が L レベルになると、ノア回路 2 6 の出力信号 $e n$ が H レベルとなり、発振回路 1 7 における発振動作が停止される。ここで、出力信号 $n a p x$ がどの位置で L レベルとなったとしても、発振信号 $O S C$ はリングオシレータの動作により所定時間 $T H 1$ が経過するまでは H レベルに維持され、その時間 $T H 1$ の経過後に発振信号 $O S C$ が L レベルにならないと、出力信号 $e n$ が H レベルになることはない。よって、通常待機モードから $N a p$ モードに移行して発振回路 1 7 が発振動作を止めるときに、異常な幅の発振信号 $O S C$ を出力することがない。

【 0 0 4 5 】

また、 $N a p$ モードを終了させる時刻 $t 2$ において、L レベルのエントリ信号 $n a p e$ が入力されると、インバータ回路 2 3 の出力信号 $n a p x$ は H レベルとなり、ノア回路 2 6 の出力信号 $e n$ は L レベルとなる。つまり、出力信号 $e n$ はエントリ信号 $n a p e$ に同期して L レベルになり、発振信号 $O S C$ は H レベルになる。この場合にも、発振信号 $O S C$ は、所定時間 $T H 1$ において H レベルを保つ。つまり、 $N a p$ モードから通常の待機モードに復帰する場合にも、発振回路 1 7 は、異常な幅の発振信号 $O S C$ を出力することがない。

【 0 0 4 6 】

以上の構成により、 $N a p$ モード時にてセルフリフレッシュ制御回路 1 1 における発振回路 1 7 の発振動作が的確に停止される。また、通常待機モードにおいても、発振回路 1 7 の発振信号 $O S C$ に基づいて周期カウンタ 1 8 におけるカウント動作が正確に実施され、所望のリフレッシュ周期毎にリクエスト信号 $r e q$ がリクエスト発生回路 1 9 から出力される。そして、そのリクエスト信号 $r e q$ をトリガーとしてリフレッシュ制御回路 1 4 においてセルフリフレッシュのための制御が実施される。これにより、メイン回路 1 5 の $D R A M$ コア 1 5 a におけるメモリセルがリフレッシュされる。

【 0 0 4 7 】

なお、 $O S C$ 制御回路 1 6 と発振回路 1 7 は、図 5 に示す回路にも適用できる。また、図 6 には、周期カウンタ 1 8 とリクエスト発生回路 1 9 の代表的な回路を開示する。

【 0 0 4 8 】

続されている。これらNMOSトランジスタはカレントミラー回路を構成している。

【0054】

また、各PMOSトランジスタTP1nの共通ゲートノードVPは、オシレータ電流制限回路11cにおいて抵抗R12に接続され、抵抗R12の他端は抵抗R13に接続されるとともに、NMOSトランジスタT15のドレインに接続されている。そして、抵抗R13の他端とNMOSトランジスタT15のドレインは共に、オシレータ部11bの各NMOSトランジスタTN1nの共通ゲートノードVNに接続されている。

【0055】

上記記述したように、上記実施形態によれば、下記の効果を奏する。

(1) パワーダウン制御回路12においてNapモードのエントリ信号napeが生成されてセルフリフレッシュ制御回路11の発振回路17に入力される。このエントリ信号napeの入力により、発振回路17における発振動作が停止され、該発振回路17の発振動作に伴う消費電流を低減できる。

10

【0056】

(2) 通常待機モードからNapモードへのエントリ時及びNapモードから通常待機モードへの復帰時においても、異常な信号幅の発振信号OSCが出力されることが防止されるので、リフレッシュ動作を的確に実施することができる。

【0057】

(第2実施形態)

次に、本発明における第2実施形態を図7及び図8を用いて説明する。本実施形態のDRAM31において、セルフリフレッシュ制御回路32以外の構成は前記第1実施形態と同様であり、以下には第1実施形態との相違点を中心に説明する。

20

【0058】

図7に示すように、本実施形態のセルフリフレッシュ制御回路32には、レベル検出回路33が追加されている。また、セルフリフレッシュ制御回路32におけるOSC制御回路34及び発振回路35の構成が前記第1実施形態と異なる。

【0059】

詳しくは、OSC制御回路34において、電源、グランド間にPMOSトランジスタTP5、PMOSトランジスタTP1及び抵抗R1が直列に接続されている。PMOSトランジスタTP5のゲート端子はパワーダウン制御回路12に接続され、同ゲート端子にはエントリ信号napeが入力される。また、PMOSトランジスタTP1のゲート端子とドレイン端子とが接続されており、同ドレイン端子から発振周波数制御信号VRが出力される。

30

【0060】

レベル検出回路33は、インバータ回路36、37、PMOSトランジスタTP6及びNMOSトランジスタTN1を備え、発振周波数制御信号VRが所定電圧に達したこと検出して検出信号monを活性化する。

【0061】

詳しくは、レベル検出回路33において、電源とグランド間にPMOSトランジスタTP6とNMOSトランジスタTN1とが直列に接続されており、NMOSトランジスタTN1のゲート端子に、発振周波数制御信号VRが入力される。また、PMOSトランジスタTP6のゲート端子はグランドに接地されている。PMOSトランジスタTP6とNMOSトランジスタTN1とにより論理反転回路が構成され、PMOSトランジスタTP6とNMOSトランジスタTN1との接続部が論理反転回路の出力端子となる。その出力端子には、直列接続された2つのインバータ回路36、37が接続され、それらインバータ回路36、37を介して検出信号monが発振回路35に出力される。

40

【0062】

PMOSトランジスタTP6とNMOSトランジスタTN1とからなる論理反転回路のしきい値電圧は、PMOSトランジスタTP6のコンダクタンスとNMOSトランジスタTN1のコンダクタンスとのバランスにより設定される。具体的には、発振回路35が所定

50

周波数で発振動作を行うための発振周波数制御信号V Rの電圧値に対して論理反転するようにしきい値電圧が設定されている。つまり、OSC制御回路34の起動時には、発振周波数制御信号V Rは接地電圧から所定周波数に応じた所定電圧に上昇していくので、その所定電圧に至るまでの一定の電圧値がしきい値電圧として設定されている。これにより、発振周波数制御信号V Rの電圧値に対して確実に論理反転させて検出信号monを活性化させることができる。また、PMOSTランジスタTP6とNMOSTランジスタTN1とからなる論理反転回路の出力は、2段のインバータ回路36, 37により波形整形、駆動能力の確保、及び論理の整合等を行った上で検出信号monとして発振回路35に出力される。

【0063】

発振回路35は、インバータ回路21, 22とノア回路25とPMOSTランジスタTP2~TP4, TP7とNMOSTランジスタTN2とを備える。発振回路35において、2つのインバータ回路21, 22と1つのノア回路25とがループ状に接続されている。インバータ回路21, 22及びノア回路25の電源端子は、PMOSTランジスタTP2~TP4を介して電源に接続されている。PMOSTランジスタTP2~TP4のゲート端子には発振周波数制御信号V Rが入力され、同制御信号V Rに応じた制御電流がトランジスタTP2~TP4を介して各回路21, 22, 25に供給される。

【0064】

また、パワーダウン制御回路12はノア回路25に直接接続されている。ノア回路25にエン트리信号napeが入力され、同信号napeにより発振回路35における発振動作が制御される。つまり、上記第1実施形態では、ノア回路26の出力信号enが発振動作を制御する制御信号となるのに対し、本実施形態では、エン트리信号napeが発振動作を制御する制御信号となっている。具体的には、Napモード時にエン트리信号napeがHレベルとなると、ノア回路25の出力はLレベルとなるため、発振回路35における発振動作が停止される。一方、エン트리信号napeがLレベルとなる発振許可状態では、ノア回路25は論理反転回路として機能してリングオシレータが構成され、発振回路35で発振動作が行われる。

【0065】

ノア回路25はPMOSTランジスタTP7を介して周期カウンタ18に接続されている。さらに、トランジスタTP7と周期カウンタ18間はNMOSTランジスタTN2を介してグラウンドに接続されている。PMOSTランジスタTP7及びNMOSTランジスタTN2の各ゲート端子はレベル検出回路33に接続され、各ゲート端子にはレベル検出回路33の検出信号monが入力される。検出信号monがLレベルである場合、PMOSTランジスタTP7がオンし、NMOSTランジスタTN2がオフするため、ノア回路25の出力がPMOSTランジスタTP7を介して発振信号OSCとして周期カウンタ18に出力される。検出信号monがHレベルである場合、PMOSTランジスタTP7がオフし、NMOSTランジスタTN2がオンするため、発振信号OSCは周期カウンタ18へ出力されない。つまり、本実施形態において、発振回路35の出力段に設けられるPMOSTランジスタTP7は、発振信号OSCの出力を許可・禁止するためのスイッチ回路として機能する。

【0066】

図8は、発振回路35の動作波形図である。図8において、エン트리信号nape、ノア回路25の出力信号n1、発振信号OSC、発振周波数制御信号V R、検出信号monの各信号が示されている。

【0067】

すなわち、時刻t1以前の通常待機時(Standby時)には、OSC制御回路34は、Lレベルのエン트리信号napeによりPMOSTランジスタTP5がオンして電源が供給されるため、所定電圧の発振周波数制御信号V Rを出力している。このとき、レベル検出回路33の検出信号monはLレベルとなるためPMOSTランジスタTP7はオンする。また、ノア回路25は、Lレベルのエン트리信号napeが入力されることにより

10

20

30

40

50

論理反転回路として機能する。よって、インバータ回路 21, 22 及びノア回路 25 がリングオシレータとして動作するため、ノア回路 25 の出力信号 n1 が PMOS トランジスタ TP7 を介して発振信号 OSC として出力される。

【0068】

Nap モードにエントリする時刻 t1 において、パワーダウン制御回路 12 から H レベルのエントリ信号 nape が入力されると、ノア回路 25 の出力信号 n1 は L レベルになり、発振回路 35 の発振動作が停止される。また、OSC 制御回路 34 における PMOS トランジスタ TP5 がオフすることで電源の供給が遮断され、OSC 制御回路 34 が停止される。よって、発振周波数制御信号 VR の電圧値が徐々に低下して接地電圧 Vss となる。また、発振周波数制御信号 VR の電圧値の低下に伴い、検出信号 mon は H レベルになる。これにより、PMOS トランジスタ TP7 がオフし、NMOS トランジスタ TN2 がオンする。

10

【0069】

その後、Nap モードを終了させる時刻 t2 において、パワーダウン制御回路 12 から L レベルのエントリ信号 nape が入力されると、インバータ回路 21, 22 及びノア回路 25 からなるリングオシレータは発振動作を再開する。またこのとき、OSC 制御回路 34 において、PMOS トランジスタ TP5 がオンして電源が供給されるため、発振周波数制御信号 VR の電圧値が徐々に上昇していく。時刻 t2 の直後 (図 8 の期間 X1) では、発振周波数制御信号 VR が所定電圧よりも低いため、ノア回路の出力信号 n1 の発振周波数はリフレッシュ周期に応じた通常の発振周波数よりも速くなっている。

20

【0070】

レベル検出回路 33 は、発振周波数制御信号 VR が所定電圧 (発振周波数が正常となる電圧値) になるまで H レベルの検出信号を出力する。これにより、発振周波数制御信号 VR の電圧値が上昇している過渡期間 X1 では、発振信号 OSC の出力が禁止される。

【0071】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) エントリ信号 nape により発振回路 35 の発振動作が停止される。また、OSC 制御回路 34 の電源経路に PMOS トランジスタ TP5 が設けられ、エントリ信号 nape により該トランジスタ TP5 がオフされて発振周波数制御信号 VR の出力が停止される。このようにすれば、セルフリフレッシュ制御回路 32 の消費電流をより低減することができる。

30

【0072】

(2) レベル検出回路 33 の検出結果である検出信号 mon により、発振周波数制御信号 VR で設定される所望の周波数で発振動作を行わせることができる。具体的には、OSC 制御回路 34 の活性化後、発振周波数制御信号 VR の電圧値が安定しない過渡期間 X1 において、不安定な発振動作を防止することができる。

【0073】

(3) 発振回路 35 において、周期カウンタ 18 との間となる位置にスイッチ回路としての PMOS トランジスタ TP7 が設けられ、レベル検出回路 33 の検出信号 mon により PMOS トランジスタ TP7 が制御される。この場合、過渡期間 X1 において、リフレッシュ周期に応じた所定の発振周期と異なる発振信号 OSC の出力を確実に防止することができる。

40

【0074】

(第 3 実施形態)

次に、本発明における第 3 実施形態を図 9 及び図 10 を用いて説明する。以下には第 1 実施形態との相違点を中心に説明する。

【0075】

図 9 に示すように、本実施形態の DRAM 41 のセルフリフレッシュ制御回路 42 には、プリセット部 43 が追加されている。また、セルフリフレッシュ制御回路 42 における OSC 制御回路 44 及び発振回路 45 の構成が前記第 1 実施形態と異なる。

50

【 0 0 7 6 】

詳しくは、OSC制御回路44において、電源、グランド間にPMOSトランジスタTP5、PMOSトランジスタTP1、抵抗R1、及びNMOSトランジスタTN3が直列に接続されている。PMOSトランジスタTP5のゲート端子はパワーダウン制御回路12に接続され、同ゲート端子にはエントリ信号napeが入力される。また、パワーダウン制御回路12とNMOSトランジスタTN3のゲート端子とはインバータ回路46を介して接続され、同ゲート端子にはエントリ信号napeに対して論理反転された信号が入力される。

【 0 0 7 7 】

発振回路45において、2つのインバータ回路21, 22と1つのノア回路25とがループ状に接続されている。インバータ回路21, 22及びノア回路25の電源端子は、PMOSトランジスタTP2~TP4を介して電源に接続されている。PMOSトランジスタTP2~TP4のゲート端子には発振周波数制御信号VRが入力され、同制御信号VRに応じた制御電流がトランジスタTP2~TP4を介して各回路21, 22, 25に供給される。

10

【 0 0 7 8 】

また、パワーダウン制御回路12はノア回路25に接続されている。ノア回路にはエントリ信号napeが入力され、同信号napeにより発振回路45における発振動作が制御される。具体的には、Napモード時にエントリ信号napeがHレベルとなると、ノア回路25の出力はLレベルになるため、発振回路45における発振動作が停止される。一方、エントリ信号napeがLレベルとなる発振許可状態では、ノア回路25は論理反転回路として機能してリングオシレータが構成されるため、発振回路45で発振動作が行われる。

20

【 0 0 7 9 】

プリセット部43は、PMOSトランジスタとNMOSトランジスタとのソース端子間およびドレイン端子間を各々接続してなるトランスファゲート48と、NMOSトランジスタのゲート端子とPMOSトランジスタのゲート端子との間に設けられるインバータ回路49とを含む。トランスファゲート48のNMOSトランジスタのゲート端子にはパワーダウン制御回路12からのエントリ信号napeが直接入力され、PMOSトランジスタのゲート端子にはインバータ回路49を介して論理反転されて入力される。従って、トランスファゲート48は、Hレベルのエントリ信号napeに应答してオンし、Lレベルのエントリ信号napeに应答してオフする。

30

【 0 0 8 0 】

プリセット部43は、内部電源発生回路13に接続され、制御信号VRを伝達するためにOSC制御回路44と発振回路とを結ぶ制御線に接続されている。トランスファゲート48がオンしている間、内部電源発生回路13にて生成された制御信号VR2がOSC制御回路44の出力に伝達される。一方、トランスファゲート48がオフすると制御信号VR2の伝達が遮断される。

【 0 0 8 1 】

内部電源発生回路13は、発振器13aと、電圧生成回路13bとを備える。電圧生成回路13bは発振器13aの発振信号に基づいて負電位や昇圧電位等の電源電圧を生成する。発振器13aは、例えば電流制御型発振器であり、制御信号VR2を出力するOSC制御回路と同制御信号VR2に応じた発振信号を出力する発振回路とにより構成されている。

40

【 0 0 8 2 】

発振器13aは、Napモード時においても活性化しており、制御信号VR2を生成し、制御信号VR2に応じた発振信号を電圧生成回路13bに出力する。発振器13aにて生成される制御信号VR2がセルフリフレッシュ制御回路42に入力されており、同セルフリフレッシュ制御回路42においてプリセット部43を介して発振回路45に供給される。なお、制御信号VR2は、セルフリフレッシュ制御回路42のOSC制御回路44で生

50

成される発振周波数制御信号V Rとほぼ等しい電圧値である。

【0083】

なお、内部電源発生回路13は、Napモード時においても活性化している、例えばメイン回路15やコア15a内の各種イコライズ電圧を供給する電圧生成回路13bであってもよい。具体的には、ビット線のイコライズ電圧やデータバスのイコライズ電圧や、情報1/0を差動増幅器などで判定する判定基準電位などがある。また、コア15aに低電圧を供給する電圧生成回路13bであってもよい。具体的には、メモリセルプレートの電圧などがある。

【0084】

DRAM41のスリープモード時において、パワーダウン制御回路12からHレベルのエントリ信号sleep eが内部電源発生回路13に入力されると、内部電源発生回路13は非活性となる。つまり、エントリ信号sleep eがスイッチ回路250, 251に供給されると、スイッチ回路250, 252がオフされ、発振器13a及び電圧生成回路13bへの電源ラインが切断され、各電源電圧の発生が停止される。

10

【0085】

図10は、発振回路45の動作波形図である。図10において、エントリ信号nape、発振信号OSC、発振周波数制御信号V Rの各信号が示されている。すなわち、時刻t1以前の通常待機時(S t a n d b y時)には、OSC制御回路34は、Lレベルのエントリ信号napeにより、PMOSTランジスタTP5及びNMOSTランジスタTN3がオンして電源が供給されるため、所定電圧の発振周波数制御信号V Rを出力している。発振回路45は、発振周波数制御信号V Rに応じて発振動作を行い所定周波数の発振信号OSCを出力する。なおこのとき、Lレベルのエントリ信号napeによりプリセット部43のトランスファゲート48はオフしており、内部電源発生回路13からの制御信号V R2はプリセット部43にて遮断される。

20

【0086】

Napモードにエントリする時刻t1において、パワーダウン制御回路12からHレベルのエントリ信号napeが出力されると、ノア回路25の出力はLレベルになり、発振回路45の発振動作が停止される。また、OSC制御回路44において、電源経路に設けられたPMOSTランジスタTP5とNMOSTランジスタTN3とがオフすることで電源の供給が遮断され、発振周波数制御信号V Rの出力は停止される。このとき、Hレベルのエントリ信号napeによりプリセット部43のトランスファゲート48がオンするため、内部電源発生回路13の制御信号V R2がOSC制御回路44の出力に供給される。従って、エントリ信号napeがHレベルであるNap期間において、発振回路45に入力される発振周波数制御信号V Rは、制御信号V R2の電圧値に維持されることとなる。

30

【0087】

Napモードを終了させる時刻t2において、パワーダウン制御回路12からLレベルのエントリ信号napeが出力されると、内部電源発生回路13からの制御信号V R2はトランスファゲート48にて遮断され、再びOSC制御回路44が活性化されて所定電圧の発振周波数制御信号V Rが生成される。またこのとき、発振回路45は、Lレベルのエントリ信号napeによりノア回路25が論理反転回路として機能して発振動作を再開する。ここで、OSC制御回路44で生成される発振周波数制御信号V Rと内部電源発生回路13で生成される制御信号V R2は、ほぼ等しい電圧レベルであるので、時刻t2の直後において発振周波数制御信号V Rが所定電圧に落ち着くまでの期間でも、発振周期が通常状態と大きく変わることが防止される。つまり、発振信号OSCにおいて、時刻t2直後の信号幅TH2は、通常動作時の信号幅TH1とほぼ等しくなる。

40

【0088】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) エントリ信号napeにより、発振回路45の発振動作が停止され、OSC制御回路44での発振周波数制御信号V Rの出力が停止されるので、セルフリフレッシュ制御回路42の消費電流をより低減することができる。

50

【 0 0 8 9 】

(2) エントリ信号 n_{ape} の入力によりプリセット部 4 3 が導通することで、内部電源発生回路 1 3 で生成される所定電圧の制御信号 V_{R2} が OSC 制御回路 4 4 の出力に供給される。この制御信号 V_{R2} を、セルフリフレッシュ制御回路 4 2 の発振周波数制御信号 V_R の電圧値とほぼ等しくすることにより、通常待機モードへの復帰後、発振周波数制御信号 V_R が所定電圧に落ち着くまでの期間において、発振周期が通常状態と大きく変わることを防止できる。

【 0 0 9 0 】

上記実施の形態は、次に示すように変更することもできる。

・上記第 1 ~ 第 3 実施形態では、OSC 制御回路 1 6 , 3 4 , 4 4 と発振回路 1 7 , 3 5 , 4 5 とを備え、OSC 制御回路 1 6 , 3 4 , 4 4 により発振回路 1 7 , 3 5 , 4 5 の駆動電流を制御する定電流制御型の発振器に具体化していたが、定電圧制御型の発振器に具体化してもよい。

10

【 0 0 9 1 】

図 1 1 は、定電圧制御型の発振器の具体例を示す回路図である。同定電圧制御型発振器においては、OSC 制御回路 5 1 により発振回路 4 5 の駆動電圧が制御されて発振周波数が設定される。OSC 制御回路 5 1 は、抵抗素子列 5 2 とバッファ回路 5 3 とを備え、抵抗素子列 5 2 の所定位置の電圧をバッファ回路 5 3 で駆動能力を付加した上で、駆動電源としての発振周波数制御信号 V_R を発振回路 4 5 に供給している。OSC 制御回路 5 1 の抵抗素子列 5 2 及びバッファ回路 5 3 には、NMOS トランジスタ T_{N4} , T_{N5} が、各々、抵抗素子列 5 2 及びバッファ回路 5 3 の電流経路に設けられている。NMOS トランジスタ T_{N4} , T_{N5} のゲート端子には、Nap モードのエントリ信号 n_{ape} がインバータ回路 5 4 を介して論理反転されて入力される。従って、通常待機時においてエントリ信号 n_{ape} が L レベルである場合、NMOS トランジスタ T_{N4} がオンして電流経路が導通されるため、発振周波数制御信号 V_R が発振回路 4 5 に供給されて発振動作が行われる。一方、Nap モード時においてエントリ信号 n_{ape} が H レベルである場合、NMOS トランジスタ T_{N4} , T_{N5} がオフして電流経路が遮断されるため、OSC 制御回路 5 1 から発振回路 4 5 への駆動電源の供給が遮断される。また、H レベルのエントリ信号 n_{ape} により、発振回路 4 5 を構成するノア回路 2 5 の出力が L レベルとなり発振動作が停止する。

20

30

【 0 0 9 2 】

この電圧制御型発振器において、上記第 3 実施形態と同様にプリセット部 4 3 を備える。これにより、第 3 実施形態と同様の作用・効果を奏することができる。

【 0 0 9 3 】

・上記第 2 実施形態の発振回路 3 5 では、該発振回路 3 5 と周期カウンタ 1 8 との間に PMOS トランジスタ T_{P7} を設け、レベル検出回路 3 3 の検出信号 m_{on} で PMOS トランジスタ T_{P7} を制御することで、不安定な発振信号 OSC の出力を防止するものであったが、これに限定されるものではない。

【 0 0 9 4 】

すなわち、レベル検出回路 3 3 の検出信号 m_{on} を、発振回路を構成する複数の論理ゲートのうちのいずれかの論理ゲートに入力し該論理ゲートを制御することで、不安定な発振信号 OSC の出力を防止するものであればよい。

40

【 0 0 9 5 】

図 1 2 には、別例のセルフリフレッシュ制御回路 5 5 の回路図を示している。同セルフリフレッシュ制御回路 5 5 は、OSC 制御回路 3 4、発振回路 5 6、レベル検出回路 3 3、周期カウンタ 1 8、及びリクエスト発生回路 1 9 を備える。なお、OSC 制御回路 3 4、レベル検出回路 3 3、周期カウンタ 1 8、及びリクエスト発生回路 1 9 は上記第 2 実施形態と同一構成であり、発振回路 5 6 の構成が異なる。

【 0 0 9 6 】

すなわち、発振回路 5 6 は、リングオシレータを構成するインバータ回路 2 1 , 2 2 及び

50

ノア回路 25 に加えて、インバータ回路 57 及びノア回路 58 を備える。ノア回路 58 の一方の入力にエントリ信号 $nape$ が入力され、ノア回路 58 の他方の入力にレベル検出回路 33 の検出信号 mon が入力されている。

【0097】

通常待機時においてエントリ信号 $nape$ が L レベルである場合、OSC 制御回路 34 に電源が供給されて所定電圧の発振周波数制御信号 VR が出力される。このとき、レベル検出回路 33 から L レベルの検出信号 mon が出力される。そのため、ノア回路 58 の出力が H レベルとなり、インバータ回路 57 を介して L レベルの信号がノア回路 58 に入力される、この場合、ノア回路 58 は論理反転回路として機能するため、インバータ回路 21, 22 及びノア回路 25 がリングオシレータとして動作する。その動作に伴う発振信号 OSC が発振回路 56 から周期カウンタ 18 に出力される。

10

【0098】

一方、Nap モード時においてエントリ信号 $nape$ が H レベルである場合、ノア回路 58 の出力が L レベルとなり、インバータ回路 57 を介して H レベルの信号がノア回路 25 に入力されると、発振信号 OSC の出力が停止される。またこのとき、OSC 制御回路 34 の電源が遮断されて発振周波数制御信号 VR は接地電圧 Vss まで低下していく。ここで、発振周波数制御信号 VR が所定電圧以下になるとレベル検出回路 33 から H レベルの検出信号 mon が出力される。

【0099】

そして、Nap モードから通常モードへの復帰時には、L レベルのエントリ信号 $nape$ により、OSC 制御回路 34 に電源が供給されて発振周波数制御信号 VR は所定電圧まで上昇していく。発振周波数制御信号 VR が安定しない過渡期間においてレベル検出回路 33 の検出信号 mon は H レベルに維持され、該検出信号 mon により、発振信号 OSC の出力が停止される。その後、発振周波数制御信号 VR が所定電圧に達したときに検出信号 mon が L レベルになり、発振信号 OSC の出力が再開される。

20

【0100】

このようにしても、発振周波数制御信号 VR が安定しない過渡期間にいても、不安定な発振動作をすることがなく、安定した発振周波数の発振信号 OSC を出力することができる。

【0101】

・上記各実施形態では、発振回路 17, 35, 45, 56 を用いたが、これらの回路構成に限定されるものではない。つまり、発振回路は、複数の論理ゲートを用い、いずれかの論理ゲートにエントリ信号 $nape$ を入力することにより、該発振回路の発振動作を停止するよう構成するものであればよい。

30

【0102】

以上の様々な実施の形態をまとめると、以下のようになる。

(付記 1) 内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止するパワーダウンモードを備えた半導体記憶装置であって、

前記パワーダウンモードのエントリ信号を生成するパワーダウン制御回路と、

発振回路を有し、該発振回路の発振信号に基づいて前記リフレッシュの要求信号を生成するセルフリフレッシュ制御回路と

40

を備え、前記発振回路は、前記パワーダウン制御回路から入力されるエントリ信号に基づいて発振動作を停止することを特徴とする半導体記憶装置。

(付記 2) 前記セルフリフレッシュ制御回路は、前記発振回路に加えて、前記発振信号の周波数を制御するための発振周波数制御信号を生成する OSC 制御回路を備え、

前記 OSC 制御回路は、その電源経路にトランジスタが設けられ、前記パワーダウン制御回路から入力されるエントリ信号に基づいて前記トランジスタがオフすることで前記発振周波数制御信号の出力を停止することを特徴とする付記 1 に記載の半導体記憶装置。

(付記 3) 前記 OSC 制御回路は、定電流もしくは定電圧を発生させる回路であり、該 OSC 制御回路と前記発振回路とにより、定電流制御型もしくは定電圧制御型発振器を構成

50

するものであることを特徴とする付記 2 に記載の半導体記憶装置。

(付記 4) 発振器を有し、該発振器の発振信号により前記内部電源を発生する内部電源発生回路を備え、

前記パワーダウン制御回路は、前記内部電源を非活性にする第 1 パワーダウンモードのエントリ信号と、前記内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止する第 2 パワーダウンモードのエントリ信号を生成し、

前記内部電源発生回路における発振器に前記第 1 パワーダウンモードのエントリ信号を入力し、前記セルフリフレッシュ制御回路における発振回路に前記第 2 パワーダウンモードのエントリ信号を入力するようにしたことを特徴とする付記 1 に記載の半導体記憶装置。

(付記 5) 前記セルフリフレッシュ制御回路は、前記発振回路及び O S C 制御回路に加えて、前記発振周波数制御信号の電圧レベルを検出するレベル検出回路を備え、該レベル検出回路は、その検出結果に応じて前記発振回路を制御するための検出信号を出力することを特徴とする付記 2 に記載の半導体記憶装置。

(付記 6) 前記セルフリフレッシュ制御回路は、

前記リフレッシュの周期を判定すべく、前記発振回路の発振信号を取り込みカウントする周期カウンタと、

前記発振回路と前記カウンタとの間に設けられ、前記レベル検出回路の検出信号により制御されるスイッチ回路と

を備えたことを特徴とする付記 5 に記載の半導体記憶装置。

(付記 7) 前記レベル検出回路の検出信号は、前記発振回路を構成する複数の論理ゲートのうちのいずれかに入力されることを特徴とする付記 5 に記載の半導体記憶装置。

(付記 8) 前記検出信号が入力される論理ゲートに、前記パワーダウン制御回路からのエントリ信号が入力されることを特徴とする付記 7 に記載の半導体記憶装置。

(付記 9) 前記セルフリフレッシュ制御回路は、前記発振回路及び O S C 制御回路に加えて、プリセット部を備え、該プリセット部は、前記パワーダウンモードにて活性化される内部電源と前記 O S C 制御回路との間に設けられ、前記エントリ信号の入力により導通して所定電圧の制御信号を前記 O S C 制御回路の出力に供給することを特徴とする付記 2 に記載の半導体記憶装置。

(付記 10) 前記発振回路を構成する複数の論理ゲートのうちのいずれかに、前記パワーダウン制御回路にて生成されたエントリ信号が入力されることを特徴とする付記 8 に記載の半導体記憶装置。

(付記 11) 内部電源を活性化しつつ、記憶保持のためのリフレッシュを停止するパワーダウンモードを備えた半導体記憶装置の制御方法において、

前記リフレッシュを定期的を実施する通常モードから前記パワーダウンモードにエントリするステップと、

前記パワーダウンモードにエントリした場合、前記内部電源を発生する内部電源発生回路を活性化させた状態で、前記リフレッシュの要求信号を生成するためのセルフリフレッシュ制御回路の発振動作を停止させることによりメモリセルへのリフレッシュ動作を停止するステップと、

前記パワーダウンモードから前記通常モードにエントリするステップと、

前記通常モードにエントリした場合、前記セルフリフレッシュ制御回路の発振動作を行うことで該制御回路を活性化することによりメモリセルへのリフレッシュ動作を再開するステップと

を備えたことを特徴とする半導体記憶装置の制御方法。

(付記 12) 前記リフレッシュ動作を停止するステップでは、前記内部電源発生回路における発振器の発振動作により内部電源を発生することを特徴とする付記 11 に記載の半導体記憶装置の制御方法。

(付記 13) 前記リフレッシュ動作を停止するステップでは、前記セルフリフレッシュ制御回路における発振回路の発振動作を停止することを特徴とする付記 11 に記載の半導体記憶装置の制御方法。

10

20

30

40

50

(付記 1 4)前記リフレッシュ動作を停止するステップでは、前記発振回路の発振周波数を制御するOSC制御回路を停止することを特徴とする付記 1 1に記載の半導体記憶装置の制御方法。

(付記 1 5)前記OSC制御回路から出力される発振周波数制御信号の電圧レベルを検出して、その検出結果に応じて発振回路を制御するステップを備えることを特徴とする付記 1 4に記載の半導体記憶装置の制御方法。

(付記 1 6)前記セルフリフレッシュ制御回路は、発振回路と、該発振回路の発振周波数を制御するためのOSC制御回路とを備えるものであり、前記リフレッシュ動作を停止するステップにて、前記内部電源発生回路にて生成した所定電圧の制御信号をOSC制御回路の出力に供給するようにしたことを特徴とする付記 1 1

10

【0103】

【発明の効果】

以上詳述したように、本発明によれば、内部電源を活性化しつつ記憶保持のためのリフレッシュを停止するパワーダウンモードでの消費電流を低減することができる。また、通常モードにおけるリフレッシュ動作を的確に行うことができる。

【図面の簡単な説明】

【図 1】 第 1 実施形態の原理説明図である。

【図 2】 第 1 実施形態の動作波形図である。

【図 3】 第 1 実施形態の具体的構成を示す回路図である。

20

【図 4】 第 1 実施形態の発振回路の動作波形図である。

【図 5】 OSC制御回路と発振回路の別の回路図である。

【図 6】 周期カウンタとリクエスト発生回路の代表的な回路図である。

【図 7】 第 2 実施形態の具体的構成を示す回路図である。

【図 8】 第 2 実施形態の発振回路の動作波形図である。

【図 9】 第 3 実施形態の具体的構成を示す回路図である。

【図 1 0】 第 3 実施形態の発振回路の動作波形図である。

【図 1 1】 電圧制御型発振回路の具体例を示す回路図である。

【図 1 2】 別例のセルフリフレッシュ制御回路を示す回路図である。

【図 1 3】 従来のDRAMの概略構成図である。

30

【図 1 4】 従来のDRAMの動作波形図である。

【図 1 5】 Napモードを説明する説明図である。

【図 1 6】 スリープモードを説明する説明図である。

【図 1 7】 消費電流の内訳を示す説明図である。

【図 1 8】 パワーダウンモードからの復帰時間の説明図である。

【符号の説明】

1 0 , 3 1 , 4 1 半導体記憶装置としてのDRAM

1 1 , 3 2 , 4 2 , 5 5 セルフリフレッシュ制御回路

1 2 パワーダウン制御回路

1 3 内部電源発生回路

40

1 3 a 発振器

1 6 , 3 4 , 4 4 , 5 1 OSC制御回路

1 7 , 3 5 , 4 5 , 5 6 発振回路

1 8 周期カウンタ

3 3 レベル検出回路

4 3 プリセット部

mon 検出信号

nape 第 2 パワーダウンモードのエントリ信号

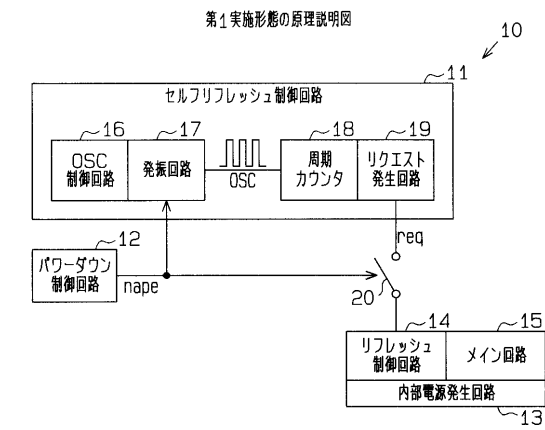
sleepe 第 1 パワーダウンモードのエントリ信号

VR 発振周波数制御信号

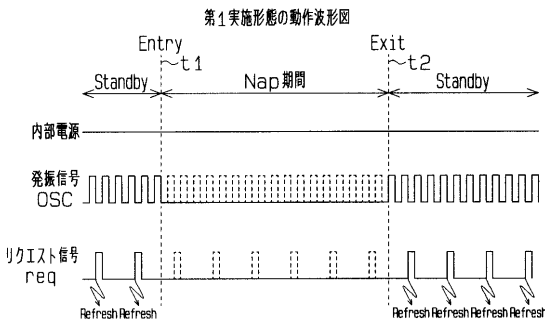
50

VR 2 制御信号

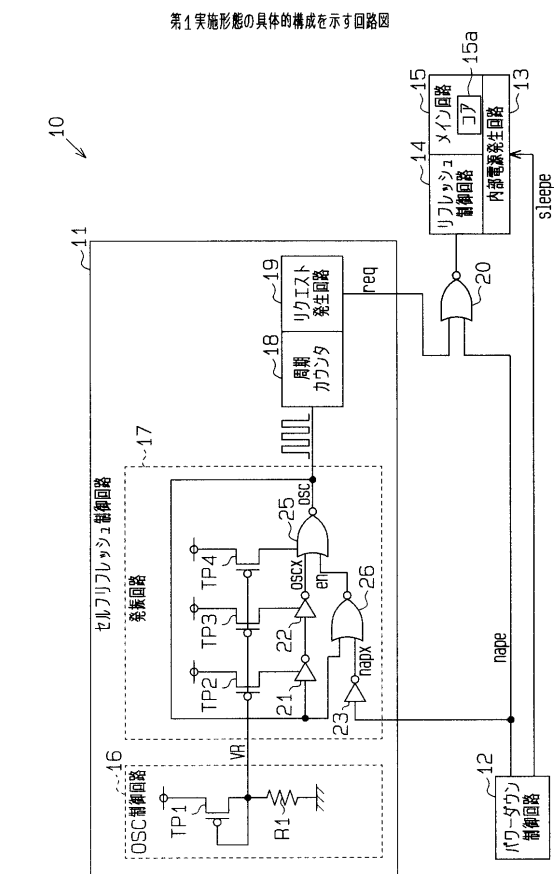
【図1】



【図2】

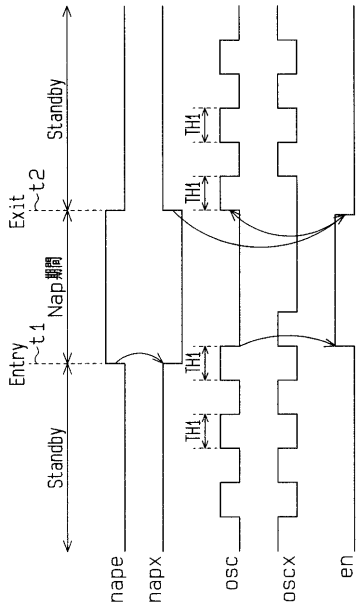


【図3】



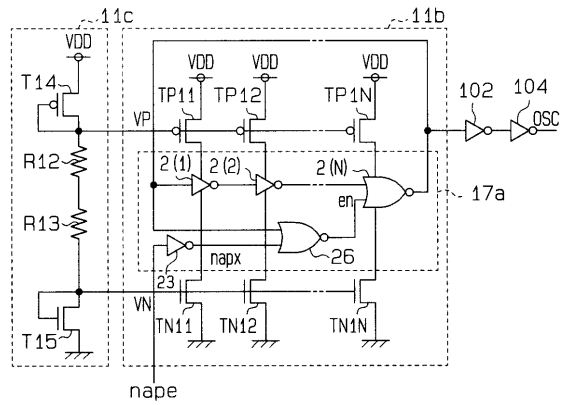
【図4】

第1実施形態の発振回路の動作波形図



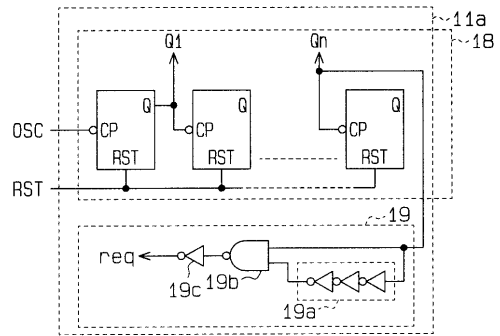
【図5】

OSC制御回路と発振回路とを示す別の回路図



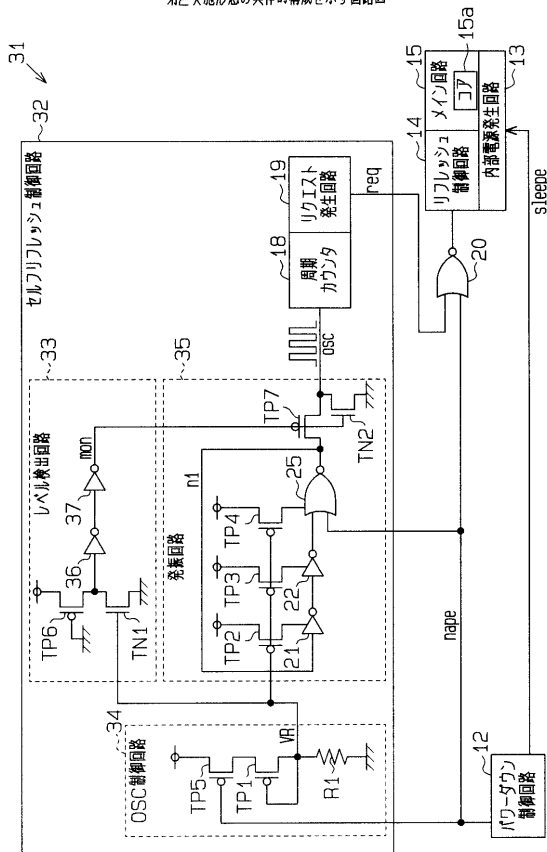
【図6】

周期カウンタとリクエスト発生回路の代表的な回路図



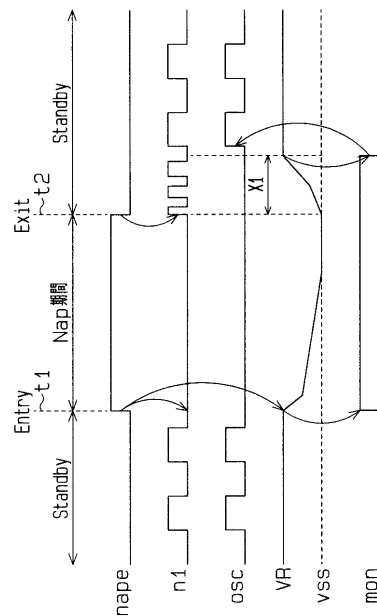
【図7】

第2実施形態の具体的構成を示す回路図

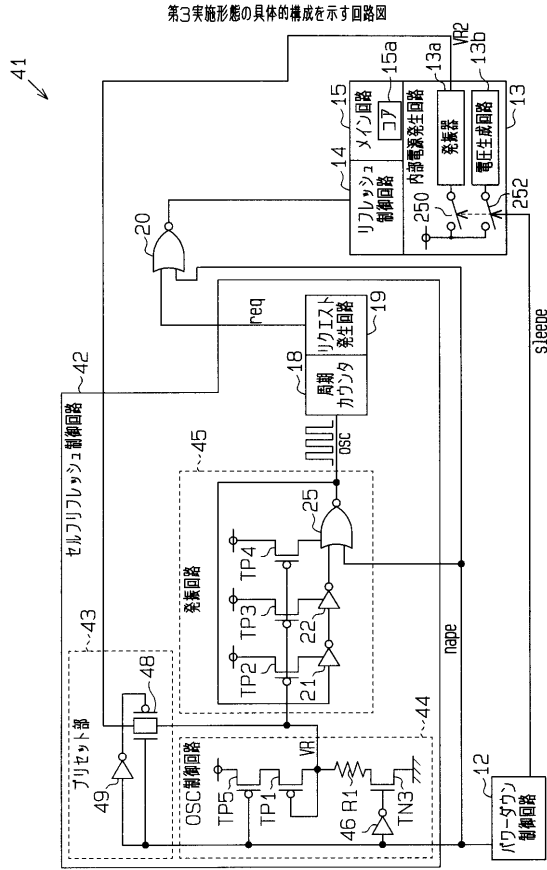


【図8】

第2実施形態の発振回路の動作波形図

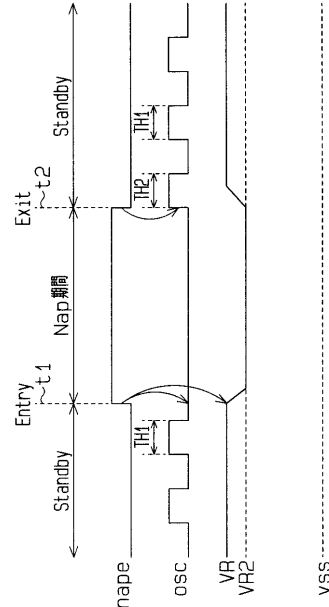


【図9】



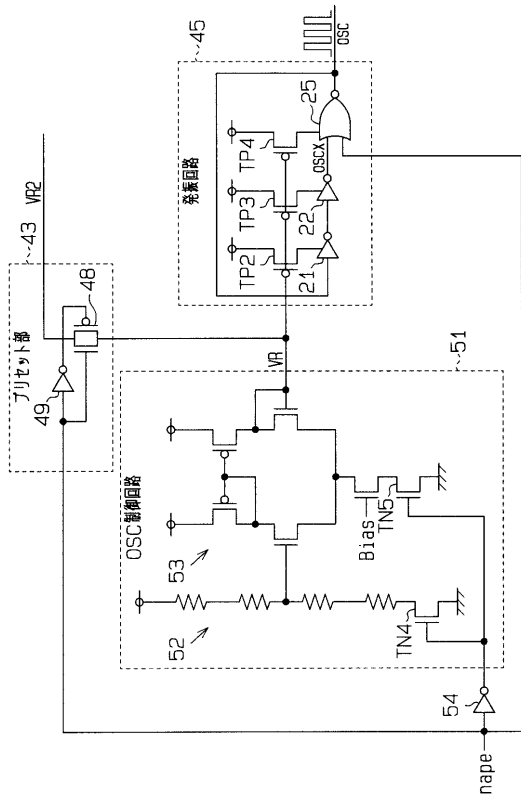
【図10】

第3実施形態の発振回路の動作波形図



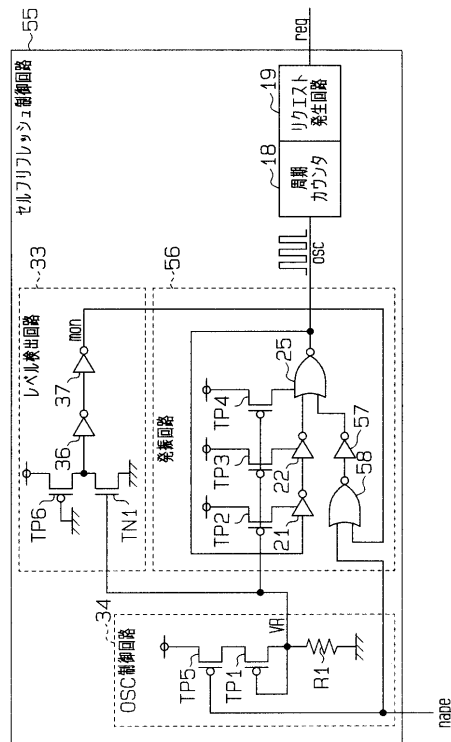
【図11】

電圧制御型発振回路の具体例を示す回路図



【図12】

別例のセルリフレッシュ制御回路を示す回路図



フロントページの続き

(56)参考文献 特開2002-124082(JP,A)
特開2002-170383(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/40-11/409

H03K 3/00