[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 29/737
H01L 21/331

[12] 发明专利说明书

专利号 ZL 01801372.4

[45] 授权公告日 2005 年 10 月 19 日

[11] 授权公告号 CN 1224109C

[22] 申请日 2001.5.23 [21] 申请号 01801372.4
[30] 优先权
[32] 2000.5.23 [33] JP [31] 151044/00
[86] 国际申请 PCT/JP2001/004344 2001.5.23
[87] 国际公布 WO2001/091162 日 2001.11.29
[85] 进入国家阶段日期 2002.1.22
[71] 专利权人 松下电器产业株式会社
地址 日本大阪府
[72] 发明人 浅井明 大西照人 高木刚
审查员 白 燕

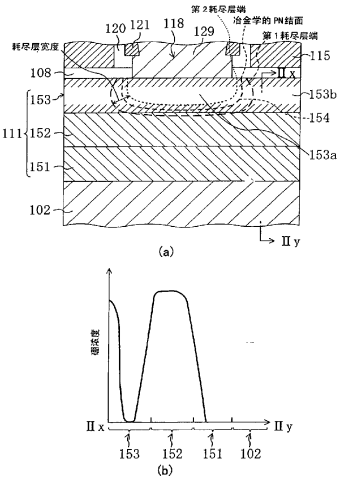
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

权利要求书 4 页 说明书 19 页 附图 13 页

[54] 发明名称 双极晶体管及其制造方法

[57] 摘要

本发明提供一种新型双极晶体管及其制造方法。在 Si 衬底的集电极层 102 上，顺序外延生长 SiGe 衬垫层 151、含硼的倾斜 SiGe 基极层 152 和 Si 盖层 153。在 Si 盖层 153 上形成具有基极开口部 118 的第 2 堆积氧化膜 112 和填埋基极开口部并构成发射极引出电极的 P^+ 多晶硅层 115，在 Si 盖层 153 上扩散磷形成发射极扩散层 153a。在生长 Si 盖层 153 时、由于采用 in－situ 掺杂、仅仅在 Si 盖层 153 的上部含有硼，因而减少了耗尽层 154 的宽度、减少了复合电流、提高了电流特性的线性度。



ISSN1008-4274

1.（修改）一种双极晶体管，它具备：第 1 半导体层、第 2 半导体层、第 3 半导体层、绝缘膜、开口部和发射极引出电极；

所述第 1 半导体层设在衬底上、含有第 1 导电型杂质、构成集电极层，

所述第 2 半导体层设在所述第 1 半导体层上、含有第 2 导电型杂质、构成基极层，

所述第 3 半导体层设在所述第 2 半导体层上、由与所述第 2 半导体层禁带宽度不同的材料组成，

所述绝缘膜设置在所述第 3 半导体层上，开口部设置在所述绝缘膜上并到达所述第 3 半导体层，

发射极引出电极由导体材料构成、填埋所述绝缘膜开口部并与所述第 3 半导体层接触；

所述第 3 半导体层具有位于所述开口部下方的第 1 导电型发射极扩散层和位于该发射极扩散层侧方区域的周边层，

所述周边层包含第 2 导电型杂质，

包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

2．根据权利要求 1 所述的双极晶体管、其特征在于：

所述绝缘膜由掺杂有第 2 导电型杂质的氧化硅膜构成，

所述第 3 半导体层上部中至少一部分上包含的第 2 导电型杂质是从所述绝缘膜扩散获得的。

3.（修改）根据权利要求 1 所述的双极晶体管、其特征在于：

该双极晶体管还具备多晶硅膜，它与位于所述第 3 半导体层中所述绝缘膜外方的部分相连接、而且、它设置得延伸到所述绝缘膜上、掺杂有第 2 导电型杂质、起到基极引出电极的功能。

至少在所述第 3 半导体层上部的一部分上含有的第 2 导电型杂质是从所述多晶硅膜通过所述绝缘膜扩散而得到的。

4.（修改）根据权利要求 1 所述双极晶体管，其特征在于：

所述第 3 半导体层的发射极扩散层中的第 1 导电型杂质是从所述发射极引出电极扩散得到的。

5.（修改）根据权利要求 1 所述双极晶体管，其特征在于：

所述衬底是硅衬底，

所述第 1 半导体层是 Si 层，

所述第 2 半导体层是 SiGe 层或者 SiGeC 层，

所述第 3 半导体层是 Si 层。

6.（修改）一种双极晶体管的制造方法，它包含以下工程：

(a)在第 1 半导体层上形成第 2 半导体层的工程，第 1 半导体层设在衬底上、含第 1 导电型杂质、构成集电极层，第 2 半导体层含第 2 导电型杂质、构成基极层；

(b)在所述第 2 半导体层上用外延生长法形成第 3 半导体层的工程，第 3 半导体层由与所述第 2 半导体层禁带宽度不同的材料构成、至少在它的上部含有第 2 导电型杂质；

(c)在所述工程(b)后、在衬底上堆积绝缘膜的工程；

(d)在所述绝缘膜上形成到达所述第 3 半导体层开口部的工程；

(e)在所述第 3 半导体层中位于所述开口部下方的区域内，导入第 1 导电型杂质、形成发射极扩散层的工程，

通过所述工程（c）之后的处理，在所述第 3 半导体层中所述发射极扩散层的侧方掺杂第 2 导电型杂质，而形成周边层，

包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

7.（修改）一种双极晶体管的制造方法，其特征在于：

它包含以下工程：

(a)在第 1 半导体层上形成第 2 半导体层的工程，第 1 半导体层设在衬底上、包含第 1 导电型杂质、构成集电极层，第 2 半导体层含第 2 导电型杂质、构成基极层；

(b)在所述第 2 半导体层上用外延生长法形成第 3 半导体层的工程，

第 3 半导体层由与所述第 2 半导体层禁带宽度不同的材料组成；

(c)在所述工程(b)后、在衬底上堆积含第 2 导电型杂质绝缘膜的工程；

(d)在所述绝缘膜上形成到达所述第 3 半导体层开口部的工程；

(e)在所述第 3 半导体层中位于所述开口部下方的区域内、导入第 1 导电型杂质形成发射极扩散层的工程；

由所述工程(c)后的处理，从所述绝缘膜在所述第 3 半导体层的上部掺杂第 2 导电型杂质，在所述发射极扩散层的侧方形成周边层，

包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

8.（修改）一种双极晶体管的制造方法，其特征在于：

它包含以下工程：

(a)在第 1 半导体层上形成第 2 半导体层的工程，第 1 半导体层设在衬底上、包含第 1 导电型杂质、构成集电极层，第 2 半导体层含第 2 导电型杂质、构成基极层；

(b)在所述第 2 半导体层上用外延生长法形成第 3 半体导体层的工程，第 3 半导体层由与所述第 2 半导体层禁带宽度不同的材料组成；

(c)在所述工程(b)后、在衬底上堆积绝缘膜的工程；

(d)在衬底上堆积含第 2 导电型杂质导体膜后、在该导体膜上形成达到所述绝缘膜的开口部的工程；

(e)形成覆盖所述第 1 导体膜开口部的侧面、由绝缘材料组成的侧壁的工程；

(f)在所述工程(e)后、在所述绝缘膜上形成到达所述第 3 半导体层的开口部的工程；

(g)在所述第 3 半导体层中位于所述开口部下方的区域内导入第 1 导电型杂质、形成发射极扩散层的工程；

由所述工程(d)后的处理、通过所述绝缘膜从所述导电膜在所述第 3 半导体层的上部掺杂第 2 导电型杂质，在所述发射极扩散层的侧方形成周边层，

包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高

浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

9．根据权利要求 8 所述的双极晶体管制造方法，其特征在于：

该方法还包括在所述工程(f)后、所述工程(g)前，在衬底上堆积与所述导体膜不同的导体膜后、将该不同的导体膜图形化、形成填埋所述绝缘膜开口部并延伸到所述绝缘膜上、含第 1 导电型杂质的发射极引出电极的工程。

双极晶体管及其制造方法

技术领域

本发明涉及异质结双极晶体管及其制造方法，特别涉及提高电流特性线性度的对策。

背景技术

近年来、由于在硅衬底上形成的双极晶体管中包含了 Si/SiGe、Si/SiC 等的异质结构造，具有更优秀传导特性、能够实现在更高频率范围内工作的异质结双极晶体管（HBT）的开发急速进展。这种 HBT 是在硅衬底上外延生长 SiGe 层、利用这种 Si/SiGe 异质结构造能够实现在迄今为止只有用 GaAs 等化合物半导体衬底的晶体管才能工作的高频领域内工作的晶体管。这种 HBT 由于采用 Si 衬底、SiGe 层这种与通用硅工艺亲和性好的材料，具有高集成度、低成本等突出优点。特别是由于 HBT 与 MOS 晶体管（MOSFET）能够集成化形成在同一硅衬底上、也能够构成高性能的 BiCMOS 器件，这种 BiCMOS 器件作为系统 LSI 有望能够利用于通信领域。

图 10 是显示现有 HBT 结构的剖面图。如该图所示、在以（001）面为主面的 Si 衬底 500 的上部，用外延生长法、离子注入法等方法导入深 1μm 含磷等 N 型杂质的反向阱（Retrograde well）501。并设置氧化硅埋入浅沟 503 和由未掺杂多晶硅膜 505 及包围着它的氧化硅膜 506 组成的深沟 504 作为元件隔离。各沟 503、504 的深度分别是 0.35μm、2μm 左右。

在 Si 衬底 500 内被沟槽 503 夹持的区域上设有集电极层 502，在 Si 衬底 500 内由浅沟 503 与集电极层 502 隔离的区域内设有 N+集电极引出层 507、以通过反向阱 501 与集电极层 502 的电极接触。

在 Si 衬底 500 上设置有厚约 30nm 的第一堆积氧化膜 508、它具有

集电极开口部 510，在 Si 衬底 500 上面内暴露于集电极开口部 510 的部分上设有 $Si/Si_{1-x}Ge_x$ 叠层 511、$Si_{1-x}Ge_x$ 层厚约 60nm 掺 P 型杂质、Si 膜厚约 10nm。而且、在 $Si/Si_{1-x}Ge_x$ 层 511 的中央部分（后面将叙述的基极开口部 518 的下方区域）的下部将起到内部基极 519 的功能。$Si/Si_{1-x}Ge_x$ 层 511 中央部的上部起到发射极层的功能。

在 $Si/Si_{1-x}Ge_x$ 层 511 和第一堆积氧化膜 508 上设置有厚约 30nm 的腐蚀停止用第二堆积氧化膜 512，在第二堆积氧化膜 512 上、形成基极连接用开口部 514 及基极开口部 518。而且、设有填埋基极连接用开口部 514 并延伸到第二堆积氧化膜 512 上的厚约 150nm P+多晶硅层 515 和第三堆积氧化膜 517。由所述 $Si/Si_{1-x}Ge_x$ 层 511 内除基极开口部 518 的下方区域以外的部分和 P+多晶硅层 515 构成外部基极 516。

还有，在 P+多晶硅层 515 及第三堆积氧化膜 517 内、位置在第二堆积氧化膜 512 的基极开口部 518 上方的部分被开口、在 P+多晶硅层 515 的侧面上形成厚约 30nm 的第四堆积氧化膜 520，进一步在第四堆积氧化膜 520 上设有由厚约 100nm 多晶硅组成的侧壁 521。而且设有填埋基极开口部 518 并延伸到第三堆积氧化膜 517 上的 N+多晶硅层 529、该 N+多晶硅层 529 起到发射极引出电极的功能。所述第四堆积氧化膜 520 使 P+多晶硅层 515 和 N+多晶硅层 529 电气绝缘的同时、也阻止从 P+多晶硅层 515 向 N+多晶硅层 529 的杂质扩散。还有、由第三堆积氧化膜 517 使 P+多晶硅层 515 的上面与 N+多晶硅层 529 绝缘。

进一步、在集电极引出层 507、P+多晶硅层 515 及 N+多晶硅层 529 的表面上分别形成 Ti 硅化物层 524，N+多晶硅层 529 和 P+多晶硅层 515 的外侧面由侧壁 523 覆盖。还有、衬底全体被层间绝缘膜 525 覆盖，贯通间绝缘膜 525 分别形成到达 N+集电极引出层 507、P+多晶硅层 515 和 N+多晶硅层 529 上的 Ti 硅化物层 524 的连接孔，P+多晶硅层 515 是外部基极的一部分、N+多晶硅层 529 上的 Ti 硅化物层 524 是发射极引出电极。而且、设置有填埋各接触孔的 W 针型接点 526 和与各 W 针型接点 526 连接的、延伸到层间绝缘膜 525 上的金属布线 527。

发明内容

但是，在所述现有的 HBT 或 SiGe-BiCMOS 中存在以下的缺点。

图 11（a）显示现有 HBT 中的基极电流、集电极电流对基极·发射极电压的依赖关系即所谓的 Gummel 特性。在该图中横轴表示基极·发射极电压(V)、纵轴表示基极电流或者集电极电流（A）（对数值）。如该图所示,在基极·发射极电压低的区域内集电极电流特性线和基极电流特性线的平行关系失效、基极电流过剩。也就是说、在 HBT 低偏压区域有电流特性线性度恶化这样的缺点。

究其原因、其一是在第二堆积氧化膜 112 正下方的 Si 层区域上产生过剩的复合电流。而且、考虑产生过剩复合电流的原因可能是因为在 Si 层 PN 结处产生的耗尽层的形状不好造成的。

图 12（a）、（b）示出将现有的 HBT 发射极·基极结区放大的剖视图以及沿发射极·基极结区剖面硼的浓度分布图。如图 12(a)所示、$Si/Si_{1-x}Ge_x$ 层 511 顺序叠层设置有 SiGe 衬垫层（Spacer Layer）551、P 型倾斜 SiGe 基极层（Base Layer）552、未掺杂的 Si 盖层（Cap Layer）553，SiGe 衬垫层 551 是 Ge 含量为 15%的未掺杂 SiGe，SiGe 基极层 552 是下端 Ge 含量为 15%上端为 0 中间几乎连续变化、同时含有高浓度硼的 P 型倾斜 SiGe 基极层。而且、Si 盖层 553 中基极开口部 518 的正下方与 N^+多晶硅层 529（发射极引出电极）连接的区域内、由 N^+多晶硅层 529 高浓度磷扩散形成 N 型发射极扩散层 553a。Si 盖层 553 中包围发射极扩散层 553a 的周边层 553b（特别是它的下部）区内含有从倾斜 SiGe 层 552 扩散来的硼、周边层 553b 成为 P 型。因此、在 Si 盖层 553 中发射极扩散层 553a 和周边层 553b 之间存在 PN 结，耗尽层 554 在该 PN 结部的冶金学 PN 结面的两侧扩展。这时、耗尽层 554 中位于 Si 盖层 553 上部的部分宽度扩大。其结果是由于在耗尽层 554 内复合载流子产生的复合电流增大、就产生了图 11（a）所示的电流特性线性度恶化。

设 PN 结面积为 S、耗尽层宽度为 W、复合几率为 U、电子电荷为 q，根据 S.M.Sze: “physics of semiconductor devices” , John wiley & sons,Inc.,1981,pp.89-94 复合电流 I rec 由下式表示：

$$I\,rec = \int q \cdot U \cdot dx \quad (x = 0 \sim W)$$

这里、复合几率 U 由耗尽层中含有的深能级的密度、能级深度、俘

获截面积等参数决定。该式表明从耗尽层一方的耗尽层端（图 12（a）所示的第一耗尽层端）到另一方的耗尽层端（图 12（a）所示的第二耗尽层端）中间存在的深杂质能级成为复合中心，耗尽层的宽度（从第一耗尽层端到第二耗尽层端的距离）越宽、复合电流就越多。

就是说、如图 12（a）所示，在所述现有的双极晶体管中、由于在 PN 结区存在的耗尽层 554 中在 Si 盖层 553 的上部存在的部分特别扩大，因而复合电流 I rec 就增大。

本发明的目的是：基于上述考察、改善 HBT 中 Si 盖层中的杂质浓度分布、从而提供电流特性线性度良好的双极晶体管及其制造方法。

本发明中，为了以减低耗尽层宽度的办法减少复合电流 I rec 采用了以下措施。

本发明的双极晶体管具备第 1 半导体层、第 2 半导体层、第 3 半导体层、绝缘膜、开口部和发射极引出电极；所述第 1 半导体层设在衬底上、含有第 1 导电型杂质、构成集电极层，所述第 2 半导体层设在所述第 1 半导体层上、含有第 2 导电型杂质、构成基极层，所述第 3 半导体层设在所述第 2 半导体层上、由与所述第 2 半导体层禁带宽度不同的材料组成，所述绝缘膜设置在所述第 3 半导体层上，开口部设置在所述绝缘膜上并到达所述第 3 半导体层，发射极引出电极由导体材料构成、填埋所述绝缘膜开口部并与所述第 3 半导体层接触；所述第 3 半导体层具有位于所述开口部下方的第 1 导电型发射极扩散层和位于该发射极扩散层侧方区域的周边层，所述周边层包含第 2 导电型杂质，包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

由此、因为在第 3 半导体层的上部、在含高浓度第 1 导电型杂质的发射极扩散层与含高浓度第 2 导电型杂质的第 3 半导体层之间形成了 PN 结，在 PN 结处形成的耗尽层的宽度变窄、载流子在耗尽层内复合的量就减少。复合电流减少的结果就改善了异质结双极晶体管电流特性的线性度。

所述绝缘膜由掺杂第 2 导电型杂质的氧化硅膜构成、至少在所述第 3 半导体层上部的一部分上含有从所述绝缘膜扩散的第 2 导电型杂质。

该双极晶体管还具备多晶硅膜，它与位于所述第 3 半导体层中所述绝缘膜外方的部分相连接、而且、它设置得延伸到所述绝缘膜上、掺杂有第 2 导电型杂质、起到基极引出电极的功能。从所述多晶硅膜通过所述绝缘膜能够将第 2 导电型杂质扩散到所述第 3 半导体层上部的至少一

部分上。

由于所述第 3 半导体层的发射极扩散层中的第 1 导电型杂质是从所述发射极引出电极扩散得到的、就能够利用第 3 半导体层内导电类型的反转获得发射极扩散层。

由于所述的衬底采用 Si 衬底、所述第 1 半导体层用 Si 层、所述第 2 半导体层用 SiGe 或 SiGeC 层、所述第 3 半导体层用 Si 层，这样、都用 Si 工艺形成，能够容易的得到 SiGe—HBT。

本发明的第 1 双极晶体管包含如下工程：(a)在第 1 半导体层上形成第 2 半导体层的工程，第 1 半导体层设在衬底上、含第 1 导电型杂质、构成集电极层，第 2 半导体层含第 2 导电型杂质、构成基极层。(b)在所述第 2 半导体层上、用外延生长法形成第 3 半导体层的工程，第 3 半导体层由与第 2 半导体层禁带宽度不同的材料组成、至少在它的上部含有第 2 导电型杂质。(c)在所述工程(b)后、在衬底上堆积绝缘膜的工程。(d)在所述绝缘膜上形成到达所述第 3 半导体层的开口部的工程。(e)在所述第 3 半导体层中位于所述开口部下方的区域上导入第 1 导电型杂质、形成发射极扩散层的工程，通过所述工程（c）之后的处理，在所述第 3 半导体层中所述发射极扩散层的侧方掺杂第 2 导电型杂质，而形成周边层，包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

采用这种方法、在第 3 半导体层内利用 in—Situ 掺杂能够高精度控制在第 3 半导体层上部掺杂的第 2 导电型杂质的浓度。

本发明的第 2 双极晶体管制造方法包含以下工程：(a)在第 1 半导体层上形成第 2 半导体层的工程，第 1 半导体层设在衬底上、含第 1 导电型杂质、构成集电极层，第 2 半导体层含第 2 导电型杂质、构成基极层。(b)在所述第 2 半导体层上用外延生长法形成第 3 半导体层的工程，第 3 半导体层由与所述第 2 半导体层禁带宽度不同的材料组成。(c)在所述工程(b)后，在衬底上堆积含第 2 导电型杂质绝缘膜的工程。(d)在所述绝缘膜上形成到达所述第 3 半导体层开口部的工程。(e)在所述第 3 半导体层中位于所述开口部下方区域上导入第 1 导电型杂质、形成发射极扩散层的工程。由所述工程(c)后的处理、从所述绝缘膜在所述第 3 半导体层的上部掺杂第 2 导电型杂质，在所述发射极扩散层的侧方形成周边层，包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

采用这种方法、能够用比较简单的工程在第 3 半导体层的上部掺杂第 2 导电型杂质。

本发明的第 3 双极晶体管制造方法、包含以下各工程：(a)在第 1 半导体层上形成第 2 半导体层的工程，第 1 半导体层设在衬底上、含第 1 导电杂质、构成集电极层，第 2 半导体层含第 2 导电杂质、构成基极层。(b)在所述第 2 半导体层上用外延生长法形成第 3 半导体层的工程，第 3 半导体层由与所述第 2 半导体层禁带宽度不同的材料组成。(c)在所述工程(b)后、在衬底上堆积绝缘膜的工程。(d)在衬底上堆积含第 2 导电型杂质的导体膜后、在该导体膜上形成到达所述绝缘膜的开口部的工程。(e)形成覆盖所述第 1 导体膜开口部的、由绝缘材料组成的侧壁的工程。(f)在所述工程(e)后、在所述绝缘膜上形成到达所述第 3 半导体层的开口部的工程。(g)在所述第 3 半导体层中位于所述开口部下方的区域内导入第 1 导电型杂质、形成发射极扩散层的工程。由所述工程(d)后的处理、通过所述绝缘膜从所述导体膜在所述第 3 半导体层的上部掺杂第 2 导电型杂质，在所述发射极扩散层的侧方形成周边层，包含在所述周边层的第 2 导电型杂质，以在所述周边层的上部为高浓度、在所述周边层的中央部为低浓度、在所述周边层的下部为高浓度的方式分布在所述周边层的内部。

采用这种方法、因为第 3 半导体层的上部中能够仅仅在除构成发射极扩散层的区域外的区域上掺杂第 2 导电型杂质，因而能够与发射极扩散层的第 1 导电型杂质的浓度分开、自由的设定第 2 导电型杂质的浓度。

在所述工程(f)后所述工程(g)前、进一步包含在衬底上堆积与所述导体膜不同的另一种导体膜后，将该另外的导体膜图形化形成填埋所述绝缘膜开口部并延伸到所述绝缘膜上的含第 1 导电型杂质的发射极引出电极的工程，由此、利用双多晶硅工程也能够形成 HBT。

附图的简要说明

图 1 是显示本发明的基本的 SiGe—HBT 结构的剖面图。

图 2(a)、(b)是显示将图 1 中发射极·基极结区部放大的剖面图以及沿发射极·基极结区附近剖面硼的浓度分布图。

图 3(a)、(b)是显示第 1 实施方式的半导体装置制造工程中、在集电极开口部上形成 $Si/Si_{1-X}Ge_X$ 层工程的剖面图。

图 4(a)、(b)是显示第 1 实施方式的半导体装置制造工程中，在 P^+ 多晶硅层中形成基极开口部工程的剖面图。

图 5(a)、(b)是显示第 1 实施方式的半导体装置制造工程中，在基极开口部形成 N^+多晶硅层工程的剖面图。

图 6(a)、(b)是显示第 1 实施方式的半导体装置制造工程中，将 P^+多晶硅的端部图形化工程的剖面图。

图 7(a)、(b)是第 1 实施方式的半导体装置制造工程中的图，它是在图 3(b)所示工程中、将发射极·基极结区的构造放大显示的部分剖面图、以及沿它的剖面硼的浓度分布图。

图 8(a)、(b)是第 2 实施方式的半导体装置制造工程中的图，它是在图 4(a)所示工程中、将发射极·基极结区的构造放大显示的部分剖面图、以及沿它的剖面硼的浓度分布图。

图 9(a)、(b)是第 3 实施方式的半导体装置制造工程中的图，它是在图 4(a)所示工程中、将发射极·基极结区的构造放大显示的部分剖面图、以及沿它的剖面硼浓度的分布图。

图 10 是显示现有 HBT 构造的剖面图。

图 11(a)、(b)显示现有的双极晶体管和由第 3 实施方式形成的本发明的 HBT 的基极电流、集电极电流对基极·发射极电压的依存性。

图 12(a)、(b)是显示现有 HBT 发射极·基极结区放大的部分剖面图、以及沿发射极·基极结区附近剖面硼的浓度分布。

图 13 是显示作为本发明基本结构变形例的半导体装置的双极晶体管结构的剖面图。

具体实施方式

图 1 是显示本发明基本的 SiGe—HBT 结构的剖面图。

如该图所示、在以（001）面为主面的 Si 衬底 100 的上部用外延生长法、离子注入法等方法导入磷等 N 型杂质，构成深 1μm 的含 N 型杂质的反向阱 101。Si 衬底 100 表面附近区域内 N 型杂质的浓度调整在 1×10^{17}atoms·cm^{-3} 左右。还有、为了元件隔离设置了由氧化硅填埋的浅沟 103 和由未掺杂多晶硅膜 105 及包围它的氧化硅膜 106 构成的深沟 104。沟槽 103、104 的深度分别是 0.35μm、2μm 左右。

在 Si 衬底 100 内被沟槽 103 挟持的区域内设有集电极层 102，在 Si

衬底 100 中由浅沟 103 而与集电极层 102 隔离的区域内设置有 N^+集电极引出层 107、N^+集电极引出层通过反向阱 101 与集电极层 102 的电极接触。

还有、在 Si 衬底 100 上设有厚约 30nm 的第 1 堆积氧化膜 108、第 1 堆积氧化膜 108 具有集电极开口部 110，在 Si 衬底 100 的上面暴露在集电极开口部 110 的部分上、设有由掺杂 P 型杂质厚约 80nmSi_{1-X} Ge_X 层和厚约 40nm 的 Si 膜叠层生长形成的 $Si/Si_{1-X}Ge_X$ 层 111。该 $Si/Si_{1-X}Ge_X$ 层 111 由选择生长形成、它仅形成在 Si 衬底 100 中暴露在集电极开口部 110 的部分上。而且、Si/Si_{1-X} Ge_X 层 111 的中央部（后面将叙述的基极开口部 118 的下方区域)的下部起到内部基极 119 的功能。还有、$Si/Si_{1-X}Ge_X$ 层 111 中央部的上部起到发射极层的功能。Si/Si_{1-X} Ge_X 层 111 的详细结构将在后面叙述。还有、在 Si/Si_{1-X} Ge_X 层 111 及反向阱 101 的表面部上由硼的离子注入形成外部基极注入区 Rii，作为外部基极注入区域 Rii 的一部分在反向阱 101 的表面部上形成浓度 $3\times10^{17}atoms\cdot cm^{-3}$ 左右的结漏电防止层 113。

在 Si/Si_{1-X} Ge_X 层 111 及第 1 堆积氧化膜 108 上设有厚约 30nm 的腐蚀停止用第 2 堆积氧化膜 112，在第 2 堆积氧化膜 112 上形成基极接合用开口部 114 及基极开口部 118。而且、设有厚约 150nm 的 P^+多晶硅层 115 和第 3 堆积氧化膜 117、P^+多晶硅层 115 填埋基极接合用开口部 114 并延伸到第 2 堆积氧化膜 112 上。由所述 Si/Si_{1-X} Ge_X 层 111 中除基极开口部 118 下方区域外的剩余部分和 P^+多晶硅层 115 构成外部基极 116。

还有、P^+多晶硅层 115 及第 3 堆积氧化膜 117 中位于第 2 堆积氧化膜 112 的基极开口部 118 上方的部分被开口，在 P^+多晶硅的侧面上形成厚约 30nm 的第 4 堆积氧化膜 120，进一步、在第 4 堆积氧化膜 120 上设有由厚约 100nm 多晶硅组成的侧壁 121。而且、设有 N^+多晶硅层 129、它填埋基极开口部 118 并延伸到第 3 堆积氧化膜 117 上，N^+多晶硅层 129 起到发射极引出电极的功能。所述第 4 堆积氧化膜 120 使 P^+多晶硅层 115 和 N^+多晶硅层 129 电气绝缘，与此同时、也阻止从 P^+多晶硅层 115 向 N^+多晶硅层 129 的杂质扩散。还有、第 3 堆积氧化膜 117 使 P^+多晶硅层 115 的上面与 N^+多晶硅层 129 绝缘。进一步、N^+多晶硅层 129 和 P^+多晶

硅层 115 的外侧面由侧壁 123 覆盖。

进一步，在集电极引出层 107、P^+多晶硅层 115 及 N^+多晶硅层 129 的表面上分别形成 Ti 硅化物层 124。

还有、衬底全体被层间绝缘膜 125 覆盖，贯通层间绝缘膜 125 分别形成到达 N^+集电极引出层 107、外部基极一部分的 P^+多晶硅层 115 及发射极引出电极的 N^+多晶硅层 129 上的 Ti 硅化物层 124 上的连接孔。而且、设置有填埋各连接孔的 W 针形接点 126 和与各 W 针形接点 126 连接并延伸到层间绝缘膜 125 上的金属布线 127。

这里，图 2(a)、(b)是将图 1 中的发射极·基极结区部分放大的剖面图、以及沿发射极·基极结附近剖面硼的浓度分布。如图 2(a)所示、$Si/Si_{1-X}Ge_X$ 层 111 顺序叠层设置 Ge 含量 15%、未掺杂的厚约 40nm 的 SiGe 衬垫层 151，下端 Ge 含量 15%、上端为 0 的几乎连续变化的、含浓度为 4×10^{18}atoms·cm^{-3} 硼的、厚度为 40nm 的倾斜 SiGe 基极层 152 和部分掺杂硼的、厚约 40nm 的 Si 盖层 153。而且，在 Si 盖层 153 中与 N^+多晶硅层 129（发射极引出电极）相接的区域上由 N^+多晶硅层 129 高浓度磷的扩散形成 N 型发射极扩散层 153a。在发射极扩散层 153a 上掺杂磷、磷的浓度分布是沿衬底的深度方向从 1×10^{20}atoms·cm^{-3} 到 1×10^{17}atoms·cm^{-3} 左右。

还有，如图 2(b)所示在 Si 盖层 153 的上部掺杂有浓度为 1×10^{18}atoms·cm^{-3} 的硼，在 Si 盖层 153 的下部由于从倾斜 SiGe 基极层 152 的扩散掺杂有浓度约 2×10^{18}atoms·cm^{-3} 的硼。另一方面，在 Si 盖层 153 的中间部分几乎没有掺杂硼。而且、在发射极扩散层 153a 与包围它的周边层 153b 之间形成 PN 结，并在从第 1 耗尽层端到第 2 耗尽层端范围内形成耗尽层 154、耗尽层 154 的第 1 耗尽层端和第 2 耗尽层端之间下挟持着它的冶金学 PN 结面。这时，耗尽层 154 中接近第 2 堆积氧化膜 112 部分的形状与现有 HBT 耗尽层 554（参照图 12(a)）的形状相比向中央一侧偏移。

这样、采用本发明的 SiGe-HBT，如图 2(a)所示、由于在 Si 盖层 153 的上部（第 2 堆积氧化膜 112 正下方向区域）掺杂了高浓度的硼，耗尽层 154 的宽度（从第 1 耗尽层端到第 2 耗尽层端的距离）、特别是在 Si

盖层 153 上部耗尽层的宽度缩小。其结果是在耗尽层 154 内载流子扩散、复合的量减少，复合电流减小。

图 11(b) 示出用后面将叙述的第 3 实施方式形成的本发明的 HBT 的基极电流、集电极电流对基极·发射极电压的依赖关系（Gummel 特性）。在该图中、横轴表示基极·发射电压（V）、纵轴表示基极电流或者集电极电流（A）（对数值）。如该图所示、从低偏压到高偏压很宽的区域内基极电流特性线和集电极电流特性线维持良好的平行关系，它表明得到了线性度良好的 HBT。

因此、采用本发明，如图 2(a)所示、由于在 Si 盖层 153 的上部掺杂了较高浓度的硼，能够抑制耗尽层的扩展。其结果是能够抑制因在耗尽层内载流子复合引起的复合电流，改善（Gummel 特性），因而能够得到线性度良好的 HBT。

还有，由于硼掺杂有可能减少在 Si 盖层 153 上端部与第 2 堆积氧化膜 112 的界面处的界面能级，界面能级的减少也能够对改善 HBT 的线性度做出贡献。在同质 Si 双极晶体管中、进行较高温度下的热处理（例如 900℃）的退火能够容易的减少第 2 堆积氧化膜 112 与 Si 盖层 153 的界面能级，但是，在 SiGe-HBT 中、由于难于进行需要的高温热处理，用硼掺杂实现降低界面能级是一种理想的方法。而且、由于降低了界面能级密度就能减小上式中的复合几率 U，就能更进一步减少复合电流。

此外，我们示出了上述各层厚度的典型值，根据 HBT 的种类和用途能够选用适当的厚度。

下面、就与为实现图 1、图 2(a)所示结构的制造方法相关的各实施方式进行说明。

第 1 实施方式

首先，参照图 3(a)～图 6(b)说明第 1 实施方式中 HBT 制造工程的基本流程。

首先、是图 3(a)所示工程，在（001）面为主面的 Si 衬底 100 的上部一面掺杂 N 型杂质一面外延生长 Si 单晶层，或者在外延生长后进行高能离子注入形成深约 1μm 的 N 型反向阱（retrograde well）101。但是、

也可以不进行外延生长，在 Si 衬底 100 的一部分上进行离子注入形成反向阱 101。这时、由于 Si 衬底 100 表面附近区域将成为 HBT 的集电极层、将其 N 型杂质的浓度预先调整到 $1\times10^{17}atoms\cdot cm^{-3}$ 左右。

其次、为了元件隔离、形成填埋氧化硅的浅沟 103 和深沟 104，深沟 104 由未掺杂多晶硅膜 105 及包围它的氧化硅膜 106 构成。各沟槽 103、104 的深度分别是 0.35μm 和 2μm 左右。在 Si 衬底 100 内被浅沟 103 之间挟持的区域就成为集电极层 102。还有、在 Si 衬底 100 内被浅沟 103 与集电极层 102 隔离的区域内、形成与集电极电极接触的 N^+集电极引出层 107。

然后、采用标准的制造方法，形成 CMOS 器件各 MISFET 基本结构的各栅绝缘膜、栅电极、源、漏区域等，这些过程图中未示出。

再次，是图 3(b)所示工程，用四乙氧基硅烷(TEOS)和氧在 680℃下进行化学气相生长(CVD)、在晶片上形成厚约 30nm 的第 1 堆积氧化膜 108，然后、用氟酸等的湿法腐蚀在第 1 堆积氧化膜 108 上形成宽度比有源区宽的集电极开口部 110。也就是说、由于形成的集电极开口部 110 包含了浅沟 103 和 Si 衬底 100 表面部的边界、集电极开口部 110 的宽度比有源区的宽度要宽。集电极开口部 110 的宽度自身与现有 HBT 的大体相同，但是由于两浅沟 103 间隔比现有 HBT 的窄，其结果是集电极开口部 110 的宽度就比有源区的宽度宽。

再次、用氨水和过氧化氢水的混合液处理 Si 衬底 100 暴露在集电极开口部 110 中的部分，在这部分上形成厚约 1nm 的保护氧化膜，以这种状态将晶片放入 UHV-CVD 装置的腔室内。而且在放入后在氢气氛中进行热处理去除保护氧化膜，然后、在 550℃的温度下，适当利用含乙硅烷（Si_2H_6）、锗烷（GeH_4）、掺杂用的乙硼烷（B_2H_6）等的气体，用后面叙述的各实施方式的方法在 Si 衬底 100 暴露在集电极开口部 110 部分的表面上、外延生长厚约 80nm 的 $Si_{1-X}Ge_X$ 层。而且在形成 $Si_{1-X}Ge_X$ 层后、在连续供给腔室内的气体中停止供给锗烷，加之适当利用乙硼烷、在 Si 衬底 100 内在 $Si_{1-X}Ge_X$ 层上外延生长厚约 40nm 的 Si 层，由 $Si_{1-X}Ge_X$ 层和 Si 层形成 Si/ $Si_{1-X}Ge_X$ 层 111。

再次、是图 4(a)所示的工程，在晶片上形成膜厚 30nm 的第 2 堆积

氧化膜 112 构成腐蚀停止膜，然后、用设在第 2 堆积氧化膜 112 上的抗蚀剂掩膜 Rel 对第 2 堆积氧化膜 112 进行干法刻蚀使之图形化，形成基极接合用开口部 114。这时、Si/ Si_{1-X} Ge_X 层 111 的中央部被第 2 堆积氧化膜覆盖，在基极接合用开口部 114 处 Si/ Si_{1-X} Ge_X 层 111 的周边部和第 1 堆积氧化膜 108 的一部分暴露出来。其次、用在形成基极接合用开口部 114 时用过的抗蚀剂掩膜 Rel 进行硼(B)等 P 型杂质的离子注入形成跨越 Si/ Si_{1-X} Ge_X 层 111 及反向阱 101 表面部分的外部基极注入区 Rii。这时、作为外部基极注入区域 Rii 的一部分，在反向阱 101 的表面部上形成了浓度为 3×10^{17}atoms·cm^{-3} 的结漏电防止层 113。

再次，是图 4(b)所示的工程，用 CVD 法在晶片上堆积 1×10^{20} atoms·cm^{-3} 以上高浓度掺杂、厚约 150nm 的 P^+多晶硅层 115，接着、堆积厚约 100nm 的第 3 堆积氧化膜 117。其次，用干法刻蚀法将第 3 堆积氧化膜 117 和 P^+多晶硅层 115 图形化，在第 3 堆积氧化膜 117 和 P^+多晶硅层 115 的中央部上形成到达第 2 堆积氧化膜 112 的基极开口部 118。该基极开口部 118 比第 2 堆积氧化膜 112 的中央部小、基极开口部 118 不跨过基极接合用开口部 114。由该工程形成由 P^+多晶硅层 115 和 Si/Si_{1-X} Ge_X 层 111 除中央部外的其余部分构成的外部基极 116。

再次、是图 5(a)所示的工程，用 CVD 方法在晶片整个面上堆积厚约 30nm 的堆积氧化膜和厚约 150nm 的多晶硅膜。而且、用各向异性干法刻蚀将堆积氧化膜及多晶硅膜腐蚀，在 P^+多晶硅层 115 及第 3 堆积氧化膜 117 的侧面上形成侧壁 121、侧壁 121 由挟持着第 4 堆积氧化膜 120 的多晶硅组成。其次、用氟酸等进行湿法腐蚀，除去第 2 堆积氧化膜 112 及第 4 堆积氧化膜 120 中暴露的部分。这时、在基极开口部 118 中、Si/Si_{1-X} Ge_X 层 111 上部的 Si 层暴露出来。还有、由于湿法腐蚀是各向同性腐蚀、第 2 堆积氧化膜 112 及第 4 堆积氧化膜 120 横向也被腐蚀，基极开口部 118 的尺寸就扩大了。也就是说、由这时湿法腐蚀的量决定基极开口的宽度。在该湿法腐蚀时、即使在第 1 堆积氧化膜 108 上付着有 SiGe 小岛 111，由于 Si 衬底 100 中 N^+集电极引出层 107 等被 P^+多晶硅层 115 等覆盖、Si 衬底 1 0 0 的表面并不暴露出来。

再次、是图 5 (b)所示的工程，堆积厚约 250nm 的 N^+多晶硅层 129

后、用干法刻蚀法将 N^+多晶硅层 129 图形化、形成发射极引出电极。这时、因为 P^+多晶硅层 115 的外侧未被图形化，在侧方上未形成由多晶硅组成的侧壁。还有、由于 N^+集电极引出层 107 等的表面没有因 N^+多晶硅 129 的过腐蚀而被腐蚀，所以在 Si 衬底 100 的表面上也没形成凹凸。

再次、是图 6(a)所示工程，用干法刻蚀将第 3 堆积氧化膜 117、P^+多晶硅层 115 及第 2 堆积氧化膜 112 图形化，从而决定外部基极 116 的形状。

再次、是图 6(b)所示的工程，在晶片上形成厚约 120nm 的堆积氧化膜后、进行干法刻蚀，在 N^+多晶硅层 129 和 P^+多晶硅层 115 的侧面上形成侧壁 123。由这时的干法刻蚀（过腐蚀）将第 1 堆积氧化膜 108 暴露出的部分除去，使 N^+多晶硅层 129、P^+多晶硅层 115 及 N^+集电极引出层 107 的表面暴露出来。

进一步、为得到图 1 所示的结构，进行以下的处理。首先、用溅射法在晶片整个面上堆积厚约 40nm 的 Ti 膜，进行 675℃、30 秒的 RTA（快速退火），由此在 N^+多晶硅层 129、P^+多晶硅层 115 及 N^+集电极引出层 107 暴露部分的表面上形成 Ti 硅化物层 124。然后、选择性的仅仅除去 Ti 膜未反应部分后，进行退火使 Ti 硅化物层 124 的晶体结构发生变化。

再次、在晶片整个面上形成层间绝缘膜 125，贯通层间绝缘膜 125 形成到达 N^+多晶硅层 129、P^+多晶硅层 115 及 N^+集电极引出层 107 上的 Ti 硅化物层 124 的连接孔。而且、用 W 膜填埋各连接孔内形成 W 针形接点 126 后，在晶片整个面上堆积铝合金膜，将铝合金膜图形化，形成与各 W 针形接点 126 连接并延伸到层间绝缘膜 125 上的金属布线 127。

由以上工程、就形成了具有图 1 所示结构的 HBT，就是说、形成了具有由 N 型 Si 组成的集电极、由 P^+型 Si_{1-X} Ge_X 组成的基极和由 N^+型 Si 组成的发射极的 HBT。此外、Si/Si_{1-X} Ge_X 层 111 中的 Si 层由于从 N^+多晶硅层 129 的高浓度 N 型杂质（磷等）的扩散变成为 N^+型 Si 层。

再次、参照图 7(a)、(b)就本实施方式中具有特点的 Si/Si_{1-X} Ge_X 层 111 的形成工程作一说明。图 7(a)、(b)是将所述制造工程中图 3(b)所示工程的发射极·基极结区的结构放大的部分剖面图、以及沿其剖面硼的浓度分布图。

首先，用氨水和过氧化氢水的混合液处理 Si 衬底 100 暴露在集电极开口部中的部分，在这部分上形成厚约 1nm 左右的保护氧化膜，在这种状态下将晶片送入 UHV-CVD 装置的腔室内。而且、在将晶片送入腔室内后、在真空气氛下将晶片在 850℃下加热 2 分钟，去除保护性氧化膜。其次、在腔室内使晶片温度降到 550℃，乙硅烷（Si_2H_6）和锗烷（GeH_4）的流量分别为 0.02 l/min 和 0.03 l/min、压力为 0.067Pa，在这种状态下维持 2 分 40 秒，在晶片上形成厚约 40nm 的未掺杂 SiGe 衬垫层 151。这时、SiGe 衬垫层 151 的生长速度约为 15nm/min。

接着、继续维持腔室内的温度、压力以及乙硅烷（Si_2H_6）的流量、将浓度 5%的氢稀释乙硼烷（B_2H_6）以流量 4sccm 导入腔室内。而且在 4 分钟内使锗烷（GeH_4）的流量从 0.03 l/min 连续变化到 0 l/min、外延生长厚度约 40nm 的倾斜 SiGe 基极层 152、混晶 Si_{1-X} Ge_X 中的 Ge 含量 X 从 15%变到 0%。这时，倾斜 SiGe 基极层 152 的平均生长速度是 10nm/min、硼的浓度约为 4×10^{18}atoms·cm^{-3}。

再次、维持腔室内的温度、压力及乙硅烷（Si_2H_6）的流量不变、不流通锗烷（GeH_4）、停止氢稀释乙硼烷（B_2H_6）的供给，在这种状态下维持 15 分钟，外延生长厚约 30nm 的未掺杂 Si 层 161。这时、未掺杂 Si 层 161 的生长速度约为 2nm/min。

然后、再一次以流量 0.001 l/min 向腔室内流通浓度 5%的氢稀释乙硼烷（B_2H_6），维持这种状态 5 分钟，外延生长厚约 10nm 的掺杂 Si 层 162。这时、掺杂 Si 层 162 的生长速度约为 2nm/min、硼浓度约为 1×10^{18}atom·cm^{-3}。

所述工程完成后、由未掺杂 Si 层 161 和掺杂 Si 层 162 形成 Si 盖层 153。还有、由 SiGe 衬垫底 151、倾斜 SiGe 基极层 152 和 Si 盖层 153 形成 Si/Si_{1-X} Ge_X 层 111。

图 7(b)示出在 Si/Si_{1-X} Ge_X 层 111 刚形成后热处理前硼浓度的分布图。这种状态下、仅仅在倾斜 SiGe 基极层 152 和 Si 盖层 153 中的掺杂 Si 层 162 呈现出高浓度硼存在的陡峻的浓度分布图。

而且、由于以后各工程中有热处理加入，在倾斜 SiGe 基极层 152 和 Si 盖层 153 中的掺杂 Si 层 162 中掺杂的硼扩散，最终得到图 2(b)所示

的硼浓度分布图。

本实施方式中、在 Si 盖层形成时掺杂硼，它的特征是由 in-situ 掺杂进行 CVD。而且、由于本实施方式中采用 in-situ 掺杂，能够以较高精度控制在 Si 盖层 153 上部掺杂的硼浓度。

第 2 实施方式

本实施方式中、基本的 HBT 制造工程的流程与第 1 实施方式中说明过的图 2(a)～图 6(b)所显示的一样。

本实施方式中、其特征是：图 4(a)所示工程按以下方法进行。图 8(a)、(b)是将所述制造工程中图 4(a)所示工程中发射极·基极结区结构放大的部分剖面图、以及沿它的剖面硼的浓度分布图。

本实施方式中、按第 1 实施方式中已说明的方法进行处理，在集电极层 102 上形成厚约 40nm 的未掺杂 SiGe 衬垫层 151 和厚约 40nm 含硼浓度约为 4×10^{18}atoms·cm^{-3} 的倾斜 SiGe 基极层 152。

其次、维持腔室内的温度、压力及乙硅烷（Si_2H_6）的流量与倾斜 SiGe 基极层 152 形成时一样，不再流通锗烷（GeH_4）、停止氢稀释乙硼烷（B_2H_6）的供给，将这种状态维持 20 分钟，外延生长厚约 40nm 的 Si 盖层 153。

再次、代替第 1 实施方式中的第 2 堆积氧化膜 112、在 Si 盖层 153 上堆积由硼掺杂氧化硅膜（BSG 膜）组成的第 2 堆积氧化膜 171。这时、在常压 CVD 装置的腔室内，将晶片升温到 400℃后、在常压下，通入流量为 1.5 *l*/min 的四乙氧基硅烷（TEOS）、流量为 1.5 *l*/min 的三乙氧基硼(TEB)、流量为 7.5 *l*/min 的含 85g/Nm^3 浓度臭氧的 O_2、流量为 18.0 *l*/min 的 N_2，维持这种状态 15 秒，形成含 3wt%硼的、厚约 30nm 的第 2 堆积氧化膜 171。

图 8(b)是显示这种情况下纵断面上硼的浓度分布图。这种状态下、虽然 Si 盖层 153 内没有掺杂硼，由于后工程中的热处理、第 2 堆积氧化膜 171 中的硼扩散到 Si 盖层 153 的上部，最终的得到图 2(a)所示的硼浓度分布图。

然后、与图 4(a)所示工程一样，在第 2 堆积氧化膜 171 上形成基极

连接用开口部 114，进行图 4(b)～图 6(b)所示工程，得到具有图 1 所示结构的 HBT。

当然、在 PNP 双极晶体管中第 2 堆积氧化膜 171 应使用 PSG 膜。

采用本实施方式、能够用比较简单的工程在 Si 盖层 153 内掺杂硼。特别是它有可能降低 Si 盖层 153 的上端部中与第 2 堆积氧化膜 112 界面处的界面能级。

第 3 实施方式

本实施方式中基本的 HBT 制造工程的流程也与第 1 实施方式中已说明的与图 2(a)～图 6(b)所示一样。

本实施方式中的特点是图 4(a)、(b)所示的工程按以下方法进行。图 9(a)、(b)示出将所述制造工程中图 4(a)、(b)所示的发射极·基极结区结构放大的部分剖面图、及沿剖面硼的浓度分布图。

本实施方式中、进行与第 1 实施方式说明的同样的处理，在集电极层 102 上形成厚约 40nm 的未掺杂 SiGe 衬垫层 151，厚约 40nm 的含浓度 4×10^{18}atoms·cm^{-3} 硼的倾斜 SiGe 基极层 152。

其次、维持腔室内的温度、压力及乙硅烷（Si_2H_6）的流量与形成倾斜 SiGe 基极层 152 时一样，不流通锗烷（GeH_4）、停止氢稀释乙硼烷（B_2H_6）的供给、将这种状态维持 20 分钟，外延生长厚约 40nm 的 Si 盖层 153。

再次、进行与第 1 实施方式几乎相同的处理，在晶片上形成第 2 堆积氧化膜 112 构成腐蚀停止层。这时、本实施方式中第 2 堆积氧化膜 112 的厚度为 10nm。

再次、采用第 1 实施方式中说明过的处理、由第 2 堆积氧化膜 112 的图形化形成基极连接用开口部 114，用在形成基极连接用开口部 114 时使用过的抗蚀剂掩膜进行硼（B）离子注入。

再次、如图 4(b)所示工程中说明过的那样、用 CVD 法在晶片上堆积厚约 150nm 的 P^+ 多晶硅层 115，本实施方式中 P^+ 多晶硅 115 中硼的浓度大于 2×10^{20}atoms·cm^{-3}。这一硼浓度能够在堆积未掺杂多晶硅膜后，在加速电压约 8keV、剂量约 5×10^{15}atoms s·cm^{-2} 的条件下在多晶硅膜上进行硼离子注入实现。但是，也可以在多晶硅膜堆积时进行 in-situ

掺杂。接着、进行与第 1 实施方式同样的处理、堆积第 3 堆积氧化硅膜 117（参照图 4(b)），由第 3 堆积氧化膜 117 和 P^+多晶硅层 115 的图形化进而形成基极开口部 118，形成由 P^+多晶硅层 115 和除 $Si/Si_{1-X}Ge_X$ 层 111 中央部外的其它部分构成外部基极 116（参照图 4(b)）。

图 9(b)示出此时沿纵断面硼的浓度分布图。在这种状态下、虽然在 Si 盖层 153 内没有掺杂硼，仅仅在被第 2 堆积氧化膜 112 隔开的 P^+多晶硅层 115（外部基极层 116 的一部分）内掺杂了高浓度硼，但是由于以后工程的热处理、P^+多晶硅层 115 中的硼通过第 2 堆积氧化膜 112 扩散到 Si 盖层 153 的上部，最终得到图 2(a)所示的硼浓度分布图。

然后、进行图 5(a)～图 6(b)所示的工程，得到具有图 1 结构的 HBT。

采用本实施方式、由于是在形成了基极开口部 118 的状态下从 P^+多晶硅层 115 向 Si 盖层 153 的上部掺杂硼的，因而能够仅仅在除 Si 盖层 153 中基极开口部 118 正下方区域以外的区域导入硼，而基极开口部 118 正下方的区域正是发射极扩散层 115a，这样、就不需要考虑与发射极扩散层 153a 内掺杂磷的浓度关系。因此、能够将 Si 盖层 153 上部硼的浓度调整到最理想的浓度，这是它的优点。

其他实施方式

在上述各实施方式中、我们就本发明适用于双多晶硅型 HBT 的情况作了说明，但是、本发明并不仅限于这样的实施方式，第 1、第 2 实施方式也适用于单多晶硅型 HBT。那种情况时、不设 N^+多晶硅层 115，采用将 $Si/Si_{1-X}Ge_X$层 111 延伸到第 1 堆积氧化膜 108 上的结构，将第 2 堆积氧化膜 112 中包围基极开口部 118 部分以外的部分除去就可以。这时 $Si/Si_{1-X}Ge_X$ 层 111 中位在第 1 堆积氧化膜 108 上的部分不是单晶、而采用多晶结构，由于这一部分是作为外部基极功能的部分、简单的作为电阻的功能就可以，对作为 HBT 的工作和特性不产生不良的影响。

如图 2（b）所示，通过扩散向 Si 盖层 153 的下部掺杂硼，在各实施方式中，也可通过 in-situ 掺杂向 Si 盖层 153 的下部掺杂硼。

此外、在所述各实施方式中，虽然是以 NPN 型 HBT 为例做了说明，本发明当然也适应于 PNP 型的 HBT。那种情况时、HBT 各部分的导电类型、

HBT 各部分掺杂杂质的导电类型需采用与所述各实施方式相反的导电类型。

还有、本发明的 SiGe-HBT 和 Si-CMOS FET 能够形成在同一 Si 衬底上，能够得到所谓的 BiCMOS 器件。

代替所述各实施方式中的 SiGe 衬垫层、倾斜 SiGe 基极层也可以设置 SiGeC 衬垫层、倾斜 SiGeC 基极层。

第 1～第 3 实施方式中的 $Si/Si_{1-X}Ge_X$ 层 111 也可以延伸到第 1 堆积氧化膜 108 上。

结构的变形例

图 1 所示的结构中、用 $Si_{1-X}Ge_X$ 层（0≦X＜1＝构成基极层，也可以用 $Si_{1-X-y}Ge_XC_y$ 层（0≦x, y＜1＝和 $Si_{1-y}C_y$ 层（0≦y＜1＝代替 $Si_{1-X}Ge_X$ 层构成基极层。还有、发射极和集电极中至少某一个也可以由 $Si_{1-X}Ge_X$ 层、$Si_{1-X-y}Ge_XC_y$ 层或者 $Si_{1-y}C_y$ 层构成。

图 13 是与用 $Si_{1-X-y}Ge_XC_y$ 层代替基本结构中的 $Si_{1-X}Ge_X$ 层变形例相关的异质结双极晶体管（HBT）的剖面图。在这种变形例中 HBT 的结构与所述图 1 示出的 HBT 结构几乎相同，仅在以下几点不同。

在 Si 衬底 100 上面中暴露在集电极开口部 110 的部分上设有由掺杂 P 型杂质、厚约 80nm 的 $Si_{1-X-y}Ge_XC_y$ 层和厚约 40nm 的 Si 膜叠层而成的 $Si/Si_{1-X-y}Ge_XC_y$ 层 211。该 $Si/Si_{1-X-y}Ge_XC_y$ 层 211 用选择生长法仅仅形成在 Si 衬底 100 中暴露在集电极开口部 110 的部分上。而且、$Si/Si_{1-X-y}Ge_XC_y$ 层 211 的中央部（后面叙述的基极开口部 118 的下方区域）的下部起到内部基极 219 的功能。还有、$Si/Si_{1-X}Ge_XC_y$ 层 211 中央部的上部起到发射极层的功能。$Si/Si_{1-X}Ge_XC_y$ 层 211 的详细结构可以适用已经说明的第 1～第 3 实施方式那样的杂质分布图。还有、用硼离子注入法形成跨越 $Si/Si_{1-X}Ge_XC_y$ 层 211 及反向阱 101 表面部的外部基极注入区 Rii。在 $Si/Si_{1-X}Ge_XC_y$ 层 211 及第 1 堆积氧化膜 108 上设有厚约 30nm 的腐蚀停止用第 2 堆积氧化膜 112，在第 2 堆积氧化膜 112 上形成基极连接用开口部 114 及基极开口部 118。而且、设有填埋基极连接用开口部 114 并延伸到第 2 堆积氧化膜 112 上的厚约 150nm 的 P^+多晶硅层

115 和第 3 堆积氧化膜 117。由所述 $Si/Si_{1-X}\ Ge_X\ C_y$ 层 211 中除去基极开口部 118 下方区域的部分和 P^+多晶硅层 115 构成外部基极 216。

图 13 中所示的其他部件因与图 1 所示的结构相同，付以与图 1 相同的符号、省略说明。制造工程中、代替第 1～第 3 实施方式中 $Si_{1-X}Ge_X$ 层外延生长、进行 $Si/Si_{1-X-y}\ Ge_X\ C_y$ 层的外延生长。

本发明的半导体装置被应用于搭载在电子机器上的双极晶体管等器件，特别是应用于处理高频信号的器件。

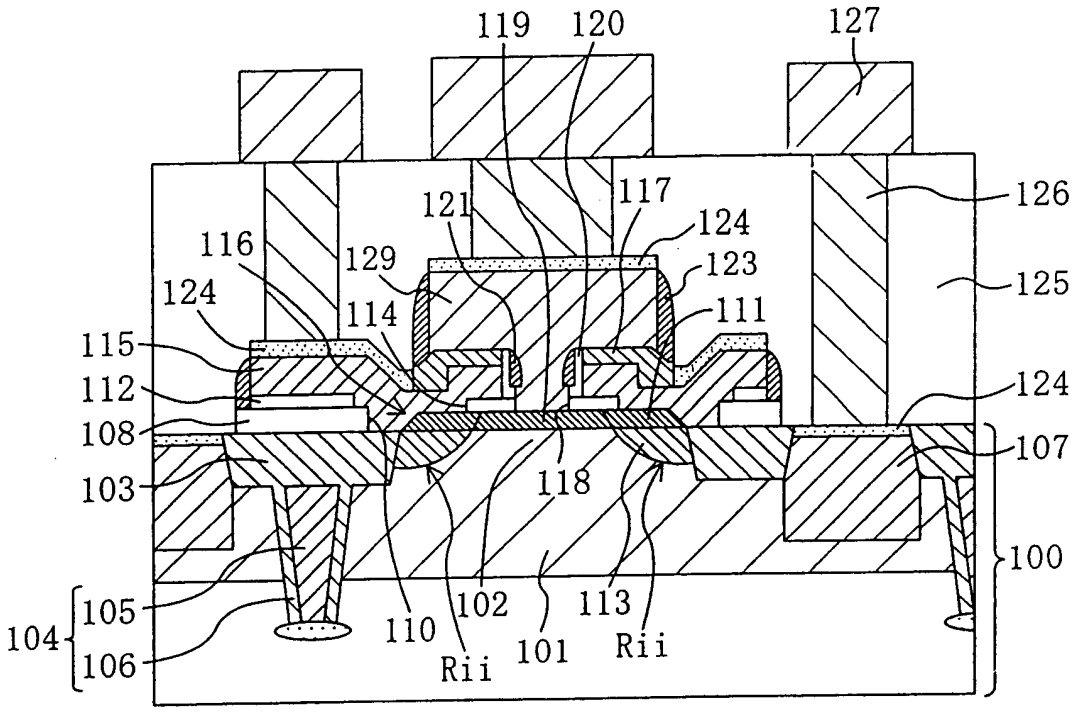

119
120
127
126
121
117
124
116
129
123
125
124
114
111
115
112
124
108
107
103
118
100
105
104
106
110
102
113
101
Rii
Rii

图 1

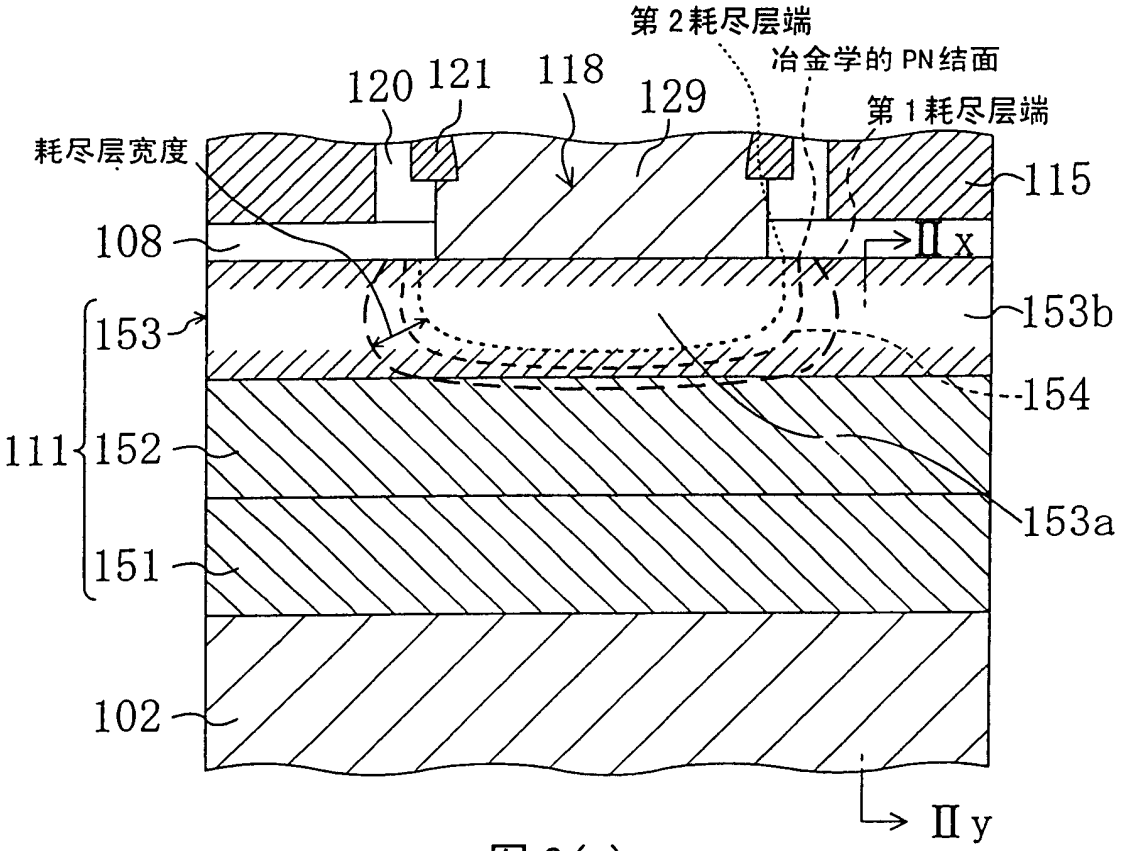

第2耗尽层端
冶金学的PN结面
第1耗尽层端
120
121
118
129
耗尽层宽度
115
108
II x
153
153b
154
111
152
153a
151
102
II y

图 2(a)

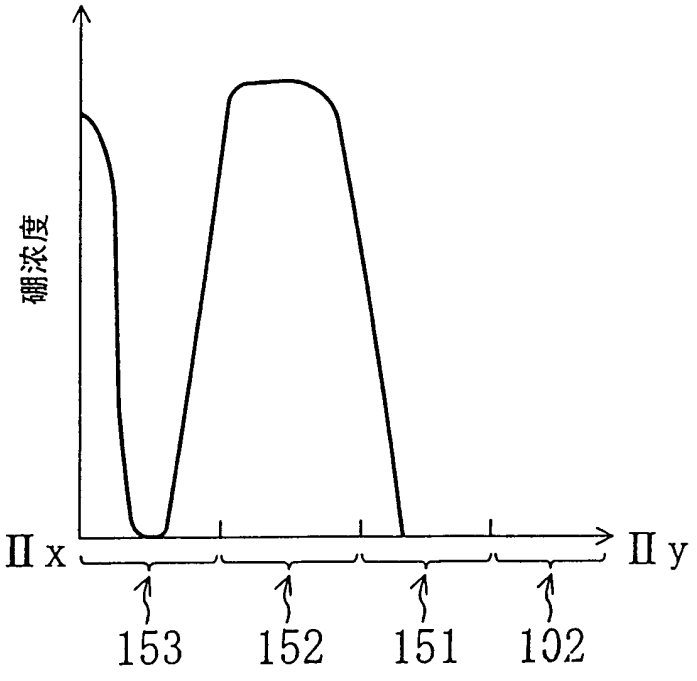

硼浓度
II x
II y
153
152
151
102

图 2(b)

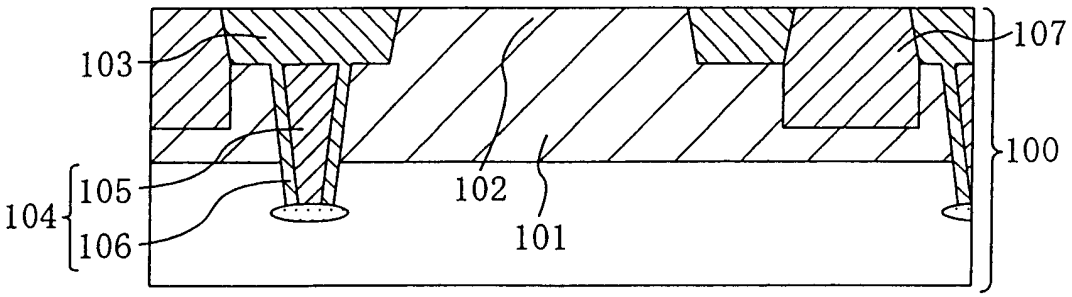

103
107
100
105
104
106
102
101

图 3(a)

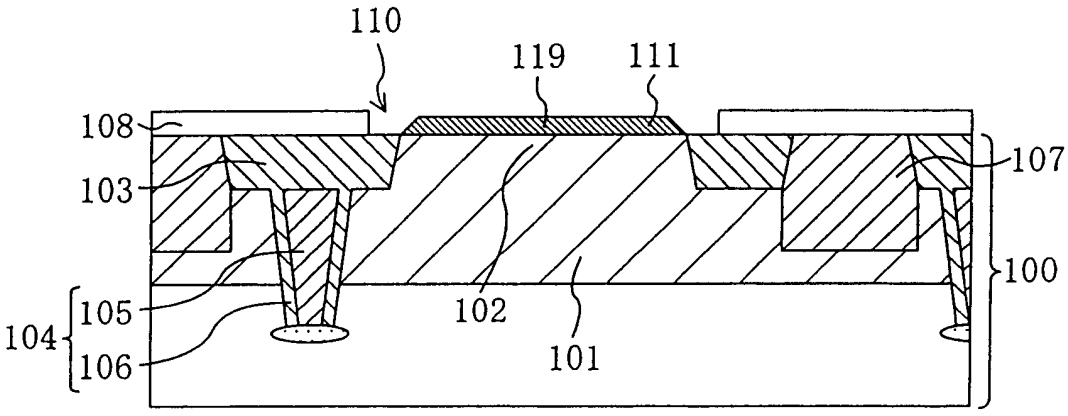

110
119
111
108
103
107
100
105
104
106
102
101

图 3(b)

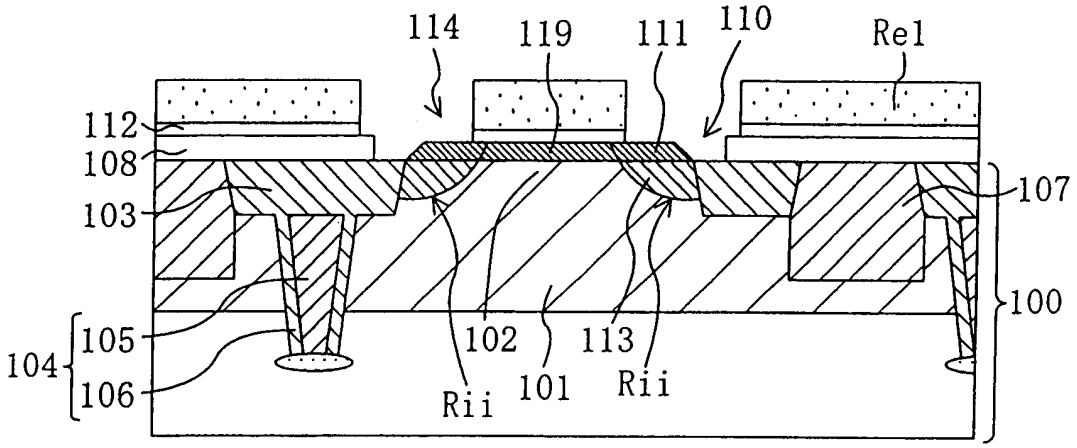

114
119
111
110
Re1
112
108
103
107
100
104
105
106
102
113
101
Rii
Rii

图 4(a)

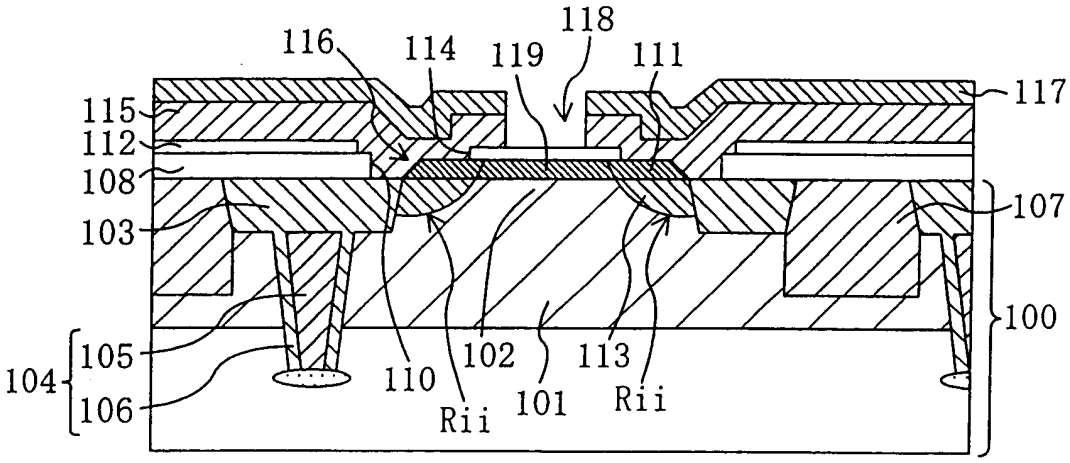

116
114
119
118
111
117
115
112
108
103
107
100
104
105
106
110
102
113
101
Rii
Rii

图 4(b)

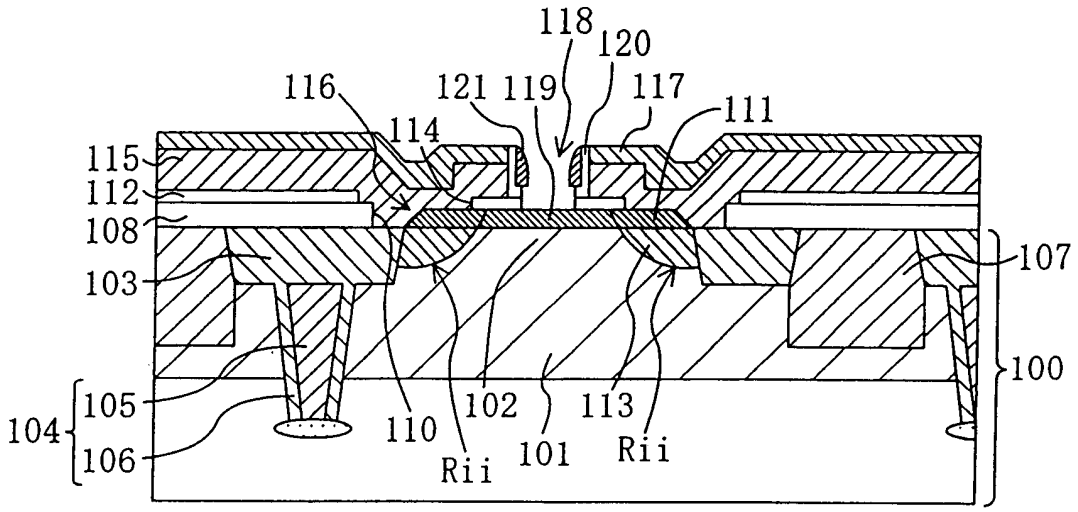

118
120
116
121
119
117
111
114
115
112
108
103
107
100
104
105
106
110
102
113
Rii
101
Rii

图 5(a)

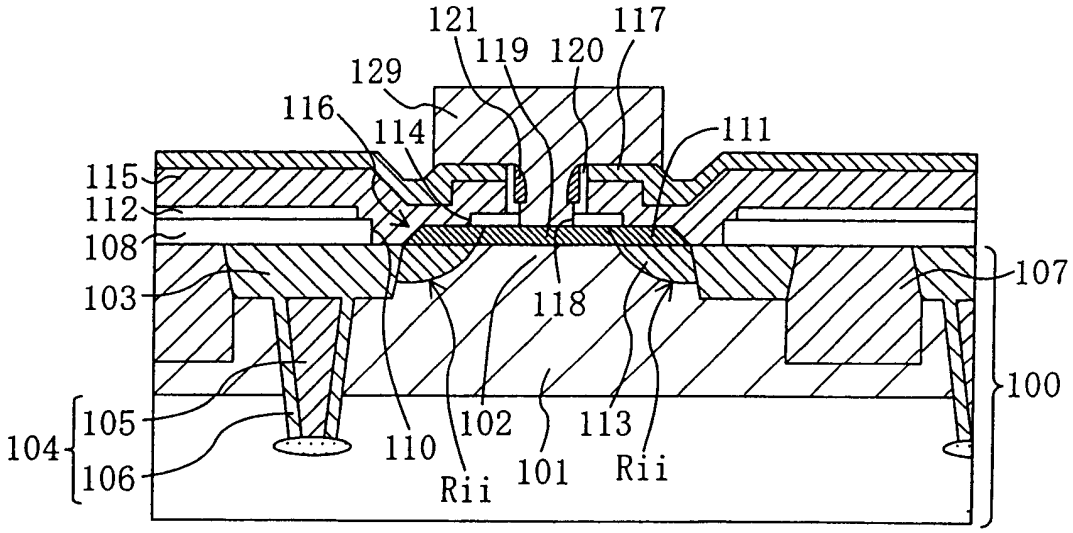

121
117
119
120
129
116
114
111
115
112
108
103
107
118
100
104
105
106
110
102
113
Rii
101
Rii

图 5(b)

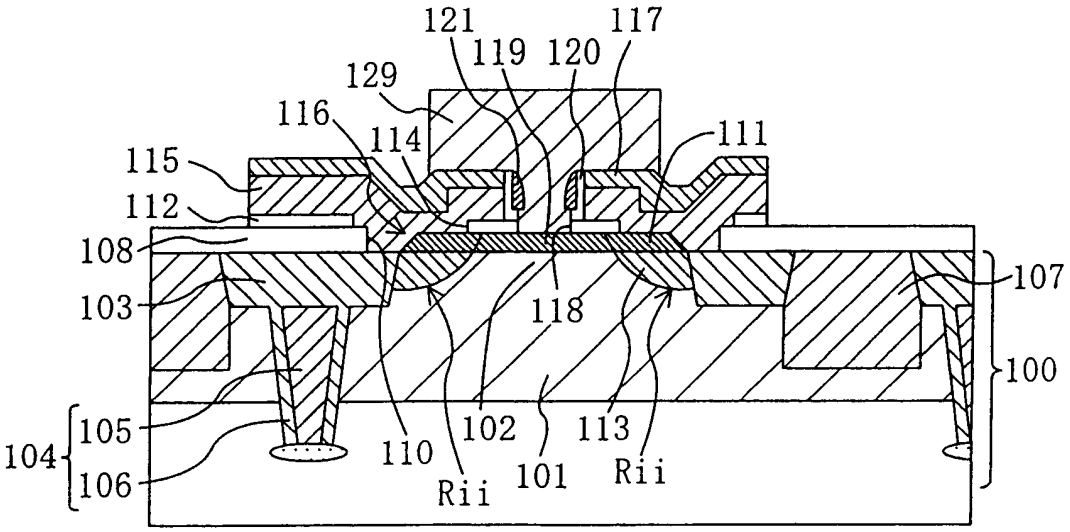

121
119
120
117
129
116
114
111
115
112
108
103
118
107
100
104
105
106
110
102
101
113
Rii
Rii

图 6(a)

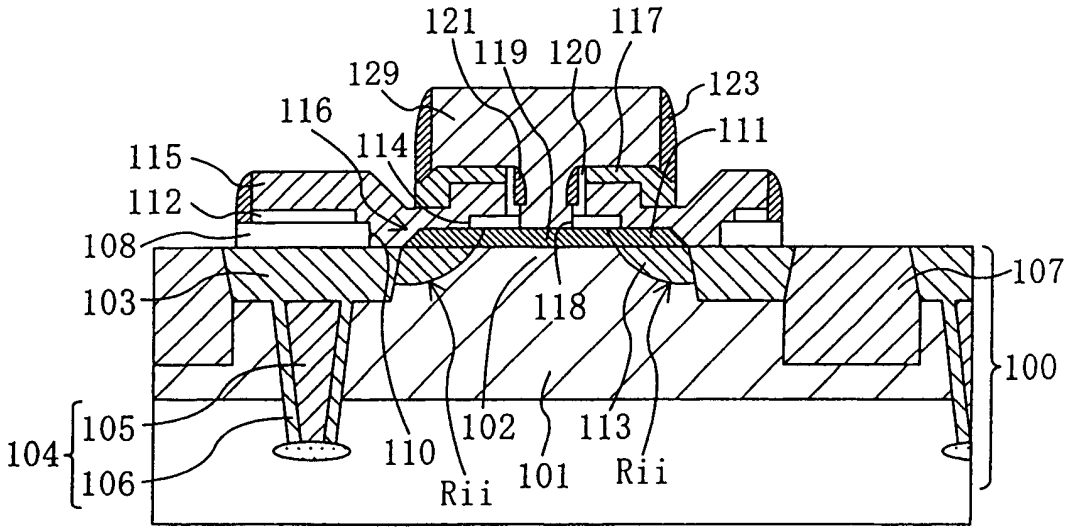

121
119
120
117
129
123
116
114
111
115
112
108
103
118
107
100
104
105
106
110
102
101
113
Rii
Rii

图 6(b)

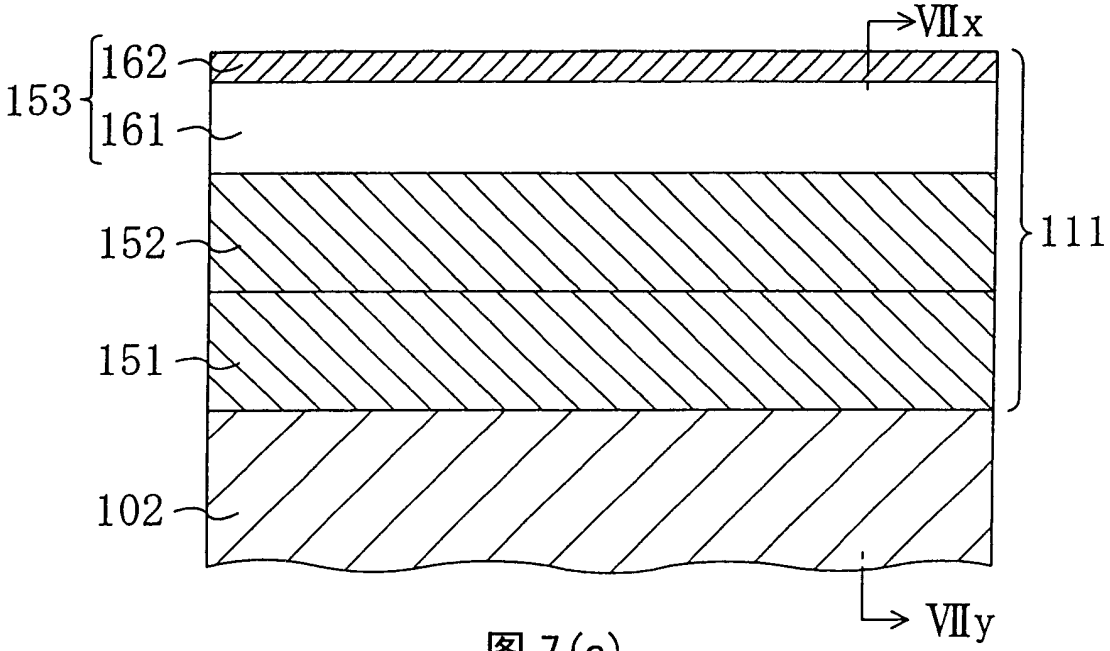

VIIx
153
162
161
152
151
102
111
VIIy

图 7(a)

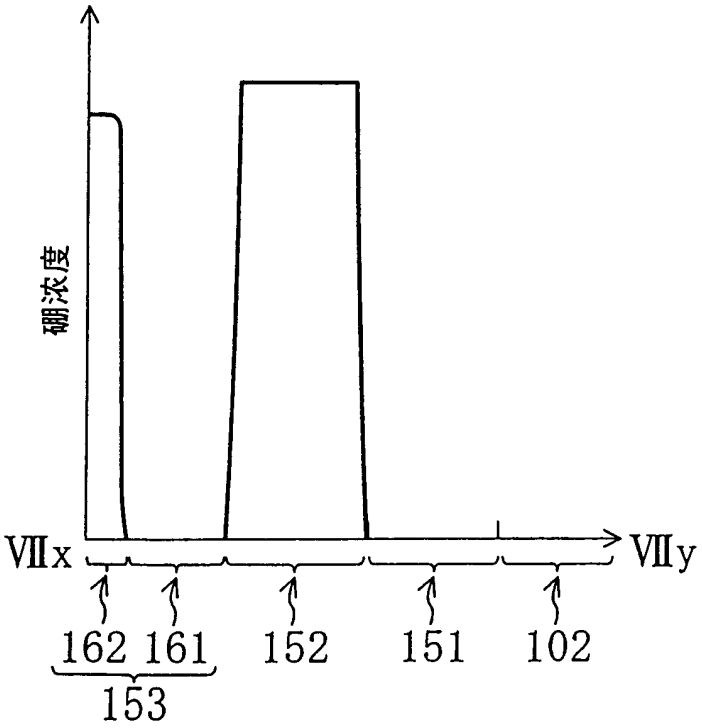

硼浓度
VIIx
VIIy
162
161
153
152
151
102

图 7(b)

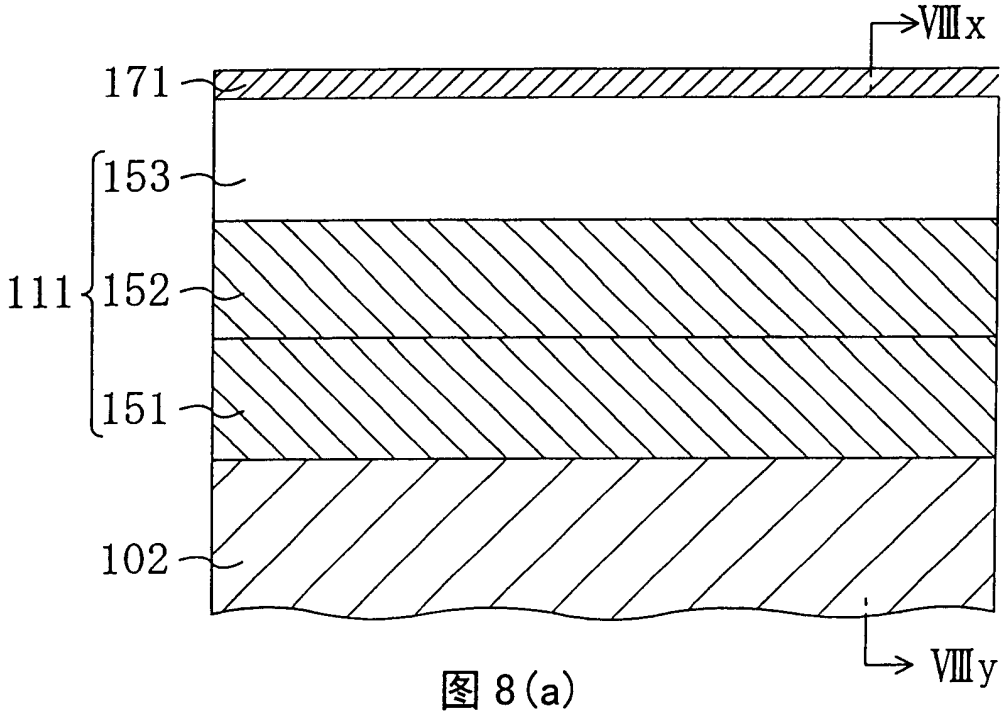

VIIIx
171
153
111
152
151
102
VIIIy

图 8(a)

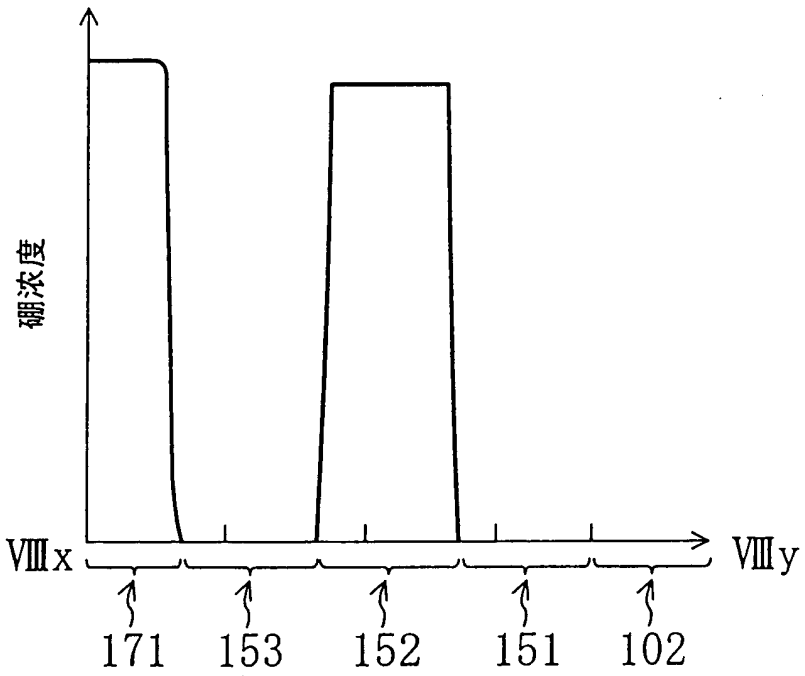

硼浓度
VIIIx
VIIIy
171
153
152
151
102

图 8(b)

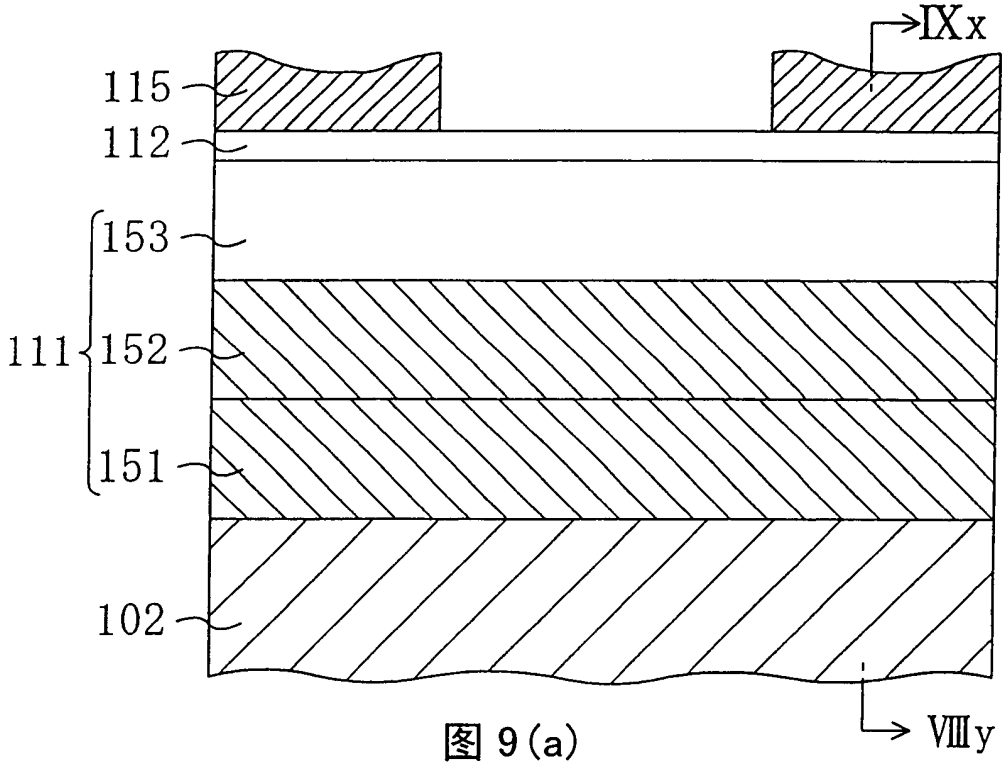

IXx
115
112
153
111
152
151
102
VIIIy

图 9(a)

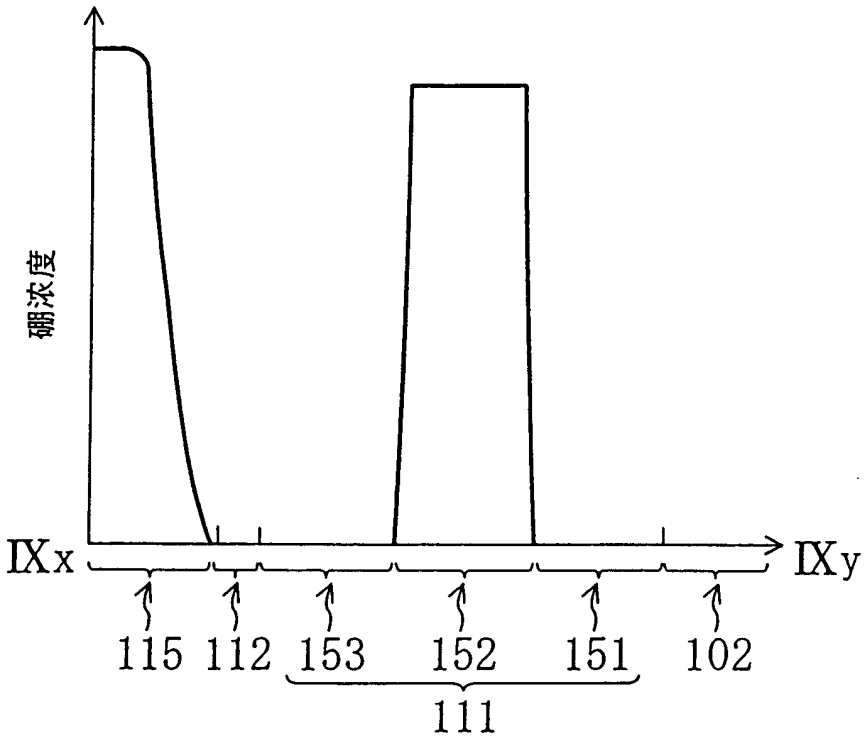

硼浓度
IXx
IXy
115
112
153
152
151
102
111

图 9(b)

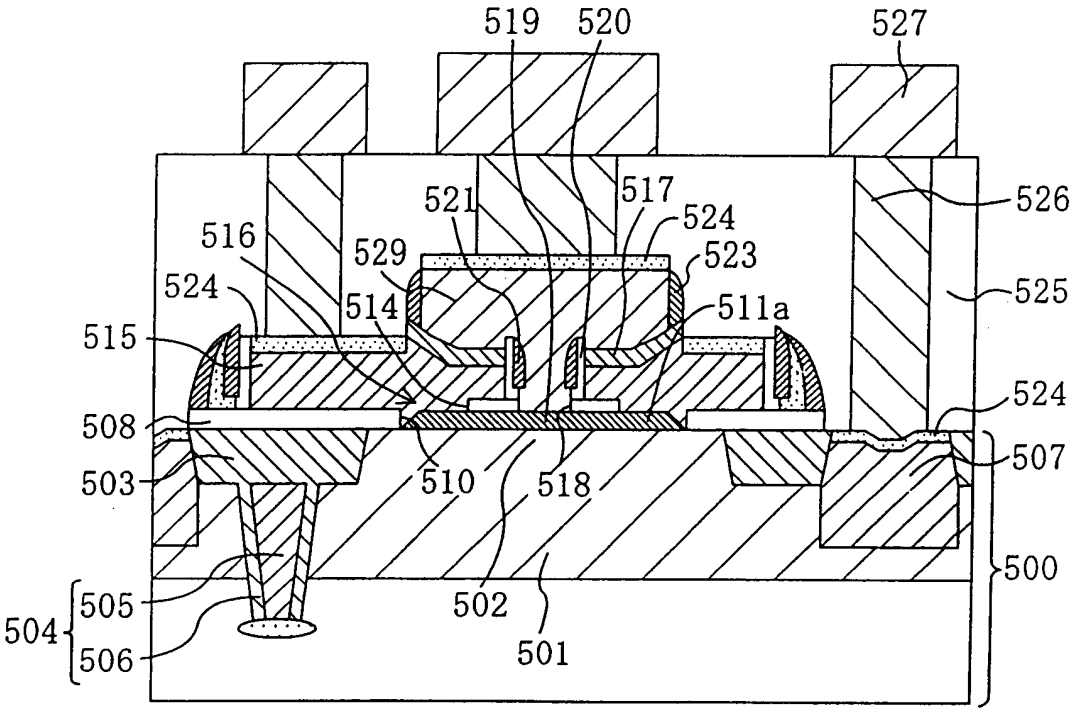

519
520
527
526
521
517
524
516
529
523
524
525
514
511a
515
524
508
507
503
510
518
500
505
502
504
506
501

图 10

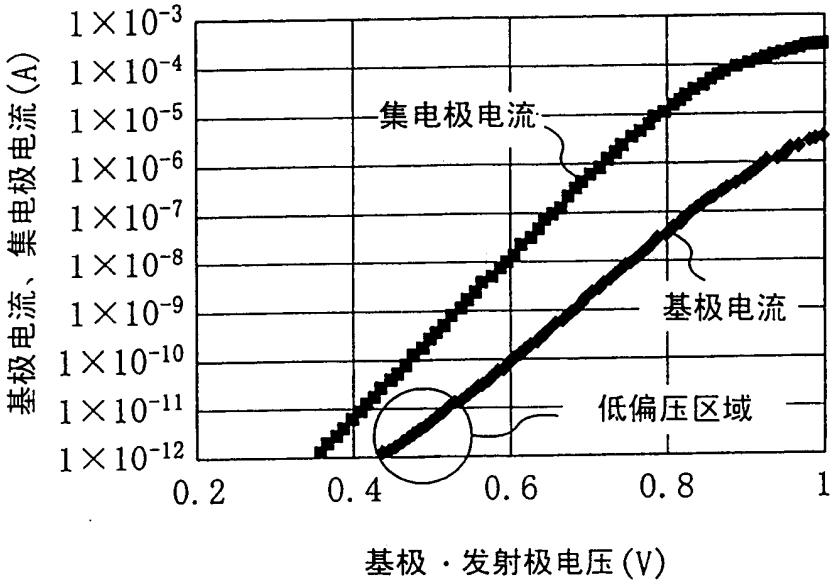

1×10-3
1×10-4
1×10-5
1×10-6
1×10-7
1×10-8
1×10-9
1×10-10
1×10-11
1×10-12
基极电流、集电极电流(A)
集电极电流
基极电流
低偏压区域
0.2
0.4
0.6
0.8
1
基极·发射极电压(V)

图 11(a)

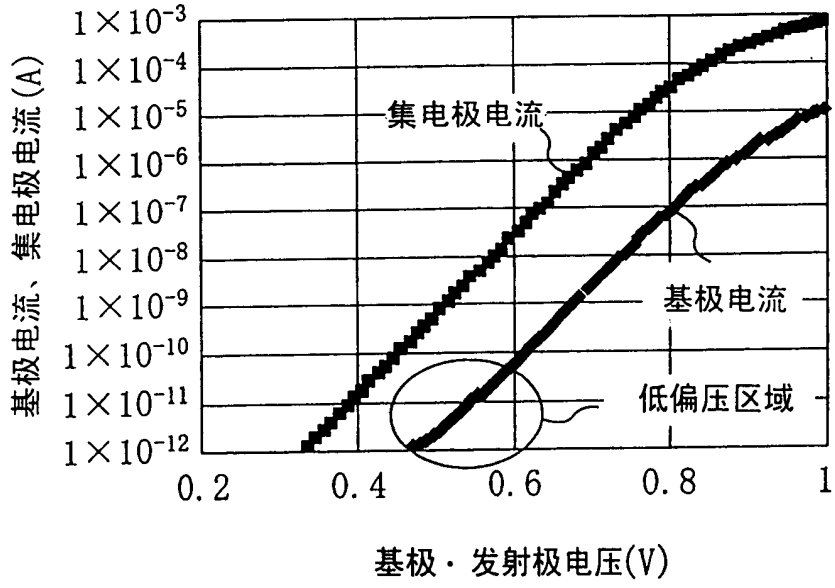

1×10-3
1×10-4
1×10-5
1×10-6
1×10-7
1×10-8
1×10-9
1×10-10
1×10-11
1×10-12
基极电流、集电极电流(A)
集电极电流
基极电流
低偏压区域
0.2
0.4
0.6
0.8
1
基极·发射极电压(V)

图 11(b)

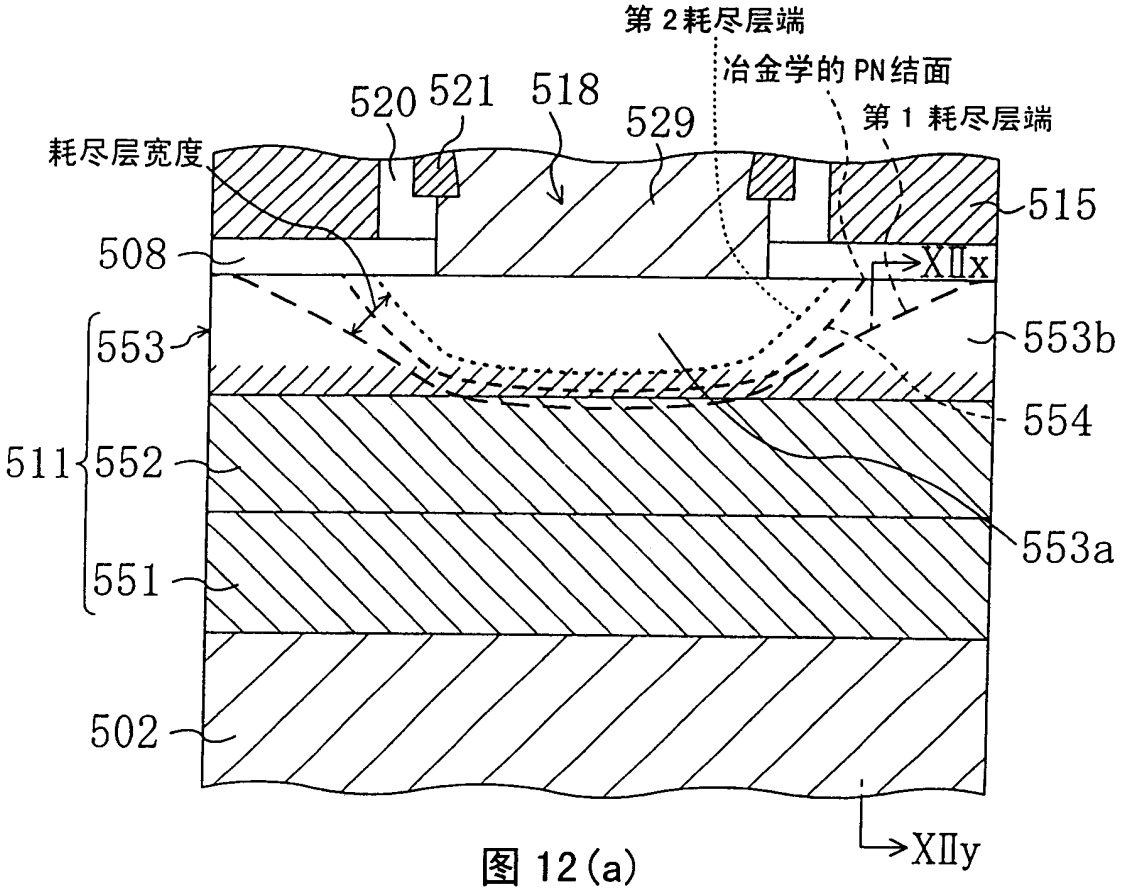

第 2 耗尽层端
冶金学的 PN 结面
第 1 耗尽层端
520
521
518
529
耗尽层宽度
515
508
XIIx
553
553b
554
511
552
553a
551
502
XIIy

图 12(a)

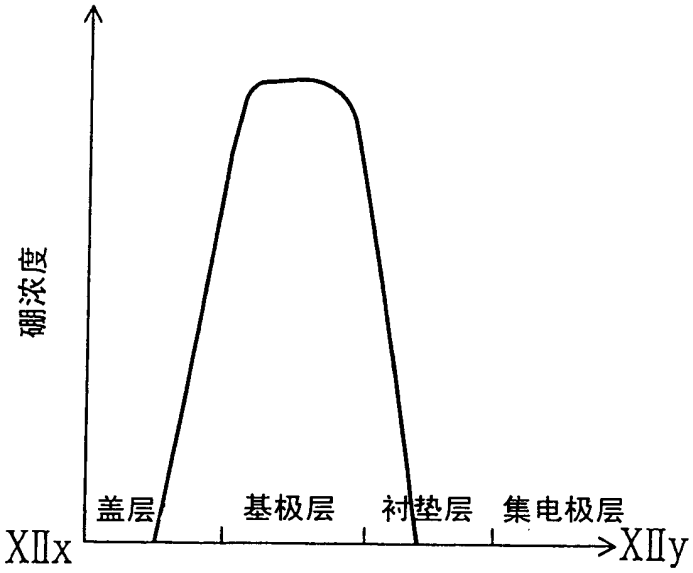

硼浓度
盖层
基极层
衬垫层
集电极层
XIIx
XIIy

图 12(b)

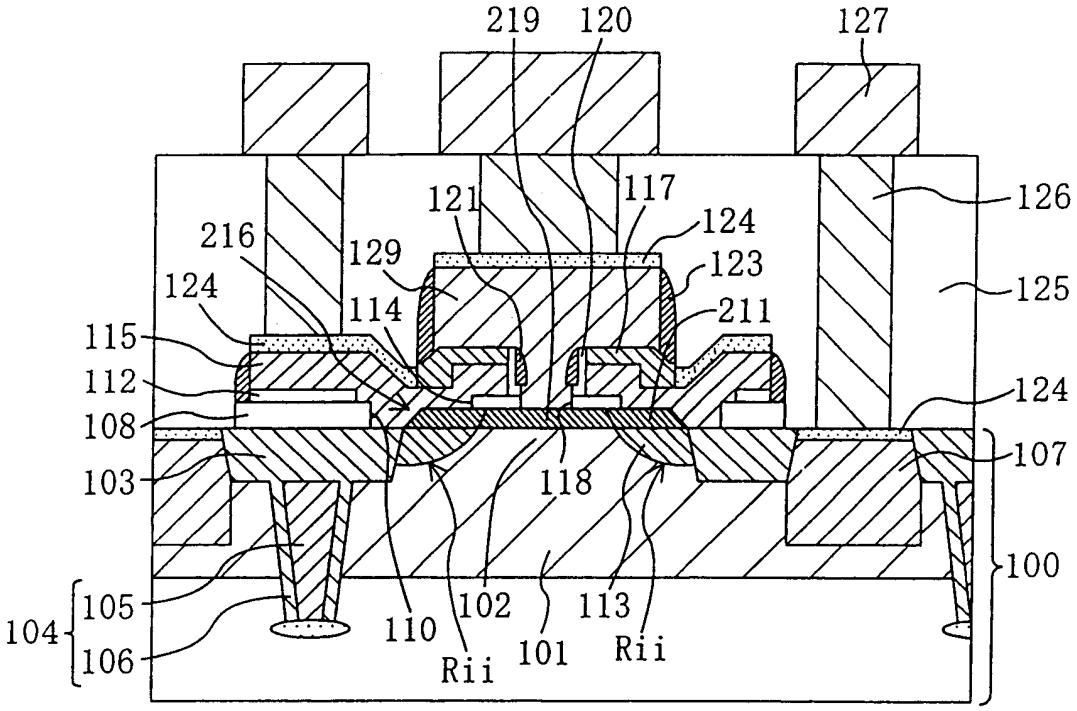

219
120
127
121
117
126
216
129
124
123
124
114
211
125
115
112
124
108
107
103
118
100
105
104
106
110
102
113
101
Rii
Rii

图 13