

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 26 日 (26.01.2017)



(10) 国际公布号
WO 2017/012254 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2015/097114
- (22) 国际申请日: 2015 年 12 月 11 日 (11.12.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510429251.6 2015 年 7 月 21 日 (21.07.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区装本制造基地, Inner Mongolia 017020 (CN)。
- (72) 发明人: 张镔 (ZHANG, Kai); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区

区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GATE DRIVER ON ARRAY CIRCUIT UNIT, DRIVE CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 阵列基板行驱动电路单元、驱动电路和显示面板

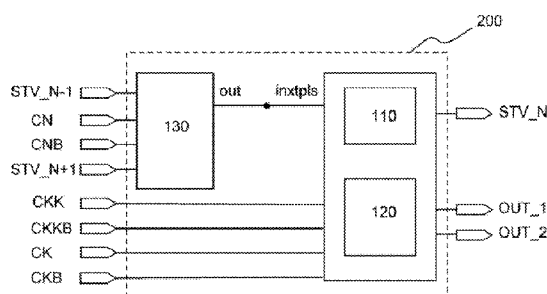


图 6

(57) Abstract: A gate driver on array circuit unit (100, 200), comprising: a gate driver on array register module (110) with a shift register unit and a gate driver on array output module (120) with a digital logic circuit. A current-level exciting pulse, a second additional clock signal, a first clock signal and a second clock signal are provided for the digital logic circuit, so that only in a first half pulse width period of the current-level exciting pulse, a first gate line drive pulse corresponding to a first half period of the first clock signal is output at a first current-level output end, and a second gate line drive pulse corresponding to a second half period of the second clock signal is output at a second current-level output end. Also disclosed are a gate driver on array circuit formed by cascading the gate driver on array circuit units (100, 200), and a display panel comprising the drive circuit. The single GOA unit can output a gate drive pulse for two rows of pixels, so that the number of GOA circuit units required is reduced.

(57) 摘要:

[见续页]

WO 2017/012254 A1



一种阵列基板行驱动电路单元（100、200），包括：具有移位寄存器单元的阵列基板行驱动寄存模块（110）以及具有数字逻辑电路的阵列基板行驱动输出模块（120）。本级激励脉冲、第二附加时钟信号、第一时钟信号和第二时钟信号被提供给所述数字逻辑电路，使得仅在本级激励脉冲的前半个脉宽期间在第一本级输出端输出与第一时钟信号的前半个周期对应的第一栅线驱动脉冲，并且在第二本级输出端输出与第二时钟信号的后半个周期对应的第二栅线驱动脉冲。还公开了一种通过级联所述阵列基板行驱动电路单元（100、200）而构成的阵列基板行驱动电路和包括该驱动电路的显示面板。该单个 GOA 单元能够输出用于两行像素的栅极驱动脉冲，减少了所需要的 GOA 电路单元的数目。

阵列基板行驱动电路单元、驱动电路和显示面板

技术领域

本发明涉及显示技术领域，具体来说涉及一种阵列基板行驱动电路单元。进一步地，本发明涉及一种包括该阵列基板行驱动电路单元的驱动电路。再进一步地，本发明涉及一种包括该驱动电路的显示面板。

背景技术

10 现有显示器的制造通常采用阵列基板行驱动 (Gate Driver on Array, GOA) 的设计，其中将薄膜晶体管 (Thin Film Transistor, TFT) 的栅极开关电路集成在显示面板的阵列基板上。这样，可以省掉栅极驱动电路的绑定 (bonding) 区域以及外围布线空间，从而实现显示面板的窄边框的美观设计。

15 图 1 图示了一种常规的 GOA 电路原理图，其中仅示出了两个级联的 GOA 电路单元，并且这两个 GOA 单元中除了本级输出端 (OUT_x, x=1, 2, 3, ...) 之外对应的端子用相同的参考文字表示。在图 1 中，CK 与 CKB 为相对于彼此反相的时钟信号，CN 与 CNB 为用于控制正反扫方向的互补的直流电平，STV_{N-1} 和 STV_{N+1} 分别为正、反扫的输入信号，STV_N 为生成的中间扫描信号，并且 OUT₁ 和 OUT₂ 为提供给不同像素行的栅极驱动脉冲。当 CN 为高电平，CNB 为低电平时，进行正向扫描，其中在施加到第一级 GOA 单元的 STV_{N-1} 的激励下顺序地在 OUT₁, OUT₂, ... OUT_n (n 为像素行的数目) 上输出栅极驱动脉冲；反之，当 CN 为低电平，CNB 为高电平时，进行反向扫描，
20 其中在施加到最后一级 GOA 单元的 STV_{N+1} 的激励下顺序地在 OUT_n, OUT_{n-1}, ... OUT₁ 上输出栅极驱动脉冲。在该常规的 GOA 电路中，每一行像素需要一个相应的 GOA 电路单元来生成一个栅极驱动脉冲。因此，所需要的 GOA 电路单元数目庞大，使得 GOA 电路占用较大的边框空间，这不利于显示屏边框的进一步变窄。

25 因此，需要一种改进的阵列基板行驱动电路配置。

发明内容

本发明的目的是提供一种能够输出用于两行像素的栅极驱动脉冲的阵列基板行驱动电路单元，从而减少所需要的GOA单元的数目，并且因此减少要占用的边框面积。进一步地，本发明的另一目的是提供一种包括该阵列基板行驱动电路单元的驱动电路。此外，本发明的再一目的是提供一种包括该驱动电路的显示面板。

根据本发明的第一方面，提供了一种阵列基板行驱动电路单元，包括：用于接收本级激励脉冲的第一输入端；用于接收第一附加时钟信号的第二输入端；用于接收第二附加时钟信号的第三输入端，所述第二附加时钟信号是所述第一附加时钟信号的反相版本；用于接收第一时钟信号的第四输入端；用于接收第二时钟信号的第五输入端，所述第二时钟信号是所述第一时钟信号的反相版本；用于输出次级激励脉冲的第一输出端；用于输出第一栅线驱动脉冲的第一本级输出端；用于输出第二栅线驱动脉冲的第二本级输出端；阵列基板行驱动寄存模块，其具有移位寄存器单元；以及阵列基板行驱动输出模块，其具有数字逻辑电路；其中，所述本级激励脉冲、所述第一附加时钟信号和所述第一时钟信号是同步的，所述本级激励脉冲的宽度等于所述第一附加时钟信号的一个周期，所述第一附加时钟信号的周期是所述第一时钟信号的周期的两倍，并且，所述第一栅线驱动脉冲和所述第二栅线驱动脉冲的宽度均等于所述第一时钟信号的周期的一半；其中，所述本级激励脉冲和所述第一附加时钟信号被提供给所述移位寄存器单元，使得在所述第一输出端输出所述次级激励脉冲，所述次级激励脉冲是所述本级激励脉冲的被移位所述第一附加时钟信号的半个周期的延迟版本；并且其中，所述本级激励脉冲、所述第二附加时钟信号、所述第一时钟信号和所述第二时钟信号被提供给所述数字逻辑电路，使得仅在所述本级激励脉冲的前半个脉宽期间在所述第一本级输出端输出与所述第一时钟信号的前半个周期时序上对应的所述第一栅线驱动脉冲，并且在所述第二本级输出端输出与所述第二时钟信号的后半个周期时序上对应的所述第二栅线驱动脉冲。

在一个实现方式中，所述数字逻辑电路可以包括：与门，其两个输入端之一被提供所述本级激励脉冲，并且另一个输入端被提供所述第二附加时钟信号；第一与非门，其一个输入端连接到所述与门的输出端，并且另一个输入端被提供所述第一时钟信号；第一非门，其输

入端连接到所述第一与非门的输出端；第二与非门，其一个输入端连接到所述与门的输出端，并且另一个输入端被提供所述第二时钟信号；以及第二非门，其输入端连接到所述第二与非门的输出端；其中，所述第一非门的输出信号被路由到所述第一本级输出端作为所述第一栅线驱动脉冲，并且所述第二非门的输出信号被路由到所述第二本级输出端作为所述第二栅线驱动脉冲。

在一个实现方式中，所述数字逻辑电路可以还包括：第一缓冲电路，用于在将所述第一栅线驱动脉冲路由到所述第一本级输出端以供输出之前对其进行缓冲；以及第二缓冲电路，用于在将所述第二栅线驱动脉冲路由到所述第二本级输出端以供输出之前对其进行缓冲。

在一个实现方式中，所述第一缓冲电路可以包括相互串联的偶数个非门，并且所述第二缓冲电路可以包括相互串联的偶数个非门。

在一个实现方式中，所述移位寄存器单元可以包括：第三非门，其输入端被提供所述第一附加时钟信号；第一三态非门，其输入端被提供所述本级激励脉冲，其第一控制端连接到所述第三非门的输入端，并且其第二控制端连接到所述第三非门的输出端；第二三态非门，其输出端连接到所述第一三态非门的输出端，其第一控制端连接到所述第三非门的输出端，并且其第二控制端连接到所述第三非门的输入端；以及第四非门，其输入端连接到所述第二三态非门的输出端，其输出端连接到所述第二三态非门的输入端，并且其输出信号被路由到所述第一输出端作为所述次级激励脉冲。

在一个实现方式中，所述阵列基板行驱动电路单元可以还包括扫描方向控制模块，其中，所述扫描方向控制模块可以包括：用于接收正扫激励脉冲的第六输入端；用于接收反扫激励脉冲的第七输入端；被施加第一直流电平的第一扫描方向控制端；被施加第二直流电平的第二扫描方向控制端，所述第二直流电平与所述第一直流电平是互补的；被连接到所述第一输入端的第二输出端；以及模拟开关，其在所述第一直流电平和所述第二直流电平的控制下，将所述正扫激励脉冲和所述反扫激励脉冲中的一个选择性地路由到所述第二输出端作为所述本级激励脉冲。

在一个实现方式中，所述模拟开关可以包括第一传输门和第二传输门，所述正扫激励脉冲被提供给所述第一传输门的输入端，所述第

一直流电平被施加到所述第一传输门的第一控制端，所述第二直流电平被施加到所述第一传输门的第二控制端，所述第一传输门的输出信号被路由到所述第二输出端作为所述本级激励脉冲，所述反扫激励脉冲被提供给所述第二传输门的输入端，所述第二直流电平被施加到所述第二传输门的第一控制端，所述第一直流电平被施加到所述第二传输门的第二控制端，所述第二传输门的输出信号被路由到所述第二输出端作为所述本级激励脉冲。

在一个实现方式中，所述阵列基板行驱动电路单元可以是基于CMOS或NMOS工艺制造的。

根据本发明的第二方面，提供了一种阵列基板行驱动电路，包括至少两个级联的如本发明的第一方面中所述的阵列基板行驱动电路单元，其中，在所述阵列基板行驱动电路单元不包括所述扫描方向控制模块的情况下，除最后一级阵列基板行驱动电路单元之外，每一个阵列基板行驱动电路单元的第一输出端连接到下一级阵列基板行驱动电路单元的第一输入端；并且其中，在所述阵列基板行驱动电路单元包括所述扫描方向控制模块的情况下，除第一级阵列基板行驱动电路单元之外，每一个阵列基板行驱动电路单元的第六输入端连接到上一级阵列基板行驱动电路单元的第一输出端，并且除最后一级阵列基板行驱动电路单元之外，每一个阵列基板行驱动电路单元的第七输入端连接到下一级阵列基板行驱动电路单元的第一输出端。

根据本发明的第三方面，提供了一种显示面板，包括如本发明的第二方面所述的阵列基板行驱动电路。

本发明基于提供与现有技术相比占用较小面积的GOA电路的构思。引入了具有不同频率的两套时钟信号和对应的逻辑电路，其中，低频率时钟用于驱动GOA移位寄存器单元，并且高频率时钟用于驱动GOA输出电路，使得单个GOA单元能够输出用于两行像素的栅极驱动脉冲，减少了所需要的GOA电路单元的数目。

附图说明

图1图示了一种常规的GOA电路原理图；

图2示意性地图示了根据本发明的一个实施例的GOA电路单元的框图；

图 3 示出了用于根据本发明的实施例的 GOA 电路单元的时序图；

图 4 示意性地图示了通过级联如图 2 所示的 GOA 电路单元而构成的 GOA 电路；

图 5 图示了根据发明的实施例的一种 GOA 电路的实现方式的原理图；

图 6 示意性地图示了根据本发明的另一个实施例的 GOA 电路单元的框图；

图 7 示意性地图示了通过级联如图 5 所示的 GOA 电路单元 200 而构成的 GOA 电路；以及

图 8 图示了根据发明的另一个实施例的一种 GOA 电路的实现方式的原理图。

具体实施方式

以下结合附图对本发明的各实施例进行详细描述。

图 2 示意性地图示了根据本发明的一个实施例的 GOA 电路单元 100 的框图。该 GOA 电路单元 100 在本级激励脉冲 inxtpls、第一附加时钟信号 CKK、第二附加时钟信号 CKKB、第一时钟信号 CK、第二时钟信号 CKB 的驱动下工作，这与图 1 所示的常规 GOA 电路单元类似，除了 GOA 电路单元 100 不具有反向扫描功能，并且因此未提供扫描方向控制电路和对应的直流控制电平 CN、CNB。相应地，该 GOA 电路单元 100 包括用于接收本级激励脉冲 inxtpls 的第一输入端、用于接收第一附加时钟信号 CKK 的第二输入端、用于接收第二附加时钟信号 CKKB 的第三输入端、用于接收第一时钟信号 CK 的第四输入端、用于接收第二时钟信号 CKB 的第五输入端、用于输出次级激励脉冲 STV_N 的第一输出端、用于输出第一栅线驱动脉冲 OUT_1 的第一本级输出端、用于输出第二栅线驱动脉冲 OUT_2 的第二本级输出端、阵列基板行驱动寄存模块 110 以及阵列基板行驱动输出模块 120。第二附加时钟信号 CKKB 是第一附加时钟信号 CKK 的反相版本，并且第二时钟信号 CKB 是第一时钟信号 CK 的反相版本。

下面结合图 3 所示的信号时序来详细介绍图 2 中的 GOA 电路单元 100 的操作，该图 3 示出了用于根据本发明的实施例的 GOA 电路单元 100 的时序图。如前所述，根据本发明的实施例，引入了两套具有不同

频率的时钟信号 CKK/CKKB 与 CK/CKB, 其中, CKK/CKKB 的频率是 CK/CKB 的频率的一半; 换言之, CKK/CKKB 的周期是 CK/CKB 的周期的两倍。另外, 本级激励脉冲 inxtpls、附加时钟信号 CKK/CKKB 和时钟信号 CK/CKB 是同步的, 本级激励脉冲 inxtpls 的宽度等于第一附加时钟信号 CKK 的一个周期, 并且, 第一栅线驱动脉冲 OUT_1 和第二栅线驱动脉冲 OUT_2 的宽度均等于第一时钟信号 CK 的周期的一半。基于这样的输入-输出时序关系, 可以利用硬件描述语言 (HDL) 来描述 GOA 电路单元 100 的行为、结构和数据流。然后, 可以利用电子设计自动化 (EDA) 工具转换为以门级电路网表表示的实际电路的模块组合。接着, 可以用专用集成电路 ASIC 或现场可编程门阵列 FPGA 自动布局布线工具, 把网表转换为具体的电路结构。

具体地, GOA 电路单元 100 可以包括阵列基板行驱动寄存模块 110 和阵列基板行驱动输出模块 120。阵列基板行驱动寄存模块 110 可以具有移位寄存器单元, 其中, 本级激励脉冲 inxtpls 和第一附加时钟信号 CKK 被提供给所述移位寄存器单元, 使得在第一输出端输出次级激励脉冲 STV_N。所述次级激励脉冲 STV_N 是本级激励脉冲 inxtpls 的被移位第一附加时钟信号 CKK 的半个周期的延迟版本。阵列基板行驱动输出模块 120 可以具有数字逻辑电路, 其中, 本级激励脉冲 inxtpls、第二附加时钟信号 CKKB、第一时钟信号 CK 和第二时钟信号 CKB 被提供给所述数字逻辑电路, 使得仅在本级激励脉冲 inxtpls 的前半个脉宽期间在第一本级输出端输出第一栅线驱动脉冲 OUT_1 并且在第二本级输出端输出第二栅线驱动脉冲 OUT_2。所述第一栅线驱动脉冲 OUT_1 在时序上与第一时钟信号 CK 的前半个周期对应, 并且所述第二栅线驱动脉冲 OUT_2 在时序上与第二时钟信号 CKB 的后半个周期对应。

这样, 利用一个 GOA 电路单元 100 可以提供用于相邻两个像素行的栅极驱动脉冲 OUT_1 和 OUT_2。

图 4 示意性地图示了通过级联如图 2 所示的 GOA 电路单元 100 而构成的 GOA 电路, 其中仅示出了两个 GOA 电路单元 100, 并且这两个 GOA 单元 100 中除了本级输出端 (OUT_x, x=1, 2, 3, ...n) 之外对应的端子用相同的参考文字表示。如所示的, 第一级 GOA 电路单元 100 的第一输出端 (其输出次级激励脉冲 STV_N) 连接到第二级 GOA 电

路单元 100 的第一输入端 (其接收来自第一级的 STV_N 作为本级激励脉冲 inxtpls), 依此类推。换言之, 除最后一级 GOA 电路单元 100 之外, 每一个 GOA 电路单元 100 的第一输出端连接到下一级阵列基板行驱动电路单元的第一输入端。由此, 在施加到第一级 GOA 电路单元 100 的本级激励脉冲 inxtpls 的激励下, 可以向各个像素行顺序地提供相应的栅极驱动脉冲 OUT_1, OUT_2, OUT_3, OUT_4, ..., OUT_n。

图 5 图示了根据发明的实施例的一种 GOA 电路的实现方式的原理图, 其中仅示出了两个级联的 GOA 电路单元。如图 5 所示的, 一个 GOA 电路单元包括阵列基板行驱动寄存模块 110 和阵列基板行驱动输出模块 120。

阵列基板行驱动输出模块 120 包括用于按照前面参考图 3 所描述的时序关系生成两个栅极驱动脉冲的数字逻辑电路。在该实现方式中, 数字逻辑电路包括与门 A1、第一与非门 AN1、第一非门 N1、第二与非门 AN2 以及第二非门 N2。与门 A1 的两个输入端之一被提供本级激励脉冲 inxtpls, 并且另一个被提供第二附加时钟信号 CKKB。第一与非门 AN1 的一个输入端连接到与门 A1 的输出端, 并且另一个输入端被提供第一时钟信号 CK。第一非门 N1 的输入端连接到第一与非门 AN1 的输出端。第二与非门 AN2 的一个输入端连接到与门 A1 的输出端, 并且另一个输入端被提供第二时钟信号 CKB。第二非门 N2 的输入端连接到第二与非门 AN2 的输出端。第一非门 N1 的输出信号可以被路由到第一本级输出端作为第一栅线驱动脉冲 OUT_1, 并且第二非门 N2 的输出信号可以被路由到第二本级输出端作为第二栅线驱动脉冲 OUT_2。为了提高栅线驱动脉冲的驱动能力, 数字逻辑电路可以还包括用于在将第一栅线驱动脉冲路由到第一本级输出端以供输出之前对其进行缓冲的第一缓冲电路以及用于在将第二栅线驱动脉冲路由到第二本级输出端以供输出之前对其进行缓冲的第二缓冲电路。在该实现方式中, 第一缓冲电路包括相互串联的偶数个非门, 并且第二缓冲电路包括相互串联的偶数个非门。

阵列基板行驱动寄存模块 110 包括用于按照前面参考图 3 所描述的时序关系生成次级激励脉冲的移位寄存器单元。在该实现方式中, 移位寄存器单元包括第三非门 N3、第一三态非门 TN1、第二三态非门 TN2 以及第四非门 N4。第三非门 N3 的输入端被提供第一附加时钟信

号 CKK。第一三态非门 TN1 的输入端被提供本级激励脉冲 inxtpls，其第一控制端连接到第三非门 N3 的输入端，并且其第二控制端连接到第三非门 N3 的输出端。第二三态非门 TN2 的输出端连接到第一三态非门 TN1 的输出端，其第一控制端连接到第三非门 N3 的输出端，并且其第二控制端连接到第三非门 N3 的输入端。第四非门 N4 的输入端连接到第二三态非门 TN2 的输出端，其输出端连接到第二三态非门 TN2 的输入端，并且其输出信号被路由到阵列基板行驱动寄存模块 110 的第一输出端作为次级激励脉冲 STV_N。

下面结合图 3 中所示的信号时序来详细介绍图 5 中的 GOA 电路的操作。

在时间段 T1 期间，CKK 为低电平，CKKB 为高电平，inxtpls 为高电平。移位寄存器单元的第一三态非门 TN1 被关闭，使得 inxtpls 不能进入由第二三态非门 TN2 和第四非门 N4 组成的双稳态电路，而是直接和 CKKB 一起输入至与门 A1。此时，与门 A1 的输出为高电平，此高电平分别输入两个与非门 AN1、AN2 中的每一个的一个输入端，该两个与非门 AN1、AN2 的另一输入端分别被提供 CK 和 CKB。在 CK 的前半个周期期间，CK 为高电平，CKB 为低电平，使得 OUT_1 为高，OUT_2 为低。与此相反，在 CK 的后半个周期期间，CK 为低电平，CKB 为高电平，使得 OUT_1 为低，OUT_2 为高。

在时间段 T2 期间，inxtpls 仍然保持在高电平，CKK 为高电平，CKKB 为低电平。移位寄存器单元的第一三态非门 TN1 被打开，并且第二三态非门 TN2 被关闭，使得双稳态电路不工作。inxtpls 脉冲的后半个周期经过第一三态非门 TN1 和第四非门 N4 被路由到第一输出端，输出将被输入至下一级 GOA 单元的高电平信号（即，STV_N 脉冲的前半个周期，其将使得下一级 GOA 单元能够生成两个栅极驱动脉冲 OUT_3/OUT_4）。此时，由于 CKKB 为低，所以与门 A1 的输出为低电平，使得无论 CK/CKB 是否为高电平，OUT_1/OUT_2 保持为低电平。

在时间段 T3 期间，inxtpls 变为低电平，CKK 为低电平，CKKB 为高电平。移位寄存器单元的第一三态非门 TN1 被关闭，双稳态电路工作，将上一时刻的高电平锁存在其中，作为 STV_N 脉冲的后半个周期。此时，与时间段 T2 一样，无论 CK/CKB 信号如何，OUT_1/OUT_2 都为低。

在时间段 T4 期间, inxtpls 仍为低电平, CKK 为高电平, CKKB 为低电平。移位寄存器单元的第一三态非门 TN1 被打开, 并且第二三态非门 TN2 被关闭, 使得双稳态电路不工作。inxtpls 的低电平信号经由第一三态非门 TN1 和第四非门 N4 将 STV_N 拉低为低电平。此时, 5 无论 CK/CKB 信号如何, OUT_1/OUT_2 输出保持为低电平。

此后, STV_N 和 OUT_1/OUT_2 保持在低电平。每一级 GOA 都按照上述过程工作来完成扫描激励脉冲的移位和本级驱动脉冲的输出。

图 6 示意性地图示了根据本发明的另一个实施例的 GOA 电路单元 200 的框图。与图 2 所示的 GOA 电路单元 100 相比, GOA 电路单元 10 200 除了阵列基板行驱动寄存模块 110 和阵列基板行驱动输出模块 120 之外, 还可以包括扫描方向控制模块 130。所述扫描方向控制模块 130 包括用于接收正扫激励脉冲 STV_N-1 的第六输入端、用于接收反扫激励脉冲 STV_N+1 的第七输入端、被施加第一直流电平 CN 的第一扫描方向控制端、被施加第二直流电平 CNB 的第二扫描方向控制端、被连 15 接到所述第一输入端的第二输出端, 以及模拟开关。第二直流电平 CNB 与第一直流电平 CN 是互补的。模拟开关在第一直流电平 CN 和第二直流电平 CNB 的控制下, 将正扫激励脉冲 STV_N-1 和反扫激励脉冲 STV_N+1 中的一个选择性地路由到第二输出端作为本级激励脉冲 inxtpls。例如, 当 CN 为高电平, CNB 为低电平时, 模拟开关将正扫激励脉冲 STV_N-1 路由到第二输出端作为本级激励脉冲 inxtpls, 执行正向扫描; 反之, 当 CN 为低电平, CNB 为高电平时, 模拟开关将反扫激励脉冲 STV_N+1 路由到第二输出端作为本级激励脉冲 inxtpls, 执行反向扫描。 20

图 7 示意性地图示了通过级联如图 6 所示的 GOA 电路单元 200 而 25 构成的 GOA 电路, 其中仅示出了两个 GOA 电路单元 200, 并且这两个 GOA 单元 200 中除了本级输出端 (OUT_x, x=1, 2, 3, ...n) 之外对应的端子用相同的参考文字表示。如所示的, 第一级 GOA 电路单元 200 的第一输出端 (其在正向扫描的情况下输出次级激励脉冲 STV_N) 连接到第二级 GOA 电路单元 200 的第六输入端 (其在正向扫描的情况下接收来自第一级的 STV_N 作为本级激励脉冲 inxtpls), 并且第二级 30 GOA 电路单元 200 的第一输出端 (其在反向扫描的情况下输出次级激励脉冲 STV_N) 连接到第一级 GOA 电路单元 200 的第七输入端 (其

在反向扫描的情况下接收来自第二级的 STV_N 作为本级激励脉冲 $inxtpls$), 依此类推。换言之, 除第一级阵列基板行驱动电路单元之外, 每一个阵列基板行驱动电路单元的第六输入端连接到上一级阵列基板行驱动电路单元的第一输出端, 并且除最后一级阵列基板行驱动电路单元之外, 每一个阵列基板行驱动电路单元的第七输入端连接到下一级阵列基板行驱动电路单元的第一输出端。由此, 在正向扫描的情况下, 在施加到第一级 GOA 电路单元 200 的正扫激励脉冲 STV_N-1 的激励下, 可以从上到下向各个像素行顺序地提供相应的栅极驱动脉冲 $OUT_1, OUT_2, OUT_3, OUT_4, \dots, OUT_n$; 反之, 在反向扫描的情况下, 在施加到最后一级 GOA 电路单元 200 的反扫激励脉冲 STV_N+1 的激励下, 可以从下到上向各个像素行顺序地提供相应的栅极驱动脉冲 $OUT_n, OUT_n-1, OUT_n-2, OUT_n-3, \dots, OUT_1$ 。

图 8 图示了根据发明的另一实施例的一种 GOA 电路的实现方式的原理图, 其中仅示出了两个级联的 GOA 电路单元。如所示的, 一个 GOA 电路单元包括阵列基板行驱动寄存模块 110、阵列基板行驱动输出模块 120 和可选的扫描方向控制模块 130。

图 8 中图示的阵列基板行驱动寄存模块 110 和阵列基板行驱动输出模块 120 与前面描述的那些相同, 并且在此不进行详细描述。

特别地, 可选的扫描方向控制模块 130 包括用于在第一直流电平 CN 和第二直流电平 CNB 的控制下, 将正扫激励脉冲 STV_N-1 和反扫激励脉冲 STV_N+1 中的一个选择性地路由到第二输出端的模拟开关。在该实现方式中, 该模拟开关包括第一传输门 TG1 和第二传输门 TG2。正扫激励脉冲 STV_N-1 被提供给第一传输门 TG1 的输入端, 第一直流电平 CN 被施加到第一传输门 TG1 的第一控制端, 第二直流电平 CNB 被施加到第一传输门 TG1 的第二控制端, 并且第一传输门 TG1 的输出信号被路由到扫描方向控制模块 130 第二输出端作为本级激励脉冲 $inxtpls$ 。反扫激励脉冲 STV_N+1 被提供给第二传输门 TG2 的输入端, 第二直流电平 CNB 被施加到第二传输门 TG2 的第一控制端, 第一直流电平 CN 被施加到第二传输门 TG2 的第二控制端, 第二传输门 TG2 的输出信号被路由到扫描方向控制模块 130 的第二输出端作为本级激励脉冲 $inxtpls$ 。

下面结合图 3 中所示的信号时序来详细介绍图 8 中的 GOA 电路的

操作。假定第一直流电平 CN 为高电平，第二直流电平 CNB 为低电平，也即，GOA 电路工作在正向扫描模式下。

在时间段 T1 期间，CKK 为低电平，CKKB 为高电平，STV_N-1 为高电平。移位寄存器单元的第一三态非门 TN1 被关闭，使得
5 STV_N-1 不能进入由第二三态非门 TN2 和第四非门 N4 组成的双稳态电路，而是直接和 CKKB 一起输入至与门 A1。此时，与门 A1 的输出为高电平，此高电平分别输入两个与非门 AN1、AN2 中的每一个的一个输入端，该两个与非门 AN1、AN2 的另一输入端分别被提供 CK 和 CKB。在 CK 的前半个周期期间，CK 为高电平，CKB 为低电平，使得
10 OUT_1 为高，OUT_2 为低。与此相反，在 CK 的后半个周期期间，CK 为低电平，CKB 为高电平，使得 OUT_1 为低，OUT_1 为高。

在时间段 T2 期间，STV_N-1 仍然保持在高电平，CKK 为高电平，CKKB 为低电平。移位寄存器单元的第一三态非门 TN1 被打开，并且第二三态非门 TN2 被关闭，使得双稳态电路不工作。STV_N-1 脉冲的
15 后半周期经过第一三态非门 TN1 和第四非门 N4 被路由到第一输出端，输出将被输入至下一级 GOA 单元的高电平信号（即，STV_N 脉冲的前半个周期，其将使得下一级 GOA 单元能够生成两个栅极驱动脉冲 OUT_3/OUT_4）。此时，由于 CKKB 为低，所以与门 A1 的输出为低电平，使得无论 CK/CKB 是否为高电平，OUT_1/OUT_2 保持为低电
20 平。

在时间段 T3 期间，STV_N-1 变为低电平，CKK 为低电平，CKKB 为高电平。移位寄存器单元的第一三态非门 TN1 被关闭，双稳态电路工作，将上一时刻的高电平锁存在其中，作为 STV_N 脉冲的后半周期。此时，与时间段 T2 一样，无论 CK/CKB 信号如何，OUT_1/OUT_2
25 都为低。

在时间段 T4 期间，STV_N-1 仍为低电平，CKK 为高电平，CKKB 为低电平。移位寄存器单元的第一三态非门 TN1 被打开，并且第二三态非门 TN2 被关闭，使得双稳态电路不工作。STV_N-1 的低电平信号
30 经由第一三态非门 TN1 和第四非门 N4 将 STV_N 拉低为低电平。此时，无论 CK/CKB 信号如何，OUT_1/OUT_2 输出保持为低电平。

此后，STV_N 和 OUT_1/OUT_2 保持在低电平。每一级 GOA 都按照上述过程工作来完成扫描激励脉冲的移位和本级驱动脉冲的输出。

还应当理解，图 5 和 8 中所示的电路配置仅是示例性的。对于同样的电路行为或功能，可以基于布尔代数公式得到不同的门电路结构。例如，在忽略缓冲电路的情况下，图 5 和 8 中所图示的阵列基板行驱动输出模块 120 的数字逻辑电路的功能可以表示为：

$$\begin{aligned} 5 \quad OUT_1 &= \overline{(\overline{CKKB \cdot inxtpls}) \cdot CK} = \overline{(\overline{CKKB \cdot inxtpls}) + \overline{CK}} = \overline{CKKB + inxtpls + CK} \\ OUT_2 &= \overline{(\overline{CKKB \cdot inxtpls}) \cdot CKB} = \overline{(\overline{CKKB \cdot inxtpls}) + \overline{CKB}} = \overline{CKKB + inxtpls + CKB} \end{aligned}$$

其中，每一个布尔代数表达式都可以表示一个具体的门电路结构。因此，代替如图 5 和 8 中所图示的门电路结构，还可以利用例如由一个与非门、一个非门以及一个或非门组成的数字逻辑电路来生成第一
10 栅线驱动脉冲 OUT_1 ，即， $OUT_1 = \overline{(\overline{CKKB \cdot inxtpls}) + \overline{CK}}$ 。这样的变型是本领域技术人员已知的，并且在此将不进行详细描述。

根据一个实施例，前面描述的 GOA 电路单元 100、200 可以是基于 CMOS 工艺制造的。在一个供替换的实施例中，前面描述的 GOA 电路单元 100、200 可以是基于 NMOS 工艺制造的。在后者的情况下，
15 晶体管的数目可以进一步减少，从而导致进一步减小的 GOA 占用面积。

此外，根据本发明的另一方面，还提供了一种显示面板，其包括前面描述的 GOA 电路，该 GOA 电路可以包括多个级联的 GOA 电路单元 100 或 200。该显示面板可以应用于液晶显示器、液晶电视、数码相框、手机、平板电脑等任何具有显示功能的产品或者部件。

20 虽然前面的讨论包含若干特定的实现细节，但是这些不应解释为对任何发明或者可能要求保护的范围的限制，而应解释为对可能仅限于特定发明的特定实施例的特征的描述。在本说明书中不同的实施例中描述的特定特征也可以在单个实施例中以组合形式实现。与此相反，在单个实施例中描述的不同特征也可以在多个实施例中分别地或者以
25 任何适当的子组合形式实现。此外，尽管前面可能将特征描述为以特定组合起作用，甚至最初也被如此要求保护，但是来自所要求保护的组合中的一个或多个特征在某些情况下也可以从该组合中排除，并且该要求保护的组合可以被导向子组合或子组合的变型。

30 鉴于前面的描述并结合阅读附图，对前述本发明的示例性实施例的各种修改和改动对于相关领域的技术人员可以变得显而易见。任何和所有修改仍将落入本发明的非限制性和示例性实施例的范围内。此

外，属于本发明的这些实施例所属领域的技术人员，在得益于前面的描述和相关附图所给出的教导后，将会想到在此描述的本发明的其他实施例。

- 因此，应当理解，本发明的实施例并不限于所公开的特定实施例，
- 5 并且修改和其他的实施例也意图被包含在所附权利要求书的范围内。尽管此处使用了特定术语，但是它们仅在通用和描述性意义上使用，而非为了限制的目的。

权 利 要 求

1. 一种阵列基板行驱动电路单元，包括：

用于接收本级激励脉冲的第一输入端；

5 用于接收第一附加时钟信号的第二输入端；

用于接收第二附加时钟信号的第三输入端，所述第二附加时钟信号是所述第一附加时钟信号的反相版本；

用于接收第一时钟信号的第四输入端；

10 用于接收第二时钟信号的第五输入端，所述第二时钟信号是所述第一时钟信号的反相版本；

用于输出次级激励脉冲的第一输出端；

用于输出第一栅线驱动脉冲的第一本级输出端；

用于输出第二栅线驱动脉冲的第二本级输出端；

阵列基板行驱动寄存模块，其具有移位寄存器单元；以及

15 阵列基板行驱动输出模块，其具有数字逻辑电路；

其中，所述本级激励脉冲、所述第一附加时钟信号和所述第一时钟信号是同步的，所述本级激励脉冲的宽度等于所述第一附加时钟信号的一个周期，所述第一附加时钟信号的周期是所述第一时钟信号的周期的两倍，并且，所述第一栅线驱动脉冲和所述第二栅线驱动脉冲的宽度均等于所述第一时钟信号的周期的一半；

其中，所述本级激励脉冲和所述第一附加时钟信号被提供给所述移位寄存器单元，使得在所述第一输出端输出所述次级激励脉冲，所述次级激励脉冲是所述本级激励脉冲的被移位所述第一附加时钟信号的半个周期的延迟版本；

25 并且其中，所述本级激励脉冲、所述第二附加时钟信号、所述第一时钟信号和所述第二时钟信号被提供给所述数字逻辑电路，使得仅在所述本级激励脉冲的前半个脉宽期间在所述第一本级输出端输出与所述第一时钟信号的前半个周期时序上对应的所述第一栅线驱动脉冲，并且在所述第二本级输出端输出与所述第二时钟信号的后半个周期时序上对应的所述第二栅线驱动脉冲。

30 2. 根据权利要求 1 所述的阵列基板行驱动电路单元，其中，所述数字逻辑电路包括：

与门，其两个输入端之一被提供所述本级激励脉冲，并且另一个输入端被提供所述第二附加时钟信号；

第一与非门，其一个输入端连接到所述与门的输出端，并且另一个输入端被提供所述第一时钟信号；

5 第一非门，其输入端连接到所述第一与非门的输出端；

第二与非门，其一个输入端连接到所述与门的输出端，并且另一个输入端被提供所述第二时钟信号；以及

第二非门，其输入端连接到所述第二与非门的输出端；

其中，所述第一非门的输出信号被路由到所述第一本级输出端作为所述第一栅线驱动脉冲，并且所述第二非门的输出信号被路由到所述第二本级输出端作为所述第二栅线驱动脉冲。

3. 根据权利要求 1 所述的阵列基板行驱动电路单元，其中，所述数字逻辑电路还包括：

15 第一缓冲电路，用于在将所述第一栅线驱动脉冲路由到所述第一本级输出端以供输出之前对其进行缓冲；以及

第二缓冲电路，用于在将所述第二栅线驱动脉冲路由到所述第二本级输出端以供输出之前对其进行缓冲。

4. 根据权利要求 3 所述的阵列基板行驱动电路单元，其中，所述第一缓冲电路包括相互串联的偶数个非门，并且所述第二缓冲电路包括相互串联的偶数个非门。

5. 根据权利要求 1 所述的阵列基板行驱动电路单元，其中，所述移位寄存器单元包括：

第三非门，其输入端被提供所述第一附加时钟信号；

25 第一三态非门，其输入端被提供所述本级激励脉冲，其第一控制端连接到所述第三非门的输入端，并且其第二控制端连接到所述第三非门的输出端；

第二三态非门，其输出端连接到所述第一三态非门的输出端，其第一控制端连接到所述第三非门的输出端，并且其第二控制端连接到所述第三非门的输入端；以及

30 第四非门，其输入端连接到所述第二三态非门的输出端，其输出端连接到所述第二三态非门的输入端，并且其输出信号被路由到所述第一输出端作为所述次级激励脉冲。

6. 根据权利要求 1 所述的阵列基板行驱动电路单元, 还包括扫描方向控制模块, 其中, 所述扫描方向控制模块包括:

用于接收正扫激励脉冲的第六输入端;

用于接收反扫激励脉冲的第七输入端;

5 被施加第一直流电平的第一扫描方向控制端;

被施加第二直流电平的第二扫描方向控制端, 所述第二直流电平与所述第一直流电平是互补的;

被连接到所述第一输入端的第二输出端; 以及

模拟开关, 其在所述第一直流电平和所述第二直流电平的控制下, 10 将所述正扫激励脉冲和所述反扫激励脉冲中的一个选择性地路由到所述第二输出端作为所述本级激励脉冲。

7. 根据权利要求 6 所述的阵列基板行驱动电路单元, 其中, 所述模拟开关包括第一传输门和第二传输门, 所述正扫激励脉冲被提供给所述第一传输门的输入端, 所述第一直流电平被施加到所述第一传输15 门的第一控制端, 所述第二直流电平被施加到所述第一传输门的第二控制端, 所述第一传输门的输出信号被路由到所述第二输出端作为所述本级激励脉冲, 所述反扫激励脉冲被提供给所述第二传输门的输入端, 所述第二直流电平被施加到所述第二传输门的第一控制端, 所述第一直流电平被施加到所述第二传输门的第二控制端, 所述第二传输20 门的输出信号被路由到所述第二输出端作为所述本级激励脉冲。

8. 根据权利要求 1 所述的阵列基板行驱动电路单元, 其中, 所述阵列基板行驱动电路单元是基于 CMOS 或 NMOS 工艺制造的。

9. 一种阵列基板行驱动电路, 包括至少两个级联的根据权利要求1-7 中任一项所述的阵列基板行驱动电路单元,

25 其中, 在所述阵列基板行驱动电路单元不包括所述扫描方向控制模块的情况下, 除最后一级阵列基板行驱动电路单元之外, 每一个阵列基板行驱动电路单元的第一输出端连接到下一级阵列基板行驱动电路单元的第一输入端;

并且其中, 在所述阵列基板行驱动电路单元包括所述扫描方向控制模块的情况下, 除第一级阵列基板行驱动电路单元之外, 每一个阵30 列基板行驱动电路单元的第六输入端连接到上一级阵列基板行驱动电路单元的第一输出端, 并且除最后一级阵列基板行驱动电路单元之外,

每一个阵列基板行驱动电路单元的第七输入端连接到下一级阵列基板行驱动电路单元的第一输出端。

10. 一种显示面板, 包括根据权利要求 9 所述的阵列基板行驱动电路。

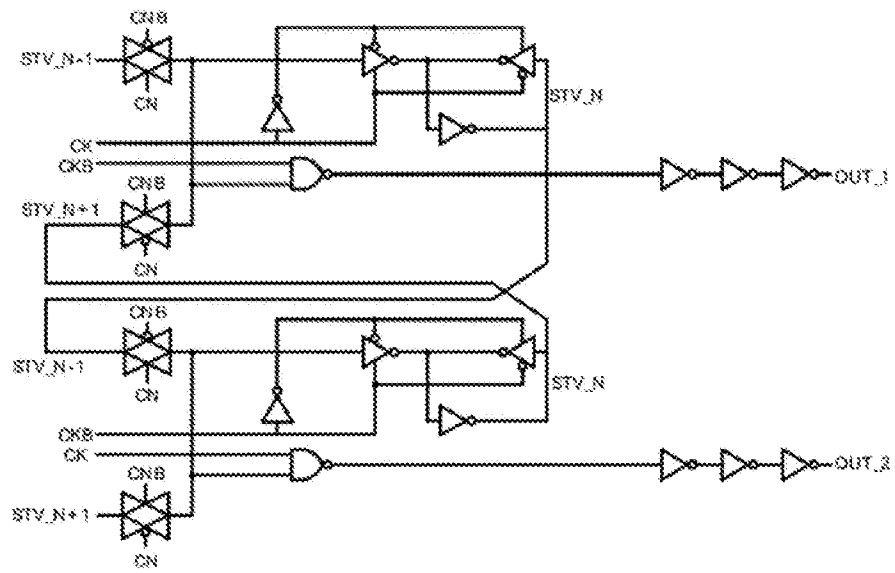


图 1

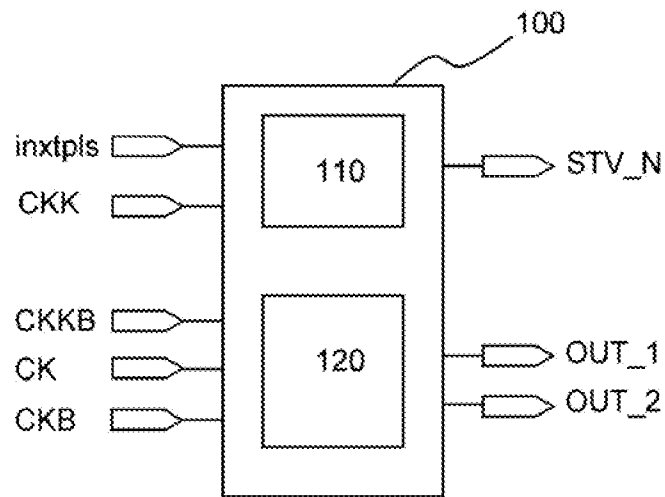


图 2

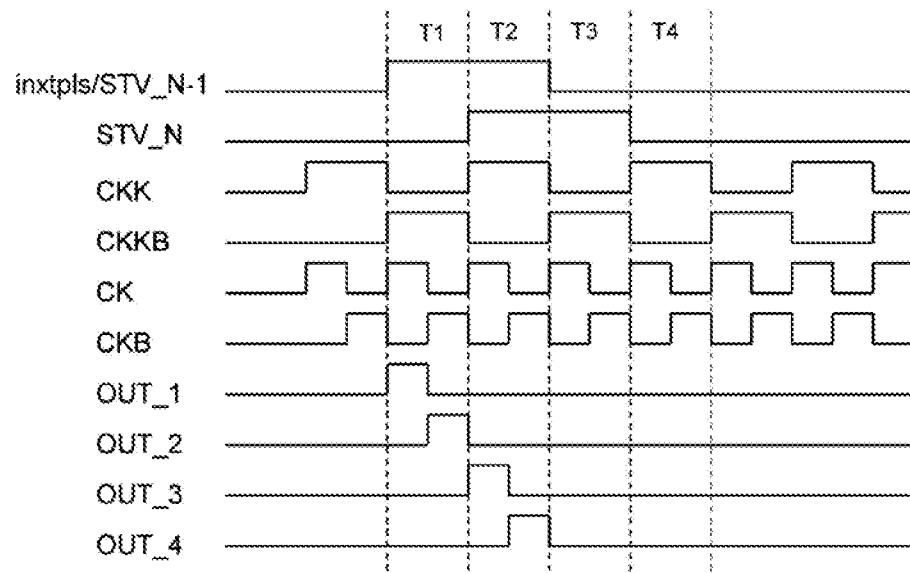


图 3

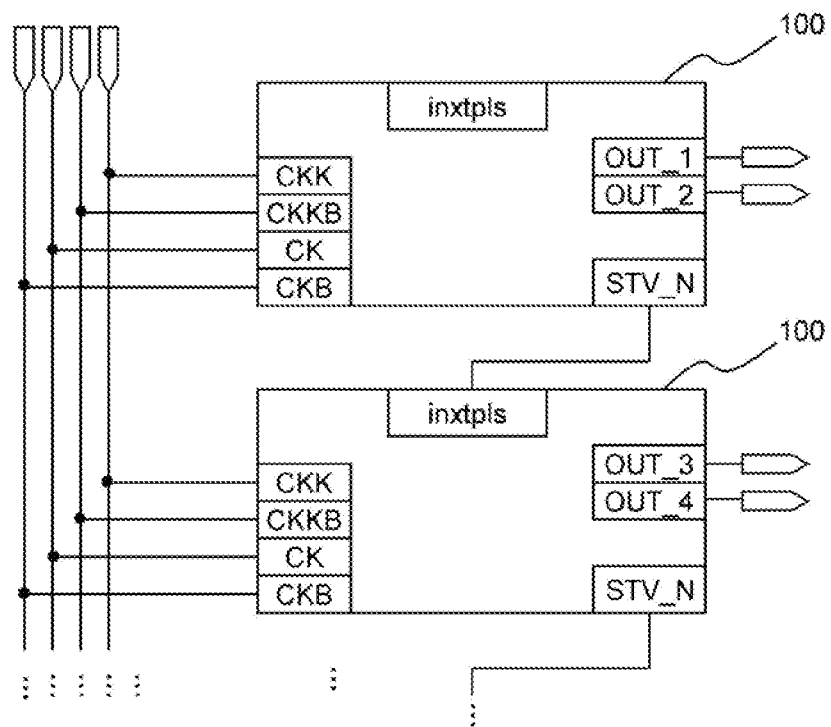


图 4

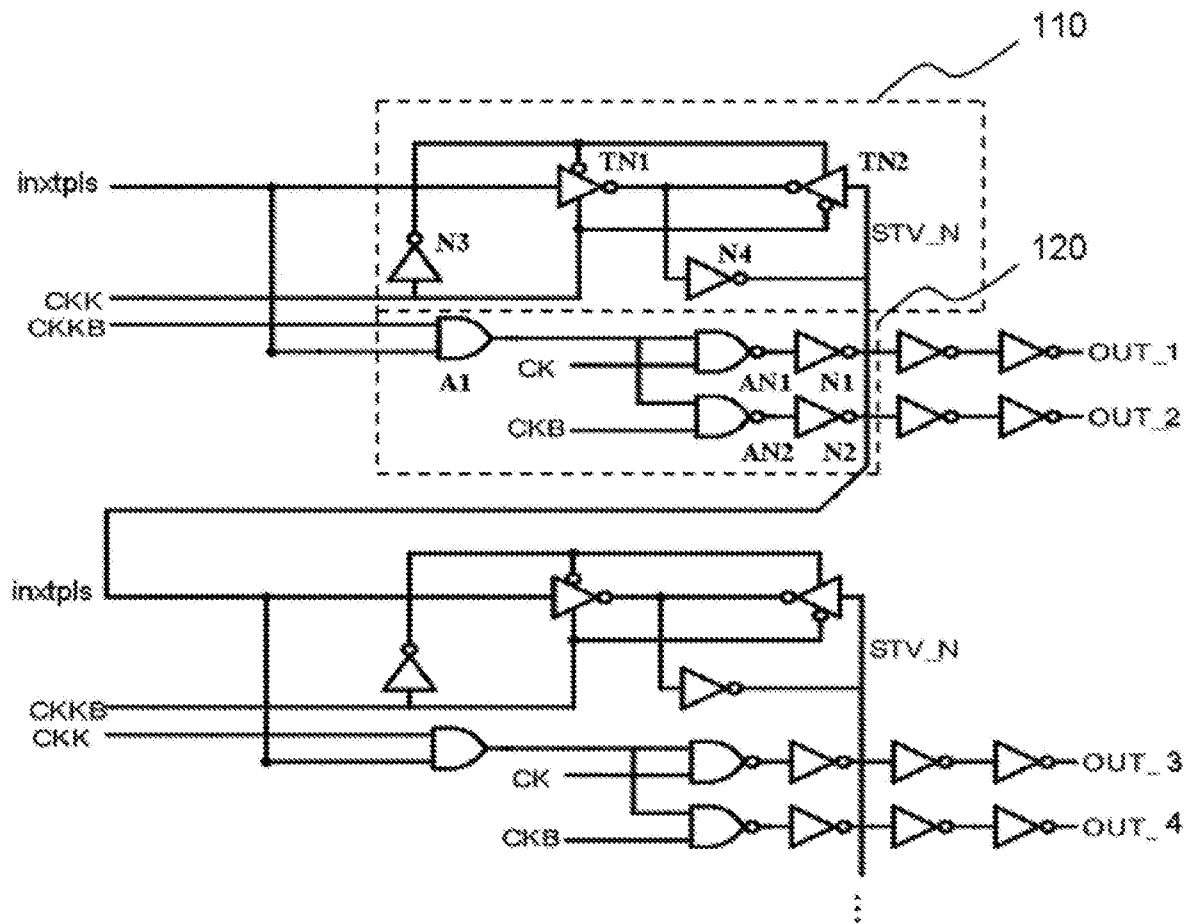


图 5

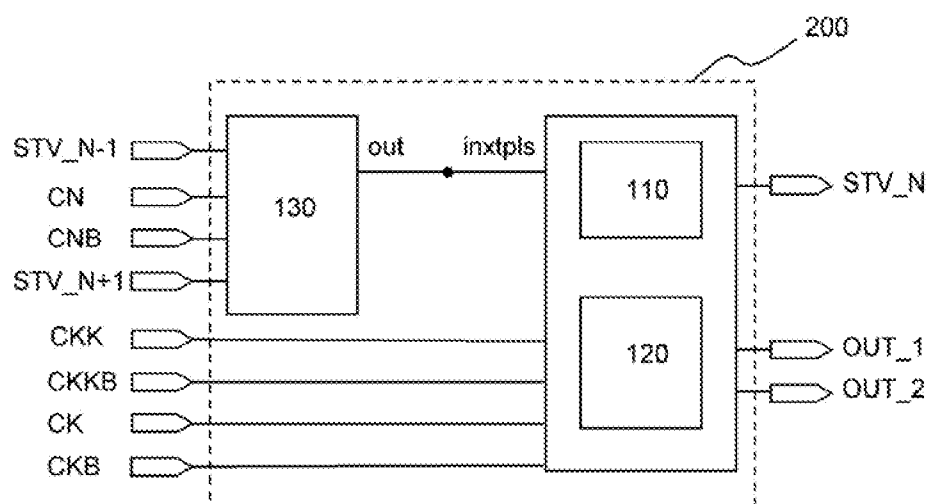


图 6

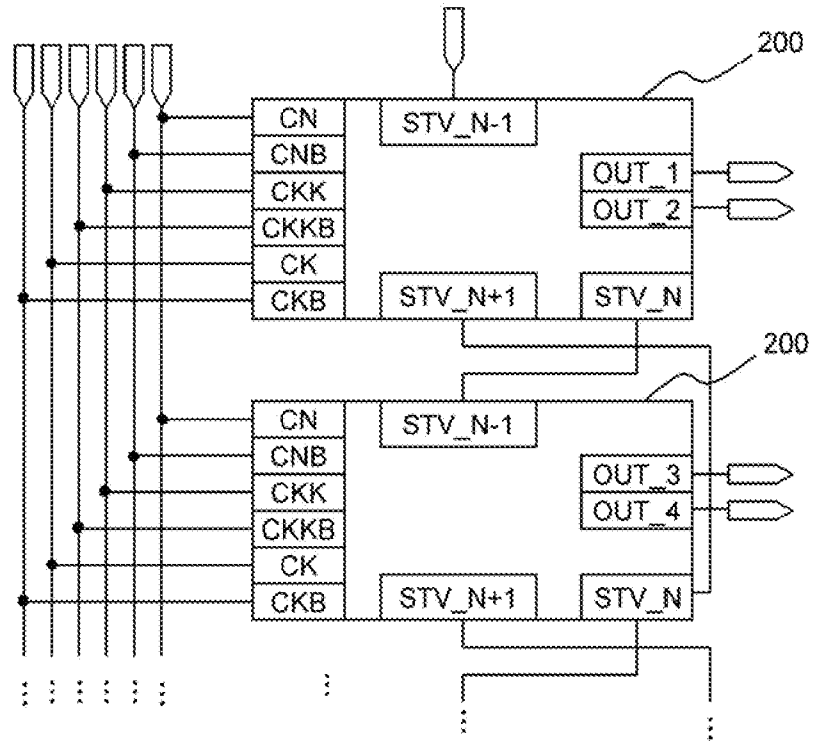


图 7

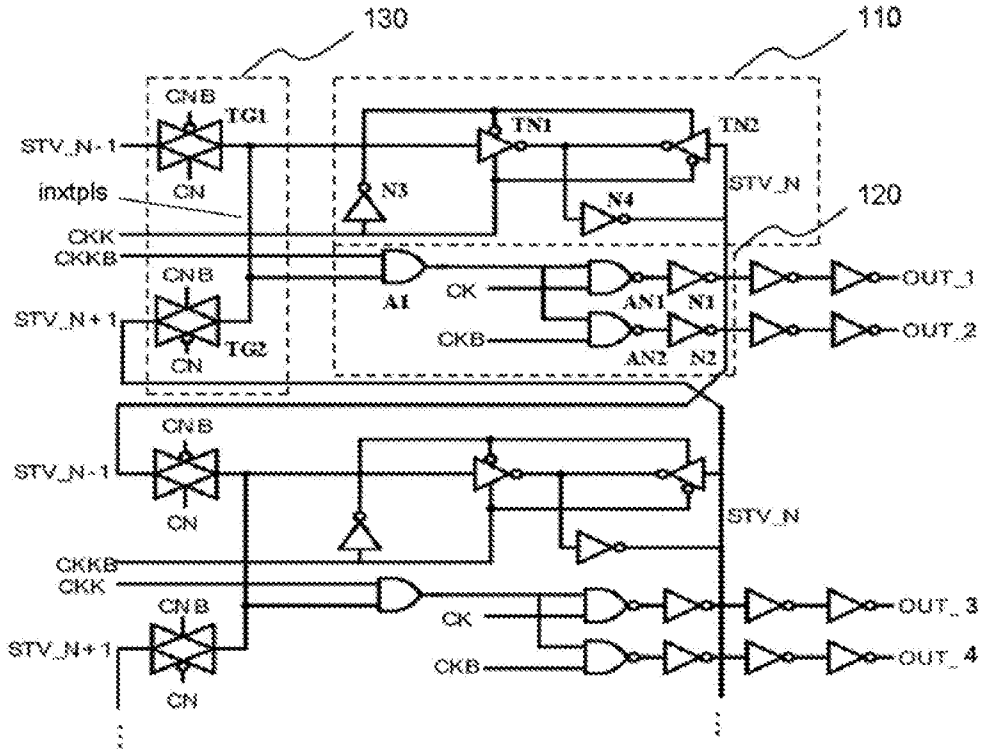


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/097114

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN: first, second, third, fourth, Gate Driver on Array, GOA, clock, scan+, direction, bi-direction

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 202996250 U (BOE TECHNOLOGY GROUP CO., LTD.), 12 June 2013 (12.06.2013), description, paragraphs [0025]-[0074], and figures 1-3	1-5, 8-10
Y	CN 202996250 U (BOE TECHNOLOGY GROUP CO., LTD.), 12 June 2013 (12.06.2013), description, paragraphs [0025]-[0074], and figures 1-3	6, 7
Y	CN 104361875 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 18 February 2015 (18.02.2015), description, paragraphs [0051]-[0054], and figure 5	6, 7
PX	CN 104966480 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 07 October 2015 (07.10.2015), description, paragraphs [0019]-[0046], and figures 1-8	1-10
A	CN 103345911 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 09 October 2013 (09.10.2013), the whole document	1-10
A	US 2014198023 A1 (NOVATEK MICROELECTRONICS CORP.), 17 July 2014 (17.07.2014), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 April 2016 (06.04.2016)	Date of mailing of the international search report 20 April 2016 (20.04.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YANG, Xi Telephone No.: (86-10) 62085797

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/097114

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 202996250 U	12 June 2013	None	
CN 104361875 A	18 February 2015	None	
CN 104966480 A	07 October 2015	None	
CN 103345911 A	09 October 2013	CN 103345911 B	17 February 2016
		US 2015248867 A1	03 September 2015
		WO 2014205897 A1	31 December 2014
US 2014198023 A1	17 July 2014	TW I483230 B	01 May 2015
		TW 201428713 A	16 July 2014

国际检索报告

国际申请号

PCT/CN2015/097114

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN:阵列基板行驱动, 时钟, 第一, 第二, 第三, 第四, 扫描, 方向, 双向, Gate Driver on Array, GOA, clock, scan+, direction, bi-direction

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 202996250 U (京东方科技集团股份有限公司) 2013年 6月 12日 (2013 - 06 - 12) 说明书第【0025】-【0074】段、附图1-3	1-5, 8-10
Y	CN 202996250 U (京东方科技集团股份有限公司) 2013年 6月 12日 (2013 - 06 - 12) 说明书第【0025】-【0074】段、附图1-3	6, 7
Y	CN 104361875 A (京东方科技集团股份有限公司 等) 2015年 2月 18日 (2015 - 02 - 18) 说明书第【0051】-【0054】段、附图5	6, 7
PX	CN 104966480 A (京东方科技集团股份有限公司 等) 2015年 10月 7日 (2015 - 10 - 07) 说明书第【0019】-【0046】段、附图1-8	1-10
A	CN 103345911 A (京东方科技集团股份有限公司 等) 2013年 10月 9日 (2013 - 10 - 09) 全文	1-10
A	US 2014198023 A1 (NOVATEK MICROELECTRONICS CORP) 2014年 7月 17日 (2014 - 07 - 17) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 4月 6日

国际检索报告邮寄日期

2016年 4月 20日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

杨曦

电话号码 (86-10)62085797

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/097114

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	202996250	U	2013年 6月 12日	无			
CN	104361875	A	2015年 2月 18日	无			
CN	104966480	A	2015年 10月 7日	无			
CN	103345911	A	2013年 10月 9日	CN	103345911	B	2016年 2月 17日
				US	2015248867	A1	2015年 9月 3日
				WO	2014205897	A1	2014年 12月 31日
US	2014198023	A1	2014年 7月 17日	TW	I483230	B	2015年 5月 1日
				TW	201428713	A	2014年 7月 16日

表 PCT/ISA/210 (同族专利附件) (2009年7月)