

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7622202号
(P7622202)

(45)発行日 令和7年1月27日(2025.1.27)

(24)登録日 令和7年1月17日(2025.1.17)

(51)国際特許分類		F I			
G 0 6 F	1/04 (2006.01)	G 0 6 F	1/04	5 7 1	
H 0 3 K	21/38 (2006.01)	H 0 3 K	21/38		
G 0 6 F	1/12 (2006.01)	G 0 6 F	1/12		
G 0 6 F	1/10 (2006.01)	G 0 6 F	1/10	5 1 0	

請求項の数 9 (全9頁)

(21)出願番号	特願2023-510451(P2023-510451)	(73)特許権者	000233295 株式会社日立情報通信エンジニアリング 神奈川県横浜市西区みなとみらい二丁目 3番3号
(86)(22)出願日	令和4年3月14日(2022.3.14)	(74)代理人	110001678 藤央弁理士法人
(86)国際出願番号	PCT/JP2022/011402	(72)発明者	杉田 謙一 神奈川県横浜市西区みなとみらい二丁目 3番3号 株式会社日立情報通信エンジ ニアリング内
(87)国際公開番号	WO2023/175685	(72)発明者	小栗 秀幸 神奈川県横浜市西区みなとみらい二丁目 3番3号 株式会社日立情報通信エンジ ニアリング内
(87)国際公開日	令和5年9月21日(2023.9.21)	(72)発明者	山内 尚雄
審査請求日	令和5年2月13日(2023.2.13)		

最終頁に続く

(54)【発明の名称】 処理装置及びエラー検出方法

(57)【特許請求の範囲】

【請求項1】

処理装置であって、

クロック発生回路から供給されるクロック信号に基づいて稼働する複数の演算回路と、前記クロック信号を分岐し、前記複数の演算回路に出力する分配回路と、前記複数の演算回路の出力を比較し、エラーを検出する検出回路と、を備え、少なくとも一つの前記演算回路は、前記クロック信号を、前記クロック信号の異常を検出可能なクロック信号に変換する、少なくとも一つの変換回路を介して前記分配回路と接続されることを特徴とする処理装置。

【請求項2】

請求項1に記載の処理装置であって、

前記複数の演算回路の各々は、少なくとも一つの前記変換回路を介して前記分配回路と接続されることを特徴とする処理装置。

【請求項3】

請求項2に記載の処理装置であって、

前記複数の演算回路は、第1演算回路を含み、前記第1演算回路は、前記クロック信号の周波数を分周する、一つの前記変換回路と接続し、前記第1演算回路以外の他の前記演算回路は、前記クロック信号の周波数を分周し、遅延を発生させる、一つの前記変換回路と接続し、

前記複数の演算回路の各々が接続する前記変換回路の分周比は異なり、
前記第 1 演算回路以外の他の前記演算回路に接続する前記変換回路の遅延サイクルは異なることを特徴とする処理装置。

【請求項 4】

請求項 2 に記載の処理装置であって、
前記複数の演算回路の各々は、前記クロック信号の周波数を分周する、一つの第 1 変換回路及び前記クロック信号の周波数を逡倍する、一つの第 2 変換回路と接続し、
前記複数の演算回路の各々が接続する前記第 1 変換回路の分周比は異なり、
前記複数の演算回路の各々が接続する前記第 2 変換回路の逡倍率は異なることを特徴とする処理装置。

10

【請求項 5】

請求項 1 から請求項 4 のいずれか一項に記載の処理装置であって、
前記変換回路は、位相同期回路であることを特徴とする処理装置。

【請求項 6】

処理装置が実行するエラー検出方法であって、
前記処理装置は、複数の演算回路を有し、
前記エラー検出方法は、
前記処理装置が、クロック発生回路から供給されるクロック信号を分岐する第 1 のステップと、
前記処理装置が、分岐された少なくとも一つの前記クロック信号を、前記クロック信号の異常を検出可能なクロック信号に変換する第 2 のステップと、
前記処理装置が、分岐された複数の前記クロック信号の各々を前記複数の演算回路に供給し、並列で演算を実行させる第 3 のステップと、
前記処理装置が、並列実行された前記演算の実行結果を比較し、エラーを検出する第 4 のステップと、を含むことを特徴とするエラー検出方法。

20

【請求項 7】

請求項 6 に記載のエラー検出方法であって、
前記第 2 のステップは、前記処理装置が、分岐された一つの前記クロック信号に対して位相同期処理を実行するステップを含むことを特徴とするエラー検出方法。

【請求項 8】

請求項 6 に記載のエラー検出方法であって、
前記第 2 のステップは、前記処理装置が、分岐された各々の前記クロック信号に対して位相同期処理を実行するステップを含み、
分岐された少なくとも一つの前記クロック信号に対して実行される位相同期処理は、遅延処理を含むことを特徴とするエラー検出方法。

30

【請求項 9】

請求項 6 に記載のエラー検出方法であって、
前記第 2 のステップは、前記処理装置が、分岐された各々の前記クロック信号に対して位相同期処理を実行するステップを含み、
分岐された各々の前記クロック信号に対して実行される位相同期処理は、分周及び逡倍を含むことを特徴とするエラー検出方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多重化された演算ユニットを備え、各演算ユニットの演算結果を比較することによってエラーを検出する処理装置に関する。

【背景技術】

【0002】

信頼性及び安全性等の観点から、演算ユニットが多重化された処理装置が知られている。演算ユニットは、外部のクロック発生回路より供給されるクロック信号にしたがって稼

50

働する。多重化された演算ユニットに正常なクロック信号を供給する技術として、特許文献 1 に記載の技術が知られている。

【 0 0 0 3 】

特許文献 1 には、「複数の発振器 1-1 ~ 1-N のクロック信号源を分周器 22-1 ~ 22-N で分周し、カウンタ 24-1 ~ 24-N のカウント値を比較器 25-1 ~ 25-N で相互比較しその結果により正常なクロック信号を選択送出する。クロック信号の比較は比較タイミング制御部 21 の制御の下に所定の期間で自動的に行えらるとともに R / W 制御部 26 により、外部からのコマンドでカウント値を読み出すことにより任意の周期でも比較が行え、その結果をセレクタ制御部 27 によるセレクタ 28 の制御に反映できる。」ことが記載されている。

【先行技術文献】

10

【特許文献】

【 0 0 0 4 】

【文献】特開平 1 0 - 2 0 9 6 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

特許文献 1 等の従来技術を用いてもクロック信号に異常が発生する可能性がある。この場合、クロック信号の異常に起因するエラーが発生するが、従来技術では、このエラーを検出することができないという課題がある。

【 0 0 0 6 】

20

本発明は、クロック信号の異常に起因するエラーを検出できる処理装置を実現することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本願において開示される発明の代表的な一例を示せば以下の通りである。すなわち、処理装置であって、クロック発生回路から供給されるクロック信号に基づいて稼働する複数の演算回路と、前記クロック信号を分岐し、前記複数の演算回路に出力する分配回路と、前記第 1 演算回路及び前記第 2 演算回路の出力を比較し、エラーを検出する検出回路と、を備え、少なくとも一つの前記演算回路は、前記クロック信号に異常が発生している場合、前記クロック信号を、前記クロック信号の異常を検出可能なクロック信号に変換する、少なくとも一つの変換回路を介して前記分配回路と接続されることを特徴とする。

30

【発明の効果】

【 0 0 0 8 】

本発明によれば、処理装置は、シンプルな回路構成で、クロック信号の異常に起因するエラーを検出することができる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】実施例 1 の処理装置の構成例を示すブロック図である。

【図 2】実施例 2 の処理装置の構成例を示すブロック図である。

【図 3】実施例 3 の処理装置の構成例を示すブロック図である。

40

【発明を実施するための形態】

【 0 0 1 0 】

以下、本発明の実施例を、図面を用いて説明する。ただし、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。本発明の思想ないし趣旨から逸脱しない範囲で、その具体的構成を変更し得ることは当業者であれば容易に理解される。

【 0 0 1 1 】

以下に説明する発明の構成において、同一又は類似する構成又は機能には同一の符号を付し、重複する説明は省略する。

【 0 0 1 2 】

本明細書等における「第 1」、「第 2」、「第 3」等の表記は、構成要素を識別するた

50

めに付するものであり、必ずしも、数又は順序を限定するものではない。

【0013】

図面等において示す各構成の位置、大きさ、形状、及び範囲等は、発明の理解を容易にするため、実際の位置、大きさ、形状、及び範囲等を表していない場合がある。したがって、本発明では、図面等に開示された位置、大きさ、形状、及び範囲等に限定されない。

【実施例1】

【0014】

図1は、実施例1の処理装置の構成例を示すブロック図である。

【0015】

処理装置100は、二つの演算回路110、111、比較回路120、及び位相同期回路(PLL)130を備える。処理装置100にはクロック発生回路200からクロック信号が供給される。

10

【0016】

演算回路110、111は、クロック信号に基づいて演算を実行する回路である。演算回路110、111は、例えば、CPU(Central Processing Unit)及びFPGA(Field Programmable Gate Array)等である。

【0017】

比較回路120は、演算回路110、111の演算結果を比較し、比較結果に基づいて演算結果又はエラー信号を出力する。具体的には、二つの演算結果に差がない場合、比較回路120は演算結果を出力し、二つの演算結果が異なる場合、比較回路120はエラー信号を出力する。

20

【0018】

PLL130は、クロック信号に対して位相同期処理を実行する。PLL130は、クロック信号に異常が発生している場合、クロック信号を、当該クロック信号の異常を検出可能なクロック信号に変換する変換回路として機能する。実施例1のPLL130は分周及び通倍を行わず、入力されたクロック信号の周波数と同じ周波数のクロック信号を出力する。

【0019】

クロック発生回路200から供給されたクロック信号は、まず、図示しない分配回路によって、第1クロック信号及び第2クロック信号に分岐される。第1クロック信号は、演算回路110に入力される。第2クロック信号は、PLL130及び演算回路111の順に入力される。

30

【0020】

クロック発生回路200から供給されたクロック信号にノイズ等の異常が発生している場合、PLL130が実行する位相同期処理によってノイズ等が除去され、また、クロック信号に現れる異常を示す波形の周期性が変化する。したがって、第1クロック信号及びPLL130から出力されるクロック信号には差が現れ、演算回路110、111の演算結果にも差が現れる。これによって、比較回路120は、クロック信号の異常に起因するエラーを検出することができる。

40

【0021】

実施例1によれば、シンプルな回路構成で、クロック信号の異常に起因したエラーを検出可能な処理装置100を実現できる。シンプルな回路構成であるため、処理装置100の製造コストを抑えることができ、また、回路の増加による処理装置100の故障確率の増大を抑えることができる。

【0022】

なお、処理装置100がCPU及びFPGA等である場合も同様の構成でエラーを検出することができる。この場合、演算回路は演算コアとなる。また、処理装置100は演算回路を搭載する二つの基盤から構成されてよい。

【0023】

50

なお、PLLに限定されるものではなく、クロック信号に異常が発生している場合に、クロック信号の異常を検出可能な信号に変換する機能を実現できる回路であればよい。

【0024】

実施例1では、DMR (Dual Modular Redundancy) システムを一例として説明したが、TMR (Triple Modular Redundancy) システムでも同様の効果を奏する。TMRシステムの場合、比較回路120は多数決回路となる。また、分岐されたクロック信号のうち二つのクロック信号がPLLに入力される。各PLLから出力されるクロック信号を用いた演算結果が同一であり、かつ、分岐されたクロック信号を用いた演算結果が異なる場合、クロック信号の異常に起因するエラーとして検出される。

10

【実施例2】

【0025】

図2は、実施例2の処理装置の構成例を示すブロック図である。

【0026】

処理装置100は、二つの演算回路110、111、比較回路120、及び二つのPLL140、141を備える。処理装置100にはクロック発生回路200からクロック信号が供給される。

【0027】

PLL140は、入力されたクロック信号の周波数を $1/N$ に変換する処理(分周)を含む位相同期処理を実行する。PLL141は、入力されたクロック信号の周波数を $1/N$ に変換する処理(分周)と、Mサイクルの遅延を発生させる処理とを含む位相同期処理を実行する。ここで、N及びMは1以上の整数である。

20

【0028】

クロック発生回路200から供給されたクロック信号は、まず、図示しない分配回路によって、第1クロック信号及び第2クロック信号に分岐される。第1クロック信号は、PLL140及び演算回路110の順に入力される。第2クロック信号は、PLL141及び演算回路111の順に入力される。

【0029】

クロック発生回路200から供給されたクロック信号にノイズ等の異常が発生している場合、PLL140、141が実行する位相同期処理によってノイズ等が除去される。また、PLL141における遅延によって、クロック信号に現れる異常を示す波形の周期性が変化する。したがって、PLL140から出力されるクロック信号及びPLL141から出力されるクロック信号には差が現れ、演算回路110、111の演算結果にも差が現れる。これによって、比較回路120は、クロック信号の異常に起因するエラーを検出することができる。

30

【0030】

実施例2の処理装置100も実施例1と同様の効果を奏することができる。

【0031】

なお、PLLに限定されるものではなく、クロック信号に異常が発生している場合に、クロック信号の異常を検出可能な信号に変換する機能を実現できる回路であればよい。例えば、カウンタ等でもよい。

40

【0032】

実施例2では、DMR (Dual Modular Redundancy) システムを一例として説明したが、TMR (Triple Modular Redundancy) システムでも同様の効果を奏する。TMRシステムの場合、比較回路120は多数決回路となる。また、分岐された各クロック信号の各々は分周比が異なるPLLに入力される。また、二つのPLLでは異なるサイクルで遅延を発生させる。全ての演算結果が異なる場合、クロック信号の異常に起因するエラーとして検出される。

【実施例3】

【0033】

50

図3は、実施例3の処理装置の構成例を示すブロック図である。

【0034】

処理装置100は、二つの演算回路110、111、比較回路120、及び四つのPLL150、151、152、153を備える。処理装置100には、クロック発生回路200からクロック信号が供給される。

【0035】

PLL150は、入力されたクロック信号の周波数をM倍に変換する処理(逡倍)を含む位相同期処理を実行する。PLL151は、入力されたクロック信号の周波数を1/Mに変換する処理(分周)を含む位相同期処理を実行する。PLL152は、入力されたクロック信号の周波数をN倍に変換する処理(逡倍)を含む位相同期処理を実行する。PLL153は、入力されたクロック信号の周波数を1/Nに変換する処理(分周)を含む位相同期処理を実行する。ここで、N及びMは1以上の整数である。また、N及びMは異なる値であるものとする。

10

【0036】

クロック発生回路200から供給されたクロック信号は、まず、図示しない分配回路によって、第1クロック信号及び第2クロック信号に分岐される。第1クロック信号は、PLL150、PLL151、及び演算回路110の順に入力される。第2クロック信号は、PLL152、PLL152、及び演算回路111の順に入力される。

【0037】

クロック発生回路200から供給されたクロック信号にノイズ等の異常が発生している場合、PLL150、151、152、153が実行する位相同期処理によってノイズ等が除去される。また、PLL150、151及びPLL152、153によって実行される位相同期処理における内部処理には違いがあるため、PLL151から出力されるクロック信号及びPLL153から出力されるクロック信号は、見かけ上は同じクロック信号であるが、クロック信号に現れる異常を示す波形の周期性が変化する。したがって、PLL151から出力されるクロック信号及びPLL153から出力されるクロック信号には差が現れ、演算回路110、111の演算結果にも差が現れる。これによって、比較回路120は、クロック信号の異常に起因するエラーを検出することができる。

20

【0038】

実施例3の処理装置100も実施例1と同様の効果を奏することができる。

30

【0039】

なお、PLLに限定されるものではなく、クロック信号に異常が発生している場合に、クロック信号の異常を検出可能な信号に変換する機能を実現できる回路であればよい。例えば、PLL151、153はカウンタ等でもよい。

【0040】

実施例3では、DMR(Dual Modular Redundancy)システムを一例として説明したが、TMR(Triple Modular Redundancy)システムでも同様の効果を奏する。TMRシステムの場合、比較回路120は多数決回路となる。また、分岐された各クロック信号の各々は逡倍率が異なるPLL及び分周比が異なるPLLに入力される。全ての演算結果が異なる場合、クロック信号の異常に起因するエラーとして検出される。

40

【0041】

請求の範囲に記載した以外の発明の観点の代表的なものとして、次のものがあげられる。

(1) 処理装置であって、

クロック発生回路から供給されるクロック信号に基づいて稼働する第1演算回路及び第2演算回路と、

前記クロック信号を分岐し、前記第1演算回路及び前記第2演算回路に出力する分配回路と、

前記第1演算回路及び前記第2演算回路の出力を比較し、エラーを検出する比較回路と、を備え、

50

前記分配回路及び前記第 1 演算回路は、前記クロック信号に異常が発生している場合、前記クロック信号を、前記クロック信号の異常を検出可能なクロック信号に変換する、少なくとも一つの変換回路を介して接続されることを特徴とする処理装置。

(2)(1)に記載の処理装置であって、

前記分配回路及び前記第 2 演算回路は、少なくとも一つの前記変換回路を介して接続されることを特徴とする処理装置。

(3)(2)に記載の処理装置であって、

前記分配回路及び前記第 1 演算回路を接続する少なくとも一つの前記変換回路は、第 1 変換回路を含み、

前記分配回路及び前記第 2 演算回路を接続する少なくとも一つの前記変換回路は、第 2 変換回路を含み、

前記第 1 変換回路は、前記クロック信号の周波数を第 1 整数分の 1 に変換し、

前記第 2 変換回路は、前記クロック信号の周波数を前記第 1 整数分の 1 に変換し、第 2 整数サイクルの遅延を発生させることを特徴とする処理装置。

(4)(2)に記載の処理装置であって、

前記分配回路及び前記第 1 演算回路を接続する少なくとも一つの前記変換回路は、第 1 変換回路及び第 2 変換回路を含み、

前記分配回路及び前記第 2 演算回路を接続する少なくとも一つの前記変換回路は、第 3 変換回路及び第 4 変換回路を含み、

前記第 1 変換回路は、前記クロック信号の周波数を第 1 整数倍に変換して、前記第 2 変換回路に出力し、

前記第 2 変換回路は、前記第 1 変換回路から出力されたクロック信号の周波数を前記第 1 整数分の 1 に変換して、前記第 1 演算回路に出力し、

前記第 3 変換回路は、前記クロック信号の周波数を第 2 整数倍に変換して、前記第 4 変換回路に出力し、

前記第 4 変換回路は、前記第 3 変換回路から出力されたクロック信号の周波数を前記第 2 整数分の 1 に変換して、前記第 2 演算回路に出力することを特徴とする処理装置。

(5)(1)から(4)のいずれか一項に記載の処理装置であって、

前記変換回路は、位相同期回路であることを特徴とする処理装置。

【0042】

なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。また、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加、削除、置換をすることが可能である。

10

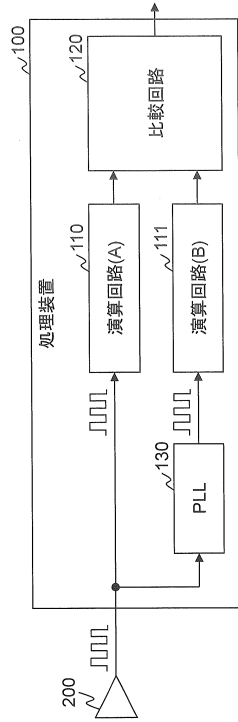
20

30

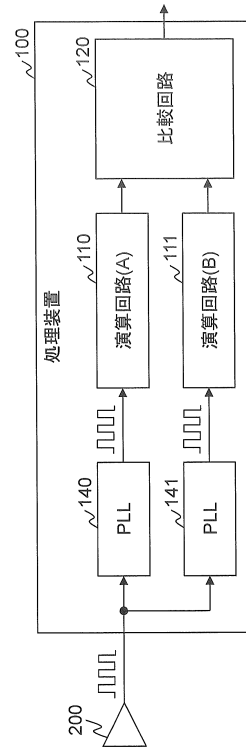
40

50

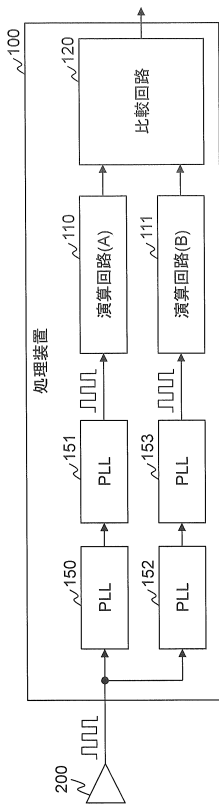
【 図 面 】
【 図 1 】



【 図 2 】



【 図 3 】



10

20

30

40

50

フロントページの続き

- 神奈川県横浜市西区みなとみらい二丁目3番3号 株式会社日立情報通信エンジニアリング内
- (72)発明者 溝添 博樹
神奈川県横浜市西区みなとみらい二丁目3番3号 株式会社日立情報通信エンジニアリング内
- 審査官 松浦 かおり
- (56)参考文献 特開平08-163110(JP,A)
特開2006-287736(JP,A)
特開2001-313547(JP,A)
特開2017-033325(JP,A)
特開平09-292928(JP,A)
特開平10-020961(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
G06F 1/04 - 1/14
H03K 21/00 - 21/40