

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-190896

(P2021-190896A)

(43) 公開日 令和3年12月13日(2021.12.13)

(51) Int.Cl.		F I		テーマコード (参考)
H03F	1/02	(2006.01)	H03F	1/02
H03F	3/68	(2006.01)	H03F	3/68
				188
				220
				5J500

審査請求 未請求 請求項の数 9 O L (全 26 頁)

(21) 出願番号	特願2020-95643 (P2020-95643)	(71) 出願人	000006231
(22) 出願日	令和2年6月1日 (2020.6.1)		株式会社村田製作所
		(74) 代理人	110002147
			特許業務法人酒井国際特許事務所
		(72) 発明者	田中 聡
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		(72) 発明者	播磨 史生
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		(72) 発明者	荒屋敷 聡
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内

最終頁に続く

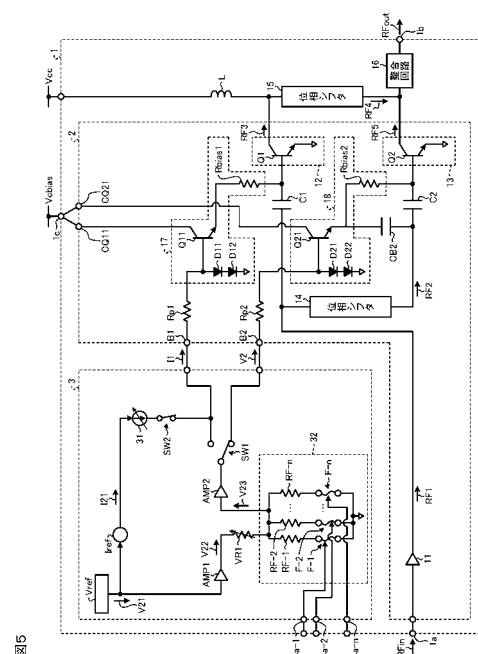
(54) 【発明の名称】 制御回路

(57) 【要約】 (修正有)

【課題】 ドハティ増幅器の特性のばらつきを抑制する制御回路を提供する。

【解決手段】 電力増幅モジュール1において、第2集積回路3は、第1集積回路2が有する、キャリア増幅器12及びピーク増幅器13で構成するドハティ増幅器を制御する制御回路であって、抵抗アレイ32において抵抗値が不可逆に調整可能であり、抵抗値に基づいてピーク増幅器のバイアスを定める抵抗素子RF-1〜RF-nを含む。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

キャリア増幅器及びピーク増幅器を含むドハティ増幅器を制御する制御回路であって、抵抗値が不可逆に調整可能であり、前記抵抗値に基づいて前記ピーク増幅器のバイアスを定める抵抗

を含む、
制御回路。

【請求項 2】

請求項 1 に記載の制御回路であって、
前記抵抗は、

10

一端が互いに電氣的に接続された、複数の抵抗素子と、

一端が前記複数の抵抗素子の他端に夫々電氣的に接続され、他端が互いに電氣的に接続された、複数の電子ヒューズと、

を含む、
制御回路。

【請求項 3】

請求項 1 に記載の制御回路であって、
前記抵抗は、

一端が互いに電氣的に接続された、複数の抵抗素子と、

20

一端が前記複数の抵抗素子の他端に夫々電氣的に接続され、他端が互いに電氣的に接続された、複数のスイッチと、

前記複数のスイッチをオン又はオフに制御する複数の信号を出力する、ワンタイム R O M と、

を含む、
制御回路。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載の制御回路であって、

基準電圧が前記抵抗によって調整された電圧を、前記ピーク増幅器をバイアスするバイアス回路に出力する、電圧出力回路

を含む、
制御回路。

30

【請求項 5】

請求項 1 から 3 のいずれか 1 項に記載の制御回路であって、

温度が上がると下がり、温度が下がると上がる基準電圧が前記抵抗によって調整された電圧を、前記ピーク増幅器をバイアスするバイアス回路に出力する、電圧出力回路と、

を含む、
制御回路。

【請求項 6】

請求項 1 から 3 のいずれか 1 項に記載の制御回路であって、

基準電圧が前記抵抗によって調整された電圧に応じた定電流を、直列接続された複数のダイオードに出力する、定電流出力回路と、

40

前記複数のダイオードの電圧と、前記基準電圧に応じた電圧と、の差の電圧を、前記ピーク増幅器をバイアスするバイアス回路に出力する、差動増幅器と、

を含む、
制御回路。

【請求項 7】

請求項 6 に記載の制御回路であって、

前記複数のダイオードは、前記ドハティ増幅器が形成されているチップ上に形成されている、

制御回路。

50

【請求項 8】

請求項 6 に記載の制御回路であって、
前記複数のダイオードは、前記抵抗、前記定電流出力回路及び前記差動増幅器が形成されているチップ上に形成されている、
制御回路。

【請求項 9】

請求項 1 から 3 のいずれか 1 項に記載の制御回路であって、
基準電圧に応じた定電流を、前記キャリア増幅器をバイアスする第 1 バイアス回路に出力する、定電流出力回路と、

前記第 1 バイアス回路の入力端子の電圧が前記抵抗によって調整された電圧と、前記基準電圧に応じた電圧と、の差の電圧を、前記ピーク増幅器をバイアスする第 2 バイアス回路に出力する、差動増幅器と、

を含む、
制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドハティ増幅器を制御する制御回路に関する。

【背景技術】

【0002】

下記の特許文献 1 には、ドハティ (Doherty) 増幅器のバイアス回路に関する技術が記載されている。下記の特許文献 2 には、増幅回路の温度特性を補償する技術が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2012-199746 号公報

【特許文献 2】特開 2014-171170 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 記載の技術では、ピーク増幅器の FET (Field Effect Transistor) のゲート電圧を、キャリア増幅器の FET のゲート電圧をオフセットした電圧に設定している。これは、キャリア増幅器及びピーク増幅器の各々を構成する FET が同ウェハロットである場合や、製造時期が同じである場合には、ピーク増幅器及びキャリア増幅器の各々の FET のゲート電圧に対するドレイン電流特性がほぼ揃っていることが期待できることを利用している。

【0005】

しかしながら、特許文献 1 記載の技術は、ピーク増幅器及びキャリア増幅器の個体差による動作閾値のばらつきに起因する、ピーク増幅器及びキャリア増幅器の出力電力-利得特性、及び、出力電力-位相特性のばらつきについては、考慮していない。

【0006】

本発明は、上記に鑑みてなされたものであって、特性のばらつきを抑制することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一側面の制御回路は、キャリア増幅器及びピーク増幅器を含むドハティ増幅器を制御する制御回路であって、抵抗値が不可逆に調整可能であり、抵抗値に基づいてピーク増幅器のバイアスを定める抵抗を含む。

【発明の効果】

【0008】

本発明によれば、特性のばらつきを抑制することが可能となる。

【図面の簡単な説明】

【0009】

【図1】比較例のドハティ増幅器の構成を示す図である。

【図2】A B級増幅器の入出力特性を示す図である。

【図3】C級増幅器の入出力特性を示す図である。

【図4】本発明のコンセプトとなる電力増幅モジュールの回路構成を示す図である。

【図5】第1の実施の形態の電力増幅モジュールの回路構成を示す図である。

【図6】ドハティ増幅器の特性を示す図である。

10

【図7】ドハティ増幅器の特性を示す図である。

【図8】抵抗アレイの他の例を示す図である。

【図9】第1の実施の形態の電力増幅モジュールの第1の調整手順を示す図である。

【図10】第1の実施の形態の電力増幅モジュールの第2の調整手順を示す図である。

【図11】第1の実施の形態の電力増幅モジュールの第3の調整手順を示す図である。

【図12】第2の実施の形態の電力増幅モジュールの回路構成を示す図である。

【図13】第3の実施の形態の電力増幅モジュールの回路構成を示す図である。

【図14】第4の実施の形態の電力増幅モジュールの回路構成を示す図である。

【図15】第5の実施の形態の電力増幅モジュールの回路構成を示す図である。

【図16】第6の実施の形態の電力増幅モジュールの回路構成を示す図である。

20

【発明を実施するための形態】

【0010】

以下に、本発明の制御回路の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。各実施の形態は例示であり、異なる実施の形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第2の実施の形態以降では第1の実施の形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

【0011】

<第1の実施の形態及び比較例>

30

以下、第1の実施の形態について説明するが、第1の実施の形態の理解を容易にするため、先に比較例について説明する。

【0012】

(比較例)

図1は、比較例のドハティ(Doherty)増幅器の構成を示す図である。ドハティ増幅器100は、入力電力分配回路111と、キャリア増幅器112と、ピーク増幅器113と、出力電力合成回路114と、を含む。

【0013】

入力電力分配回路111は、RF(Radio Frequency)入力端子121から入力される高周波入力信号RF_{in}を2つの経路に分配して出力する。入力電力分配回路111の一方の出力信号である高周波信号RF₁₁は、DCカットコンデンサ122を介して、キャリア増幅器112を構成するFET(Field Effect Transistor)のゲートに供給される。入力電力分配回路111の他方の出力信号である高周波信号RF₁₂は、DCカットコンデンサ123を介して、ピーク増幅器113を構成するFETのゲートに供給される。

40

【0014】

キャリア増幅器112は、例えばFETを用いた電力増幅器であり、入力電力分配回路111から入力される高周波信号RF₁₁を常時増幅する。キャリア増幅器112を構成するFETのゲートには、直流電源124から、チョークコイル125を介して、バイアス電圧V_{g1}が印加される。バイアス電圧V_{g1}は、キャリア増幅器112をA B級(或

50

いは、A級又はB級）バイアスするように設定される。また、キャリア増幅器112を構成するFETのドレインには、直流電源128から、チョークコイル129を介して、直流電圧（例えば、+28V）が印加される。

【0015】

また、直流電源124から出力されるバイアス電圧 V_{g1} は、電圧オフセット回路126にも供給される。電圧オフセット回路126は、バイアス電圧 V_{g1} を所定の電圧 V_{offset} だけオフセットさせて、ピーク増幅器113に対するバイアス電圧 V_{g2} を生成する。

【0016】

ピーク増幅器113は、例えばFETを用いた電力増幅器であり、入力電力分配回路111から入力される高周波信号RF12のピークを増幅する。ピーク増幅器113を構成するFETのゲートには、電圧オフセット回路126から、チョークコイル127を介して、バイアス電圧 V_{g2} が印加される。バイアス電圧 V_{g2} は、ピーク増幅器113をC級バイアスするように設定される。また、ピーク増幅器113を構成するFETのドレインには、チョークコイル130を介して、直流電圧（例えば、+28V）が印加される。

【0017】

ここで、キャリア増幅器112とピーク増幅器113とは、ウェハロットや製造時期等のデバイスに関する共通要素を有するものが用いられる。

【0018】

キャリア増幅器112の出力信号である高周波信号RF13は、DCカットコンデンサ131を介して、出力電力合成回路114に供給される。また、ピーク増幅器113の出力信号である高周波信号RF14は、DCカットコンデンサ132を介して、出力電力合成回路114に供給される。出力電力合成回路114は、高周波信号RF13と高周波信号RF14とを合成した高周波出力信号RFoutを、出力端子133から出力する。

【0019】

このように、ドハティ増幅器100では、キャリア増幅器112に対するバイアス電圧 V_{g1} は、直流電源124から供給される。一方、ピーク増幅器113に対するバイアス電圧 V_{g2} は、バイアス電圧 V_{g1} を電圧 V_{offset} だけオフセットさせることで電圧オフセット回路126により生成され、電圧オフセット回路126からピーク増幅器113を構成するFETのゲートに供給される。

【0020】

ドハティ増幅器100の特徴として、キャリア増幅器112はAB級（或いは、A級又はB級）で動作し、ピーク増幅器113はC級で動作する。この動作に対応するため、バイアス電圧 V_{g2} は、キャリア増幅器112のバイアス電圧 V_{g1} よりも電圧 V_{offset} だけ低い電圧に設定される。

【0021】

ドハティ増幅器100は、高周波入力信号RFinが小さいうちは、AB級バイアスで動作するキャリア増幅器112だけが動作する。ドハティ増幅器100は、高周波入力信号RFinが大きくなると、C級バイアスで動作するピーク増幅器113が動作を開始する。ドハティ増幅器100は、ピーク増幅器113の動作開始とともに、キャリア増幅器112の負荷インピーダンスが低くなることで、大きな出力電力を出す動作に移行する。

【0022】

このように、ドハティ増幅器100の増幅動作は、高周波入力信号RFinのレベルに応じて途中で切り替わる。従って、ドハティ増幅器100の出力電力-利得特性、及び、出力電力-位相特性は、ピーク増幅器113が動作を開始するタイミングで変化する。この変化は、高周波出力信号RFoutに歪みを与え、隣接チャネル漏洩電力（ACLR）の増加（悪化）、エラーベクトル振幅（EVM）の増加（悪化）を招く。ドハティ増幅器100を使用する場合、高周波出力信号RFoutの歪を抑制する（打ち消す）ために、ドハティ増幅器100の歪の逆特性の歪を予め高周波入力信号RFinに数値的に加えるデータテーブルを用いたデジタルプリディストーション（DPD）技術が用いられる。

10

20

30

40

50

【0023】

しかしながら、比較例のドハティ増幅器100は、キャリア増幅器112及びピーク増幅器113のトランジスタの個体差による動作閾値のばらつきに起因する、キャリア増幅器112及びピーク増幅器113のトランジスタの出力電力－利得特性、及び、出力電力－位相特性のばらつきについては、考慮していない。

【0024】

例えば、キャリア増幅器112を構成するトランジスタ及びピーク増幅器113を構成するトランジスタの動作閾値が相対的に異なると、電圧 V_{offset} が一定であっても、相対的なバイアス条件が異なる。このため、ピーク増幅器113が動作を開始する高周波入力信号 RF_{in} のレベルがずれ、ピーク増幅器113の出力電力－利得特性、及び、出力電力－位相特性のばらつきが生じる。

10

【0025】

図2は、AB級増幅器の入出力特性を示す図である。図2において、横軸は、入力電力 P_{in} であり、縦軸は、出力電力 P_{out} である。線141は、AB級増幅器の入出力特性の一例を示す線である。入力電力 P_{in} があるレベルに到達するまでは、入力電力と出力電力との関係は線形である。出力電力 P_{out} が大きくなりトランジスタが飽和するようになると、出力電力 P_{out} が頭打ち（飽和）となる。AB級増幅器の利得は、トランジスタのバイアス電流（バイアス電圧）レベル、トランジスタの特性、入出力整合回路などの個体差により、例えば、線142から線143までに示すように、ばらつきが生じる。このばらつきは、バイアス電圧もしくはバイアス電流を調整することで、抑制することが可能である。

20

【0026】

図3は、C級増幅器の入出力特性を示す。図3において、横軸は、入力電力 P_{in} であり、縦軸は、出力電力 P_{out} である。線151は、C級増幅器の入出力特性の一例を示す線である。C級増幅器は、入力電力 P_{in} があるレベルに達するまでは、動作しない。入力電力 P_{in} があるレベルに達して、C級増幅器が動作を開始すると、入力電力 P_{in} の増加に伴ってC級増幅器の利得も増加する。最終的には、AB級増幅器と同様に、出力電力 P_{out} が大きくなりトランジスタが飽和するようになると、出力電力 P_{out} が頭打ち（飽和）となる。C級増幅器の利得は、トランジスタのバイアス電流（バイアス電圧）レベル、トランジスタの特性、入出力整合回路などの個体差により、例えば、線152から線153までに示すように、ばらつきが生じる。

30

【0027】

C級増幅器が動作を開始する高周波入力信号 RF_{in} のレベルは、トランジスタのバイアス電流（バイアス電圧）レベルとトランジスタのベース（ゲート）での高周波信号振幅に依存しており、バイアス電流レベル、入力整合回路の個体差によってばらつく。キャリア増幅器112及びピーク増幅器113の特性のばらつきは、要因が異なるので、必ずしも相関が強くなく、別々に変動する場合もある。

【0028】

ドハティ増幅器100を例えば携帯電話基地局に用いる場合、デジタルプリディストーションの設定を変えて歪を少なくするため、テーブルを適宜設定するトレーニング専用のタイミングが存在するので、上記ばらつきは本質的な問題とはならない。

40

【0029】

ところが、ドハティ増幅器100を例えば携帯電話装置等の無線通信端末装置に用いる場合は、トレーニング専用のタイミングが存在せず、個体差による特性のばらつきを抑制するのは難しい。無線通信端末装置の工場出荷前に端末ごとにデジタルプリディストーションのテーブルを作成することで個体差による特性のばらつきを抑制することも考えられるが、無線通信端末装置出荷時のテストコストが上昇する問題がある。従って、個体差に起因する出力信号－利得特性、及び、出力信号－位相特性のばらつきを抑制することが望まれる。

【0030】

50

図 4 は、本発明の考えを示す、コンセプトの回路図である。

【0031】

図 1 に示す、比較例のドハティ (Doherty) 増幅器に対して、図 4 の構成では、ピーク増幅器 13 の動作を確実にさせるため、基準電圧出力回路 V_{ref} の電圧に基づいて、ヒューズ調整機能付きオフセット回路 30 を介して第 2 バイアス回路 18 を駆動させる。ヒューズ調整機能付きオフセット回路 30 で電圧値もしくは電流値を調整することで、ピーク増幅器 13 を確実に動作させる。

【0032】

(第 1 の実施の形態)

図 5 は、第 1 の実施の形態の電力増幅モジュールの回路構成を示す図である。

10

【0033】

電力増幅モジュール 1 は、1 つの基板上に複数の部品 (半導体集積回路等) が実装されたハイブリッド IC (モジュールと称しても良い) で実現されても良いが、本開示はこれに限定されない。電力増幅モジュール 1 は、例えば、携帯電話装置等の無線通信端末装置において、音声、データ等の各種信号を基地局へ送信するために用いられる。

【0034】

電力増幅モジュール 1 は、第 1 集積回路 (第 1 IC チップ) 2 と、第 2 集積回路 (第 2 IC チップ) 3 と、を含む。第 1 集積回路 2 は、化合物半導体基板 (例えば、GaAs 基板) 上に形成されることが例示されるが、本開示はこれに限定されない。第 2 集積回路 3 は、半導体基板 (例えば Si 基板) 上に形成されることが例示されるが、本開示はこれに

20

【0035】

第 2 集積回路 3 が、本開示の「制御回路」の一例に相当する。

【0036】

第 1 集積回路 2 は、初段 (ドライバ段) のドライバ増幅器 11 と、最終段 (パワー段) のキャリア増幅器 12 及びピーク増幅器 13 と、を含む。キャリア増幅器 12 及びピーク増幅器 13 は、ドハティ増幅器を構成する。

【0037】

キャリア増幅器 12 は、トランジスタ Q1 を含む。ピーク増幅器 13 は、トランジスタ Q2 を含む。トランジスタ Q1 は、第 1 バイアス回路 17 により、AB 級 (或いは、A 級又は B 級) バイアスされる。トランジスタ Q2 は、第 2 バイアス回路 18 により、C 級バ

30

【0038】

以降において、第 1 バイアス回路 17 及びキャリア増幅器 12 を、「キャリア増幅系」と総称する場合がある。また、第 2 バイアス回路 18 及びピーク増幅器 13 を、「ピーク増幅系」と総称する場合がある。

【0039】

本開示では、各トランジスタは、バイポーラトランジスタとするが、本開示はこれに限定されない。バイポーラトランジスタは、ヘテロ接合バイポーラトランジスタ (Heterojunction Bipolar Transistor: HBT) が例示されるが、本開示はこれに限定されない。トランジスタは、例えば、電界効果トランジスタ (Field Effect Transistor: FET) であっても良い。トランジスタは、複数の単位トランジスタを電氣的に並列接続した、マルチフィンガートランジスタであっても良い。単位トランジスタとは、トランジスタが構成される最小限の構成を言う。

40

【0040】

ドライバ増幅器 11 には、端子 1a を介して、高周波入力信号 RF_{in} が入力される。ドライバ増幅器 11 は、高周波入力信号 RF_{in} を増幅した高周波信号 RF_1 を出力する。

【0041】

ドライバ増幅器 11 の出力端子には、DC カットコンデンサ C1 の一端及び位相シフタ

50

14の一端が電氣的に接続されている。DCカットコンデンサC1の他端は、トランジスタQ1のベースに電氣的に接続されている。高周波信号RF1は、DCカットコンデンサC1を介して、トランジスタQ1のベースに供給される。

【0042】

位相シフタ14は、高周波信号RF1の位相をおおよそ90度(degree)進めた又は遅らせた高周波信号RF2を、出力する。本開示では、おおよそ90度は、90度プラスマイナス20度とする。

【0043】

位相シフタ14の他端は、DCカットコンデンサC2を介して、トランジスタQ2のベースに電氣的に接続されている。高周波信号RF2は、DCカットコンデンサC2を介して、トランジスタQ2のベースに供給される。

10

【0044】

トランジスタQ1のエミッタは、基準電位に電氣的に接続されている。基準電位は、接地電位が例示されるが、本開示はこれに限定されない。トランジスタQ1のコレクタは、チョークインダクタLを介して、電源電位Vccに電氣的に接続されている。トランジスタQ1は、高周波信号RF1を増幅した高周波信号RF3を、コレクタから出力する。

【0045】

位相シフタ15の一端は、トランジスタQ1のコレクタに電氣的に接続されている。位相シフタ15の他端は、トランジスタQ2のコレクタに電氣的に接続されている。

【0046】

20

位相シフタ15は、高周波信号RF3の位相をおおよそ90度進めた又は遅らせた高周波信号RF4を、出力する。

【0047】

位相シフタ15は、位相シフタ14が高周波信号RF1の位相をおおよそ90度進める場合には、高周波信号RF3の位相をおおよそ90度進める。位相シフタ15は、位相シフタ14が高周波信号RF1の位相をおおよそ90度遅らせる場合には、高周波信号RF3の位相を90度遅らせる。

【0048】

トランジスタQ2のエミッタは、基準電位に電氣的に接続されている。トランジスタQ2は、高周波信号RF2を増幅した高周波信号RF5を、コレクタから出力する。

30

【0049】

位相シフタ15の他端及びトランジスタQ2のコレクタは、整合回路16を介して、端子1bに電氣的に接続されている。高周波信号RF4と高周波信号RF5とは、重ね合わされ、整合回路16を介して、端子1bから高周波出力信号RFoutとして出力される。

【0050】

高周波入力信号RFinが小さい場合、キャリア増幅器12(トランジスタQ1)は動作するが、ピーク増幅器13(トランジスタQ2)は動作しない。この場合、キャリア増幅器12の負荷インピーダンスは、整合回路16のインピーダンスRLになる。これは、位相シフタ15ではインピーダンスの変化が発生しないからである。

40

【0051】

高周波入力信号RFinが大きくなると、キャリア増幅器12(トランジスタQ1)が飽和に近づき、同時にピーク増幅器13(トランジスタQ2)が動作を開始する。この場合、ピーク増幅器13から整合回路16に印加される高周波信号RF5の位相は、キャリア増幅器12から位相シフタ15を介して整合回路16に印加される高周波信号RF4の位相と同じになる。このとき、トランジスタQ2のコレクタでの信号振幅が大きくなるので、ピーク増幅器13からは、等価的に負荷インピーダンス(整合回路16のインピーダンス)が増加したように見える。このインピーダンスの等価的な変化は、位相シフタ15を介して、キャリア増幅器12に伝わる。キャリア増幅器12からは、負荷インピーダンスが逆に減少したように見えるので、キャリア増幅器12の飽和電力(最大電力)が大き

50

くなる。

【0052】

最終的にピーク増幅器13が飽和する状態では、ピーク増幅器13からは、負荷インピーダンス（整合回路16のインピーダンス）は $2RL$ に見え、キャリア増幅器12からは、負荷インピーダンスは $RL/2$ に見える。

【0053】

この動作により、キャリア増幅器12は、一旦飽和に近づくが、負荷インピーダンスが下がって見えることで、さらに大きな出力を出すことが出来る。キャリア増幅器12は、飽和近傍で動作するので、広い電力範囲で高い効率を実現できる。

【0054】

図6及び図7は、ドハティ増幅器の特性を示す図である。詳しくは、図6は、ドハティ増幅器の出力電力と、効率と、の関係を示す図である。図7は、ドハティ増幅器の出力電力と、利得と、の関係を示す図である。

【0055】

図6において、横軸は、出力電力 P_{out} であり、縦軸は、効率である。矢印161は、キャリア増幅器12が動作する、出力電力 P_{out} の範囲を示す。矢印162は、ピーク増幅器13が動作する、出力電力 P_{out} の範囲を示す。線163で示すように、キャリア増幅器12が飽和近傍で動作する出力電力 P_{out} のレベルから負荷インピーダンスが半分になり飽和するレベルまで、高い効率が達成される。

【0056】

図7において、横軸は、出力電力 P_{out} であり、縦軸は、利得である。線171で示すように、ピーク増幅器13が動作を開始する領域172の近辺で、ドハティ増幅器の非線形性が特に顕在化する。

【0057】

このように、ドハティ増幅器の増幅動作は、ピーク増幅器13が動作を開始するタイミングである領域172で切り替わる。従って、ドハティ増幅器の出力電力－利得特性、及び、出力電力－位相特性は、領域172で変化する。この変化は、高周波出力信号 RF_{out} に歪みを与え、隣接チャネル漏洩電力（ $ACLR$ ）の増加（悪化）、エラーベクトル振幅（ EVM ）の増加（悪化）を招く。

【0058】

先述したように、デジタルプリディストーション（ DPD ）技術は、領域172でのドハティ増幅器の歪の逆特性の歪を送信回路のデジタル信号処理部で生成して高周波入力信号 RF_{in} に加え、高周波出力信号 RF_{out} の歪による $ACLR$ や EVM の悪化を抑制する。ドハティ増幅器の歪は、第1集積回路2上のバイポーラトランジスタの個体差などによって、変化しやすい。例えば、トランジスタ $Q1$ 及びトランジスタ $Q2$ に個体差があり、動作閾値が相対的に異なると、相対的なバイアス条件が異なる。すると、ピーク増幅器13（トランジスタ $Q2$ ）が動作を開始するタイミングが前後する。つまり、領域172が、図7中の左右方向に移動する。ドハティ増幅器の歪の変化を抑制すること、つまり、領域172の図7中の左右方向への移動を抑制することが、ドハティ増幅器を無線通信端末装置に適用するには重要である。

【0059】

再び図5を参照し、キャリア増幅器12及びピーク増幅器13のバイアスについて説明する。第2集積回路3は、電流 $I1$ を第1バイアス回路17に出力し、電圧 $V2$ を第2バイアス回路18に出力する。

【0060】

電流 $I1$ の生成について説明する。第2集積回路3内の基準電圧出力回路 V_{ref} は、基準電圧 $V21$ を基準電流出力回路 I_{ref} に出力する。

【0061】

基準電流出力回路 I_{ref} は、基準電圧 $V21$ に応じた基準電流 $I21$ を、可変定電流出力回路31に出力する。可変定電流出力回路31は、基準電流 $I21$ に比例した電流 I

10

20

30

40

50

1 を、第 1 集積回路 2 の端子 B 1 に出力する。

【0062】

第 1 集積回路 2 は、抵抗 R_{p1} と、第 1 バイアス回路 17 と、を含む。第 1 バイアス回路 17 は、ダイオード D_{11} 及び D_{12} と、トランジスタ Q_{11} と、抵抗 R_{bias1} と、を含む。ダイオード D_{11} 及び D_{12} の各々は、HBT のベースとコレクタとが電氣的に接続された、つまりダイオード接続されたものが例示される。

【0063】

抵抗 R_{p1} の一端は、端子 B 1 に電氣的に接続されている。抵抗 R_{p1} の他端は、ダイオード D_{11} のアノードに電氣的に接続されている。ダイオード D_{11} のカソードは、ダイオード D_{12} のアノードに電氣的に接続されている。ダイオード D_{12} のカソードは、基準電位に電氣的に接続されている。ダイオード D_{11} 及び D_{12} の直列接続回路は、一定の電圧を発生させる。例えば、ダイオード D_{11} 及び D_{12} の各々が約 1.3 V (ボルト) の電圧を発生させるとすると、ダイオード D_{11} 及び D_{12} の直列接続回路は、約 2.6 V の電圧を発生させる。

【0064】

ダイオード D_{11} 及び D_{12} の直列接続回路の電圧は、トランジスタ Q_{11} のベースに印加される。トランジスタ Q_{11} のコレクタは、端子 C_{Q11} 及び端子 1c を介して、電源電位 V_{cbias} に電氣的に接続されている。トランジスタ Q_{11} のエミッタは、抵抗 R_{bias1} を介して、トランジスタ Q_{11} のベースに電氣的に接続されている。つまり、トランジスタ Q_{11} 及び抵抗 R_{bias1} は、エミッタフォロワ接続されている。トランジスタ Q_{11} のベース電流は、トランジスタ Q_{11} のベースに印加される電圧に基づいて定まる。

【0065】

電圧 V_2 の生成について説明する。第 2 集積回路 3 内のバッファアンプ AMP 1 は、基準電圧 V_{21} に基づく電圧 V_{22} を、可変抵抗 VR_1 の一端に出力する。電圧 V_{22} は、基準電圧 V_{21} と同じであることが例示されるが、本開示はこれに限定されない。可変抵抗 VR_1 と抵抗アレイ 32 との直列回路は、電圧 V_{22} を抵抗分圧し、電圧 V_{23} を出力する。

【0066】

抵抗アレイ 32 は、 n 個 (n は、自然数) の抵抗素子 $RF-1$ 、 $RF-2$ 、 $\dots$ 、 $RF-n$ と、 n 個の E ヒューズ (電子ヒューズ) $F-1$ 、 $F-2$ 、 $\dots$ 、 $F-n$ と、を含む。抵抗素子 $RF-1$ 、 $RF-2$ 、 $\dots$ 、 $RF-n$ の一端は、互いに電氣的に接続され、可変抵抗 VR_1 の他端に電氣的に接続されている。抵抗素子 $RF-1$ 、 $RF-2$ 、 $\dots$ 、 $RF-n$ の他端は、E ヒューズ $F-1$ 、 $F-2$ 、 $\dots$ 、 $F-n$ を夫々介して、互いに電氣的に接続され、基準電位に電氣的に接続されている。つまり、抵抗素子 $RF-1$ 、 $RF-2$ 、 $\dots$ 、 $RF-n$ は、並列接続されている。

【0067】

抵抗素子 $RF-1$ 、 $RF-2$ 、 $\dots$ 、 $RF-n$ の抵抗値は、同じであっても良いし、異なっても良い。以降において、抵抗素子 $RF-1$ 、 $RF-2$ 、 $\dots$ 、 $RF-n$ を、抵抗素子 RF と総称する場合がある。

【0068】

E ヒューズ $F-1$ 、 $F-2$ 、 $\dots$ 、 $F-n$ は、 n 個の端子 $3a-1$ 、 $3a-2$ 、 $\dots$ 、 $3a-n$ に電氣的に夫々接続されている。端子 $3a-1$ 、 $3a-2$ 、 $\dots$ 、 $3a-n$ に選択的に電圧又は電流を印加することにより、E ヒューズ $F-1$ 、 $F-2$ 、 $\dots$ 、 $F-n$ を選択的に溶断することができる。抵抗アレイ 32 の抵抗値は、E ヒューズ $F-1$ 、 $F-2$ 、 $\dots$ 、 $F-n$ を選択的に溶断することにより、可変することができる。例えば、E ヒューズ $F-1$ が溶断されると、抵抗素子 $RF-1$ は抵抗アレイ 32 の抵抗値に関係しなくなるので、抵抗アレイ 32 の抵抗値は大きくなる。

【0069】

以降において、E ヒューズ $F-1$ 、 $F-2$ 、 $\dots$ 、 $F-n$ を、E ヒューズ F と総称す

10

20

30

40

50

る場合がある。

【0070】

EヒューズFは、溶断されると元には戻らない、不可逆性の素子である。抵抗アレイ32の抵抗値は、初期時（EヒューズFが1つも溶断されていない時）に最も小さく、EヒューズFが溶断されるにつれて、不可逆的に大きくなる。つまり、抵抗アレイ32の抵抗値は、不可逆に調整可能である。

【0071】

図8は、抵抗アレイの他の例を示す図である。

【0072】

抵抗アレイ32Aは、n個の抵抗素子RF-1、RF-2、・・・、RF-nと、n個のスイッチS-1、S-2、・・・、S-nと、を含む。抵抗素子RF-1、RF-2、・・・、RF-nの一端は、互いに電氣的に接続されている。抵抗素子RF-1、RF-2、・・・、RF-nの他端は、スイッチS-1、S-2、・・・、S-nを夫々介して、互いに電氣的に接続されている。

10

【0073】

不揮発性メモリ51は、nビットのデータを記憶しており、nビット幅の信号を、スイッチS-1、S-2、・・・、S-nに出力する。スイッチS-1、S-2、・・・、S-nの各々は、供給される信号に応じて、オン又はオフする。抵抗アレイ32Aの抵抗値は、スイッチS-1、S-2、・・・、S-nを選択的にオン又はオフすることにより、可変することができる。例えば、スイッチS-1がオフされると、抵抗素子RF-1は抵抗アレイ32Aの抵抗値に関係しなくなるので、抵抗アレイ32Aの抵抗値は大きくなる。不揮発性メモリ51にデータを書き込むことにより、スイッチS-1、S-2、・・・、S-nのオン又はオフを切り替えることができ、抵抗アレイ32Aの抵抗値を可変することができる。

20

【0074】

不揮発性メモリ51は、ワンタイムROM（Read Only Memory）が例示される。ワンタイムROMは、データが書き込まれると書き換えできない、不可逆性の素子である。つまり、抵抗アレイ32Aの抵抗値は、不可逆である。

【0075】

抵抗アレイ32及び32Aが、本開示の「抵抗」の一例に相当する。

30

【0076】

なお、可変抵抗VR1は、図8と同様の回路構成で実現することが例示される。可変抵抗VR1は、EPROM（Erasable Programmable Read Only Memory）、フラッシュメモリ（登録商標）等を不揮発性メモリ51として用いることにより、抵抗値を可逆的に可変できる。

【0077】

再び図5を参照すると、電圧V23は、抵抗アレイ32の抵抗値（及び可変抵抗VR1の抵抗値）を調整することにより、調整することが可能である。

【0078】

可変抵抗VR1の抵抗値を一定に維持した場合、電圧V23は、抵抗アレイ32の抵抗値が上がるのに応じて、上がる。つまり、電圧V23は、電圧V22が抵抗アレイ32の抵抗値に応じて調整された電圧である。

40

【0079】

バッファアンプAMP2は、電圧V23に基づく電圧V2を、第1集積回路2の端子B2に出力する。電圧V2は、電圧V23と同じであることが例示されるが、本開示はこれに限定されない。電圧V23は、抵抗アレイ32の抵抗値（及び可変抵抗VR1の抵抗値）を調整することにより、調整することが可能である。従って、電圧V2は、抵抗アレイ32（及び可変抵抗VR1の抵抗値）の抵抗値を調整することにより、調整することが可能である。

【0080】

50

第1集積回路2は、抵抗 R_{p2} と、第2バイアス回路18と、を含む。第2バイアス回路18は、ダイオード D_{21} 及び D_{22} と、トランジスタ Q_{21} と、抵抗 R_{bias2} と、を含む。ダイオード D_{21} 及び D_{22} の各々は、ダイオード接続されたHBTが例示される。

【0081】

抵抗 R_{p2} の一端は、端子B2に電氣的に接続されている。抵抗 R_{p2} の他端は、ダイオード D_{21} のアノードに電氣的に接続されている。ダイオード D_{21} のカソードは、ダイオード D_{22} のアノードに電氣的に接続されている。ダイオード D_{22} のカソードは、基準電位に電氣的に接続されている。

【0082】

ダイオード D_{11} のアノードは、トランジスタ Q_{21} のベースに電氣的に接続されている。トランジスタ Q_{21} のコレクタは、端子 C_{Q21} 及び端子1cを介して、電源電位 V_{cbias} に電氣的に接続されている。トランジスタ Q_{21} のエミッタは、抵抗 R_{bias2} を介して、トランジスタ Q_2 のベースに電氣的に接続されている。つまり、トランジスタ Q_{21} 及び抵抗 R_{bias2} は、エミッタフォロワ接続されている。

【0083】

電圧 V_2 の電圧値は、ダイオード接続されたHBTであるダイオード D_{21} 及び D_{22} の各々のオン電圧（例えば、1.3V程度）の2段積み（例えば、2.6V程度）以下の電圧とし、2.1Vから2.2Vまで程度が例示される。電圧 V_2 が端子B2に印加されても、電圧 V_2 がダイオード D_{21} 及び D_{22} の直列接続回路のオン電圧以下であるので、ダイオード D_{21} 及び D_{22} に電流は流れない。同様に、トランジスタ Q_{21} 及び Q_2 も動作しない。

【0084】

高周波入力信号 RF_{in} が入力されると、入力RF信号の増加に応じてトランジスタに流れる電流が増加する。この時直流的にはベース－エミッタ間ダイオードのオン電圧が減少するセルフバイアス効果がおこる。このセルフバイアス効果によりトランジスタ Q_2 及びトランジスタ Q_{21} のダイオード（ベース－エミッタ間のpn接合）のオン閾値電圧が低下し始めると、トランジスタ Q_2 及び Q_{21} が動作を開始する。これにより、端子B2→抵抗 R_{p2} →トランジスタ Q_{21} →トランジスタ Q_2 の経路に電流が流れ始める。トランジスタ Q_{21} のエミッタと位相シフタ14の他端との間に電氣的に接続されたコンデンサ C_{B2} は、トランジスタ Q_{21} のエミッタに高周波信号 RF_2 を効率的に加え、トランジスタ Q_{21} のオン閾値電圧低下を促進する働きがある。なお、コンデンサ C_{B2} は、設けられることが好ましいが、必須ではなく、無くても良い。

【0085】

各トランジスタのダイオードのオン閾値電圧は、製造プロセスによりばらつく。同じウェハ上の別チップ上のトランジスタであっても、オン閾値電圧に違いがあり、同じウェハ上の同じチップ上のトランジスタ Q_1 とトランジスタ Q_2 との間でも、偏差がある。電力増幅モジュール1は、この偏差を、先に述べたEヒューズFを選択的に溶断することにより抑制する。

【0086】

図9は、第1の実施の形態の電力増幅モジュールの第1の調整手順を示す図である。図9に示す手順は、半導体検査装置（半導体テスト）が、第1集積回路2がダイシングされる前の化合物半導体ウェハに対して実施することが例示される。

【0087】

ウェハ上の複数の第1集積回路2の中から第1集積回路2を選択し、ウェハ上の座標を記録する（ステップS100）。なお、ウェハ上の座標は、選択した第1集積回路2を識別する識別情報の一例であり、選択した第1集積回路2を識別できれば他の情報でも良い。

【0088】

端子B1及びB2に、所定電位（又は、所定電流）を印加する（ステップS102）。

10

20

30

40

50

所定電位は、予め定められた、2.6 V程度以上の電位が例示されるが、本開示はこれに限定されない。このとき、もし、第1集積回路2上の各トランジスタ及び各ダイオードにばらつき（個体差）がなければ、トランジスタQ11のコレクタ電流とトランジスタQ21のコレクタ電流とは同じになり、また、トランジスタQ1のコレクタ電流とトランジスタQ2のコレクタ電流とは同じになる。しかし、現実には、第1集積回路2上の各トランジスタ及び各ダイオードにばらつきがあるので、トランジスタQ11のコレクタ電流とトランジスタQ21のコレクタ電流とは同じにならず、また、トランジスタQ1のコレクタ電流とトランジスタQ2のコレクタ電流とは同じにならない。

【0089】

トランジスタQ1及びQ2（或いは、トランジスタQ11及びQ21）の各々のコレクタ電流値を測定する（ステップS104）。最終的に高周波出力信号R F o u tに直接影響するのはトランジスタQ1及びQ2のコレクタ電流であるので、トランジスタQ1及びQ2の各々のコレクタ電流値を測定することが好ましい。しかし、トランジスタQ1及びQ2の各々のコレクタ電流値が、半導体テストが測定可能な最大電流値よりも大きければ、トランジスタQ11及びQ21の各々のコレクタ電流値を測定することとしても良い。

【0090】

トランジスタQ11及びQ21のコレクタが、チップ面積抑制のために、1個のパッドに電氣的に接続されている場合は、トランジスタQ11のコレクタ電流値と、トランジスタQ21のコレクタ電流値とを、時分割で測定すれば良い。なお、例えば、トランジスタQ11及びQ21のコレクタが、他の回路、例えばドライバ増幅器11にバイアスを与えるバイアス回路に接続されていると、測定精度が低下する。従って、図5で示すように、トランジスタQ11及びQ21のコレクタは、他の回路に接続されていないことが好ましい。

【0091】

測定した2つのコレクタ電流値を、第1集積回路2の座標に関連付けて記録する（ステップS106）。

【0092】

トランジスタQ1をA B級（或いは、A級又はB級）バイアスで動作させ且つトランジスタQ2をC級バイアスで動作させた場合の、トランジスタQ1のコレクタ電流値とトランジスタQ2のコレクタ電流値との間の差を最小にする電圧V2を、ダイオード特性に基づいて算出する。算出した電圧V2を、第1集積回路2の座標に関連付けて記録する（ステップS108）。

【0093】

ステップS100からステップS108までは、化合物半導体ウェハ上の全部の第1集積回路2に対して実施する。

【0094】

複数の第1集積回路2を化合物半導体ウェハからダイシングして複数の基板に夫々実装し、複数の電力増幅モジュール1を組み立てる（ステップS110）。

【0095】

複数の電力増幅モジュール1の各々に対して、バッファアンプAMP2がステップS108で算出された電圧V2を出力するように、1個又は複数個のEヒューズFを溶断する（ステップS112）。EヒューズFで調整しきれない場合は、可変抵抗VR1を調整する。

【0096】

第1の調整手順は、電力増幅モジュール1のダイオード（トランジスタのp n接合）の動作閾値のばらつきを抑制することができる。

【0097】

図10は、第1の実施の形態の電力増幅モジュールの第2の調整手順を示す図である。図10に示す手順は、電力増幅モジュール検査装置が、組み立て後の電力増幅モジュール1に対して実施することが例示される。

【0098】

第1集積回路2及び第2集積回路3を基板上に実装し、電力増幅モジュール1を組み立てる（ステップS200）。

【0099】

スイッチSW2をオフにする。スイッチSW2をオフすることに代えて、可変定電流出力回路31をオフにしても良い。また、スイッチSW1を端子B1側に接続する（ステップS202）。これにより、トランジスタQ11及びQ1が動作する。

【0100】

トランジスタQ1（又はQ11）のコレクタ電流値を測定する（ステップS204）。

【0101】

スイッチSW2をオフにする。また、スイッチSW1を端子B2側に接続する（ステップS206）。これにより、トランジスタQ21及びQ2が動作する。

【0102】

トランジスタQ2（又はQ21）のコレクタ電流値を測定する（ステップS208）。

【0103】

トランジスタQ1（又はQ11）のコレクタ電流値と、トランジスタQ2（又はQ21）のコレクタ電流値との差 Δi_{cc} を求める（ステップS210）。

【0104】

差 Δi_{cc} の絶対値Abs（ Δi_{cc} ）が予め定められた許容差 ε より小さいか否かを、判定する（ステップS212）。絶対値Abs（ Δi_{cc} ）が許容差 ε より小さくないと判定されたら（ステップS212でNo）、処理をステップS214に進める。絶対値Abs（ Δi_{cc} ）が許容差 ε より小さいと判定されたら（ステップS212でYes）、処理をステップS216に進める。

【0105】

絶対値Abs（ Δi_{cc} ）が許容差 ε より小さくないと判定されたら（ステップS212でNo）、1個又は複数個のEヒューズFを溶断し（ステップS214）、処理をステップS202に進める。

【0106】

絶対値Abs（ Δi_{cc} ）が許容差 ε より小さいと判定されたら（ステップS212でYes）、スイッチSW2をオンにし、スイッチSW1を端子B2側に接続し（ステップS216）、処理を終了する。

【0107】

第2の調整手順は、先の第1の調整手順と同様に、電力増幅モジュール1のダイオード（トランジスタのpn接合）の動作閾値のばらつきを抑制することができる。更に、第2の調整手順は、先の第1の調整手順と比べて、第1集積回路2の座標、ウェハ評価の履歴等を管理する必要がなく、電力増幅モジュール1の良品試験の時点で同時に実行することができる。

【0108】

図11は、第1の実施の形態の電力増幅モジュールの第3の調整手順を示す図である。図11に示す手順は、電力増幅モジュール検査装置が、組み立て後の電力増幅モジュール1に対して実施することが例示される。

【0109】

第1集積回路2及び第2集積回路3を基板上に実装し、電力増幅モジュール1を組み立てる（ステップS300）。

【0110】

スイッチSW2をオフにする。スイッチSW2をオフすることに代えて、可変定電流出力回路31をオフにしても良い。また、スイッチSW1を端子B2側に接続する（ステップS302）。これにより、トランジスタQ11及びQ1が停止し、トランジスタQ21及びQ2が動作可能になる。

【0111】

10

20

30

40

50

予め定められた第1の高周波信号を端子1 aに入力する（ステップS 3 0 4）。第1の高周波信号の電力は、例えばピーク増幅器1 3がC級動作を開始する（図3参照）近辺に設定する。

【0 1 1 2】

トランジスタQ 2（又はQ 2 1）のコレクタ電流値を測定する（ステップS 3 0 6）。

【0 1 1 3】

予め定められた第2の高周波信号を端子1 aに入力する（ステップS 3 0 8）。第2の高周波信号の電力は、例えばピーク増幅器1 3がC級動作を開始する（図3参照）近辺に設定する。

【0 1 1 4】

トランジスタQ 2（又はQ 2 1）のコレクタ電流値を測定する（ステップS 3 1 0）。

【0 1 1 5】

なお、ステップS 3 0 8及びS 3 1 0は、判定精度を向上させるためのものであり、省略しても良い。

【0 1 1 6】

ステップS 3 0 6及びS 3 1 0で測定されたコレクタ電流値が予め定められた設定範囲内であるか否かを、判定する（ステップS 3 1 2）。コレクタ電流値が設定範囲内ではないと判定されたら（ステップS 3 1 2でN o）、処理をステップS 3 1 4に進める。コレクタ電流値が設定範囲内であると判定されたら（ステップS 3 1 2でY e s）、処理をステップS 3 1 6に進める。

【0 1 1 7】

コレクタ電流値が設定範囲内ではないと判定されたら（ステップS 3 1 2でN o）、1個又は複数個のEヒューズFを溶断し（ステップS 3 1 4）、処理をステップS 3 0 2に進める。

【0 1 1 8】

コレクタ電流値が設定範囲内であると判定されたら（ステップS 3 1 2でY e s）、スイッチS W 2をオンにし、スイッチS W 1を端子B 2側に接続し（ステップS 3 1 6）、処理を終了する。

【0 1 1 9】

第3の調整手順は、先の第1及び第2の調整手順がダイオード（トランジスタのp n接合）の動作閾値のばらつきだけを抑制していたのに対して、位相シフタ1 4及び1 5、整合回路1 6を含む素子の個体差の影響を抑制することができる。

【0 1 2 0】

図5に示す電力増幅モジュール1の回路構成は、上記した第1から第3までの調整手順のいずれにも対応可能である。

【0 1 2 1】

以上説明したように、電力増幅モジュール1は、ドハティ増幅器の中で個体差の影響を受けやすい、C級動作するピーク増幅系の特性のばらつきを、EヒューズFにより抑制することができる。電力増幅モジュール1は、ピーク増幅系の特性のばらつきが抑制された状態で、無線通信端末装置メーカへ出荷できる。従って、電力増幅モジュール1は、無線通信端末装置メーカにおいて無線通信端末装置へデジタルプリディストーションを適用するためのテストコストを、抑制することができる。

【0 1 2 2】

<第2の実施の形態>

図1 2は、第2の実施の形態の電力増幅モジュールの回路構成を示す図である。

【0 1 2 3】

第2の実施の形態の電力増幅モジュール1 Aの構成要素のうち、第1の実施の形態と同一の構成要素については、同一の参照符号を付して、説明を省略する。

【0 1 2 4】

電力増幅モジュール1 Aは、第1集積回路2 Aと、第2集積回路3 Aと、を含む。

10

20

30

40

50

【0125】

第1集積回路2Aは、第1の実施の形態の第1集積回路2（図5参照）と比較して、トランジスタQ21のエミッタと位相シフタ14の他端との間に、コンデンサCB2を含んでいない。コンデンサCB2は、トランジスタQ21のエミッタに高周波信号RF2を効率的に加え、トランジスタQ21のオン閾値電圧低下を促進する働きがあるので、設けられることが好ましいが、必須ではなく、無くても良い。

【0126】

第2集積回路3Aは、第1の実施の形態の第2集積回路3（図5参照）と比較して、基準電圧出力回路Vref2を更に含む。

【0127】

基準電圧出力回路Vref2は、基準電圧V31をバッファアンプAMP1に出力する。バッファアンプAMP1は、基準電圧V21に基づく電圧V22を、可変抵抗VR1の一端に出力する。

【0128】

第1の実施の形態の第2集積回路3は、基準電圧出力回路Vrefから出力される基準電圧V21に基づいて、電圧V2を生成している。一方、第2の実施の形態の第2集積回路3Aは、基準電圧出力回路Vref2から出力される基準電圧V31に基づいて、電圧V2を生成する。その理由は、次の通りである。

【0129】

HBTのダイオード（pn接合）特性は、温度依存性がある。例えば、キャリア増幅系では、ダイオードD11及びD12の直列接続は、温度が上がると電圧が下がり、温度が下がると電圧が上がるといふ、温度特性を有する。ダイオードD11及びD12は、この温度特性により、トランジスタQ11及びQ1の温度特性を抑制することができる。

【0130】

一方、ピーク増幅系では、あるレベルの高周波入力信号RFinが入力されるまで電流が流れない。特に、ダイオードD21及びD22は、テストング時にキャリア増幅系と条件を同じにするために設けられているものであり、実際の増幅動作時には、電流が流れない。従って、ダイオードD21及びD22は、トランジスタQ21及びQ2の温度特性を抑制することができない。

【0131】

そこで、基準電圧出力回路Vref2は、トランジスタQ21及びQ2の温度特性を打ち消す特性を有するものとする。具体的には、基準電圧出力回路Vref2は、温度が上がると基準電圧V31が下がり、温度が下がると基準電圧V31が上がる、負の温度依存性を有するものとする。これにより、基準電圧出力回路Vref2は、トランジスタQ21及びQ2の温度特性を抑制することができる。

【0132】

以上説明したように、電力増幅モジュール1Aは、電力増幅モジュール1と同様に、ドハティ増幅器の内でも個体差の影響を受けやすい、C級動作するピーク増幅系の特性のばらつきを、EヒューズFにより抑制することができる。更に、電力増幅モジュール1Aは、ピーク増幅系の温度による特性変動を抑制することもできる。

【0133】

<第3の実施の形態>

図13は、第3の実施の形態の電力増幅モジュールの回路構成を示す図である。

【0134】

第3の実施の形態の電力増幅モジュール1Bの構成要素のうち、第1又は第2の実施の形態と同一の構成要素については、同一の参照符号を付して、説明を省略する。

【0135】

電力増幅モジュール1Bは、第1集積回路2Bと、第2集積回路3Bと、を含む。

【0136】

第1集積回路2Bは、第1の実施の形態の第1集積回路2（図5参照）と比較して、ダ

10

20

30

40

50

イオード D R 1 及び D R 2 を、更に含む。ダイオード D R 1 及び D R 2 の各々は、H B T をダイオード接続したものが例示される。ダイオード D R 1 のカソードは、ダイオード D R 2 のアノードに電氣的に接続されている。

【0137】

ダイオード D R 1 及び D R 2 が、本開示の「複数のダイオード」の一例に相当する。

【0138】

また、第1集積回路2Bは、第1集積回路2と比較して、コンデンサ C B 2 を含んでいない。コンデンサ C B 2 は、トランジスタ Q 2 1 のエミッタに高周波信号 R F 2 を効率的に加え、トランジスタ Q 2 1 のオン閾値電圧低下を促進する働きがあるので、設けられることが好ましいが、必須ではなく、無くても良い。

10

【0139】

また、第1集積回路2Bは、第1集積回路2と比較して、ダイオード D 2 1 及び D 2 2 を含んでいない。第1の実施の形態では、ダイオード D 2 1 及び D 2 2 は、テストング時にキャリア増幅系と条件を同じにするために設けられているものであり、実際の増幅動作時には、電流が流れない。そこで、第1集積回路2Bは、ダイオード D 2 1 及び D 2 2 を省略している。

【0140】

第2集積回路3Bは、第1の実施の形態の第2集積回路3（図5参照）と比較して、バッファアンプ A M P 3 及び A M P 4 と、可変抵抗 V R 2 と、抵抗 R c o n t と、スイッチ S W 3 と、基準電流出力回路 I r e f 2 と、減算回路41とを、更に含む。

20

【0141】

基準電流出力回路 I r e f 2 が、本開示の「定電流出力回路」の一例に相当する。

【0142】

バッファアンプ A M P 3 は、基準電圧 V 2 1 に基づく電圧 V 4 2 を、可変抵抗 V R 2 の一端に出力する。電圧 V 4 2 は、基準電圧 V 2 1 と同じであることが例示されるが、本開示はこれに限定されない。可変抵抗 V R 2 と抵抗 R c o n t との直列回路は、電圧 V 4 2 を抵抗分圧し、電圧 V 4 3 を出力する。バッファアンプ A M P 4 は、電圧 V 4 3 に基づく電圧 V o f f s e t を、出力する。電圧 V o f f s e t は、電圧 V 4 3 と同じであることが例示されるが、本開示はこれに限定されない。電圧 V o f f s e t は、キャリア増幅器12を駆動するA B 級（或いは、A 級又はB 級）バイアスと、ピーク増幅器13を駆動するC 級バイアスと、のバイアスの差電圧に相当する。電圧 V o f f s e t は、基準電圧 V 2 1 に応じた電圧である。

30

【0143】

基準電流出力回路 I r e f 2 は、電圧 V 4 1 に応じた電流 I 4 1 を、ダイオード D R 1 のアノードに出力する。ダイオード D R 1 及び D R 2 の直列接続回路は、一定の電圧 V 4 4 を発生させる。例えば、ダイオード D R 1 及び D R 2 の各々が約 1.3 V の電圧を発生させるとすると、ダイオード D R 1 及び D R 2 の直列接続回路は、約 2.6 V の電圧を発生させる。

【0144】

減算回路41は、電圧 V 4 4 と電圧 V o f f s e t との差の電圧 V 2 を、第1集積回路2Bの端子 B 2 に出力する。減算回路41は、オペアンプ41aを用いた差動増幅器が例示される。

40

【0145】

電圧 V 4 4 は、抵抗 41b を介してオペアンプ41aの非反転入力端子に入力される。オペアンプ41aの非反転入力端子は、抵抗 41c を介して基準電位に電氣的に接続されている。電圧 V o f f s e t は、抵抗 41d を介してオペアンプ41aの反転入力端子に入力される。オペアンプ41aの反転入力端子は、抵抗 41e を介してオペアンプ41aの出力端子に電氣的に接続されている。

【0146】

抵抗 41d の抵抗値を R_1 とし、抵抗 41e の抵抗値を R_2 とし、抵抗 41b の抵抗値

50

を R_3 とし、抵抗 41d の抵抗値を R_4 とする。 $R_1 = R_3$ 、且つ、 $R_2 = R_4$ とすると、電圧 V_2 は、次の式 (1) で表される。

$$V_2 = R_2 / R_1 (V_{44} - V_{offset}) \cdots (1)$$

つまり、減算回路 41 の利得は、 R_2 / R_1 となる。減算回路 41 は、抵抗 R_1 から R_4 までを調整することで、電圧 V_2 を調整可能である。

【0147】

第 2 の実施の形態の電力増幅モジュール 1A は、温度特性を有する基準電圧出力回路 V_{ref2} を備えることで、トランジスタ Q_{21} 及び Q_2 の温度特性を抑制している。一方、本実施の形態の電力増幅モジュール 1B は、第 1 集積回路 2B 上にダイオード DR_1 及び DR_2 を備え、ダイオード DR_1 及び DR_2 に電流 I_{41} を供給することにより、ダイ
10
オード 2 段分の電圧を発生させている。ダイオード DR_1 及び DR_2 、並びに、ダイオード D_{11} 及び D_{12} は、第 1 集積回路 2B 上に形成されている。従って、ダイオード DR_1 及び DR_2 の電圧は、ダイオード D_{11} 及び D_{12} の電圧と同じであることが期待できる。

【0148】

ダイオード D_{11} 及び D_{12} が、温度が上がると電圧が下がり、温度が下がると電圧が上がるといふ温度特性を有するのと同様に、ダイオード D_{11} 及び D_{12} も、温度が上がると電圧が下がり、温度が下がると電圧が上がるといふ温度特性を有する。

【0149】

電流 I_{41} の電流値は、基準電圧 V_{21} を、変抵抗 VR_1 と抵抗アレイ 32 との抵抗分
20
圧回路で調整した電圧に応じた電流値である。電圧 V_{offset} の電圧値は、基準電圧 V_{21} を、バッファアンプ AMP_3 、可変抵抗 VR_2 と抵抗 R_{cont} との抵抗分圧回路、及びバッファアンプ AMP_4 で調整した電圧値である。

【0150】

第 1 の実施の形態で説明した第 2 及び第 3 の調整手順を電力増幅モジュール 1B に適用する場合は、スイッチ SW_3 を閉じる（オンにする）ことで、電圧 V_{offset} を終
30
端し、減算回路 41 をバッファアンプとして動作させる。この場合、電圧 V_2 は、ダイオード DR_1 及び DR_2 の電圧、つまりダイオード D_{11} 及び D_{12} の電圧と同じになる。これにより、電力増幅モジュール 1B は、ピーク増幅系をキャリア増幅系と同様に動作させることができるので、第 2 及び第 3 の調整手順を適用できる。

【0151】

以上説明したように、電力増幅モジュール 1B は、電力増幅モジュール 1 と同様に、ド
ハティ増幅器の内でも個体差の影響をうけやすい、C 級動作するピーク増幅系の特性のば
らつきを、E ヒューズ F により抑制することができる。更に、電力増幅モジュール 1B は、
温度による特性変動を、電力増幅モジュール 1A よりも精度良く、抑制することができる。

【0152】

< 第 4 の実施の形態 >

図 14 は、第 4 の実施の形態の電力増幅モジュールの回路構成を示す図である。

【0153】

第 4 の実施の形態の電力増幅モジュール 1C の構成要素のうち、第 1 から第 3 までの実
40
施の形態と同一の構成要素については、同一の参照符号を付して、説明を省略する。

【0154】

電力増幅モジュール 1C は、第 1 集積回路 2C と、第 2 集積回路 3C と、を含む。

【0155】

第 1 集積回路 2C は、第 3 の実施の形態の第 1 集積回路 2B（図 13 参照）と比較して、
ダイオード DR_1 及び DR_2 を含んでいない。

【0156】

第 2 集積回路 3C は、第 3 の実施の形態の第 2 集積回路 3B（図 13 参照）と比較して、
50
ダイオード DR_1 及び DR_2 を更に含む。

【0157】

ダイオードDR1及びDR2が、本開示の「複数のダイオード」の一例に相当する。

【0158】

つまり、第3の実施の形態の電力増幅モジュール1Bでは、ダイオードDR1及びDR2は、第1集積回路2B（化合物半導体基板のICチップ）上に形成されている。それに対して、第4の実施の形態の電力増幅モジュール1Cでは、ダイオードDR1及びDR2は、第2集積回路3B（Si基板のICチップ）上に形成されている。

【0159】

Si基板のICチップ上に形成されたダイオードDR1及びDR2は、化合物半導体基板のICチップに形成されたダイオードD11及びD12と同じ傾向の温度特性を有するが、オン閾値電圧の絶対値が異なる。そこで、電圧V44を増幅する機能を有する減算回路41が、電圧V2を発生するようにしている。

10

【0160】

以上説明したように、電力増幅モジュール1Cは、電力増幅モジュール1と同様に、ドハティ増幅器の内でも個体差の影響を受けやすい、C級動作するピーク増幅系の特性のばらつきを、EヒューズFにより抑制することができる。更に、電力増幅モジュール1Cは、第1集積回路2Cと第2集積回路3Cとの間の接続配線数を増加させることなく、温度による特性変動を、電力増幅モジュール1Aよりも精度良く、抑制することができる。

【0161】

<第5の実施の形態>

20

図15は、第5の実施の形態の電力増幅モジュールの回路構成を示す図である。

【0162】

第5の実施の形態の電力増幅モジュール1Dの構成要素のうち、第1から第4までの実施の形態と同一の構成要素については、同一の参照符号を付して、説明を省略する。

【0163】

電力増幅モジュール1Dは、第1集積回路2Cと、第2集積回路3Dと、を含む。

【0164】

第2集積回路3Dは、基準電圧出力回路Vrefと、基準電流出力回路Irefと、可変定電流出力回路31と、を含む。また、第2集積回路3Dは、バッファアンプAMP1と、可変抵抗VR1と、抵抗アレイ32と、バッファアンプAMP2と、を含む。また、第2集積回路3Dは、バッファアンプAMP3と、可変抵抗VR2と、抵抗Rcontと、バッファアンプAMP4と、スイッチSW3と、減算回路41と、を含む。

30

【0165】

可変定電流出力回路31が、本開示の「定電流出力回路」の一例に相当する。

【0166】

第3の実施の形態の電力増幅モジュール1B（図13参照）では、第2集積回路3Bは、第1集積回路2B内に設けられたダイオードDR1及びDR2の電圧に基づいて、電圧V2を出力している。一方、本実施の形態の電力増幅モジュール1Dでは、第2集積回路3Dは、第1バイアス回路17内のダイオードD11及びD12の電圧に基づいて、電圧V2を出力する。

40

【0167】

バッファアンプAMP1の入力端子は、端子B1に電氣的に接続されている。つまり、バッファアンプAMP1に印加される電圧V51は、ダイオードD11及びD12の電圧である。

【0168】

バッファアンプAMP1は、電圧V51に基づく電圧V52を、可変抵抗VR1の一端に出力する。可変抵抗VR1と抵抗アレイ32との直列回路は、電圧V52を抵抗分圧し、電圧V53を出力する。バッファアンプAMP2は、電圧V53に基づく電圧V54を、抵抗41bを介して、オペアンプ41aの非反転入力端子に出力する。

【0169】

50

以上説明したように、電力増幅モジュール1Dは、電力増幅モジュール1と同様に、ドハティ増幅器の内でも個体差の影響を受けやすい、C級動作するピーク増幅系の特性のばらつきを、EヒューズFにより抑制することができる。更に、電力増幅モジュール1Dは、第1集積回路2Cと第2集積回路3Dとの間の接続配線数を増加させることなく、温度による特性変動を、電力増幅モジュール1Cよりも精度良く、抑制することができる。

【0170】

<第6の実施の形態>

図16は、第6の実施の形態の電力増幅モジュールの回路構成を示す図である。

【0171】

第6の実施の形態の電力増幅モジュール1Eの構成要素のうち、第1から第5までの実施の形態と同一の構成要素については、同一の参照符号を付して、説明を省略する。 10

【0172】

電力増幅モジュール1Eは、第1集積回路2Eと、第2集積回路3Eと、を含む。第2集積回路3Eは、整合回路61と、DCカットコンデンサCD1と、ドライバ増幅器11と、第3バイアス回路62と、整合回路63と、を含む。

【0173】

整合回路61には、端子1aを介して、高周波入力信号RF_{in}が入力される。高周波信号RF₁は、整合回路61及びDCカットコンデンサCD1を介して、ドライバ増幅器11内のトランジスタQD1のベースに供給される。

【0174】

トランジスタQD1のエミッタは、基準電位に電氣的に接続されている。トランジスタQD1のコレクタは、チョークインダクタL2を介して、電源電位V_{cc}に電氣的に接続されている。トランジスタQD1は、高周波入力信号RF_{in}を増幅した高周波信号RF₆を、整合回路63を介して、DCカットコンデンサC1及び位相シフタ14に出力する。 20

【0175】

第3バイアス回路62は、ダイオードDD1及びDD2と、トランジスタQDDと、抵抗R_{bias}D1と、を含む。ダイオードDD1及びDD2の各々は、ダイオード接続されたHBTが例示される。

【0176】

ダイオードDD1のアノードには、端子B3を介して、バイアス電流（バイアス電圧）が第2集積回路3Eから入力される。ダイオードDD1のカソードは、ダイオードDD2のアノードに電氣的に接続されている。ダイオードDD2のカソードは、基準電位に電氣的に接続されている。ダイオードDD1及びDD2の直列接続回路は、一定の電圧を発生させる。 30

【0177】

ダイオードDD1及びDD2の直列接続回路の電圧は、トランジスタQDDのベースに入力される。トランジスタQDDのコレクタは、端子CQ31及び端子1dを介して、電源電位V_{c bias}2に電氣的に接続されている。トランジスタQDDのエミッタは、抵抗R_{bias}D1を介して、トランジスタQD1のベースに電氣的に接続されている。つまり、トランジスタQDD及び抵抗R_{bias}D1は、エミッタフォロワ接続されている。トランジスタQD1のベース電流は、トランジスタQDDのベースに印加される電圧に基づいて定まる。 40

【0178】

このように、第3バイアス回路62に電力を供給するための端子1dが、第1バイアス回路17及び第2バイアス回路18に電力を供給するための端子1cと異なっている。そのため、第3バイアス回路62が、第1バイアス回路17内のトランジスタQ11のコレクタ電流及び第2バイアス回路18内のトランジスタQ21のコレクタ電流の測定に影響を与えることが抑制される。これにより、電力増幅モジュール1Eは、キャリア増幅器12及びピーク増幅器13のバイアスの設定を精度良く行うことが可能である。 50

【0179】

なお、上記した実施の形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るとともに、本発明にはその等価物も含まれる。

【符号の説明】

【0180】

1、1 A、1 B、1 C、1 D、1 E 電力増幅モジュール

2、2 A、2 B、2 C、2 E 第1集積回路

3、3 A、3 B、3 C、3 D、3 E 第2集積回路

11 ドライバ増幅器

10

12 キャリア増幅器

13 ピーク増幅器

14、15 位相シフタ

16 整合回路

17 第1バイアス回路

18 第2バイアス回路

31 可変定電流出力回路

32、32 A 抵抗アレイ

41 減算回路

AMP 1、AMP 2、AMP 3、AMP 4 バッファアンプ

20

D 11、D 12、D 21、D 22、DR 1、DR 2、DD 1、DD 2 ダイオード

Q 1、Q 2、Q 11、Q 21、QD 1、QDD トランジスタ

Iref、Iref 2 基準電流出力回路

Vref、Vref 2 基準電圧出力回路

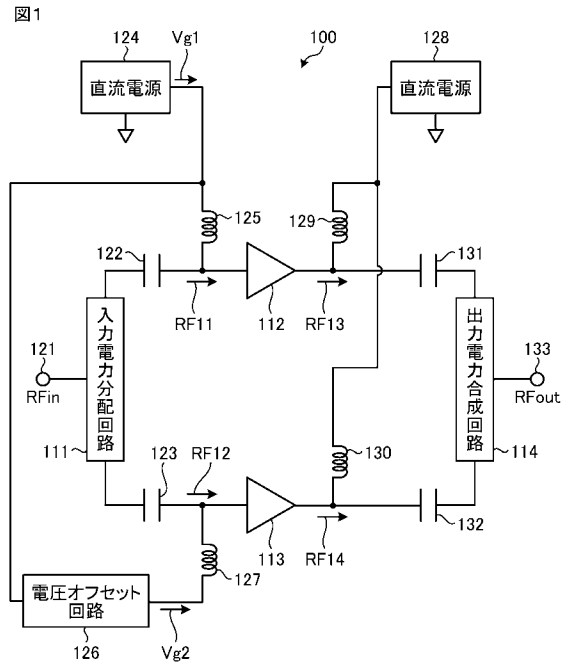
RF-1、RF-2、・・・、RF-n 抵抗素子

F-1、F-2、・・・、F-n Eヒューズ

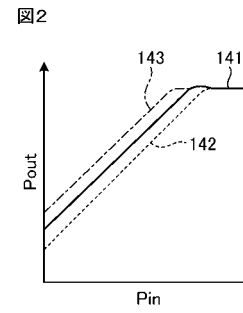
S-1、S-2、・・・、S-n スイッチ

VR 1、VR 2 可変抵抗

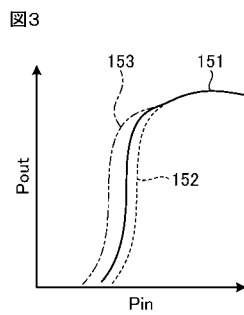
【図 1】



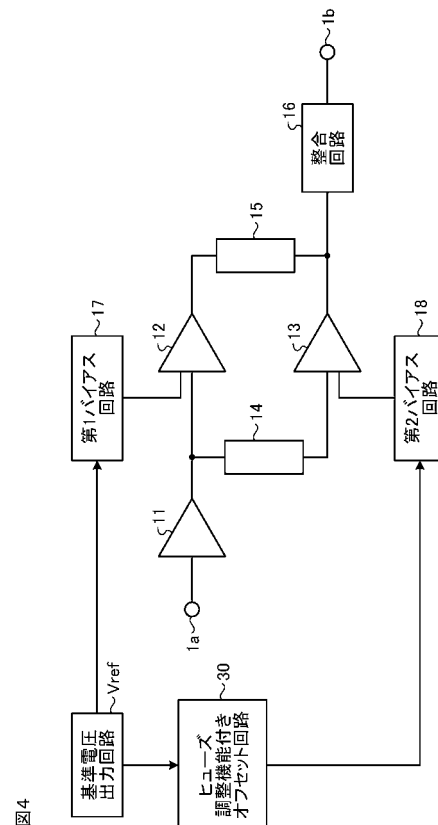
【図 2】



【図 3】

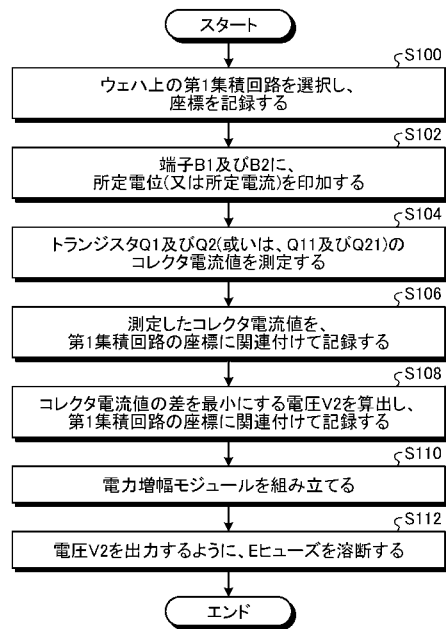


【図 4】



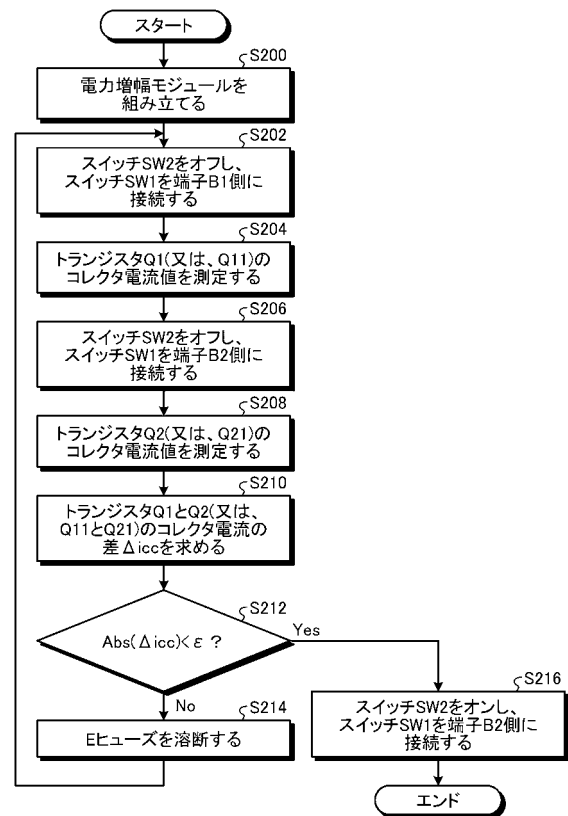
【図 9】

図9



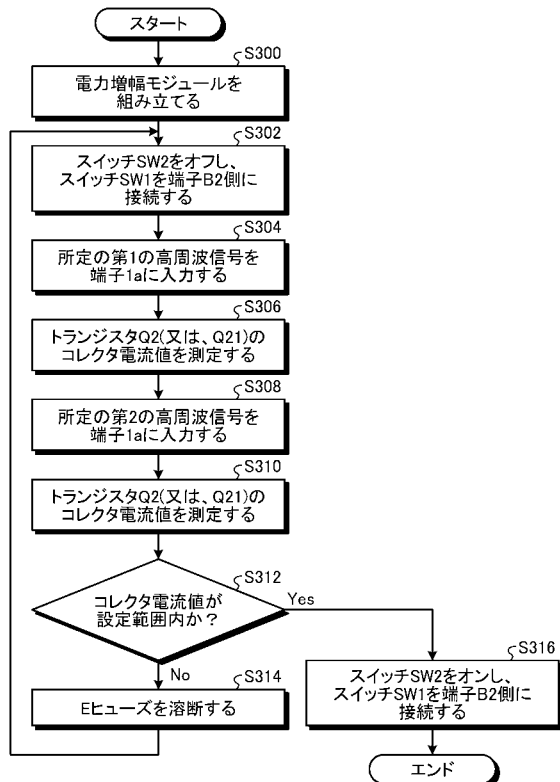
【図 10】

図10



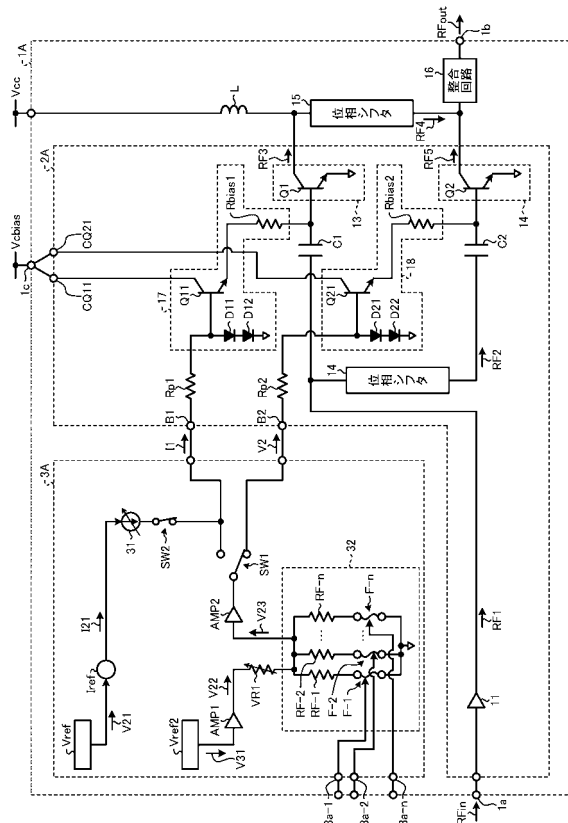
【図 11】

図11

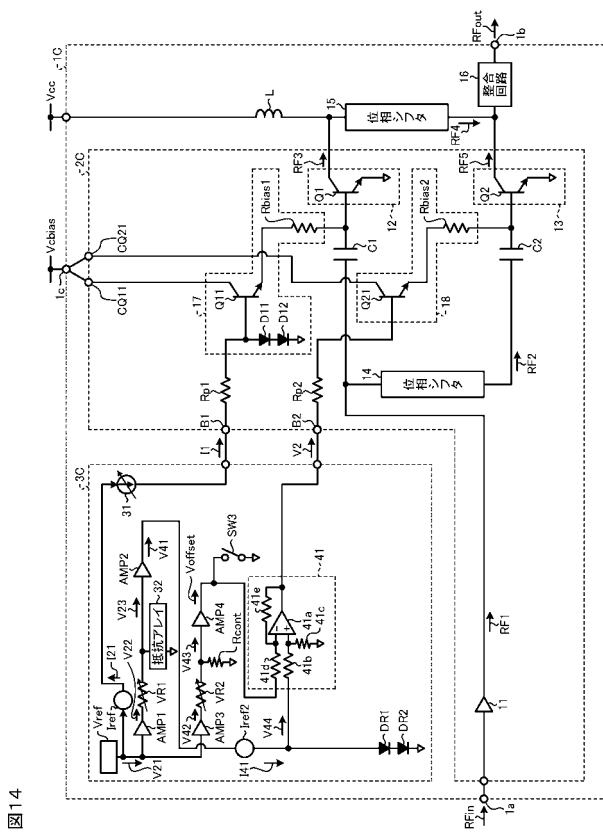


【図 12】

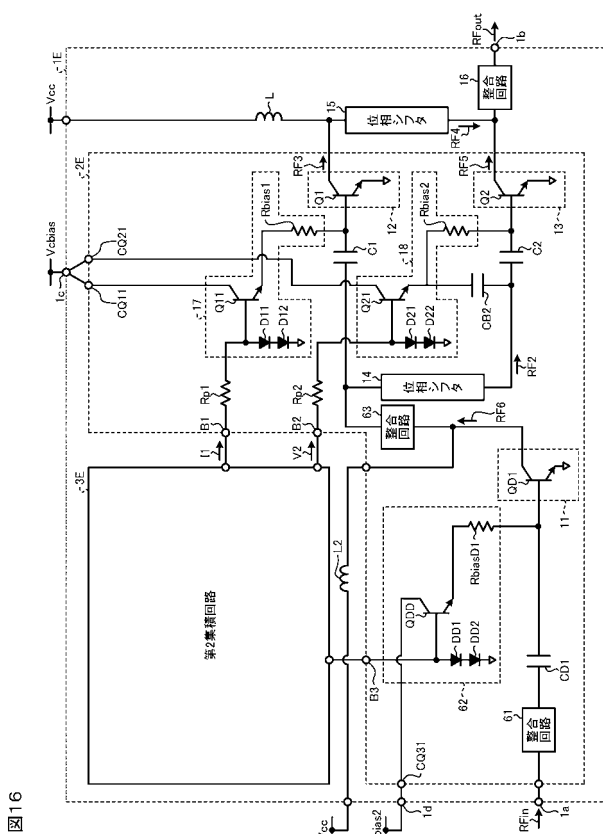
図 12



【 図 1 4 】



【图 1 6】



フロントページの続き

Fターム(参考) 5J500 AA01 AA21 AA41 AA58 AC02 AC15 AC81 AF10 AH06 AH09
AH19 AH25 AH26 AH29 AH33 AH38 AH49 AK03 AK07 AK11
AK16 AK19 AK26 AK29 AM08 AM19 AS14 AT01 AT07 LV08