(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년04월05일
(11) 등록번호 10-1251340
(24) 등록일자 2013년04월01일

(51) 국제특허분류(Int. Cl.)
H01L 33/36 (2010.01) *H01L 33/42* (2010.01)
(21) 출원번호 10-2011-0115506
(22) 출원일자 2011년11월08일
심사청구일자 2011년11월08일
(56) 선행기술조사문헌
KR1020110121338 A
KR1020110038756 A
KR1020110118956 A

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김태근
경기도 성남시 분당구 서현로 177, 금강아파트 103-1301 (이매동)
김수진
서울특별시 강동구 천중로48길 9-7 (길동)
(74) 대리인
특허법인주원

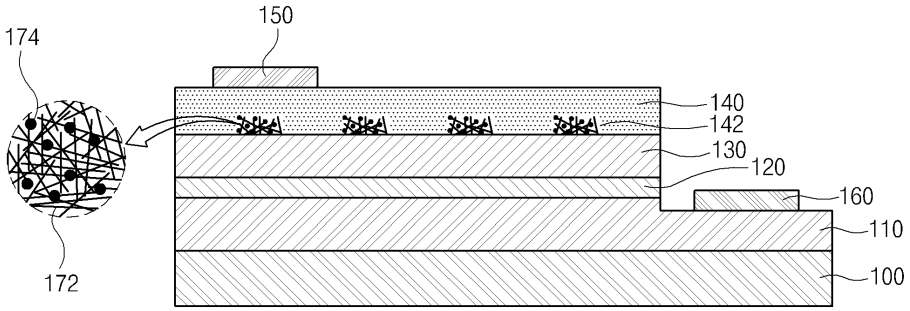
전체 청구항 수 : 총 5 항 심사관 : 진수영

(54) 발명의 명칭 **반도체 발광 소자 및 그 제조 방법**

(57) 요 약

본 발명은 반도체 발광 소자 및 그 제조 방법을 공개한다. 본 발명은 투명 전극층 중에서 p형 반도체층과의 경계면에 2차원 광결정 패턴을 형성함으로써, 광결정 패턴에 의한 광추출 효율을 향상시킬 수 있을뿐만 아니라, p형 반도체층과 투명 전극층간의 접촉 면적을 감소시킴으로써 접촉 저항을 감소시켜 반도체 발광 소자의 전도 특성을 향상시킬 수 있다. 또한, 본 발명은 광결정 패턴 내부에 투명 전극층보다 전도성이 높은 CNT(또는 고전도성 나노와이어) 및 나노 파티클이 채워짐으로써 p형 전극을 통해서 공급되는 전류가 투명 전극층 전체 영역으로 보다 원활하게 전달되어 전류 분산특성을 향상시켜 current crowding을 현저하게 감소시킬 수 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 기판;

상기 반도체 기판위에 형성된 제 1 반도체층;

상기 제 1 반도체층 위에 형성되고 빛을 발생시키는 활성층;

상기 활성층 위에 형성된 제 2 반도체층; 및

상기 반도체층 위에 형성되고, 상기 제 2 반도체층과의 경계면에 2차원 광결정 패턴이 형성된 투명 전극층을 포함하고,

상기 2차원 광결정 패턴 내부에는 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물질)을 포함하되,

상기 고전도성 물질은 복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 복수의 전도성 나노파티클과 상호 연결된 것을 특징으로 하는 반도체 발광 소자.

청구항 2

기판의 위쪽에 형성된 반사막;

상기 반사막 위에 형성된 투명 전극층;

상기 투명 전극층 위에 형성된 제 2 반도체층;

상기 제 1 반도체층 위에 형성되어 빛을 발생시키는 활성층; 및

상기 활성층 위에 형성된 제 1 반도체층을 포함하고,

상기 투명 전극층의 상기 제 2 반도체층과의 경계면에는 2차원 광결정 패턴이 형성되고, 상기 2차원 광결정 패턴 내부에는 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물질)을 포함하되,

상기 고전도성 물질은 복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 복수의 전도성 나노파티클과 상호 연결된 것을 특징으로 하는 반도체 발광 소자.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

(a) 기판위에 제 1 반도체층을 형성하는 단계;

(b) 상기 제 1 반도체층 위에 빛을 발생시키는 활성층을 형성하는 단계;

(c) 상기 활성층 위에 제 2 반도체층을 형성하는 단계; 및

(d) 상기 제 2 반도체층과의 경계면에 2차원 광결정 패턴이 형성되도록 상기 제 2 반도체층 위에 투명 전극층을 형성하는 단계; 및

(e) 상기 2차원 광결정 패턴 내부에 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물

질)을 채우고, 그 위에 상기 투명 전극층의 형성에 이용된 물질과 동일한 물질을 증착하여 투명 전극층을 완성하는 단계를 포함하고,

상기 (e) 단계에서

복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 복수의 전도성 나노파티클과 상호 연결되도록 상기 2차원 광결정 패턴 내부에 채워지는 것을 특징으로 하는 반도체 발광 소자 제조 방법.

청구항 7

(a) 기판위에 제 1 반도체층, 빛을 발생시키는 활성층, 및 제 2 반도체층을 순차적으로 형성하는 단계;

(d) 상기 제 2 반도체층과의 경계면에 2차원 광결정 패턴이 형성되도록 상기 제 2 반도체층 위에 투명 전극층을 형성하는 단계; 및

(e) 상기 2차원 광결정 패턴 내부에 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물질)을 채우고, 그 위에 상기 투명 전극층의 형성에 이용된 물질과 동일한 물질을 증착하여 투명 전극층을 완성하는 단계;

(f) 상기 투명 전극층 위에 반사막 및 접착층을 순차적으로 형성하는 단계; 및

(g) 상기 접착층을 서브마운트 기판 위에 접합하고, 상기 제 1 반도체층을 기판으로부터 분리하는 단계를 포함하고,

상기 (e) 단계에서

복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 복수의 전도성 나노파티클과 상호 연결되도록 상기 2차원 광결정 패턴 내부에 채워지는 것을 특징으로 하는 반도체 발광 소자 제조 방법.

청구항 8

제 6 항 또는 제 7 항에 있어서, 상기 (e) 단계는

상기 고전도성 물질이 용해된 용액에 상기 기판을 담근 후, 꺼내어 건조시켜 상기 고전도성 물질을 상기 2차원 광결정 패턴내부에 채우는 것을 특징으로 하는 반도체 발광 소자 제조 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 발광 소자 및 그 제조 방법 관한 것으로서, 보다 구체적으로는 고전도성 물질이 채워진 광결정 패턴이 형성된 투명 전극층을 구비하는 반도체 발광 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근 질화갈륨계 (GaN) 발광다이오드 (light-emitting diodes, LEDs)는 녹색, 청색, 그리고 자외선 영역의 발광소자로 이용되면서 많은 주목을 받고 있다. 하지만 GaN 반도체와 공기와의 굴절률 차이로 인하여 동일한 내부 양자효율을 갖는 LED를 제작하여도 빛을 외부로 방출하는 능력은 광추출 효율에 의해서 달라지게 된다.

[0003] 즉, LED 내부의 다중양자우물 (multiple quantum wells, MQWs)에서 발생한 빛이 외부로 방출될 때, 질화갈륨(굴절율=2.4)과 공기 (굴절율=1)와의 굴절률 차이로 인하여 빛이 방출될 수 있는 임계각 (critical angle)이 감소하게 되고, 내부전반사 (total interal-reflection, TIR) 효과에 의해 약 90% 이상의 빛의 손실이 발생하게 되어, LED의 광추출 효율 및 광출력을 감소시키는 결정적인 원인을 제공하게 된다.

[0004] 따라서, 이를 극복하기 위한 기술로서, 플립칩(flip-chip) 구조, chip shaping, 표면 요철형성 (surface texturing), 요철이 형성된 사파이어 기판 (patterned sapphire substrate: PSS)의 이용, 광결정(photonic crystal) 기술, 반사방지막 (anti-reflection layer) 구조 등을 이용한 다양한 방법들이 연구되고 있다.

[0005] 하지만, 이러한 연구들은 발광다이오드의 단순히 기판과 평행한 방향인 윗면 혹은 아랫면에 패턴을 주어 형상화한 구조들일 뿐만 아니라 패턴형성시 사용되는 물리·화학적 식각공정에 의한 박막 표면의 공정상 손상(damage)으로 인하여 LED 소자의 전기·광학적 특성을 저하시키는 추가적인 문제를 발생시키게 된다.

[0006] 특히, 일반적인 top-emitting 방식의 GaN LED는 저저항 특성 및 높은 전류분산 특성을 구현하기 위하여 p-(Al)GaN층의 상부에 transparent conductive oxide (TCO) 계열의 전극접촉층 (contact layer)을 형성한 후 소자를 제작하지만, TCO 접촉층의 형성시 p-(Al)GaN층과 TCO 접촉층 계면 사이에 발생하는 자연산화막 (native oxide)의 발생으로 인해 접촉저항의 증가 (ρ_c:~9×10^{-3} Ω·cm^2) 및 TCO 접촉층의 전류분산특성 (R_s:~8.6 Ω)이 현저히 감소하는 문제점이 발생하게 된다. (참고 자료: OPTICAL REVIEW Vol. 16, No. 6 (2009))

[0007] 또한, flip-chip 또는 수직형 구조를 갖는 LED의 경우 저저항·고반사 특성을 갖는 p형 오믹전극 및 고투과/저저항성 TCO 계열 전극접촉층의 적용이 필수로 요구되지만, 현재 사용 중인 NiO_x 및 InO_x 계열 전극접촉층은 앞서 언급한 TCO 접촉층과 유사하게 p-(Al)GaN층과의 접촉저항 증가 문제 및 낮은 전류분산특성으로 인해 소자의 고출력 동작 시 LED 특성을 저해하는 문제점을 갖고 있다.

[0008] 특히, 400nm 이하의 자외선(UV) 파장 영역으로 들어서면서 단파장대로 갈수록 TCO 물질의 광흡수가 증가하면서 투과도가 급격히 감소하는 문제점이 발생하게 되며, TCO 물질의 두께를 얇게 했을 때 면저항의 증가로 전기전도도가 감소하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 해결하고자 하는 과제는, 가시광 영역뿐만 아니라, 자외선 영역에서도 접촉 저항 및 면저항을 감소시켜 고전도성 및 높은 전류분산 특성을 나타내고, 광추출 효율을 향상시킴으로써 고투과성 특성을 나타내는 반도체 발광 소자 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0010] 상술한 과제를 해결하기 위한 본 발명의 바람직한 일 실시예에 따른 반도체 발광소자는, 반도체 기판; 상기 반도체 기판위에 형성된 제 1 반도체층; 상기 제 1 반도체층 위에 형성되고 빛을 발생시키는 활성층; 상기 활성층 위에 형성된 제 2 반도체층; 및 상기 반도체층 위에 형성되고, 상기 제 2 반도체층과의 경계면에 2차원 광결정 패턴이 형성된 투명 전극층을 포함하고, 상기 2차원 광결정 패턴 내부에는 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물질)이 포함된다.

[0011] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 다른 일 실시예에 따른 반도체 발광소자는, 기판의 위쪽에 형성된 반사막; 상기 반사막 위에 형성된 투명 전극층; 상기 투명 전극층 위에 형성된 제 2 반도체층; 상기 제 1 반도체층 위에 형성되어 빛을 발생시키는 활성층; 및 상기 활성층 위에 형성된 제 1 반도체층을 포함하고, 상기 투명 전극층의 상기 제 2 반도체층과의 경계면에는 2차원 광결정 패턴이 형성되고, 상기 2차원 광결정 패턴 내부에는 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물질)이 포함된다.

[0012] 또한, 상술한 반도체 발광소자들의 상기 고전도성 물질은 복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 상호 연결되어 형성된 것일 수 있다.

[0013] 또한, 상술한 반도체 발광소자들의 상기 고전도성 물질은 복수의 전도성 나노파티클(nanoparticle)이 서로 연결된 것일 수 있다.

[0014] 또한, 상술한 반도체 발광소자들의 상기 고전도성 물질은 복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 복수의 전도성 나노파티클과 상호 연결된 것일 수 있다.

[0015] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 일 실시예에 따른 반도체 발광소자 제조방법은, (a) 기판위에 제 1 반도체층을 형성하는 단계; (b) 상기 제 1 반도체층 위에 빛을 발생시키는 활성층을 형성하는 단계; (c) 상기 활성층 위에 제 2 반도체층을 형성하는 단계; 및 (d) 상기 제 2 반도체층과의 경계면에 2차원 광결정 패턴이 형성되도록 상기 제 2 반도체층 위에 투명 전극층을 형성하는 단계; 및 (e) 상기 2차원 광결정 패턴 내부에 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물질)을 채우고, 그 위에 상기 투명 전극층의 형성에 이용된 물질과 동일한 물질을 증착하여 투명 전극층을 완성하는 단계를 포함한다.

[0016] 한편, 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 다른 일 실시예에 따른 반도체 발광소자 제조방법은, (a) 기판위에 제 1 반도체층, 빛을 발생시키는 활성층, 및 제 2 반도체층을 순차적으로 형성하는 단계; (d) 상기 제 2 반도체층과의 경계면에 2차원 광결정 패턴이 형성되도록 상기 제 2 반도체층 위에 투명 전극층을 형성하는 단계; (e) 상기 2차원 광결정 패턴 내부에 상기 투명 전극층을 구성하는 물질보다 전도성이 높은 물질(고전도성 물질)을 채우고, 그 위에 상기 투명 전극층의 형성에 이용된 물질과 동일한 물질을 증착하여 투명 전극층을 완성하는 단계; (f) 상기 투명 전극층 위에 반사막 및 접착층을 순차적으로 형성하는 단계; 및 (g) 상기 접착층을 서브마운트 기판 위에 접합하고, 상기 제 1 반도체층을 기판으로부터 분리하는 단계를 포함한다.

[0017] 또한, 상술한 반도체 발광소자 제조 방법의 상기 (e) 단계는, 상기 고전도성 물질이 용해된 용액에 상기 기판을 담근 후, 꺼내어 건조시켜 상기 고전도성 물질을 상기 2차원 광결정 패턴내부에 채울 수 있다.

[0018] 또한, 상술한 반도체 발광소자 제조 방법의 상기 (e) 단계에서, 복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 상호 연결되도록 상기 2차원 광결정 패턴 내부에 채워질 수 있다.

[0019] 또한, 상술한 반도체 발광소자 제조 방법의 상기 (e) 단계에서, 복수의 전도성 나노파티클(nanoparticle)이 서로 연결되도록 상기 2차원 광결정 패턴 내부에 채워질 수 있다.

[0020] 또한, 상술한 반도체 발광소자 제조 방법의 상기 (e) 단계에서, 복수의 탄소나노튜브 또는 복수의 전도성 나노와이어가 복수의 전도성 나노파티클과 상호 연결되도록 상기 2차원 광결정 패턴 내부에 채워질 수 있다.

발명의 효과

[0021] 본 발명은 일반적으로 투명한 전도성 산화막(Transparent Conductive Oxide;TCO)으로 형성되는 투명 전극층 중에서 p형 반도체층과의 경계면에 2차원 광결정 패턴을 형성함으로써, 광결정 패턴에 의한 광추출 효율을 향상시킬 수 있을뿐만 아니라, p형 반도체층과 투명 전극층간의 접촉 면적을 감소시킴으로써 접촉 저항을 감소시켜 반도체 발광 소자의 전도 특성을 향상시킬 수 있다.

[0022] 또한, 본 발명은 광결정 패턴 내부에 투명 전극층보다 전도성이 높은 CNT(또는 고전도성 나노와이어) 및 나노파티클이 채워짐으로써 p형 전극을 통해서 공급되는 전류가 투명 전극층 전체 영역으로 보다 원활하게 전달되어 전류 분산특성을 향상시켜 current crowding을 현저하게 감소시킬 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 바람직한 제 1 실시예에 따른 반도체 발광 소자의 구조를 도시한 도면이다.

도 2는 본 발명의 바람직한 제 1 실시예에 따라서 형성된 투명 전극층의 구성을 도시하는 도면이다.

도 3은 본 발명의 2차원 광결정 패턴의 다른 예를 도시하는 도면이다.

도 4a 내지 도 4e 는 본 발명의 바람직한 제 1 실시예에 따라서 반도체 발광 소자를 제조하는 방법을 설명하는 도면이다.

도 5는 본 발명의 바람직한 제 2 실시예에 따른 수직형 반도체 발광 소자의 구조를 도시한 도면이다.

도 6a 내지 도 6f는 본 발명의 바람직한 제 2 실시예에 따라서 수직형 반도체 발광 소자를 제조하는 방법을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0025] 도 1은 본 발명의 바람직한 제 1 실시예에 따른 반도체 발광 소자의 구조를 도시한 도면이다.

[0026] 도 1을 참조하면, 본 발명의 바람직한 제 1 실시예에 따른 수평형 반도체 발광 소자는, 반도체 기판(100)위에, n형 반도체층(110), 활성층(120), 및 p형 반도체층(130)이 차례로 적층되어 형성되며, 반도체 기판(100)과 n형 반도체층(110) 사이에는 버퍼층이 추가로 형성될 수도 있다.

[0027] 본 발명의 바람직한 실시예에서, n형 반도체층(110)은 n-(Al)GaN 층으로 형성될 수 있고, 활성층(120)은 $In_xGa_{1-x}N$(x=0~1)층으로 형성될 수 있으며, p형 반도체층(130)은 p-(Al)GaN 층으로 형성될 수 있다.

[0028] 또한, 반도체 기판(100)위에 순차적으로 n형 반도체층(110), 활성층(120), 및 p형 반도체층(130)을 형성하는 방법은 MOCVD(Metal Organic Chemical Vapor Deposition) 방식과 같이, 종래의 반도체 발광 소자에서 제조이 적용되는 방식이 그대로 적용될 수 있으므로, 구체적인 설명은 생략한다. 다만, 본 발명의 바람직한 제 1 실시예에서, p형 반도체층(130)은 p-(Al)GaN 층으로 형성되고, n형 반도체층(110)은 p-(Al)GaN 층으로 형성되며, TCO 물질은 ITO 물질로 형성하였다.

[0029] 한편, ITO 물질과 같이 반도체 발광소자의 투명 전극층(140)의 형성에 일반적으로 이용되는 물질을 이용하여 투명 전극층(140)이 p형 반도체층(130) 위에는 형성되어 있고, 투명 전극층(140) 중, 투명 전극층(140)과 p형 반도체층(130)의 접촉면에는 광추출 효율 향상을 위한 2차원 광결정 패턴(142)이 형성되어 있으며, 그 패턴(142) 내부에는 전도성을 향상시키기 위한 탄소나노튜브(이하, CNT라 칭함) 및 나노파티클(nanoparticle)이 서로 연결되도록 채워진다. 투명 전극층(140)의 2차원 광결정 패턴(142)은 p형 반도체층(130)의 경계면에만 형성되고, 2차원 광결정 패턴(142)의 상부에는 역시 투명 전극층(140)이 형성되어 있다. 투명 전극층(140) 내부에 형성된 2차원 광결정 패턴(142)에 대해서는 도 2를 참조하여 후술한다.

[0030] 투명 전극층(140) 위에는 p형 전극(150)이 형성되어 있고, 일반적인 수평형 반도체 발광소자와 마찬가지로 일측면은 n형 전극(160)을 설치하기 위해서 투명 전극층(140)으로부터 n형 반도체층(110)이 드러나도록 식각되어 있으며, 외부로 드러난 n형 반도체층(110) 위에 n형 전극(160)이 형성되어 있다.

[0031] 광추출 효율을 향상시키기 위해서 투명 전극층(140) 내부에 광결정 패턴(142)을 형성하고, 그 내부에 전도성을 향상시키기 위해서 CNT(또는 고전도성 나노와이어)(172) 및 나노파티클을 혼합하여 배치하는 구성 이외의 구성은 일반적인 수평형 반도체 발광 소자의 구성과 동일하므로 구체적인 설명은 생략하고, 본 발명의 특징적인 구성을 도 2를 참조하여 설명한다.

[0032] 도 2는 본 발명의 바람직한 제 1 실시예에 따라서 형성된 투명 전극층(140)의 구성을 도시하는 도면이다. 도 2를 참조하면, 투명 전극층(140)의 하부, 즉, p형 반도체층(130)과의 계면에 주기적인 구조의 2차원 광결정 패턴(142)이 형성되어 있다.

[0033] 비록, 도 2에는 격자 형태의 주기적인 2차원 광결정 패턴(142)이 형성된 예를 도시하였으나, 도 3의 (a) 및 (b)에 도시된 같이, 일정한 간격으로 형성된 원형 또는 사각형의 홀로 구현되는 광결정 패턴(142)이 형성될 수도 있다.

[0034] 한편, 광결정 패턴(142) 내부에는 전도성이 높은 CNT들(또는 고전도성 나노 와이어)이 불규칙하게 서로 연결되어 있고, CNT들(또는 고전도성 나노 와이어) 사이에 전도성 나노 파티클들이 함께 채워져 상호 연결되지 않은 CNT들을 전기적으로 연결시키는 bridge의 역할을 수행한다.

[0035] 이렇게, 투명 전극층(140) 중에서 p형 반도체층(130)과의 경계면에 2차원 광결정 패턴(142)을 형성함으로써, 광결정 패턴(142)에 의한 광추출 효율을 향상시킬 수 있을뿐만 아니라, p형 반도체층(130)과 투명 전극층(140)간의 접촉 면적을 감소시킴으로써 접촉 저항을 감소시켜 반도체 발광 소자의 전도 특성을 향상시킬 수 있다.

[0036] 또한, 광결정 패턴(142) 내부에 투명 전극층(140)보다 전도성이 높은 CNT(또는 고전도성 나노와이어)(172) 및 나노 파티클이 채워짐으로써 p형 전극(150)을 통해서 공급되는 전류가 투명 전극층(140) 전체 영역으로 보다 원활하게 전달되어 전류 분산특성을 향상시켜 current crowding을 현저하게 감소시킬 수 있다.

[0037] 도 4a 내지 도 4e 는 본 발명의 바람직한 제 1 실시예에 따라서 반도체 발광 소자를 제조하는 방법을 설명하는 도면이다.

[0038] 도 4a를 참조하면, 일반적인 반도체 발광 소자의 제작 공정과 동일한 제작 공정을 수행하여, 반도체 기판(100) 위에 n형 반도체층(110), 활성층(120), 및 p형 반도체층(130)을 순차적으로 형성하고, p형 반도체층(130) 위에 ITO와 같이 일반적으로 반도체 발광 소자의 투명 전극층 형성에 이용되는 물질을 이용하여 투명 전극층(140-1)을 형성한다.

[0039] 그 후, 도 4b에 도시된 바와 같이, 투명 전극층(140-1) 위에 2차원 광결정 패턴(142)을 형성하기 위해서, 투명 전극층(140) 위에 포토레지스트층(170)을 형성하고, laser-interference lithography(LIL) 또는 nanosphere lithography(NSL) 방법을 이용하여 2차원 광결정 패턴(142) 구조를 형성한다.

[0040] 그 다음, 도 4c에 도시된 바와 같이, ICP/RIE 공정을 적용하여 p형 반도체층(130)이 드러나도록 투명 전극층(140-1)을 충분히 식각한 후, 기판(100)을 CNT(또는 고전도성 나노 와이어) 물질 용액에 담근 후 꺼내어 건조시킴으로써 2차원 광결정 패턴(142) 내부에 복수의 고전도성 CNT(또는 복수의 고전도성 나노와이어)(172) 물질을 채워넣는다. 고전도성 CNT 물질들(또는 고전도성 나노와이어들)(172)은 2차원 광결정 패턴(142) 내부에서 상호 전기적으로 연결된 상태로 배치된다. 이 때, CNT 물질을 채워넣기 전에 공정간 발생한 손상을 복원하기 위하여 염산 (HCl) 용액을 이용하여 린싱 공정을 수행할 수 있다.

[0041] 그 후, 도 4d에 도시된 바와 같이, Au, Ag 등의 분말형태의 고전도성 나노파티클(nanoparticle)(174)이 용해된 용액에 기판(100)을 담근 후 건조시켜, 기 형성된 복수의 CNT (또는 복수의 고전도성 나노 와이어) 물질(172) 사이에 고전도성 나노파티클(174)을 흡착시켜 CNT (또는 고전도성 나노와이어)-나노파티클 혼합구조물을 2차원 광결정 패턴(142) 내부에 형성한다.

[0042] 마지막으로, 도 4e에 도시된 바와 같이, 잔존하는 포토레지스트층(170)을 제거한 후, 2차원 광결정 패턴(142) 내부에 채워진 CNT(또는 나노 와이어)-나노 파티클의 이탈 방지 및 투명 전극층(140)의 전극접촉층/공기층 간의 굴절률의 변화를 주기 위하여 투명 전극층(140) 물질을 다시 재증착하여, 하부에 2차원 광결정 패턴(142)이 형성된 투명 전극층(140)을 완성한다.

[0043] 투명 전극층(140)이 형성된 이 후의 전극을 형성하는 공정은 기존의 반도체 발광 소자의 제조 공정과 동일하므로, 구체적인 설명은 생략한다.

[0044] 상술한 본 발명의 바람직한 제 1 실시예에서는 2차원 광결정 패턴(142) 내부에 복수의 CNT 또는 고전도성 나노와이어(172)를 채워넣은 후, 복수의 고전도성 나노파티클(174)을 채워넣는 것으로 설명하였으나, 2차원 광결정 패턴(142) 내부에 고전도성 나노파티클(174)을 먼저 채워넣은 후, CNT 또는 고전도성 나노와이어를 채워넣을 수도 있다.

[0045] 또한, 상술한 본 발명의 바람직한 제 1 실시예에서는, CNT(또는 고전도성 나노와이어)(172)와 고전도성 나노파티클(174)을 2차원 광결정 패턴(142) 내부에 함께 채워넣는 것으로 설명하였으나, 2차원 광결정 패턴(142) 내부에 투명 전극층(140)보다 전도도가 높은 CNT(또는 고전도성 나노와이어)(172) 및 고전도성 나노파티클(174) 중 어느 하나만 채워도 소자의 전도특성을 향상시킬 수 있어 전류분산 효과를 나타낼 수 있다. 이 밖에, p형 반도체층(130)과 투명 전극층(140)간의 접촉 면적을 감소시켜 접촉 저항을 감소시키는 효과 및 2차원 광결정 패턴(142)을 형성함으로써 광추출 효율을 향상시킬 수 있음은 상술한 바와 같다.

[0046] 지금까지 본 발명의 바람직한 제 1 실시예에 따른 수직형 반도체 발광 소자 및 그 제조 방법에 대해서 설명하였다.

[0047] 이하에서는, 본 발명의 바람직한 제 2 실시예에 따른 수직형 반도체 발광 소자 및 그 제조 방법에 대해서 설명한다.

[0048] 도 5는 본 발명의 바람직한 제 2 실시예에 따른 수직형 반도체 발광 소자의 구조를 도시한 도면이다.

[0049] 도 5를 참조하면, 본 발명의 바람직한 제 2 실시예에 따른 수직형 반도체 발광 소자는, 상하면에 p형 전극 메탈층이 형성된 서브 마운트 기판(580)(500), 솔더층(574), 접착층(572), 반사막(560), 투명 전극층(540), p형 반

도체층(530), 활성층(520), n형 반도체층(510), 및 n형 전극(590)층이 순차적으로 형성되어 있다.

[0050] 상술한 제 1 실시예와 마찬가지로, n형 반도체층(510)은 n-(Al)GaN 층으로 형성될 수 있고, 활성층(520)은 $In_xGa_{1-x}N$(x=0~1)층으로 형성될 수 있으며, p형 반도체층(530)은 p-(Al)GaN 층으로 형성될 수 있다.

[0051] 또한, 투명 전극층(540)의 상부, 즉, p형 반도체층(530)과의 계면에는 제 1 실시예와 마찬가지로 2차원 광결정 패턴(542)이 형성되어 있고, 2차원 광결정 패턴(542) 내부에는 제 1 실시예와 마찬가지로, CNT들(또는 고전도성 나노와이어) 채워져 상호 연결되어 있고, CNT들(또는 고전도성 나노와이어) 사이에 고전도성 나노파티클(174)들이 채워져 서로 연결되지 않은 CNT 또는 나노 와이어들을 전기적으로 연결시킨다.

[0052] 투명 전극층(540)에 형성되는 2차원 광결정 패턴(542)은 제 1 실시예와 마찬가지로, 격자 형태로 형성될 수도 있고, 원형 또는 사각형의 홀 패턴(542)으로 형성될 수도 있으며, 이 밖에 다양한 모양으로 형성될 수 있다.

[0053] 본 발명의 제 2 실시예의 경우에도, 투명 전극층(540)에 형성된 광결정 패턴(542) 내부에 전도성이 높은 CNT(또는 고전도성 나노와이어)(172) 및 나노파티클(174)이 채워짐으로써 p형 전극 메탈층으로부터 n형 전극(590)층으로 공급되는 전류가 투명 전극층(540) 전체 영역으로 보다 원활하게 전달되어 전류 분산특성을 향상시켜 current crowding을 현저하게 감소시킬 수 있으며, 투명 전극층(540) 중에서 p형 반도체층(530)과의 계면에 2차원 광결정 패턴(542)을 형성함으로써, 광결정 패턴(542)에 의한 광추출 효율을 향상시킬 수 있을뿐만 아니라, p형 반도체층(530)과 투명 전극층(540)간의 접촉 면적을 감소시킴으로써 접촉 저항을 감소시켜 반도체 발광 소자의 전도 특성을 향상시킬 수 있다.

[0054] 도 6a 내지 도 6f는 본 발명의 바람직한 제 2 실시예에 따라서 수직형 반도체 발광 소자를 제조하는 방법을 설명하는 도면이다.

[0055] 먼저, 도 6a에 도시된 바와 같이, 일반적인 수직형 반도체 발광 소자의 제조 방식과 동일하게, 기판(500) 위에 버퍼층(502), n형 반도체층(510), 활성층(520), 및 p형 반도체층(530)을 순차적으로 형성한 후, p형 반도체층(530) 위에 투명 전극층(540-1)을 형성한다. 이 때, 기판(500)으로는 수직형 반도체 발광 소자의 제조에 널리 이용되는 사파이어 기판(500)이 이용될 수 있고, 기판(500)과 n형 반도체층(510) 사이에 버퍼층(502)이 추가로 형성될 수 있으며, 투명 전극층(540-1)은 ITO 등과 같이 일반적으로 반도체 발광소자의 투명 전극층(540-1) 형성에 이용되는 물질들이 이용될 수 있다.

[0056] 그 후, 도 4b 내지 도 4e를 참조하여 설명한 것과 동일한 방식으로, 투명 전극층(540-1) 위에 포토레지스트층(550)을 형성하고, laser-interference lithography(LIL) 또는 nanosphere lithography(NSL) 방법을 이용하여 2차원 광결정 패턴(542) 구조를 형성한 다음, ICP/RIE 공정을 적용하여 p형 반도체층(530)이 드러나도록 투명 전극층(540-1)을 충분히 식각한 후, 기판(500)을 CNT(또는 고전도성 나노 와이어) 물질 용액에 담근 후 꺼내어 건조시킴으로써 2차원 광결정 패턴(542) 내부에 고전도성 CNT(또는 고전도성 나노와이어)(172) 물질을 채워넣는다(도 6b 참조).

[0057] 복수의 CNT(또는 고전도성 나노와이어) 물질(172)은 2차원 광결정 패턴(542) 내부에서 상호 전기적으로 연결된 상태로 배치되며, CNT 물질을 채워넣기 전에 공정간 발생한 손상을 복원하기 위하여 염산 (HCl) 용액을 이용하여 린싱 공정을 수행할 수 있다.

[0058] 그 후, 도 6c에 도시된 바와 같이, 분말형태의 고전도성 나노파티클(174)(Au, Ag 등) 용액에 기판(500)을 담근 후 건조시켜, 기 형성된 CNT (또는 나노 와이어) 물질 사이에 고전도성 나노파티클(174)을 흡착시켜 CNT (또는 나노와이어)-나노파티클(174) 혼합구조물을 형성하고, 마지막으로, 잔존하는 포토레지스트층(550)을 제거한 후, 2차원 광결정 패턴(542) 내부에 채워진 CNT(또는 나노 와이어)-나노파티클(174)의 이탈 방지 및 투명 전극층(540)의 전극접촉층/공기층 간의 굴절률의 변화를 주기 위하여 투명 전극층(540) 물질을 다시 재증착하여 하부에 2차원 광결정 패턴(542)이 형성된 투명 전극층(540)을 완성한다.

[0059] 그 후, 도 6d에 도시된 바와 같이, 투명 전극층(540) 위에 Ag, Al, Pt, Au, Ni, Ti, ITO 또는 이들의 조합으로 이루어는 물질로 반사막(560)을 형성하며, 반사막(560) 위에 서브 마운트 기판(580)(500)과의 접착을 위한 접착층(572)을 형성한다.

[0060] 한편, 반도체 발광 소자가 접착될 서브마운트 기판(500)은, 약 100㎛ 정도의 두께를 갖는 기판(500)의 양면을 폴리싱한 후, 폴리싱된 기판(500)의 상면과 하면에 p형 오믹 메탈층을 형성하고, p형 오믹 메탈층 위에 사파이

어 기판(500)에 형성된 반도체 발광 구조물과 접합하기 위한 솔더층(574)(solder)을 1㎛ 이상의 두께로 형성한다.

[0061] 그 후, 사파이어 기판(500)이 위로 오도록 사파이어 기판(500)에 형성된 접착층(572)과 서브 마운트 기판(580)(500)에 형성된 솔더를 서로 접합하고(도 6e 참조), 사파이어 기판(500)을 분리하기 위해서 245~305㎚ 의 UV 레이저를 사파이어 기판(500)을 통해서 조사한다(도 6f 참조).

[0062] 조사된 레이저는 사파이어 기판(500)을 투과하여 사파이어 기판(500)과 버퍼층(502)(Un-doped GaN)의 경계면에서 흡수되어, GaN 물질이 Ga 과 N_2로 분리된다. 이때 형성된 N_2 는 외부로 방출되고, 계면에는 Ga 만이 남게되는데, 융점이 30℃ 정도인 Ga 은 가해진 열에 의해서 용융되고, 따라서 사파이이 기판(500)은 질화물층으로부터 분리되어 서브마운트 기판(500)상에는 발광 소자의 질화물층만 남게 된다.

[0063] 사파이어 기판(500)이 분리된 후의 질화물층의 최상면인 버퍼층(502)은 표면에 어느 정도의 두께를 갖는 손상된 층으로 남게된다. 따라서, 이 손상된 부분을 제거하고 n형 반도체층(510)(n-GaN 층) 위에 전극을 형성하기 위해서 버퍼층(502)을 제거하여 n형 반도체층(510)이 드러나게 하고, 표면으로 드러난 n형 반도체층(510)의 표면위에 n형 전극(590)층을 형성한다.

[0064] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

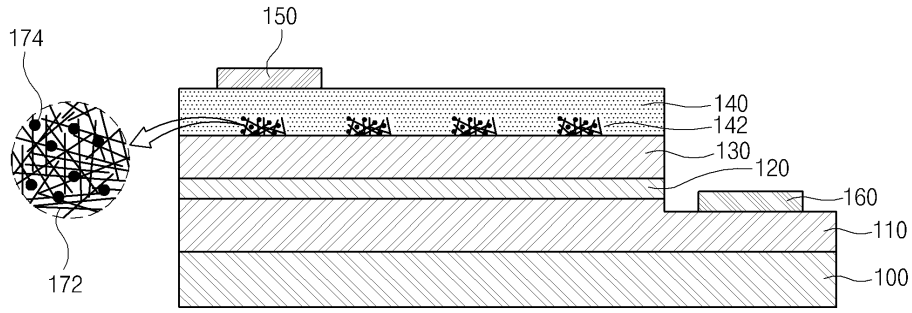
부호의 설명

[0065]

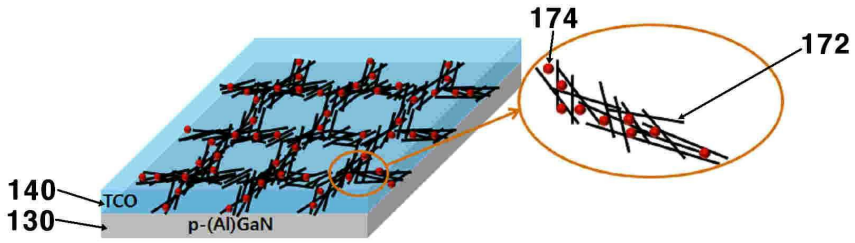
100, 500	기판
110, 510	n형 반도체층
120, 520	활성층
130, 530	p형 반도체층
140, 540	투명 전극층
142, 542	2차원 광결정 패턴
150	p형 전극
160,590	n형 전극
170, 550	포토레지스트층
172	CNT 또는 고전도성 나노와이어
174	고전도성 나노파티클
502	버퍼층
560	반사막
572	접착층
574	솔더층
580	서브 마운트 기판
582	p형 전극 메탈층

도면

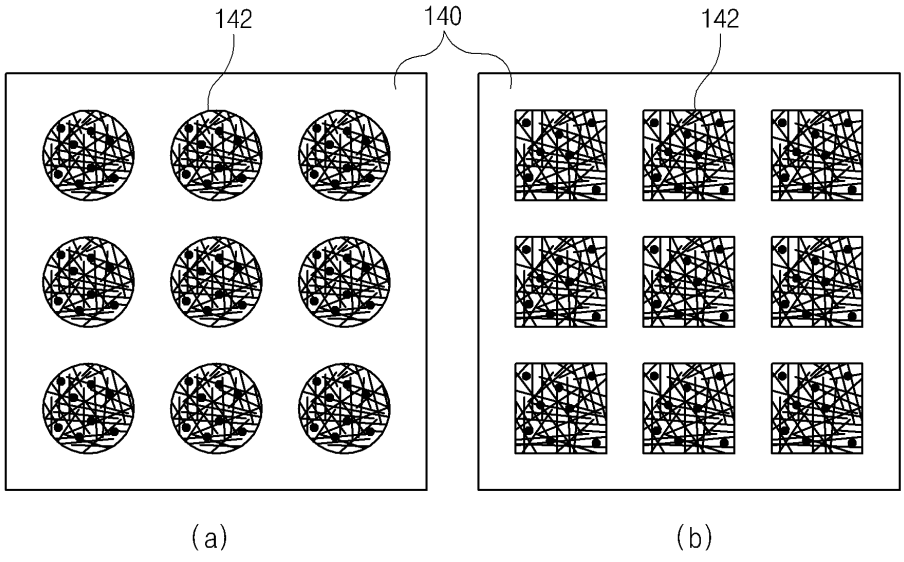
도면1



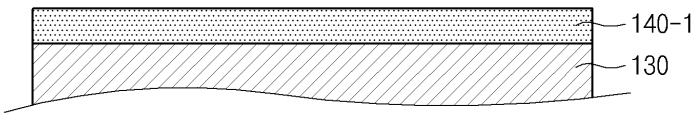
도면2



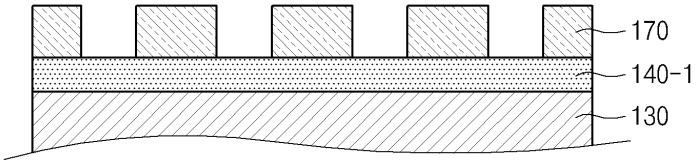
도면3



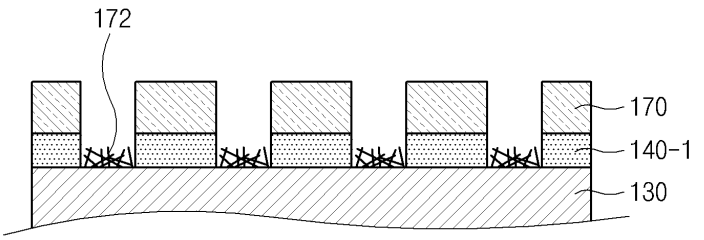
도면4a



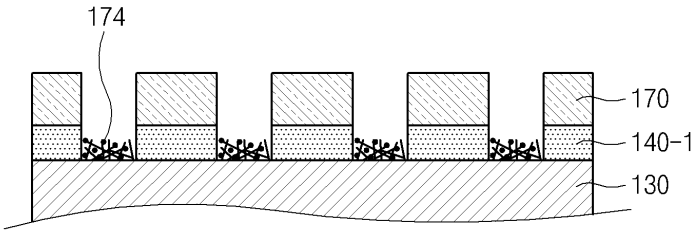
도면4b



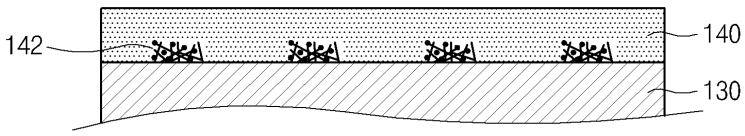
도면4c



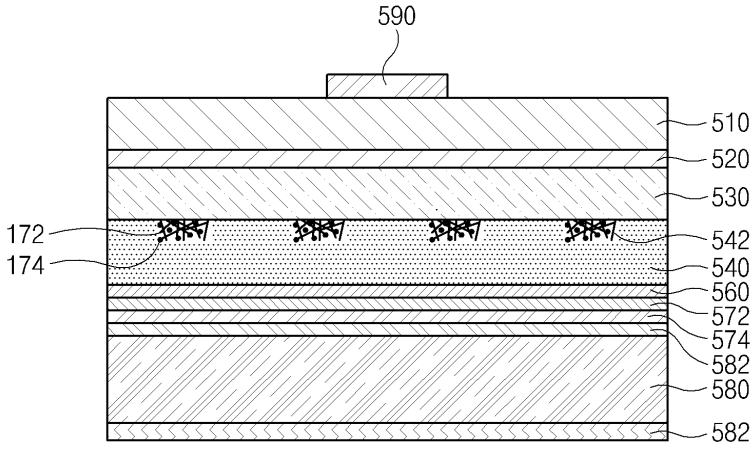
도면4d



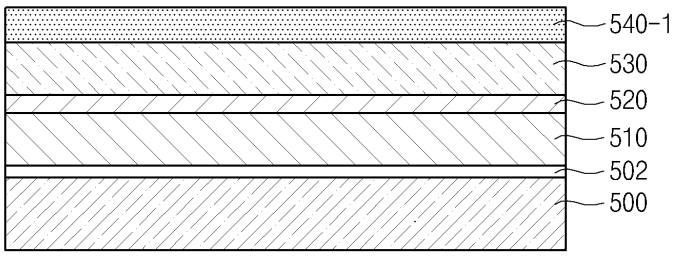
도면4e



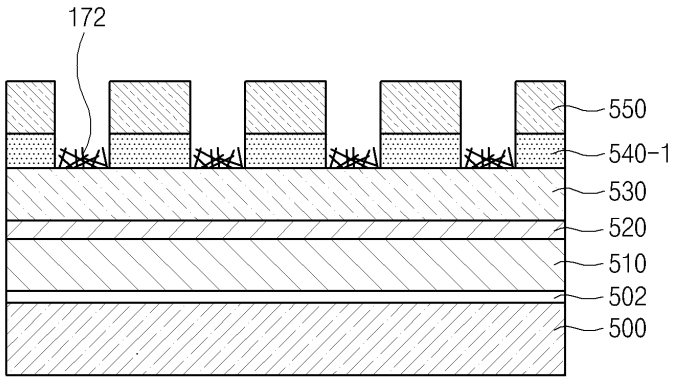
도면5



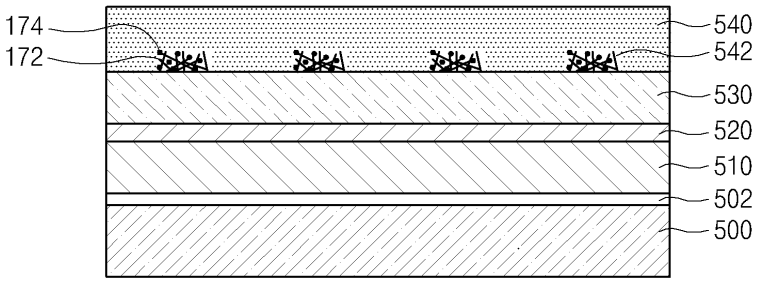
도면6a



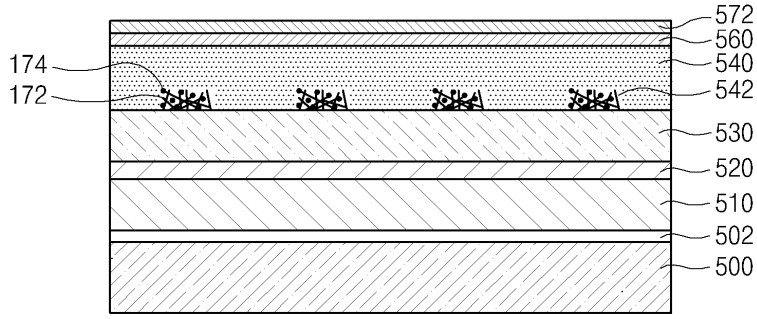
도면6b



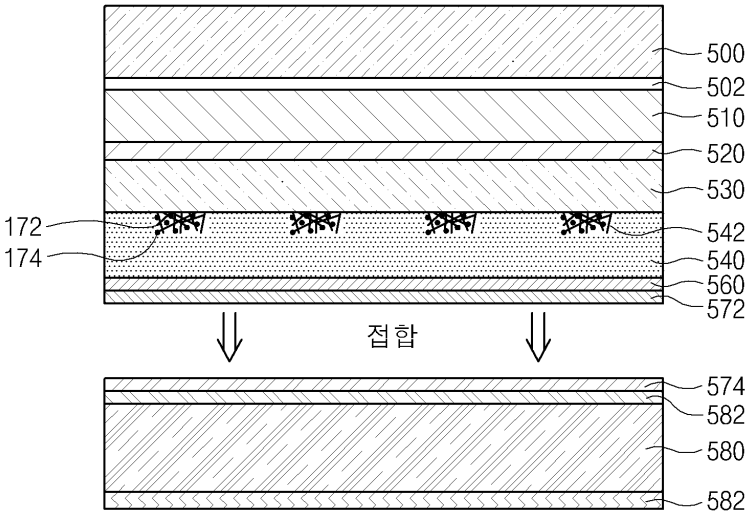
도면6c



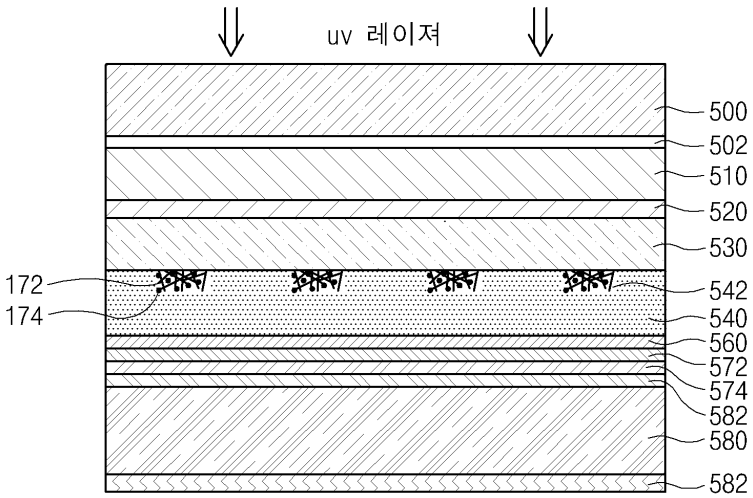
도면6d



도면6e


500
502
510
520
530
172
174
542
540
560
572
접합
574
582
580
582

도면6f


uv 레이저
500
502
510
520
530
172
174
542
540
560
572
574
582
580
582