(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G11C 7/00

(11) 공개번호 특1997-0023374
(43) 공개일자 1997년05월30일

(21) 출원번호 특1996-0047984
(22) 출원일자 1996년10월24일
(30) 우선권주장 95-302100 1995년10월26일 일본(JP)
(71) 출원인 가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무
일본국 도오쿄오토 치요다쿠 간다스루가다이 4쪼오메 6반치
(72) 발명자 다카하시 도시로오
일본국 도오쿄오토 하무라시 사카에쪼오 2-14-10
고이데 가즈오
일본국 사이타마켄 이루마시 미나미미네 438-27
(74) 대리인 임석재, 윤우성

심사청구 : 없음

(54) 반도체 집적회로장치 및 소진폭 신호 수신 방법

요약

두개의 반도체 집적회로장치 사이에서 상기 두 반도체 집적회로장치의 동작전압에 비해 작은 신호 진폭으로 클럭 신호동기하여 신호 전송을 하는 경우에, 수신 신호는 클럭과 동기하여 상기 작은 신호 진폭을 그대로 유지된 채로 수신측 반도체 집적회로장치에서 유지되며, 상기 작은 신호 진폭을 가지는 상기 수신 신호는 수신측 반도체 집적회로장치 상의 다음 래치 회로에 전달되는 조합 논리회로를 포함하는 신호 전송경로 중에서 증폭된다.

대표도

도1

명세서

[발명의 명칭]

반도체 집적회로장치 및 소진폭 신호 수신 방법

[도면의 간단한 설명]

제1도는 본 발명의 일 실시예를 보여주는 개략 블록도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 집적회로장치에 있어서, 클록신호에 동기되어 입력되고 상기 반도체 집적회로장치의 제1 및 제2의 전원전압간의 차에 비해 작은 진폭으로 된 수신신호를 수신하고, 상기 수신신호에 대응한 작은 신호 진폭 그대로 유지하는 래치회로를 구비한 입력 버퍼를 구비하여 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 2

제1항에 있어서, 수신신호는 종단 저항소자에 의해 종단된 신호전송선로를 통하여 전달되는 것인 것을 특징으로 하는 반도체 집적회로장치.

청구항 3

제1항에 있어서, 상기 입력 버퍼는 수신신호와 기준전압을 받는 제1도전형의 차동 MOSFET; 상기 차동 MOSFET의 공통 소스와 제1의 전원전압 사이에 마련되고, 상기 수신신호에 동기되어 입력되는 클럭신호가 한쪽의 레벨에 있을 때에 온 상태로 되는 제1도전형의 제1의 스위치 MOSFET; 상기 차동 MOSFET의 드레인

과 제2의 전원전압과의 사이에 마련된 부하소자; 게이트와 드레인이 교차접속되고 당해 교차접속점이 상기 차동 MOSFET의 드레인에 각각 접속되어 이루어지는 제1도전형의 래치형태의 MOSFET을 포함하는 래치회로; 상기 래치 형태의 MOSFET의 소스와 상기 제2의 전원전압 사이에 각각 마련되고 상기 클록신호가 다른쪽의 레벨에 있을 때 온 상태가 되는 제1도전형의 제2의 스위치 MOSFET; 상기 차동 MOSFET 중 한쪽의 드레인 전압을 증폭하여 상기 제1의 전원전압과 상기 제2의 전원전압에 대응한 신호진폭을 가지는 내부신호를 형성하는 증폭회로를 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4

제3항에 있어서, 상기 입력 버퍼와 병렬로 연결되고 3상태 출력기능을 가진 테스트용의 입력 버퍼를 더 구비하며, 상기 테스트용 입력 버퍼의 출력은 통상 동작시에는 테스트 모드 신호에 의해 하이 임피던스 상태로 되고, 테스트 모드시에는 상기 테스트 모드 신호에 의해 상기 테스트용의 입력 버퍼가 동작상태로 되는 반면 상기 신호수신용 입력 버퍼는 출력이 실질적으로 하이 임피던스 상태로 되는 것임을 특징으로 하는 반도체 집적회로장치.

청구항 5

제3항에 있어서, 상기 증폭회로에는 상기 차동 MOSFET의 한쪽의 드레인에 연결되는 입력과, 출력을 가지는 입력 CMOS 인버터 회로와, 입력과 출력을 가지는 출력 CMOS 인버터 회로와, 상기 입력 CMOS 인버터 회로의 출력과 상기 출력 CMOS 인버터 회로의 입력 사이에 마련되고 상기 클록신호에 의해 제어되는 COMS 회로를 포함하는 쓰루 래치(through-latch) 회로를 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 6

제3항에 있어서, 상기 제1의 전원전압은 3.3V 또는 5.0V이고, 상기 제2의 전원전압은 0V이며, 상기 입력신호의 진폭은 0.8V이며, 상기 기준전위는 0.6V인 것을 특징으로 하는 반도체 집적회로장치.

청구항 7

제6항에 있어서, 상기 제1의 도전형은 p-채널형이고, 부하소자는 n-채널형 MOSFET을 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 8

제3항에 있어서, 상기 제1의 도전형은 n-채널형이고, 부하소자는 p-채널형 MOSFET을 포함하며, 상기 제1의 전원전압은 3.3V이고, 상기 제2의 전원전압은 0V이며, 상기 기준전위는 1.65V인 것을 특징으로 하는 반도체 집적회로장치.

청구항 9

클록신호에 동기하여 송신측 및 수신측 반도체 집적회로장치 사이에서 신호를 전송할 때에 소진폭의 입력 신호를 수신하는 방법에 있어서, 상기 수신측 반도체 집적회로장치의 제1 및 제2의 전원전압 사이의 전위차에 비해 작은 진폭을 가지는 입력신호를 클럭신호에 동기하여 수신하고, 상기 수신측 반도체 집적회로장치에서 상기 신호 진폭 그대로 상기 입력신호를 유지하고, 상기 수신측 반도체 집적회로장치 상의 다음 래치회로에 연결되는 조합 논리회로를 포함하는 신호전송경로를 따라 유지된 상기 입력신호의 신호진폭을 증폭하는 단계를 구비하는 것을 특징으로 하는 소진폭신호 수신방법.

청구항 10

제9항에 있어서, 상기 소신호 진폭에 의해 신호전송을 신호선로 및 상기 신호선로의 종단에 마련된 종단저항을 사용하여 수행하는 것을 특징으로 하는 소진폭신호 수신방법.

청구항 11

반도체 집적회로장치에 있어서, 제1의 전원전압이 공급되는 제1의 선로; 상기 제1의 전원전압과는 다른 제2의 전원전압이 공급되는 제2의 선로; 입력신호용 외부 입력단자; 상기 외부 입력단자에 연결된 게이트와, 소스와, 드레인을 가진 MOSFET과, 기준 전압을 받기 위해 연결된 게이트와, 상기 MOSFET의 소스에 연결되어 공통 소스를 형성하는 소스와, 드레인을 가지는 또 하나의 MOSFET으로 이루어지는 제1도전형의 차동 MOSFET 쌍; 제1의 신호를 수신하기 위해 연결된 게이트와, 상기 제1의 선로와 상기 차동 MOSFET 쌍의 상기 공통 소스와의 사이에 연결된 소스-드레인 경로를 가지는 제1도전형의 제1의 MOSFET; 상기 차동 MOSFET 쌍의 드레인들과 상기 제2의 선로 사이에 각각 연결된 부하 소자; 게이트와 드레인이 교차접속되고, 드레인이 상기 차동 MOSFET 쌍의 드레인에 각각 연결된 제1도전형의 MOSFET 쌍을 포함하며, 입력신호의 진폭과 거의 같은 진폭의 신호를 출력하는 래치 회로; 상기 제2의 선과 상기 MOSFET 쌍의 소스 사이에 연결된 소스-드레인 경로와, 상기 제1의 신호와 위상이 반전된 제2의 신호를 수신하도록 연결된 게이트를 구비하여, 상기 제1의 MOSFET과 상보적으로 동작하도록 된 제1도전형의 제2의 MOSFET; 상기 차동 MOSFET 쌍의 하나의 드레인에 연결된 입력과, 출력을 가지며, 상기 제1의 전원전압과 상기 제2의 전원전압과의 차와 거의 같은 신호진폭을 갖는 내부 신호를 출력하는 증폭회로를 구비하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 12

제11항에 있어서, 상기 제1의 전원전압은 3.3V 또는 5.0V이고, 상기 제2의 전원전압은 0V이며, 상기 입력신호의 진폭은 0.8V이며, 상기 기준전압는 0.6V인 것을 특징으로 하는 반도체 집적회로장치.

청구항 13

제12항에 있어서, 상기 제1의 도전형은 p-채널형이고, 부하소자는 n-채널형 MOSFET을 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 14

제13항에 있어서, 상기 증폭회로에는 상기 증폭회로의 입력으로서의 입력과, 출력을 가지는 입력 CMOS 인버터 회로와; 입력과 출력을 가지는 출력 CMOS 인버터 회로와; 상기 입력 CMOS 인버터 회로의 출력과 상기 출력 CMOS 인버터 회로의 입력 사이에 마련되고, 상기 제1의 신호에 의해 제어되는 COMS 회로를 포함하는 래치 회로를 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 15

제11항에 있어서, 상기 외부 입력단자에 연결된 입력과, 상기 증폭회로의 입력에 연결된 출력을 가지며, 테스트 모드 신호에 의해 그 동작이 제어되는 테스트 입력 버퍼를 더 구비하고 있으며, 상기 제1의 MOSFET과 상기 제2의 MOSFET은 상기 테스트 입력 버퍼가 상기 테스트 모드 신호에 의해 동작 상태로 되었을 때 비동작 상태로 되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 16

반도체 집적회로장치에 있어서, 제1의 전원전압이 공급되는 제1의 선로; 상기 제1의 전원전압과는 다른 제2의 전원전압이 공급되는 제2의 선로; 입력신호용 외부 입력단자; 상기 외부 입력단자에 연결된 게이트와, 소스와, 드레인을 가진 하나의 MOSFET과, 기준전압을 받기 위해 연결된 게이트와, 상기 하나의 MOSFET의 소스에 연결되어 공통 소스를 형성하는 소스와, 드레인을 가지는 또 하나의 MOSFET으로 이루어지는 제1도전형의 차동 MOSFET 쌍; 제1의 신호를 수신하기 위해 연결된 게이트와, 상기 제1의 선로 및 상기 차동 MOSFET 쌍의 상기 공통 소스와의 사이에 연결된 소스-드레인 경로를 가지는 제1도전형의 제1의 스위치 MOSFET; 상기 차동 MOSFET 쌍의 드레인과 상기 제2의 선로 사이에 각각 연결된 부하 소자; 게이트와, 소스와, 상기 차동 MOSFET 쌍의 드레인에 각각 연결된 드레인을 가지며, 상기 드레인 중의 하나가 입력신호와 거의 같은 진폭을 가지는 신호를 출력하는 제1도전형의 MOSFET 쌍; 입력이 상기 차동 MOSFET 쌍의 드레인에 각각 연결되고, 출력이 상기 MOSFET 쌍의 게이트에 각각 연결된 한쌍의 레벨시프트 회로; 상기 제2의 선과 상기 MOSFET 쌍의 소스 사이에 연결된 소스-드레인 경로와, 상기 제1의 신호와 위상이 반전된 제2의 신호를 수신하도록 연결된 게이트를 구비하여, 상기 제1의 MOSFET과 상보적으로 동작하도록 된 제1도전형의 제2의 MOSFET; 상기 차동 MOSFET 쌍의 하나의 드레인에 연결된 입력과, 출력을 가지며, 상기 제1의 전원전압과 상기 제2의 전원전압과의 차와 거의 같은 신호진폭을 갖는 내부 신호를 출력하는 증폭회로를 구비하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 17

제16항에 있어서, 상기 제1의 전원전압은 3.3V 또는 5.0V이고, 상기 제2의 전원전압은 0V이며, 상기 입력신호의 진폭은 0.8V이며, 상기 기준전압는 0.6V인 것을 특징으로 하는 반도체 집적회로장치.

청구항 18

제17항에 있어서, 상기 제1의 도전형은 p-채널형이고, 부하소자는 n-채널형 MOSFET을 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 19

제1 및 제2의 전원전압 사이에서 동작하는 반도체 집적회로장치에 있어서, 상기 제1 및 제2의 전원전압의 차보다 작은 소정의 진폭을 가지는 입력 신호를 수신하기 위한 외부 입력단자; 상기 외부 입력단자에 연결되고 클록신호에 응답하여 입력 신호를 유지하기 위한 것으로서, 입력신호와 거의 유사한 진폭의 출력신호를 출력하는 입력회로; 상기 입력회로의 상기 출력신호를 수신하기 위해 연결되고, 상기 출력신호의 진폭을 상기 제1 및 제2의 전원전압의 차와 거의 유사한 진폭으로 증폭하기 위한 증폭회로를 구비하는 것을 특징으로 하는 반도체 집적회로장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

