

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4983677号
(P4983677)

(45) 発行日 平成24年7月25日 (2012. 7. 25)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

(51) Int. Cl.

F I

H O 2 H 9/04 (2006. 01)

H O 2 H 9/04 A

H O 2 H 9/06 (2006. 01)

H O 2 H 9/06

H O 1 T 4/16 (2006. 01)

H O 1 T 4/16 B

請求項の数 5 (全 9 頁)

(21) 出願番号 特願2008-77067 (P2008-77067)
(22) 出願日 平成20年3月25日 (2008. 3. 25)
(65) 公開番号 特開2009-232629 (P2009-232629A)
(43) 公開日 平成21年10月8日 (2009. 10. 8)
審査請求日 平成22年2月22日 (2010. 2. 22)

(73) 特許権者 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100113077
弁理士 高橋 省吾
(74) 代理人 100112210
弁理士 稲葉 忠彦
(74) 代理人 100108431
弁理士 村上 加奈子
(74) 代理人 100128060
弁理士 中鶴 一隆
(72) 発明者 藤原 賢司
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 サージ吸収回路

(57) 【特許請求の範囲】

【請求項 1】

電源ラインとアースとの間に接続されるサージ吸収回路であって、
直列接続された第1のサージアブソーバ及び第2のサージアブソーバと、
前記第1のサージアブソーバに並列接続された第1の抵抗器と、
前記第2のサージアブソーバに並列接続された第2の抵抗器と、
前記第2の抵抗器に並列接続されたコンデンサとを備えたことを特徴とするサージ吸収回路。

【請求項 2】

前記第1の抵抗器に直列接続された第2のコンデンサを備え、
前記第1の抵抗器及び前記第2のコンデンサで構成された直列回路は、前記第1のサージ
アブソーバに並列接続されたことを特徴とする請求項1に記載のサージ吸収回路。

【請求項 3】

前記第2のサージアブソーバの放電開始電圧は、前記第1のサージアブソーバの放電開始
電圧以下であることを特徴とする請求項1または2に記載のサージ吸収回路。

【請求項 4】

前記第1のサージアブソーバは前記電源ライン側に接続され、前記第2のサージアブソー
バは前記アース側に接続されたことを特徴とする請求項1ないし請求項3のいずれか1項
に記載のサージ吸収回路。

【請求項 5】

10

20

前記直列接続された第1のサージアブソーバ及び第2のサージアブソーバと前記アースとの間に非線形抵抗素子が接続されたことを特徴とする請求項1ないし請求項4のいずれか1項に記載のサージ吸収回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電力変換装置等の電源機器に搭載し、配電系統の電源ラインから電源機器に印加される雷サージや開閉サージ等のサージから電源機器を保護するためのサージ吸収回路に関する。

【背景技術】

10

【0002】

電力の配電系統に連系して運転がなされる太陽光発電に代表される分散型電源等においては、雷サージや開閉サージから電源機器を保護するために、放電ギャップ型のサージアブソーバや半導体の非線形性を利用したバリスタ等の保護素子を備えたサージ吸収回路が一般に用いられている。サージ吸収回路には、サージに対する電源機器の保護を確実にするために、保護動作時におけるサージアブソーバ等の動作電圧を低く設定することが望まれている。

【0003】

一方、電源機器には絶縁耐性を維持する必要があるので、電源機器を製品として出荷する際には、そのシステムの絶縁耐性の確認のために、絶縁耐压試験が行われる。絶縁耐压試験時には商用周波数で大電圧の交流が電源機器に印加されることが一般的であるが、主に電源ラインとアースとの間に接続されているサージアブソーバ等が絶縁耐压試験時に動作しないよう、絶縁耐压試験電圧に応じてサージアブソーバ等の動作電圧を高めを選定する必要があった。このため、雷サージ等のサージに対する電源機器の保護電圧レベルを十分に低くできなかった。

20

【0004】

このような問題を解決するために、従来のサージ吸収回路においては、絶縁耐压試験時には高耐压リレー等のスイッチ素子を用いて、アースとサージアブソーバを切り離していた（例えば、特許文献1参照）。また、スイッチ等の能動素子を用いずに、直列接続された2つの放電ギャップ素子の一方にコンデンサ、他方にインダクタをそれぞれ並列に接続し、受動素子のみで構成していた（例えば、特許文献2参照）。

30

【0005】

【特許文献1】特開2001-286057号公報（第3～4頁、第1図）

【特許文献2】特開2004-185982号公報（第5～8頁、第1図）

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来のサージ吸収回路では、リレー等のスイッチ素子を用いる場合には、サージアブソーバの動作電圧を低く設定できるものの、高耐压リレー等のスイッチ素子やそのスイッチ素子を動作させるための駆動回路の搭載により装置サイズが大きくなり、製造コストも増加するという問題点があった。また、受動素子のみでサージ吸収回路を構成する場合には、回路構成が簡単であるものの、インダクタとコンデンサとの直列共振により高調波漏れ電流が大きくなるという問題点があった。

40

【0007】

この発明は、上述のような課題を解決するためになされたもので、回路全体を小型化し、製造コストを低減し、且つ雷サージ印加時には絶縁耐压試験電圧よりも小さい電圧値で動作し、絶縁耐压試験時には動作しないサージ吸収回路を得るものである。また、全周波数領域で高インピーダンス特性を維持し、高調波漏れ電流を抑制することができるサージ吸収回路を得るものである。

【課題を解決するための手段】

50

【 0 0 0 8 】

この発明に係るサージ吸収回路は、電源ラインとアースとの間に接続されるサージ吸収回路であって、直列接続された第 1 のサージアブソーバ及び第 2 のサージアブソーバと、第 1 のサージアブソーバに並列接続された第 1 の抵抗器と、第 2 のサージアブソーバに並列接続された第 2 の抵抗器と、第 2 の抵抗器に並列接続されたコンデンサとを備えたことを特徴とするものである。

【発明の効果】

【 0 0 0 9 】

この発明に係るサージ吸収回路は、第 2 のサージアブソーバ及び第 2 の抵抗器に並列接続されたコンデンサを備えたので、スイッチ素子を用いることなく、雷サージ印加時には絶縁耐圧試験電圧よりも小さい電圧値で動作し、絶縁耐圧試験時には動作しない回路であり、回路全体を小型化することができる。また、全周波数領域で高インピーダンス特性を維持し、高調波漏れ電流を抑制することができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

実施の形態 1 .

図 1 は、この発明を実施するための実施の形態 1 を示すサージ吸収回路の回路図である。また、図 2 は、雷サージのような高周波電圧が印加される場合の電流の経路、図 3 は、絶縁耐圧試験に用いられる低周波電圧が印加される場合の電流の経路である。図 1 において、サージ吸収回路 10 は、直列接続された第 1 のサージアブソーバ 1 及び第 2 のサージアブソーバ 2、第 1 のサージアブソーバ 1 に並列接続された第 1 の抵抗器 5、第 2 のサージアブソーバ 2 に並列接続された第 2 の抵抗器 6、及び第 2 の抵抗器 6 に並列接続されたコンデンサである第 1 のコンデンサ 7 によって構成されている。また、サージ吸収回路 10 は、電源ライン 3 とアース 4 との間に接続されている。つまり、電源ライン 3 とアース 4 との間に第 1 のサージアブソーバ 1 及び第 2 のサージアブソーバ 2 が直列に接続されている。

【 0 0 1 1 】

第 1 及び第 2 のサージアブソーバ 1, 2 は放電管型であり、放電管型のサージアブソーバの放電開始電圧（以降、動作電圧と称す）以上の電圧がサージアブソーバの両端に印加されたときに放電が発生し、短絡するものである。電源ライン 3 と第 1 のサージアブソーバ 1 との接続点を a、第 1 のサージアブソーバ 1 と第 2 のサージアブソーバ 2 との接続点を b、第 2 のサージアブソーバ 2 とアース 4 との接続点を c とする。上述のとおり、第 1 のサージアブソーバ 1 の両端（a b 間）には第 1 の抵抗器 5 が並列接続され、第 2 のサージアブソーバ 2 の両端（b c 間）には第 2 の抵抗器 6 及び第 1 のコンデンサ 7 がそれぞれ並列接続されている。

【 0 0 1 2 】

ここで、第 2 のサージアブソーバ 2 の動作電圧 V_{2S} は、第 1 のサージアブソーバ 1 の動作電圧 V_{1S} 以下とする。電源ライン 3 とアース 4 との間に電圧 V_{ac} が印加されたとき、第 1 のサージアブソーバ 1 の両端と第 2 のサージアブソーバ 2 の両端に印加される電圧は、その両端のインピーダンスの比により決定される。第 1 のサージアブソーバ 1 の両端の電圧を V_{ab} 、インピーダンスを Z_{ab} とし、第 2 のサージアブソーバ 2 の両端の電圧を V_{bc} 、インピーダンスを Z_{bc} とすると、上述の電圧及びインピーダンスは式 1、式 2 の関係をもつことになる。

【 0 0 1 3 】

【数 1】

$$V_{ab} = \frac{Z_{ab}}{\sqrt{Z_{ab}^2 + Z_{bc}^2}} V_{ac} \quad (1)$$

【 0 0 1 4 】

【数 2】

$$V_{bc} = \frac{Z_{bc}}{\sqrt{Z_{ab}^2 + Z_{bc}^2}} V_{ac} \quad (2)$$

【0015】

まず、電源ライン 3 とアース 4 との間に雷サージが印加された場合について説明する。一般的に雷サージの電圧立ち上がりは $1 \sim 2 \mu\text{s}$ (マイクロ秒) とされている。高周波電圧の $1/4$ 周期分がこの電圧立ち上がりに相当するとした場合、雷サージの周波数は約 $208 \sim 3 \text{ kHz}$ となる。このような高周波電圧が印加された場合、コンデンサは低インピーダンスとなるので、第 1 のコンデンサ 7 のインピーダンス Z_C が小さくなる。このため、雷サージの周波数における第 1 のコンデンサ 7 のインピーダンス Z_C が、第 2 の抵抗器 6 のインピーダンス Z_R2 の例えば 10 分の 1 以下と十分小さくなるように仕様を決めた場合には、第 1 のコンデンサ 7 に並列接続されている第 2 の抵抗器 6 のインピーダンス Z_R2 は無視されて、図 2 (a) に示した矢印線のような経路 21 を通って電源ライン 3 とアース 4 との間にサージ電流が流れる。

10

【0016】

この結果、インピーダンス Z_{bc} は非常に小さくなるので、インピーダンス Z_{ab} がインピーダンス Z_{bc} よりも非常に大きい値となるように設定すれば、雷サージによる電圧のほぼ全てが第 1 のサージアブソーバ 1 に印加されることになる。このため、雷サージに対する電源機器の保護電圧レベルは第 1 のサージアブソーバ 1 の動作電圧 V_{1S} で決定されることになる。

20

【0017】

雷サージによって第 1 のサージアブソーバ 1 の動作電圧 V_{1S} 以上の電圧が、電源ライン 3 とアース 4 との間に印加され、第 1 のサージアブソーバ 1 が動作する場合には、図 2 (b) に示した矢印線のような経路 22 を通ってサージ電流が流れる。このため、インピーダンス Z_{ab} はほぼ 0 となり、第 2 のサージアブソーバ 2 の両端にほぼ全てのサージ電圧が印加されることになる。第 2 のサージアブソーバ 2 の動作電圧 V_{2S} を第 1 のサージアブソーバ 1 の動作電圧 V_{1S} 以下としたため、第 2 のサージアブソーバ 2 もすぐに動作し、図 2 (c) に示した矢印線のような経路 23 を通って電流が流れる。つまり、第 1 のサージアブソーバ 1 の動作に続いて、第 2 のサージアブソーバ 2 も速やかに動作するので、サージアブソーバを単品で使った場合と比較しても雷サージへの反応時間について遜色はない。

30

【0018】

次に、絶縁耐圧試験における電圧の印加について説明する。絶縁耐圧試験では一般的に商用周波数の交流が用いられる。その周波数は 50 Hz もしくは 60 Hz であるが、このような低周波では第 1 のコンデンサ 7 のインピーダンス Z_C は非常に大きくなる。このため、電源ライン 3 とアース 4 との間の電流の流れに対しては、第 2 のサージアブソーバ 2 に接続されている第 1 のコンデンサ 7 のインピーダンス Z_C は無視でき、図 3 に示した矢印線のような経路 24 を通って電流が流れる。

【0019】

このとき、サージ吸収回路 10 に印加される電圧は、第 1 の抵抗器 5 と第 2 の抵抗器 6 との抵抗比で分圧されるため、第 1 の抵抗器 5 と第 2 の抵抗器 6 との抵抗比を 1 対 1 とすると絶縁耐圧試験に用いる試験電圧の最大値を V_{INS} とすれば、第 1 のサージアブソーバ 1 の両端と第 2 のサージアブソーバ 2 の両端とに印加される電圧は V_{INS} の半分の値となる。このため、 V_{INS} から V_{INS} の半分の値の間の電圧値を第 1 のサージアブソーバ 1 及び第 2 のサージアブソーバ 2 の動作電圧として選定すれば、絶縁耐圧試験でサージ吸収回路 10 が動作することは無くなる。このため、従来のように V_{INS} 以上の動作電圧であるサージアブソーバを選定する必要は無くなり、雷サージに対する電源機器の保護電圧レベルを下げる事が可能となる。

40

【0020】

50

上述のとおり、雷サージからの保護のためには、第2のサージアブソーバ2の動作電圧 $V2S$ を第1のサージアブソーバ1の動作電圧 $V1S$ 以下とする必要があるので、動作電圧 $V1S$ 及び動作電圧 $V2S$ を以下のように設定する。

$$VINS > V1S \quad V2S > VINS / 2$$

【0021】

仮に、第1のコンデンサ7の静電容量を $100[pF]$ とすると、雷サージの周波数 $0.8 \sim 3[kHz]$ ではその第1のコンデンサ7のインピーダンスは $7.6[k\Omega]$ となり、商用周波数($50[Hz]$)では $32[M\Omega]$ となる。ここで、一例として第1の抵抗器5及び第2の抵抗器6の抵抗値を $1[M\Omega]$ に選定すれば、上述のインピーダンスを無視できる条件を満足し、さらに絶縁耐圧試験を $1500[V]$ で行った場合のサージ吸収回路10で発生する漏れ電流を約 $0.75[mA]$ と小さくすることができる。

10

【0022】

以上の説明では、電源ライン3とアース4との間に低周波の電圧が印加される場合には、第1のコンデンサ7のインピーダンスを無視できるように第1のコンデンサ7を選択しているが、第1のコンデンサ7の高インピーダンスを利用し、更に高い抵抗値を有する第1の抵抗器5及び第2の抵抗器6を選択することによって、サージ吸収回路10の両端のインピーダンスを増加させ、漏れ電流を更に抑えることも可能である。また、インダクタを使用していないので共振周波数領域でライン間のインピーダンスの低下は発生せず、サージ吸収回路10の両端のインピーダンスは第1の抵抗器5の存在によって、全周波数領域にて高インピーダンスとなり、高調波に対する漏れ電流も小さくすることが可能である。

20

【0023】

以上のように、第2のサージアブソーバ2に並列接続並列接続された第1のコンデンサ7を備えたことにより、以下のようなサージ吸収回路10を得ることができる。電源ライン3とアース4との間に電圧が印加された場合、第1のサージアブソーバ1の両端と第2のサージアブソーバ2の両端とのインピーダンス比で印加電圧が分圧され、雷サージのような高周波電圧が印加される場合には、第2のサージアブソーバ2に並列接続されている第1のコンデンサ7が低インピーダンスとなるため、第2の抵抗器6のインピーダンスは無視できる。第1のサージアブソーバ1に接続されている第1の抵抗器5が第2のサージアブソーバ2に並列接続されている第1のコンデンサ7よりも十分大きいインピーダンス

30

【0024】

そして、絶縁耐圧試験に用いられる低周波電圧が印加される場合には、第2のサージアブソーバ2に接続されている第1のコンデンサ7は高インピーダンスとなり、そのインピーダンスは第2の抵抗器6のインピーダンスより十分大きいので、第1及び第2のサージアブソーバ1, 2に接続されている第1及び第2の抵抗器5, 6のインピーダンスが第1のサージアブソーバ1の両端と第2のサージアブソーバ2の両端とのインピーダンスを支配することになる。このため、第1の抵抗器5と第2の抵抗器6とのインピーダンス比によって低周波電圧が分圧されるため、第1及び第2のサージアブソーバ1, 2の各々の動作電圧が、絶縁耐圧試験にて印加される最大電圧より低くても、絶縁耐圧試験時のサージ吸収回路10の動作を防ぎ、電源機器の絶縁耐圧試験を行うことができる。

40

【0025】

このように、スイッチ素子を用いることなく、雷サージのような高周波電圧が印加される場合には低い電圧で動作し、絶縁耐圧試験に用いられる低周波電圧が印加される場合には動作しないサージ吸収回路10を得ることができるので、回路全体を小型化することができる。また、第1の抵抗器5及び第2の抵抗器6に高抵抗値の抵抗器を選定することによって、全周波数領域にて高インピーダンス特性を維持した回路となるため、通常動作時の高調波漏れ電流を抑制することができる。

50

【 0 0 2 6 】

なお、本実施の形態においては、第 1 のコンデンサ 7 を並列接続した第 2 のサージアブソーバ 2 及び第 2 の抵抗器 6 をアース 4 側に設けた場合について説明したが、図 4 に示すように、第 1 のコンデンサ 7 を並列接続した第 2 のサージアブソーバ 2 及び第 2 の抵抗器 6 を電源ライン 3 側に設け、第 1 のサージアブソーバ 1 及び第 1 の抵抗器 5 をアース 4 側に設けたサージ吸収回路 20 においても同様の効果を得ることができる。

【 0 0 2 7 】

実施の形態 2 .

図 5 は、この発明を実施するための実施の形態 2 を示すサージ吸収回路の回路図である。本実施の形態のサージ吸収回路 30 は、第 1 の抵抗器 5 と第 2 のコンデンサ 8 とを直列に接続した直列回路を第 1 のサージアブソーバ 1 に並列に接続したことが実施の形態 1 と異なる。図 5 において、図 1 と同一の符号を付したものは、同一またはこれに相当するものであり、このことは明細書の全文において共通することである。また、明細書全文に表れている構成要素の態様は、あくまで例示であってこれらの記載に限定されるものではない。

10

【 0 0 2 8 】

雷サージのような高周波電圧が印加される場合には、第 2 のコンデンサ 8 は低インピーダンスとなり、そのインピーダンスは第 1 の抵抗器 5 よりも十分に低いため、雷サージ印加時には、第 2 のコンデンサ 8 のインピーダンスを無視して良いので、実施の形態 1 と同様の動作にて雷サージを吸収することができる。そして、絶縁耐压試験に用いられる低周波電圧が印加される場合には、第 2 のコンデンサ 8 は高インピーダンスとなるため、低い次数の高調波に対する漏れ電流の抑制能力を高くすることができる。

20

【 0 0 2 9 】

なお、本実施の形態においては、第 1 の抵抗器 5 と第 2 のコンデンサ 8 との直列回路を電源ライン 3 側に設けた第 1 のサージアブソーバ 1 に並列に接続した場合について説明したが、この直列回路をアース 4 側に設けた第 2 のサージアブソーバ 2 に並列に接続し、第 2 の抵抗器 6 と第 1 のコンデンサ 7 との並列回路を電源ライン 3 側に設けた第 1 のサージアブソーバ 1 に並列に接続しても同様の効果を得ることができる。

【 0 0 3 0 】

実施の形態 3 .

図 6 は、この発明を実施するための実施の形態 3 を示すサージ吸収回路の回路図である。本実施の形態のサージ吸収回路 40 は、半導体の非線形性を利用した保護素子（非線形抵抗素子）であるバリスタ 9 を第 2 のサージアブソーバ 2 とアース 4 との間に挿入したことが実施の形態 1 と異なる。

30

【 0 0 3 1 】

図 6 において、バリスタ 9 が第 2 のサージアブソーバ 2 とアース 4 との間に挿入されている。このような構成によって、放電管であるサージアブソーバの続流を抑制することができる。バリスタ 9 は、ある程度の静電容量を保持しているものの、雷サージの印加時に第 1 のサージアブソーバ 1 の両端の電圧が小さくならないようにするために、バリスタ 9 が保持する静電容量によっては、バリスタ用コンデンサ 11 をバリスタ 9 に並列に接続して、静電容量を大きくしてもよい。

40

【 0 0 3 2 】

なお、実施の形態 2 に示したサージ吸収回路とアースとの間に、本実施の形態のように非線形抵抗素子を挿入してもよい。このような構成によって、本実施の形態と同様に放電管であるサージアブソーバの続流を抑制することができる。

【図面の簡単な説明】

【 0 0 3 3 】

【図 1】この発明の実施の形態 1 におけるサージ吸収回路の回路図である。

【図 2】この発明の実施の形態 1 における高周波電圧が印加される場合の電流経路を示す図である。

50

【図 3】この発明の実施の形態 1 における低周波電圧が印加される場合の電流経路を示す図である。

【図 4】この発明の実施の形態 1 における別のサージ吸収回路である。

【図 5】この発明の実施の形態 2 におけるサージ吸収回路の回路図である。

【図 6】この発明の実施の形態 3 におけるサージ吸収回路の回路図である。

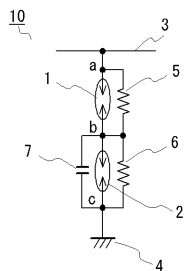
【符号の説明】

【 0 0 3 4 】

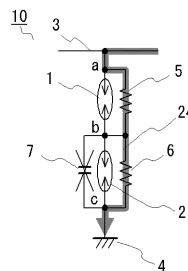
1 第 1 のサージアブソーバ、2 第 2 のサージアブソーバ、3 電源ライン、4 アース、5 第 1 の抵抗器、6 第 2 の抵抗器、7 第 1 のコンデンサ、8 第 2 のコンデンサ、9 バリスタ、10, 20, 30, 40 サージ吸収回路、11 バリスタ用コンデンサ。

10

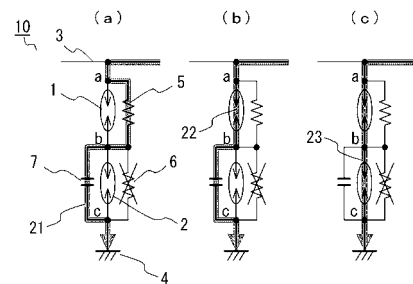
【図 1】



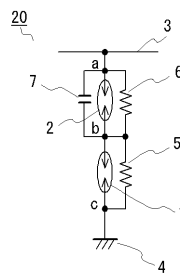
【図 3】



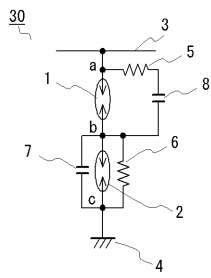
【図 2】



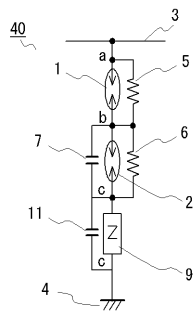
【図 4】



【 図 5 】



【 図 6 】



フロントページの続き

- (72)発明者 岩田 明彦
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 伊藤 寛
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 川上 知之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 赤穂 嘉紀

- (56)参考文献 特開昭63-048124(JP,A)
特開2004-185982(JP,A)
特開昭63-052633(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|------|
| H02H | 9/04 |
| H01T | 4/16 |
| H02H | 9/06 |