(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3599567号
(P3599567)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]		F I		
H04N	1/409	H04N	1/40	101C
B41J	5/30	B41J	5/30	C
G06T	1/00	G06T	1/00	460A

請求項の数 8　(全 13 頁)

(21)出願番号　特願平10-202875
(22)出願日　平成10年7月3日(1998.7.3)
(65)公開番号　特開2000-22959(P2000-22959A)
(43)公開日　平成12年1月21日(2000.1.21)
審査請求日　平成13年11月1日(2001.11.1)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100081880
弁理士　渡部　敏彦
(72)発明者　亀井　正文
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　渡辺　努

(56)参考文献　特開平０５－１３０４００（ＪＰ，Ａ）
特開平０９－０９８１５２（ＪＰ，Ａ）
実開平４－７５４６９（ＪＰ，Ｕ）

最終頁に続く

(54)【発明の名称】画像読取装置及びその制御方法

(57)【特許請求の範囲】

【請求項１】

所定周期で基準クロックを発振する発振手段と、

前記発振手段により発振された基準クロック用いて、前記基準クロックの周波数より高周波数のクロック信号を生成し、このクロック信号の周波数を、前記基準クロックの周波数に対して所定周期で連続的に変更する周波数拡散手段と、

前記周波数拡散手段による前記クロック信号の周波数の連続的な変更を所定のタイミングでリセットするリセット手段と、

前記周波数拡散手段及び前記リセット手段の動作に基づいて制御クロックを生成する制御クロック生成手段と、

前記制御クロックに基づいて画像データを読取る画像読取手段と、

前記画像読取手段により補正データ取得モードで読取られた画像データを補正基準データとして記憶する記憶手段と、

前記記憶手段に記憶された補正基準データを用いて、前記画像読取手段により通常読取りモードで読取られた画像データを補正する画像補正手段とを備えたことを特徴とする画像読取装置。

【請求項２】

前記基準クロックに基づいて生成されたリセット信号を発生するリセット信号発生手段を備え、

前記リセット手段は、前記リセット信号発生手段により発生されたリセット信号を用いて

、前記クロック信号の周波数の連続的な変更をリセットするように構成したことを特徴とする請求項１記載の画像読取装置。
【請求項３】
前記リセット手段によるリセットは、前記画像読取手段がオンされた直後のタイミングで行われることを特徴とする請求項１または２記載の画像読取装置。
【請求項４】
前記リセット手段によるリセットは、１ライン分の画像データの読取りが終了するタイミング毎に行われることを特徴とする請求項１乃至３記載の画像読取装置。
【請求項５】
所定周期で基準クロックを発振する発振手段により発振された基準クロック用いて、前記基準クロックの周波数より高周波数のクロック信号を生成し、このクロック信号の周波数を、前記基準クロックの周波数に対して所定周期で連続的に変更する周波数拡散行程と、
前記周波数拡散行程による前記クロック信号の周波数の連続的な変更を所定のタイミングでリセットするリセット行程と、
前記周波数拡散行程及び前記リセット行程の処理に基づいて制御クロックを生成する制御クロック生成行程と、
前記制御クロックに基づいて画像データを読取る画像読取手段により補正データ取得モードで読取られた画像データを補正基準データとして記憶手段に記憶する記憶行程と、
前記記憶手段に記憶された補正基準データを用いて、前記画像読取手段により通常読取りモードで読取られた画像データを補正する画像補正行程とを実行することを特徴とする画像読取装置の制御方法。
【請求項６】
前記基準クロックに基づいて生成されたリセット信号をリセット信号により、前記クロック信号の周波数の連続的な変更をリセットすることを特徴とする請求項５記載の画像読取装置の制御方法。
【請求項７】
前記リセット行程によるリセットは、前記画像読取手段がオンされた直後のタイミングで行われることを特徴とする請求項５または６記載の画像読取装置の制御方法。
【請求項８】
前記リセット行程によるリセットは、１ライン分の画像データの読取りが終了するタイミング毎に行われることを特徴とする請求項５乃至７記載の画像読取装置の制御方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、周波数が連続的に変調するクロック信号を用いてアナログ信号を処理する画像読取装置及びその制御方法に関する。
【０００２】
【従来の技術】
従来の画像形成装置は、発振精度の高いクロックによって生成された制御・駆動クロック信号を用いて、各部の動作制御等が行われるように設計されているものが主流であった。
【０００３】
しかし、近年、画像形成装置の動作時に発生する放射ノイズの抑制を求める規制が年々厳しくなっているため、その対策手段として、見かけ上の発振精度を故意に低くした周波数拡散技術が知られている。この周波数拡散技術は、周期的に発振周波数を連続的に変化させることによって、放射ノイズのピークを積分的に低下させる効果を有し、周波数拡散されたクロック信号に基づいて生成された各種の制御・駆動クロックについては位相関係が保存されるため、ディジタルシステムにおいては特殊な場合を除いて正常な動作を行うことができる。
【０００４】
【発明が解決しようとする課題】

しかしながら、周波数拡散をアナログ信号処理に使用した場合であって、ＣＣＤラインセンサのような、ディジタルクロック信号によって駆動し且つクロック信号の位相関係とパルス幅とに関連したアナログ信号波形が出力されるデバイスの出力信号を処理する場合には、周波数拡散の周期とＣＣＤラインセンサの駆動周期の同期が取れないこと、及び、ＣＣＤラインセンサの駆動クロック信号の周波数拡散の影響によって微妙に変化するＣＣＤラインセンサの出力信号波形とサンプリング位置のデータ変動の影響から、周波数拡散の周期に応答したビートノイズが発生し、画像形成時に基準信号に非同期なビートノイズが含まれた画像を形成してしまう場合があるという問題があった。

【０００５】

本発明は、上記問題点を解決するためになされたもので、周波数拡散技術を用いて画像データを処理する画像形成装置において、ビートノイズの発生を抑制し、良好な画像形成を図ることができる画像読取装置及びその制御方法を提供することを目的とする。

【０００６】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る画像読取装置によれば、所定周期で基準クロックを発振する発振手段と、前記発振手段により発振された基準クロック用いて、前記基準クロックの周波数より高周波数のクロック信号を生成し、このクロック信号の周波数を、前記基準クロックの周波数に対して所定周期で連続的に変更する周波数拡散手段と、前記周波数拡散手段による前記クロック信号の周波数の連続的な変更を所定のタイミングでリセットするリセット手段と、前記周波数拡散手段及び前記リセット手段の動作に基づいて制御クロックを生成する制御クロック生成手段と、前記制御クロックに基づいて画像データを読取る画像読取手段と、前記画像読取手段により補正データ取得モードで読取られた画像データを補正基準データとして記憶する記憶手段と、前記記憶手段に記憶された補正基準データを用いて、前記画像読取手段により通常読取りモードで読取られた画像データを補正する画像補正手段とを備えたことを特徴とする。

【０００７】

本発明に係る画像読取装置の制御方法によれば、所定周期で基準クロックを発振する発振手段により発振された基準クロック用いて、前記基準クロックの周波数より高周波数のクロック信号を生成し、このクロック信号の周波数を、前記基準クロックの周波数に対して所定周期で連続的に変更する周波数拡散行程と、前記周波数拡散行程による前記クロック信号の周波数の連続的な変更を所定のタイミングでリセットするリセット行程と、前記周波数拡散行程及び前記リセット行程の処理に基づいて制御クロックを生成する制御クロック生成行程と、前記制御クロックに基づいて画像データを読取る画像読取手段により補正データ取得モードで読取られた画像データを補正基準データとして記憶手段に記憶する記憶行程と、前記記憶手段に記憶された補正基準データを用いて、前記画像読取手段により通常読取りモードで読取られた画像データを補正する画像補正行程とを実行することを特徴とする。

【００１５】

【発明の実施の形態】

以下、図面を参照して、本発明の実施形態について説明する。

【００１６】

（第１の実施形態）

まず、図１～図９を参照して、本発明の第１の実施形態について説明する。

【００１７】

図１は、従来一般的に使用されている周波数拡散技術を実現可能なクロック信号発生部の構成を示すブロック図である。

【００１８】

同図において、クロック信号生成部１００は、発振器１０１と、周波数拡散回路１０２と、駆動・制御クロック発生器１０３とから構成される。発振器１０１は、通常用いられる水晶発振器や水晶発振子等を有する発振手段である。なお、近年は発振周波数をプログラ

ム可能な発振器もみられ、発振器１０１及び周波数拡散回路１０２として、周波数拡散回路を含んだ発振器を用いて構成することも可能である。

【００１９】

図２は、発振器１０１及び周波数拡散回路１０２により出力されるクロック信号の出力タイミングを示すタイミングチャートであり、図２（ａ）は発振器１０１から出力されるクロック信号、図２（ｂ）は周波数拡散回路１０２から出力されるクロック信号を示している。

【００２０】

発振器１０１としては、発振精度が１００ＰＰＭあるいは５００ＰＰＭ等の高精度のものを用いることが一般的である。これに対して、周波数拡散回路部１０２は、図２（ａ）及び（ｂ）に示すように、発振器１０１から出力されたクロック信号の周波数を少しずつ変化させながら発振している。すなわち、周波数拡散回路部１０２の出力信号の周波数は、発振器１０１の出力信号の周波数（基準周波数）を中心として、例えば周波数計算で±０．５％や±１．０％といった所定の幅で連続的に変化するように制御されている。図２（ｃ）は、このような周波数変化を表したものである。

【００２１】

周波数拡散回路１０２から出力されるクロック信号は、通常は規則正しい周波数拡散周期を有しており、図２（ｃ）に示すように、クロック信号の周期が短くなる方向（高周波数側への変調）へ所定の変調幅分だけ変化した後、同じ特性カーブに沿って、クロック信号の周期が長くなる方向（低周波数側への変調）へ所定の変調分だけ変化して基準周波数の発振に戻るという変調サイクルを繰り返す。すなわち、周波数拡散の周期毎に基準周波数と位相があうタイミングが周期的に発生することになる。

【００２２】

なお、発振器１０１の基準周波数のクロック信号と周波数拡散回路１０２により周波数拡散されたクロック信号とで放射ノイズを比較すると、図３に示すような結果が得られる。図３は、図２に示した回路における出力クロックの波形を示す図である。

【００２３】

図３において、１０４は発振器１０１から出力される基準周波数のクロック信号のスペクトル波形であり、１０５は周波数拡散回路１０２から出力されるクロック信号のスペクトル波形である。同図に示すように、発振器１０１から出力される基準周波数のクロック信号の波形１０４は固有周波数でピークが立っているのに対して、周波数拡散回路１０２から出力されるクロック信号の波形１０５は、周波数を発散させているために、積分されたようにピークレベルが低下する。その効果は、一般的に、装置の構成条件が良くない場合でも、図３に示すように電界強度として、少なくとも４～５ｄＢ・μＶ／ｍ程度のノイズ削減効果が期待でき、装置の構成条件次第では、１０ｄＢ・μＶ／ｍ以上の低減効果が期待できる。

【００２４】

図１に戻り、周波数拡散回路１０２において周波数拡散されたクロック信号は、駆動・制御クロック発生器１０３に入力される。駆動・制御クロック発生器１０３から出力される各種駆動・制御クロック信号は、全て周波数拡散されたクロック信号として出力される。従って、本クロック信号生成部１００を採用する画像形成装置全体のノイズ低減効果が得られる。

【００２５】

ここで、上記構成からなるクロック信号生成部１００を使用する場合に問題となる現象について説明する。

【００２６】

図４は、周波数拡散を用いた画像形成装置において行われるアナログ信号処理系の信号出力タイミングを示す図であり、図４（ａ）はＣＣＤラインセンサの出力信号の出力タイミング（すなわちＣＣＤラインセンサにより読み取られた一画素分の画像データ信号）を示し、図４（ｂ）はＣＣＤラインセンサの出力信号のうちフィールドスルー部分すなわち基

準レベルをサンプリングするＳ／Ｈ－Ｆパルスの出力タイミングを示し、図４（ｃ）はＣＣＤラインセンサの出力信号のうちデータレベルをサンプリングするＳ／Ｈ－Ｄパルスの出力タイミングを示し、図４（ｄ）はサンプルホールドした結果得られた画像データ信号を示し、図４（ｅ）は各々の制御信号の動作周波数が、刻々と変化している状態を示している。

【００２７】

上述したように、周波数拡散技術を用いることにより、ＣＣＤラインセンサの駆動クロック信号は周波数拡散周期に沿って周波数変調され、１画素毎に、微妙ながら出力信号幅が変化してくる。また、ＣＣＤラインセンサの出力信号波形は、図示しない出力段転送クロック（φ２Ｂ）や出力段の残留電荷リセットパルス（ＲＳ）のパルス幅又は位相関係によって変化する。従って、図４（ａ）に示すように、ＣＣＤラインセンサの出力信号の基準レベル及びデータレベルは、いずれもその波形が変化する。また、図４（ｂ）及び（ｃ）に示すように、ＣＣＤの出力信号のフィードスルー部分（基準レベル）をサンプリングするＳ／Ｈ－Ｆパルス及びデータレベルをサンプリングするＳ／Ｈ－Ｄパルスは、そのパルス幅及びサンプリング位置に微妙な変化が生じる。結果として、図４（ｄ）に示すように、サンプルホールドした結果得られる出力信号は、周波数拡散周期に応答したビートノイズが載った信号となる。

【００２８】

図５は、周波数拡散に起因するビートノイズが発生している場合の出力信号の出力タイミングを示すタイミングチャートであって、図５（ａ）は同期信号ＨＳＹＮＣの出力タイミングを示し、図５（ｂ）～（ｄ）はＣＣＤラインセンサの出力信号をサンプルホールドした結果として得られる一画素毎の出力信号を示している。また、図６は、読取った画像データを用いて画像形成した結果得られる出力画像の一例を示す説明図である。

【００２９】

図５（ｂ）～（ｄ）に示すように、ＣＣＤラインセンサの出力信号すなわち一画素毎のアナログ画像信号には、周波数拡散周期に沿ったビートノイズが現われる。また、周波数拡散回路と同期信号ＨＳＹＮＣとの間に同期関係がない場合は、図５（ｂ）～（ｄ）に示すようにビートノイズは流れていく。従って、このようなビートノイズを含む出力信号に基づいて画像形成処理を行った場合は、図６（ａ）に示すように、ビートノイズを含んだ画像が形成されることになる。

【００３０】

そこで、本実施形態では、ビートノイズを一定の位置に固定して固定ノイズパターン処理によるノイズ除去を実現するために、周波数拡散回路に０リセット機能を付加し、ＣＣＤラインセンサの蓄積時間に同期した駆動・制御クロックの発生を制御するように構成された回路を採用する。

【００３１】

図７は、上述のようなクロック生成部を採用した画像読取装置を有する画像形成装置の全体構成を示すブロック図である。

【００３２】

同図において、４０１は一定周期でクロック信号を発振する発振器であり、図１に示した発振器１０１と同様のものである。４０２は周波数拡散回路を内蔵したクロック発生部であり、上述した周波数拡散回路の他、ＰＬＬ（Ｐｈａｓｅ　Ｌｏｃｋ　Ｌｏｇｉｃ）回路、逓倍駆動回路、カウンタ回路、比較回路を内蔵し、複数種類の駆動・制御クロック信号を発生する。クロック発生部４０２は、後述するアナログＩＣ４０６及びＡ／Ｄコンバータ４０７に接続されており、上記発生された駆動制御クロック信号は、アナログＩＣ４０６及びＡ／Ｄコンバータ４０７に供給される。

【００３３】

４０３は安定したクロック信号をクロック発生部４０２へ供給するための基準クロック発生部であり、ＰＬＬ回路、逓倍駆動回路、カウンタ回路、比較回路を内蔵する。また、基準クロック発生部４０３は、周波数拡散０リセット信号ＨＳＹＮＣを発生させる。

【００３４】
発振器４０１で発振されたクロック信号は、クロック発生部４０２及び基準クロック発生部４０３に送られる。基準クロック発生部４０３では、発振器４０１から送られてきたクロック信号に基づいて基準クロックすなわち周波数拡散０リセット信号ＨＳＹＮＣが生成され、クロック発生部４０２に送られる。周波数拡散０リセット信号ＨＳＹＮＣが入力されると、クロック発生部４０２内部の周波数拡散回路の周波数変調は一度リセットされ、基準周波数から所定の制御に従って周波数拡散制御が再開される。
【００３５】
４０４は、クロック発生部４０２及び基準クロック発生部４０３内のＰＬＬ回路の発振逓倍数を設定する逓倍数設定部であり、画像形成装置の電源を投入した時に所定の逓倍数が設定され、クロック信号生成に必要なスピードで発振を開始する。
【００３６】
４０５は複写機やイメージスキャナ、ファクシミリ装置等で用いられているＣＣＤラインセンサである。ＣＣＤラインセンサ４０５には、クロック発生部４０２において生成された、周波数拡散を施された駆動クロック信号が入力されており、この駆動クロック信号により駆動制御されている。
【００３７】
４０６はアナログＩＣであり、クロック発生部４０２において生成された駆動クロック信号により駆動制御される。アナログＩＣ４０６は、ＣＣＤラインセンサ４０５の出力信号をサンプリングし、そのサンプリング信号を後段のＡ／Ｄコンバータ４０７の入力レンジにあわせ込むためのオフセット制御、ゲイン制御を行う。アナログＩＣ４０６の出力信号には上述したビートノイズが載っており、そのままＡ／Ｄコンバータ４０７においてデジタルデータであるビデオデータに変換される。ビデオデータは、ラインメモリ４０８を介して補正メモリ４０９へ送られる。
【００３８】
後述する手法により補正メモリ４０９によるビートノイズ除去補正が不要であると判断される場合は、ビデオデータはそのままプリンタ制御部４１３に送られ、公知の手法によって画像形成が行われる。
【００３９】
一方、データ制御部４１０により補正データのデータ取りを行う必要がある場合（補正データ取得モード）は、まず画像形成装置の原稿照射部（図示しない光源）を消灯制御したうえで、転送部４１１を介して補正データ記憶部４１２にビートノイズデータが記憶される。すなわち、光源を消灯した状態で読取り動作を行ったときにＣＣＤラインセンサ４０５から出力されるビデオデータ（黒原稿時のデフォルトデータ）は、光源を点灯させて読取り動作を行った場合に得られるビデオデータに含まれているビートノイズに相当する。
【００４０】
ビートノイズデータが記憶されると、補正メモリ４０９において、光源を点灯させて通常の手法（通常読取りモード）により読取られたビデオデータから補正データ記憶部４１２に記憶された補正データを減算することによって、ビートノイズを除去するための補正処理が行われる。この補正の結果得られたビデオデータは、ビートノイズが除去された画像信号として、プリンタ制御部４１３に送られる。
【００４１】
このようにビートノイズが除去された後プリンタ制御部４１３の制御により画像形成が行われると、図６（ｂ）に示すように、ビートノイズが現れていない画像を出力画像として得ることができる。
【００４２】
図８は、図７に示した画像形成装置において生成される信号の出力タイミングを示すタイミングチャートである。図８（ａ）は周波数拡散０リセット信号ＨＳＹＮＣの出力タイミングを示し、図８（ｂ）はビートノイズ除去補正前のアナログＩＣ４０６の出力信号を示し、図８（ｃ）は補正データ取り込み時に補正データ記憶部４１２に記憶されるデータ即

ちビートノイズデータを示し、図８（ｄ）はビートノイズ除去補正後の補正メモリ４０９の出力信号を示している。

【００４３】

図８（ｂ）に示すアナログＩＣ４０６の出力信号は、周波数拡散０リセット信号ＨＳＹＮＣに同期したタイミングでビートノイズを発生している。そのため、図７に示した構成では、サンプルホールド後の出力信号が、副走査方向に同位相で繰り返し出力されることになる。図８（ｃ）に示すアナログＩＣ４０６の出力信号は、上述したように補正データ記憶部４１２に記憶されるビートノイズデータに相当する。従って、補正メモリ４０９においてビートノイズデータの除去補正が行われると、図８（ｄ）に示すような読取り画像信号を得ることができる。

【００４４】

図９は、図７に示した画像形成装置の動作手順を示すフローチャートである。本手順は、画像形成装置の電源が投入され、操作者によって所定のコピースタート操作が行われると（ステップＳ６０１）、その操作に連動して、ＣＣＤラインセンサ４０５周辺部の回路系がコピー動作可能な状態にされる。

【００４５】

通常、ＣＣＤラインセンサ４０５等は、自己発熱による昇温対策として、スタンバイ状態においては電源及び駆動クロックを制御することによって、画像形成装置が動作しない状態とされているので、以下に示す処理に先立って、ＣＣＤラインセンサ４０５がオンされたか否かが判別される（ステップＳ６０２）。

【００４６】

ＣＣＤラインセンサ４０５がオンされると、オンされたタイミングで駆動クロックがアクティブとされ、周波数拡散０リセットと同時に駆動・制御クロック信号の出力が開始される（ステップＳ６０３、６０４）。そして、発振器４０１からの発振が開始されるとともにクロック数のカウントが開始され、ＣＣＤラインセンサ４０５の蓄積時間に相当するクロック数がカウントされるまで（ステップＳ６０５）周波数拡散を施されたクロック信号がクロック発生部４０２から出力される。

【００４７】

ステップＳ６０５において、ＣＣＤ４０５の蓄積時間に相当するクロック数がカウントされたと判別されると、内部カウンタのリセット及び周波数拡散０リセットが行われ、この処理以降、周波数拡散０リセット信号に同期したシステムの制御が可能となる。

【００４８】

実際にＣＣＤラインセンサ４０５の電源投入及びＣＣＤラインセンサ４０５の駆動が開始されてからＣＣＤラインセンサ４０５の出力信号が安定するまでには所定の立ち上げ時間が必要であるため、不図示のタイマによって所定の立ち上げ時間が経過したか否かが判別される（ステップＳ６０６）。そして、所定の立ち上げ時間が経過すると、補正データのサンプリングが行われる（ステップＳ６０７）。この補正データのサンプリングは、消灯状態で、基準となる黒レベルに載っているビートノイズのサンプリングを行うことになる。

【００４９】

サンプリングされた補正データは、補正データ記憶部４１２に記憶される。サンプリングが終了すると、光源が点灯され（ステップＳ６０８）、通常の画像読取り手順に従って、原稿上の画像が一ライン毎に読取られ、補正データ記憶部４１２に記憶された補正データを用いて各ライン毎にデータの補正が行われる（ステップＳ６０９）。この際、周波数拡散の０リセットは画像を一ライン分読み取る毎に実行される。このように補正された画像データはプリンタ制御部４１３へ送られ、該プリンタ制御部４１３により画像形成が行われる（ステップＳ６１０）。

【００５０】

このような一連の動作によって、周波数拡散に起因して発生する図６（ａ）に示したようなビートノイズは補正除去され、図６（ｂ）に示したような良好な画像を得ることができ

る。
【００５１】
以上説明したように、本実施形態によれば、コピー動作が開始される度に周波数拡散０リセット信号をクロック発生部４０２に入力することによって周波数拡散回路の周波数変調を一度リセットしてから画像読取り動作を開始するので、図５に示したように一ライン読取り毎にすこしづつビートノイズの発生位置がずれていくということが無くなり、ビートノイズを一定の位置に固定して固定ノイズパターン処理によるノイズ除去を実現することができる。すなわち、読取開始時に補正データを取得し、その補正データを用いて各ラインの画像データの補正を行うことにより、周波数拡散に起因するビートノイズを除去して良好な画像を得ることがが可能となる。従って、放射ノイズの低減効果を維持しながら、読取画像データのクオリティを維持した高品位な画像形成を実現することができる。
【００５２】
（第２の実施形態）
次に、本発明の第２の実施形態について、図１０を参照して説明する。
【００５３】
図１０は、本実施形態に係る画像形成装置の概略構成を示すブロック図である。同図において、８０１は固有周波数で発振する発振器であり、８０２は逓倍数を設定することが可能なＰＬＬ回路を含む周波数拡散回路である。ＰＬＬ回路構成によっては周波数拡散のスピードに十分追従できない場合があり、周波数拡散に対して滑らかな追従を実現することができない場合が考えられる。そこで、本実施形態では、ＰＬＬ回路と逓倍回路とを前段に組合せ、その出力クロックに対して周波数拡散を用いるように構成する。
【００５４】
８０３は画像形成装置全体の制御を司る制御装置であり、逓倍数を設定して周波数拡散回路の駆動速度の変更、ＣＣＤラインセンサ８０７に電源を供給する電源制御部８０５のオン・オフ制御、及び補正データの取り込み制御等を行う。
【００５５】
８０４は駆動・制御クロック発生回路であり、電源制御部８０５から出力されるクロック出力制御信号に応じてＣＣＤラインセンサ８０７を駆動するための駆動クロックを出力することによりＣＣＤラインセンサ８０７のオン・オフを制御するオン・オフ制御部８０６を内蔵している。駆動・制御発生回路８０４は、周波数拡散回路８０２から出力された周波数拡散後のクロック信号が入力されると、電源制御部８０５の出力電圧の状況（すなわちクロック出力制御信号のオン・オフ）に応じて、オン・オフ制御部８０６からＣＣＤラインセンサ８０７へのオン・オフ制御クロックの出力制御を行う。すなわち、電源制御部８０５から電源供給がされていない場合はＣＣＤ駆動クロック信号を出力する必要がないため、オン・オフ制御部８０６からのＣＣＤ駆動クロック信号の出力を停止させる。ＣＣＤラインセンサ８０７は、電源制御部８０５の制御により電源供給がオンされると、オン・オフ制御部８０６から出力されるＣＣＤ駆動クロック信号を受け、制御装置８０３により設定される所定のスピードで読取り動作を開始する。
【００５６】
ＣＣＤラインセンサ８０７の出力信号は、アナログ信号処理回路８０８に送られ、該アナログ信号処理回路８０８によりサンプルホールド、オフセット調整、ゲイン調整等の処理が施される。アナログ信号処理回路８０８は、オン・オフ制御部８０６から送られてくるアナログ処理制御信号に応じて、上記各種処理を実行する。
【００５７】
アナログ信号処理回路８０８により処理された信号は、Ａ／Ｄコンバータ８０９においてデジタル信号であるビデオ信号に変換される。このビデオ信号は、メモリ装置８１０に入力される。
【００５８】
メモリ装置８１０は、ラインメモリ８１１と、補正メモリ８１２と、補正データ記憶装置８１３とを有している。ラインメモリ８１１は、Ａ／Ｄコンバータ８０９から出力された

ビデオ信号を、主走査１ライン分毎に取り込むように構成されている。

【００５９】

上記構成において、コピースタート時には、制御装置８０３から入力される補正データ取り込み制御信号に応じたタイミングで、ラインメモリ８１１に取り込まれたビデオ信号が、補正メモリ８１２を介して補正データ記憶装置８１３に取り込まれて記憶される。上述した第１の実施形態と同様に、補正データの取り込みは、図示しない光源がオフにされた状態で、基準となる、黒レベルに載っているビートノイズをサンプリングすることにより行われる。従って、補正データ記憶装置に記憶されるビデオ信号は、ビートデータに相当するデータとなっている。

【００６０】

補正データ記憶装置８１３に補正データを記憶した後、通常の原稿画像読取り動作が行われる。原稿画像読取り動作時には、ＣＣＤラインセンサ８０７により読み取られた原稿画像の一ラインデータ毎に、補正メモリ８１２内部において、ビートノイズ除去補正が施される。ビートノイズ除去補正されたビデオ信号は、イメージプロセッサ８１４へ送られる。そして、周波数拡散０リセット信号すなわち同期信号ＨＳＹＮＣに同期して、イメージプロセッサ８１４において画像装飾処理を含む画像形成処理が行われる。

【００６１】

以上説明したように、本実施形態に示した構成とした場合であっても、上述した第１の実施形態の場合と同様に、ビートノイズを一定の位置に固定して、固定ノイズパターン処理により、周波数拡散周期に起因するビートノイズを除去することができる。そのため、放射ノイズの低減効果を維持しながら、読取り画像データのクオリティを維持した高品質な画像形成を実現することが可能となる。

【００６２】

【発明の効果】

以上説明したように本発明によれば、周波数拡散を行うことにより発生するビートノイズを簡単な手法で除去できる。従って、ビートノイズの発生を抑制し、良好な画像形成を図ることができるという効果が得られる。

【００６３】

請求項３若しくは４の画像形成装置又は請求項７、８若しくは９のクロック制御方法によれば、基準信号に同期して読取られた画像データを補正基準データとして記憶し、前記記憶された補正基準データを用いて、読み取った画像データを補正するようにしたので、周波数拡散に起因するビートノイズを除去して良好な画像を得ることがが可能となり、従って、周波数拡散技術を用いて画像データを処理する画像形成装置であって、ビートノイズの発生を抑制し、良好な画像形成を図ることができるという効果が得られる。

【図面の簡単な説明】

【図１】従来一般的に使用されている周波数拡散技術を実現可能なクロック信号発生部の構成を示すブロック図である。

【図２】発振器１０１及び周波数拡散回路１０２により出力されるクロック信号の出力タイミングを示すタイミングチャートである。

【図３】図２に示した回路における出力クロックの波形を示す図である。

【図４】周波数拡散を用いた画像形成装置において行われるアナログ信号処理系の信号出力タイミングを示す図である。

【図５】周波数拡散に起因するビートノイズが発生している場合の出力信号の出力タイミングを示すタイミングチャートである。

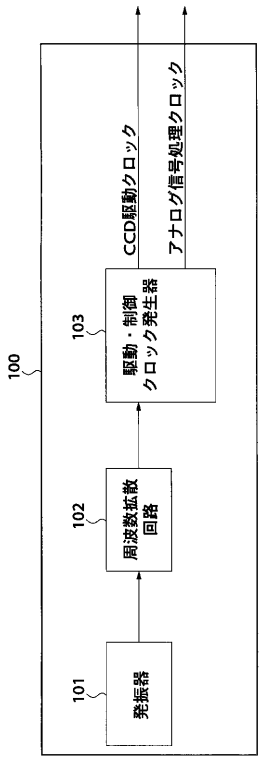
【図６】読取った画像データを用いて画像形成した結果得られる出力画像の一例を示す説明図である。

【図７】本発明の第１の実施形態に係るクロック生成部を採用する画像形成装置の全体構成を示すブロック図である。

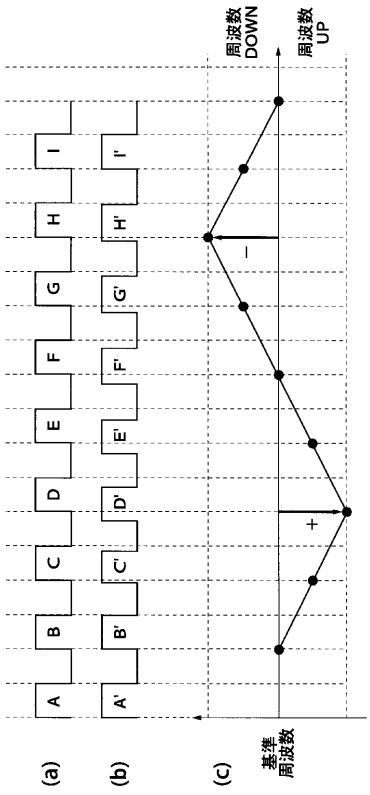
【図８】図７に示した画像形成装置において生成される信号の出力タイミングを示すタイミングチャートである。

【図９】図７に示した画像形成装置の動作手順を示すフローチャートである。
【図１０】本発明の第２の実施形態に係る画像形成装置の概略構成を示すブロック図である。
【符号の説明】
４０１、８０１　　発振器　　（発振手段）
４０２　　クロック発生部　　（周波数拡散手段、制御クロック生成手段）
４０３　　基準クロック発生部　　（リセット手段、基準信号発生手段）
４０５、８０７　　ＣＣＤラインセンサ　　（画像読取手段）
４０９、８１２　　補正メモリ　　（画像補正手段）
４１２、８１３　　補正データ記憶部　　（記憶手段）
８０２　　周波数拡散回路　　（周波数拡散手段）
８０４　　駆動・制御クロック発生回路　　（制御クロック生成手段）

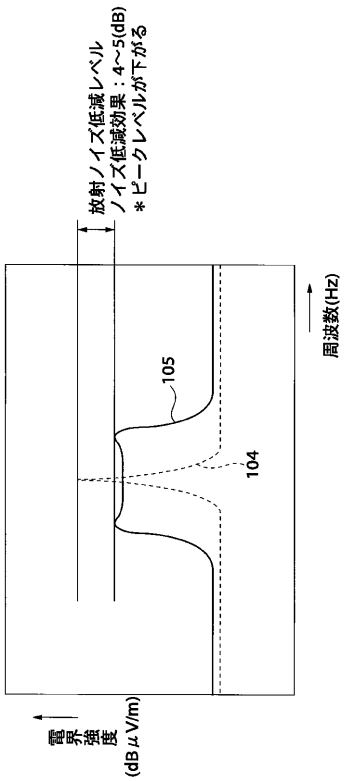
【図１】



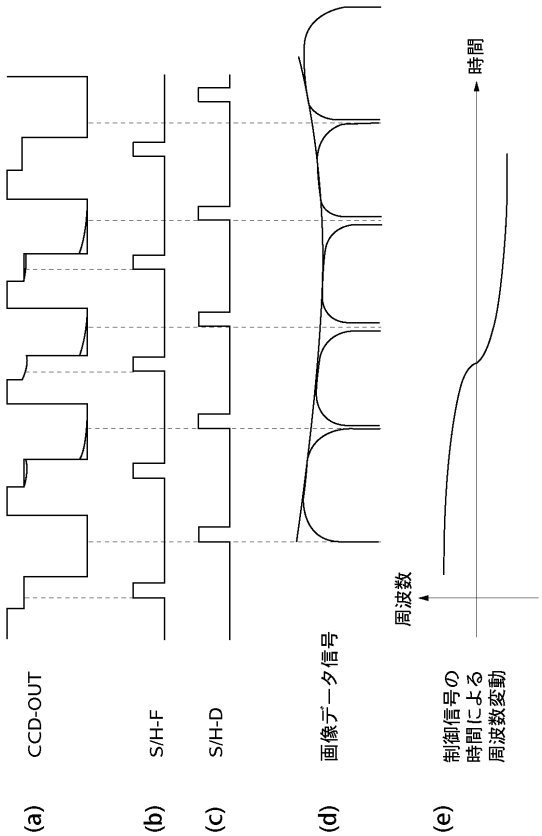
【図２】



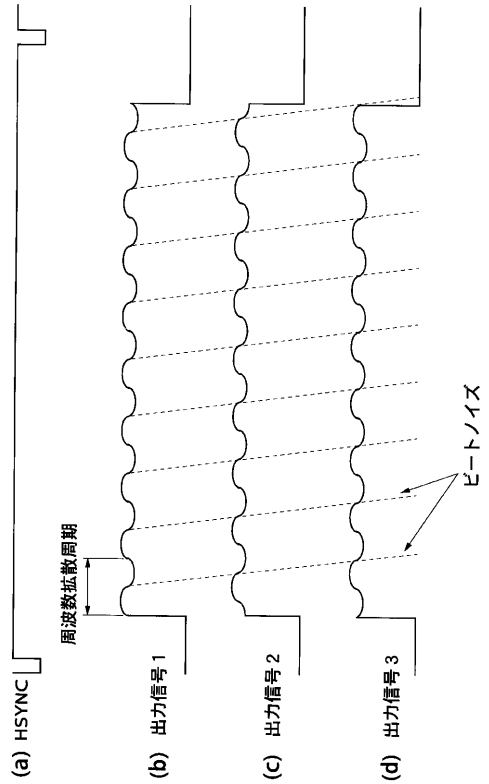
【図３】


放射ノイズ低減レベル
ノイズ低減効果：4～5(dB)
＊ピークレベルが下がる
105
104
周波数(Hz)
電界強度
(dBμV/m)

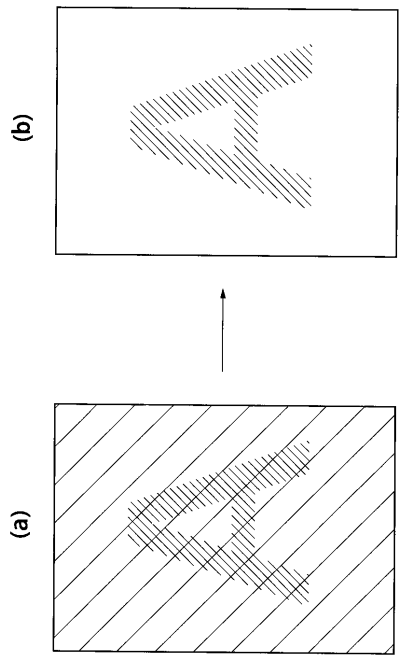
【図４】


(a) CCD-OUT
(b) S/H-F
(c) S/H-D
(d) 画像データ信号
(e) 制御信号の時間による周波数変動
時間
周波数

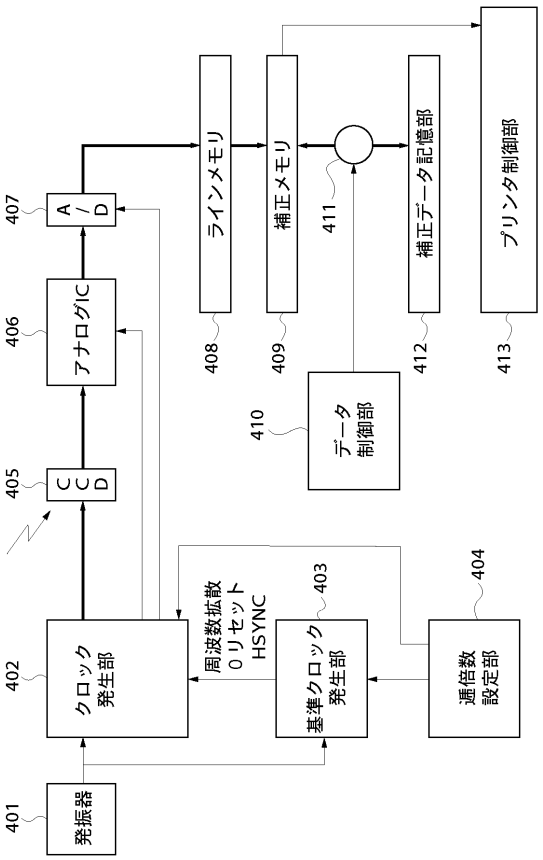
【図５】


(a) HSYNC
周波数拡散周期
(b) 出力信号1
(c) 出力信号2
(d) 出力信号3
ビートノイズ

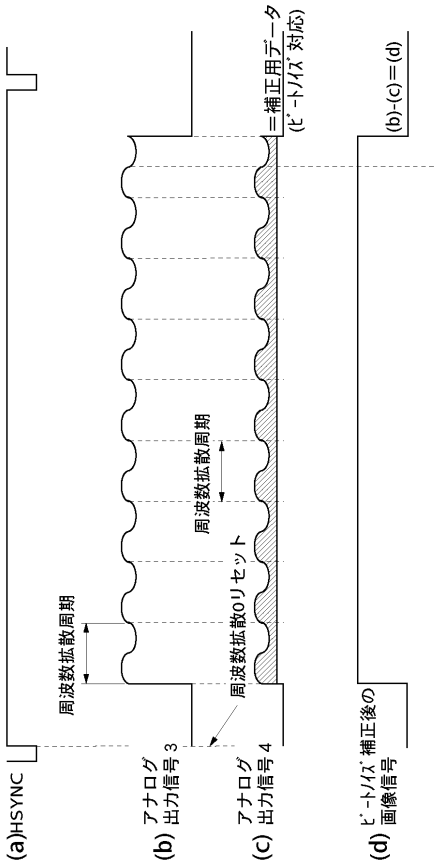
【図６】


(a)
(b)

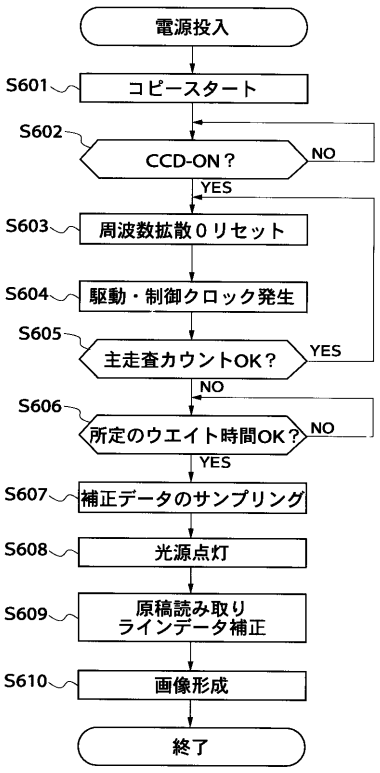
【図７】


401 発振器
402 クロック発生部
403 基準クロック発生部
404 逓倍数設定部
405 CCD
406 アナログIC
407 A/D
408 ラインメモリ
409 補正メモリ
410 データ制御部
411
412 補正データ記憶部
413 プリンタ制御部
周波数拡散0リセット
HSYNC

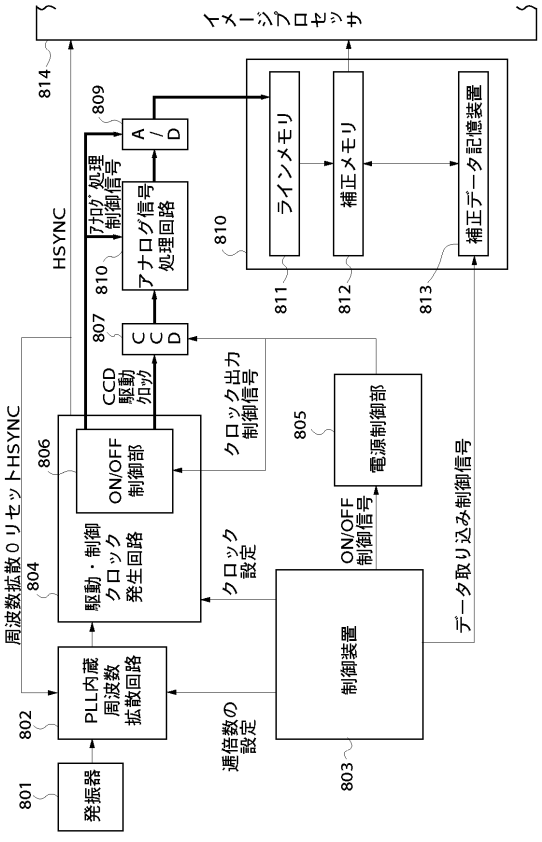
【図８】


(a)HSYNC
(b) アナログ出力信号3
(c) アナログ出力信号4
(d) ビットバラツキ補正後の画像信号
周波数拡散周期
周波数拡散0リセット
周波数拡散周期
=補正用データ(ビットバラツキ対応)
(b)-(c)=(d)

【図９】


電源投入
S601 コピースタート
S602 CCD-ON?
NO
YES
S603 周波数拡散0リセット
S604 駆動・制御クロック発生
S605 主走査カウントOK?
YES
NO
S606 所定のウエイト時間OK?
NO
YES
S607 補正データのサンプリング
S608 光源点灯
S609 原稿読み取りラインデータ補正
S610 画像形成
終了

【図１０】


イメージプロセッサ
814
809 A/D
アナログ処理制御信号
アナログ信号処理回路
810
ラインメモリ
補正メモリ
補正データ記憶装置
811
812
813
HSYNC
807 CCD
CCD駆動クロック
クロック出力制御信号
805 電源制御部
ON/OFF制御信号
806 ON/OFF制御部
周波数拡散0リセットHSYNC
804 駆動・制御クロック発生回路
クロック設定
データ取り込み制御信号
802 PLL内蔵周波数拡散回路
通倍数の設定
制御装置
801 発振器
803

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)

H04N 1/04-1/20
H04N 1/40-1/409
H04N 1/46-1/64
H04N 5/30-5/335