



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0027254
(43) 공개일자 2008년03월26일

(51) Int. Cl.

H01L 21/20 (2006.01)

(21) 출원번호 10-2007-7029364

(22) 출원일자 2007년12월14일

심사청구일자 없음

번역문제출일자 2007년12월14일

(86) 국제출원번호 PCT/US2006/019152

국제출원일자 2006년05월17일

(87) 국제공개번호 WO 2006/125040

국제공개일자 2006년11월23일

(30) 우선권주장

60/681,940 2005년05월17일 미국(US)

(71) 출원인

앰버웨이브 시스템즈 코포레이션

미국 뉴햄프셔 03079 세일럼 13 가라베디언 드레이브

(72) 별명자

로치티펠드, 안토니, 제이.

미국 02144 매사추세츠주 서머빌 개리슨 애비뉴 73

커리, 매튜, 티.

미국 02445 매사추세츠주 브루클린 리전트 썬클 네버4 7

(뒷면에 계속)

(74) 대리인

양영준, 백만기

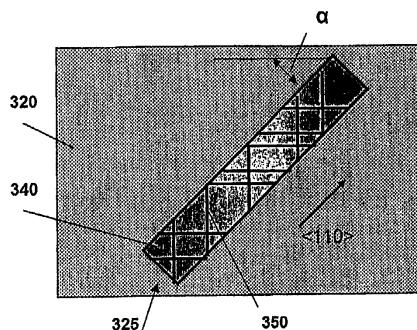
전체 청구항 수 : 총 62 항

(54) 감소한 변위 결합 밀도를 가지는 래티스 미스매칭된 반도체구조 및 디바이스 제조를 위한 관련 방법

(57) 요 약

상부가 스레딩 변위가 거의 없는 제한된 에어리어 영역을 가지는 모놀리딕 래티스 미스매칭된 반도체 헤테로 구조의 제조 및 그러한 래티스 미스매칭된 헤테로 구조에 기초한 반도체 디바이스의 제조.

대표도 - 도3a



(72) 발명자

챙, 지유안

미국 02141 매사추세츠주 캠브릿지 세븐쓰 스트리트 14

피오렌자, 제임스

미국 01887 매사추세츠주 월밍턴 하이 스트리트 26

브래쓰웨이트, 글라이언

미국 03106 뉴햄프셔주 후크셋 후크셋 로드 넘버 186 1465

랜도, 토마스, 에이.

미국 02142 매사추세츠주 캠브릿지 비니 스트리트 에이피티. 4302195

특허청구의 범위

청구항 1

반도체 해태로 구조를 형성하는 방법으로서,

- (a) 표면이 있고 제1 반도체 재료를 포함하는 기판을 제공하는 단계;
- (b) 상기 기판상에 변위 차단 마스크를 제공하는 단계 - 상기 마스크는 유전체 재료를 포함하고, 상기 기판의 표면으로 연장되고, 적어도 하나의 측벽에 의해 정의되는 개구부를 구비하며, 상기 측벽의 적어도 일부가 상기 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 상기 기판의 표면과 만남 -; 및
- (c) 제2 반도체 재료를 포함하는 재성장층을 상기 개구부에 퇴적하는 단계 - 상기 배향각은 상기 기판의 표면으로부터의 거리가 증가함에 따라 상기 재성장층의 스레딩 변위의 밀도가 감소하게 함 -
를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 재성장층 상 및 상기 변위 차단 마스크의 적어도 일부분 상에 상기 제2 반도체 재료를 포함하는 과도 성장층을 퇴적하는 단계를 더 포함하는 방법.

청구항 3

제2항에 있어서,

상기 과도 성장층의 적어도 일부분을 결정화하는 단계를 더 포함하는 방법.

청구항 4

제1항에 있어서,

상기 제1 반도체 재료는 실리콘 또는 실리콘 게르마늄 합금을 포함하는 방법.

청구항 5

제1항에 있어서,

상기 제1 반도체 재료는 실리콘 또는 실리콘 게르마늄 합금으로 주로 이루어진 방법.

청구항 6

제1항에 있어서,

상기 제2 반도체 재료는 II족, III족, IV족, V족 및 VI족 원소, 및 그 조합으로 이루어진 그룹에서 선택되는 방법.

청구항 7

제6항에 있어서,

상기 제2 반도체 재료는 게르마늄, 실리콘 게르마늄, 갈륨 비화물, 알루미늄 안티몬화물, 인듐 알루미늄 안티몬화물, 인듐 안티몬화물, 인듐 비화물, 인듐 인화물 및 갈륨 질화물로 이루어진 그룹에서 선택되는 방법.

청구항 8

제1항에 있어서,

상기 제2 반도체 재료는 조성적으로 그레이딩되는 방법.

청구항 9

제1항에 있어서,

상기 제1 반도체 재료의 선택된 결정 방향은 상기 재성장층의 스파킹 면위의 적어도 하나의 전파 방향과 정렬되는 방법.

청구항 10

제9항에 있어서,

상기 배향각은 약 30° 내지 약 60° 의 범위인 방법.

청구항 11

제10항에 있어서,

상기 배향각은 약 45° 인 방법.

청구항 12

제1항에 있어서,

상기 기판의 표면은 (100), (110) 및 (111)로 이루어진 그룹에서 선택된 결정 배향을 갖는 방법.

청구항 13

제12항에 있어서,

상기 선택된 결정 방향은 상기 제1 반도체 재료의 <110> 결정 방향과 실질적으로 정렬되는 방법.

청구항 14

제12항에 있어서,

상기 층벽의 일부분은 상기 제1 반도체 재료의 <100> 결정 방향과 실질적으로 정렬된 기판의 표면과 만나는 방법.

청구항 15

제1항에 있어서,

상기 제1 반도체 재료는 비-극성이고, 상기 제2 반도체 재료는 극성이며, 상기 배향각은 상기 기판의 표면으로부터의 거리가 증가함에 따라 상기 재성장층의 반-위상 경계의 밀도가 감소하게 하는 방법.

청구항 16

제1항에 있어서,

상기 배향각은 상기 기판의 표면으로부터의 거리가 증가함에 따라 상기 재성장층의 스파킹 결함의 밀도가 감소하게 하는 방법.

청구항 17

제1항에 있어서,

상기 배향각은 상기 기판의 표면으로부터의 거리가 증가함에 따라 상기 재성장층의 트윈 경계의 밀도가 감소하게 하는 방법.

청구항 18

제1항에 있어서,

상기 유전체 재료는 실리콘 다이옥사이드 또는 실리콘 질화물을 포함하는 방법.

청구항 19

제1항에 있어서,

상기 재성장층을 평탄화하는 단계를 더 포함하고, 상기 평탄화 단계에 이어서, 재성장층의 평탄화된 표면은 상기 변위 차단 마스크의 상부 표면과 실질적으로 동일 평면인 방법.

청구항 20

제19항에 있어서,

상기 평탄화 단계는 화학적-기계적 폴리싱을 포함하는 방법.

청구항 21

제1항에 있어서,

상기 스레딩 변위는 상기 기판의 표면으로부터의 소정 거리 H 또는 그 이하에서 상기 변위 차단 마스크의 개구부의 측벽에서 종료하는 방법.

청구항 22

제21항에 있어서,

상기 변위 차단 마스크의 개구부는 가변 폭을 가지고 있는 방법.

청구항 23

제21항에 있어서,

상기 변위 차단 마스크의 개구부의 측벽은,

- (a) 상기 기판의 표면에 근접하여 배치되고 상기 기판의 표면으로부터의 소정 거리 H 와 적어도 동일한 높이를 가지는 제1 부분, 및
 - (b) 상기 제1 부분 상에 배치된 제2 부분
- 을 포함하는 방법.

청구항 24

제23항에 있어서,

상기 측벽의 제1 부분은 상기 제2 부분에 실질적으로 평행한 방법.

청구항 25

제23항에 있어서,

상기 측벽의 제2 부분은 외부로 돌출되는 방법.

청구항 26

제1항에 있어서,

상기 변위 차단 마스크의 개구부의 측벽은 상기 기판의 표면으로부터의 소정 거리 H 와 적어도 동일한 높이를 가지고 있고, 상기 개구부는 실질적으로 직사각형이고 소정 폭 W 를 가지고 있으며, 상기 개구부의 폭 W 는 그 길이 L 보다 작은 방법.

청구항 27

제26항에 있어서,

상기 개구부의 폭 W 는 약 500nm 이하인 방법.

청구항 28

제27항에 있어서,

상기 개구부의 길이 L 은 W 및 H 각각을 초과하는 방법.

청구항 29

제1항에 있어서,

상기 기판 위에 변위 차단 마스크를 제공하기 전에 상기 기판의 적어도 일부분 상에 래티스 미스매칭된 층을 퇴적하는 단계를 더 포함하고, 상기 래티스 미스매칭된 층은 제3 반도체 재료를 포함하고 적어도 부분적으로 완화되는 방법.

청구항 30

제29항에 있어서,

상기 변위 차단 마스크를 제공하기 전에 래티스 미스매칭된 층을 평탄화하는 단계를 더 포함하는 방법.

청구항 31

반도체 구조로서,

(a) 표면이 있고 제1 반도체 재료를 포함하는 기판;

(b) 상기 기판상에 배치되는 변위 차단 마스크 - 상기 마스크는 상기 기판의 표면으로 연장되고, 적어도 하나의 측벽에 의해 정의되는 개구부를 구비하며, 상기 측벽의 적어도 일부가 상기 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 상기 기판의 표면과 만남 -; 및

(c) 상기 개구부에 형성된 제2 반도체 재료를 포함하는 재성장층 - 상기 배향각은 상기 기판의 표면으로부터의 거리가 증가함에 따라 상기 재성장층의 스퍼레딩 변위의 밀도가 감소하게 함 -

을 포함하는 반도체 구조.

청구항 32

제31항에 있어서,

상기 스퍼레딩 변위는 상기 기판의 표면으로부터의 소정 거리 H 또는 그 이하에서 상기 변위 차단 마스크의 개구부의 측벽에서 종료하는 반도체 구조.

청구항 33

제31항에 있어서,

상기 제1 반도체 재료는 비-극성이고, 상기 제2 반도체 재료는 극성이며, 상기 배향각은 상기 기판의 표면으로부터의 거리가 증가함에 따라 상기 재성장층의 반-위상 경계의 밀도가 증가하게 하는 반도체 구조.

청구항 34

제31항에 있어서,

상기 변위 차단 마스크의 개구부는 가변 폭을 특징으로 하는 반도체 구조.

청구항 35

제31항에 있어서,

상기 변위 차단 마스크의 개구부의 측벽은 상기 기판의 표면으로부터의 소정 거리 H 와 적어도 동일한 높이를 가지고 있고, 상기 개구부는 실질적으로 직사각형이며 소정 폭 W 를 가지고 있고, 상기 개구부의 폭 W 는 그 길이보다 작은 반도체 구조.

청구항 36

제35항에 있어서,

상기 개구부의 폭 W는 약 500nm 이하인 반도체 구조.

청구항 37

제35항에 있어서,

상기 개구부의 길이는 W 및 H 각각을 초과하는 반도체 구조.

청구항 38

제31항에 있어서,

상기 제1 반도체 재료는 실리콘 또는 실리콘 게르마늄 합금을 포함하는 반도체 구조.

청구항 39

제31항에 있어서,

상기 제2 반도체 재료는 II족, III족, IV족, V족 및 VI족 원소, 및 그 조합으로 이루어진 그룹에서 선택되는 반도체 구조.

청구항 40

제39항에 있어서,

상기 제2 반도체 재료는 게르마늄, 실리콘 게르마늄, 갈륨 비화물 및 갈륨 질화물로 이루어진 그룹에서 선택되는 반도체 구조.

청구항 41

제31항에 있어서,

상기 결정 방향은 상기 재성장층의 스레딩 변위의 적어도 하나의 전파 방향과 정렬되는 반도체 구조.

청구항 42

제41항에 있어서,

상기 각도는 약 45° 인 반도체 구조.

청구항 43

제31항에 있어서,

상기 기판의 표면은 (100), (110) 및 (111)로 이루어진 그룹에서 선택된 결정 배향을 갖는 반도체 구조.

청구항 44

제43항에 있어서,

상기 측벽의 일부분과 상기 기판의 표면 간의 교차부는 상기 제1 반도체 재료의 <110> 결정 면과 실질적으로 정렬되는 반도체 구조.

청구항 45

제31항에 있어서,

상기 변위 차단 마스크는 유전체 재료를 포함하는 반도체 구조.

청구항 46

제45항에 있어서,

상기 유전체 재료는 실리콘 다이옥사이드 또는 실리콘 질화물을 포함하는 반도체 구조.

청구항 47

제31항에 있어서,

상기 재성장층 상 및 상기 변위 차단 마스크의 적어도 일부분 상에 배치된 상기 제2 반도체 재료를 포함하는 과도 성장층을 더 포함하는 반도체 구조.

청구항 48

제47항에 있어서,

상기 변위 차단 마스크의 아래에 상기 기판의 적어도 일부분 상에 배치된 래티스 미스매칭된 층을 더 포함하고, 상기 래티스 미스매칭된 층은 제2 반도체 재료를 포함하고 적어도 부분적으로 완화되어 있는 반도체 구조.

청구항 49

표면이 있고 제1 반도체 재료를 포함하는 기판상에 형성된 반도체 디바이스로서,

상기 디바이스는 소스 영역, 드레인 영역, 및 그 사이의 채널 영역을 포함하고,

(a) 상기 기판상에 배치된 변위 차단 마스크 - 상기 마스크는 상기 기판의 표면으로 연장되고, 적어도 하나의 측벽에 의해 정의되는 개구부를 구비하며, 상기 측벽의 적어도 일부가 상기 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 상기 기판의 표면과 만남 -; 및

(b) 상기 개구부에 형성된 재성장 영역을 포함하고,

상기 재성장 영역은,

i . 제2 반도체 재료를 포함하고 상기 기판의 표면에 근접하여 배치되는 제1 부분 - 상기 재성장 영역의 스레딩 변위는 상기 제1 부분에서 실질적으로 종료함 - , 및

ii . 상기 제1 부분 상에 배치되고 그 내부에 형성된 채널 영역을 가지는 제2 부분 - 상기 제2 부분은 제3 반도체 재료를 포함함 -

을 포함하는 반도체 디바이스.

청구항 50

제49항에 있어서,

상기 제1 반도체 재료는 실리콘을 포함하는 반도체 디바이스.

청구항 51

제49항에 있어서,

상기 반도체 기판은,

(a) 실리콘 웨이퍼;

(b) 그 위에 배치된 절연층; 및

(c) 상기 절연층 상에 배치된 스트레인된 반도체층

을 포함하는 반도체 디바이스.

청구항 52

제51항에 있어서,

상기 스트레인된 반도체층은 실리콘 또는 게르마늄을 포함하는 반도체 디바이스.

청구항 53

제49항에 있어서,

상기 제2 반도체 재료 및 상기 제3 반도체 재료는 동일한 반도체 재료인 반도체 디바이스.

청구항 54

제49항에 있어서,

상기 반도체 기판은,

- (a) 실리콘 웨이퍼;
- (b) 그 위에 퇴적된 조성적으로 일정하게 완화된 $Si_{1-x}Ge_x$ 층; 및
- (c) 상기 완화된 $Si_{1-x}Ge_x$ 층 상에 배치된 스트레인된 실리콘층

을 포함하는 반도체 디바이스.

청구항 55

제54항에 있어서,

상기 반도체 기판은 조성적으로 일정한 $Si_{1-x}Ge_x$ 완화된 층과 상기 실리콘 웨이퍼 사이에 배치된 조성적으로 그레이딩된 $Si_{1-x}Ge_x$ 층을 더 포함하는 반도체 디바이스.

청구항 56

제54항에 있어서,

상기 반도체 기판은 조성적으로 일정한 완화된 $Si_{1-x}Ge_x$ 층과 상기 실리콘 웨이퍼 사이에 배치된 절연층을 더 포함하는 반도체 디바이스.

청구항 57

제49항에 있어서, 상기 기판의 적어도 일부분과 상기 변위 차단 마스크의 사이에 배치된 래티스 미스매칭된 층을 더 포함하고, 상기 래티스 미스매칭된 층은 제2 반도체 재료를 포함하고 적어도 부분적으로 완화되는 반도체 디바이스.

청구항 58

제57항에 있어서,

상기 래티스 미스매칭된 층은 평탄화되어 있는 반도체 디바이스.

청구항 59

제49항에 있어서,

상기 제2 반도체 재료 및 상기 제3 반도체 재료 중 적어도 하나는 II족, III족, IV족, V족 및 VI족 원소, 및 그 조합으로 이루어진 그룹에서 선택되는 반도체 디바이스.

청구항 60

제49항에 있어서,

상기 제2 반도체 재료 및 상기 제3 반도체 재료 중 적어도 하나는 게르마늄, 실리콘 게르마늄, 갈륨 비화물, 갈륨 질화물, 인듐 알루미늄 비화물, 인듐 갈륨 비화물, 인듐 갈륨 인화물 및 인듐 인화물로 이루어진 그룹에서 선택되는 반도체 디바이스.

청구항 61

제49항에 있어서,

상기 재성장 영역의 제1 부분은 실리콘 게르마늄을 포함하고, 상기 재성장 영역의 제2 부분은 스트레인된 게르

마늄의 층을 포함하는 반도체 디바이스.

청구항 62

제49항에 있어서,

상기 재성장 영역의 제1 부분은 인듐 인화물을 포함하고, 상기 재성장 영역의 제2 부분은 인듐 알루미늄 비화물의 층 위에 배치된 인듐 갈륨 비화물의 층을 포함하는 반도체 디바이스.

명세서

기술분야

- <1> 관련 출원의 상호 참조
- <2> 본 출원은 2005년 5월 17일에 출원한 미국특허 가출원번호 제60/681,940호의 우선권을 주장하며, 그 전체 내용은 본 명세서에 참조로서 포함한다.
- <3> 본 발명은 일반적으로는 래티스 미스매칭된 반도체 헤테로 구조에 관한 것으로서, 특히 상이한 반도체 재료의 통합과 관련된 선택적 채널 재료 재성장에 관한 것이다.

배경기술

- <4> 최근, 마이크로전자 디바이스의 증가하는 동작 속도 및 컴퓨팅 파워로 인해, 이들 디바이스들이 제조되는 반도체 구조의 복잡도 및 기능 증가에 대한 필요성이 대두하였다. 상이한 반도체 재료, 예를 들면 갈륨 비화물, 갈륨 질화물, 인듐 알루미늄 비화물 및/또는 실리콘 또는 실리콘 게르마늄 기판과 같은 III-V 재료들의 헤테로 통합은 CMOS 플랫폼의 기능 및 성능을 향상시키는 매력적인 수단이다. 특히, 헤테로 에피택셜 성장은 래티스-매칭된 기판이 상용으로 사용하지 않은 현대의 다수의 반도체 디바이스를 제조하거나, 실리콘 마이크로전자기기와의 모놀리딕 통합을 잠재적으로 달성하는 데 이용될 수 있다. 그러나 상이한 반도체 재료의 조합을 이용하여 제조된 디바이스의 성능 및 최종적으로 유용성은 결과적인 구조의 품질에 따라 좌우된다. 특히, 변위 결함은 다른 모놀리딕 결정 구조를 파티션하고 전기적 및 광학적 특성의 원하지 않는 급격한 변경을 유입시킴으로써 결과적으로 낮은 재료 품질과 제한된 성능으로 나타나기 때문에, 다양한 범위의 반도체 디바이스 및 프로세스에서 낮은 레벨의 변위 결함이 중요하다. 뿐만 아니라, 스레딩(threading) 변위 세그먼트는 디바이스 재료의 물리적 속성을 저하시킬 수 있고, 시기상조의 디바이스 오류를 유도할 수 있다.
- <5> 상술된 바와 같이, 변위 결함은 다른 종류의 재료의 기판상에 하나의 종류의 결정 재료를 에피택시적으로 성장시키려는 노력 - 종종 "헤테로 구조"로 지칭됨 -에서 2가지 재료의 다른 결정 래티스 크기로 인해 통상 발생한다. 시작 기판과 후속 층(들) 간의 이러한 래티스 미스매치는 반도체 구조에 변위 결함을 발생시키는 재료 퇴적 동안에 스트레스를 발생시킨다.
- <6> 미스피트(misfit) 변위가 미스매칭된 인터페이스에서 형성되어 미스피트 스트레인을 경감시킨다. 다수의 미스피트 변위는 표면에서 종료하는 "스레딩 세그먼트"라고 지칭되는 수직 컴포넌트를 가지고 있다. 이들 스레딩 세그먼트는 헤테로 구조에 후속적으로 추가되는 모든 반도체층을 통해 계속된다. 뿐만 아니라, 변위 결함은 기판 자체가 변위를 포함하는 기저 기판과 동일한 재료의 에피택셜 성장에서 발생할 수 있다. 일부 변위들은 에피택시적으로 성장된 재료의 스레딩 변위으로서 반복된다. 다른 종류의 변위 결함은 스택 오류, 트윈 경계 및 반-위상 경계를 포함한다. 다이오드, 레이저 및 트랜지스터와 같은 반도체 디바이스의 액티브 영역에서의 그러한 변위는 성능을 크게 저하시킬 수 있다.
- <7> 변위의 형성 및 연관된 성능 이슈를 최소화하기 위해, 본 기술분야에 공지된 다수의 반도체 헤테로 구조 디바이스는 매우 밀접하게 - 예를 들면 0.1% 이내 - 래티스-매칭된 결정 구조를 가지는 반도체층으로 제한되었다. 그러한 디바이스에서, 완만하게 래티스 미스매칭된 기판상에 얇은 층이 에피택시적으로 성장된다. 에피택셜 층의 두께가 결함 형성에 대한 임계 두께 이하로 유지되는 한, 기판은 에피택셜 층의 성장을 위한 템플레이트로서 작용하고, 이는 기판 템플레이트에 신축성 있게 일치한다. 래티스 매칭 및 근사(near) 매칭은 다수의 구조에서 변위를 제거하지만, 큰 에너지 대역 오프셋을 가지는 래티스-매칭된 시스템은 상대적으로 거의 없으므로, 새로운 디자인에 대한 설계 옵션을 제한시킨다.
- <8> 따라서, 주지된 접근법이 허용하는 것보다 더 큰 에피택셜 층 두께 및 더 큰 래티스 미스피트와 관련된 헤테로 구조 디바이스에 상당한 관심이 있다. 예를 들면, 실리콘 기판상에 성장된 갈륨 비화물은 실리콘 VLSI 회로의

전자 처리 기술과 갈륨 비화물에서 가용한 광학 컴포넌트 기술을 결합시키는 다양하고 새로운 광전자 디바이스를 허용할 것이라는 것이 오래전부터 인식되어 오고 있다. 예를 들면, Choi 등에 의한 "Monolithic Integration of Si MOSFET's and GaAs MESFET's", IEEE Electron Device Letters, Vol. EDL-7, No.4, April 1986을 참조하라. 그러한 조합의 고도의 장점이 있는 결과는 복합 실리콘 VLSI 회로와 조합된 고속 갈륨 비화물 회로, 및 실리콘 VLSI 회로 간의 와이어 인터커넥트를 대체하는 갈륨 비화물 광전자 인터페이스 유닛을 포함한다. 갈륨 비화물 및 실리콘 디바이스를 통합하는 진척이 이루어졌다. 예를 들면, Choi 등에 의한 "Monolithic Integration of GaAs/AlGaAs Double-Heterostructure LED's and Si MOSFET's" IEEE Electron Device Letters, Vol. EDL-7, No. 9, September 1986; Shichijo 등에 의한 "Co-Integration of GaAs MESFET and Si CMOS Circuits", IEEE Electron Device Letters, Vol. 9, No.9, September 1988을 참조하라. 그러나 그러한 조합된 구조의 널리 인식된 잠재적 장점 및 이들을 개발하려는 실질적인 노력에도 불구하고, 이들의 실제적인 유용성은 실리콘 기판상에 성장된 갈륨 비화물 층의 높은 결함 밀도에 의해 제한되었다. 예를 들면, Choi 등에 의한 "Monolithic Integration of GaAs/AlGaAs LED and Si Driver Circuit", IEEE Electron Device Letters, Vol.9, No.10, October 1988(p. 513)을 참조하라. 그러므로 갈륨 비화물 및 실리콘 디바이스를 통합하기 위한 기본적인 기법들이 알려져 있지만, 낮은 밀도의 변위 결함을 가지는 갈륨 비화물 층을 생성하기 위한 필요성이 존재한다.

<9> 고도로-미스매칭된 퇴적층의 변위 밀도를 제어하기 위해서는, 3가지 주지된 기법, 즉 상이한 재료의 웨이퍼 본딩, 기판 패터닝, 및 조성 그레이딩이 있다. 2개의 다른 반도체의 본딩은 만족할만한 재료 품질을 제공한다. 그러나 큰 크기의 Ge 또는 III-V 웨이퍼의 제한된 가용성 및 고 비용으로 인해 접근법은 실제적이지 않다.

<10> 기판 패터닝과 관련된 기법은 스레딩 변위가 기하학적 형태에 의해 제한된다는 사실, 즉 변위가 결정에서 종료할 수 없다는 사실을 활용한다. 기판을 더 작은 성장 에어리어로 패터닝함으로써 프리 에지가 다른 프리 에지에 더 근접하게 되는 경우, 스레딩 변위 밀도를 줄일 수 있다. 종래에는, 기판 패터닝 및 에피택셜 수평 과정 성장("ELO") 기법의 조합은 갈륨 질화물 디바이스의 결함 밀도를 많이 감소시켜, 연장된 수명을 가지는 레이저 다이오드의 제조를 유발하는 것으로 증명되었다. 이러한 프로세스는 ELO 영역에서의 결함을 실질적으로 제거하지만, 고도로 결함성이 있는 시드 윈도는 유지되므로, 모든 결함을 제거하는 데 리소그라피 및 에피택셜 공정의 반복을 필요로 한다. 유사한 접근법에서, 펜데오-에피택시(pendeo-epitaxy)는 기판에 근접한 에피택셜 영역의 모든 결함을 실질적으로 제거하지만 하나의 리소그라피 및 2개의 에피택셜 성장 공정을 필요로 한다. 또한, 양쪽 기법 모두는 갈륨 질화물의 증가한 수평 성장 레이트를 필요로 하는데, 이는 모든 헤테로 에피택셜 시스템에서는 증명되지 못했다. 그러므로 증가한 수평 성장 레이트에 종속되지 않는 최소한의 리소그라피/에피택시 공정을 활용하는 일반적인 결함-감소 프로세스는 프로세스 복잡도를 감소시키고 다양한 재료 시스템으로의 응용 가능성을 용이하게 하는 데 유익할 것이다.

<11> "에피택셜 네킹(necking)"이라 불리는 다른 주지된 기법은 Langdo 등에 의한 "High Quality Ge on Si by Epitaxial Necking", Applied Physics Letters, Vol. 76, No.25, April 2000에서 Ge-on-Si 헤테로 구조를 제조하는 것과 관련하여 증명되었다. 이러한 접근법은 선택적 에피택셜 성장 및 결합 결정의 조합을 활용하여, 증가한 수평 성장 레이트에 종속되지 않고, 결함을 패터닝 마스크의 개구부의 측벽으로 강제함으로써 프로세스 간단성을 제공한다. 특히, 도 1a 및 1b에 도시된 바와 같이, (111)<110> 다이아몬드 큐빅 슬립 시스템에서, 미스피트 변위는 (100) 성장 면에서 <110> 방향을 따라 놓이는 데 대해, 스레딩 세그먼트는 <110> 방향으로 (111) 면 상에서 솟아오른다. (111) 면 상에서 <110> 방향의 스레딩 세그먼트는 기저 Si (100) 기판 표면에 45° 각도로 전파된다. 그러므로 패터닝 마스크의 홀의 어스펙트 비가 1보다 큰 경우, 스레딩 세그먼트는 마스크 측벽에 의해 차단될 것이고, 결과적으로 Si 바로 위에 낮은-결함 상부 Ge "결절(nodules)"이 형성되게 된다. 그러나 에피택셜 네킹의 하나의 중요한 제한은 그것이 적용되는 에어리어의 크기이다. 일반적으로, 이하에 더 상세하게 설명된 바와 같이, 양쪽 치수에서의 수평 치수(도 1a에서 I로 표시됨)는 변위가 측벽에서 종료하도록 비교적 작아야 한다.

<12> 그러므로 본 기술분야의 다양한 래티스 미스매칭된 재료 시스템에서 변위 결함을 억제하는 반도체 헤테로 구조를 제조하는 다목적의 효율적인 방법이 필요하다. 또한, 본 기술분야에서 개선된 기능 및 성능을 위해 감소한 레벨의 변위 결함을 가지는 통합된 래티스 미스매칭된 재료의 조합을 활용하는 반도체 디바이스가 필요하다.

발명의 상세한 설명

<13> 따라서, 본 발명의 목적은 주지된 기법의 한계를 극복하는, 많이 감소한 인터페이스 결함을 가지는 반도체 헤테로 구조 및 그 제조를 위한 방법을 제공하는 것이다. 기판에 대한 탄력 정합을 위해 미스피트 에피택셜 층을 그 임계 두께보다 더 적게 제한하여 변위 결함을 최소화시키는 종래기술 접근법과 비교하여, 본 발명은 그 다양

한 실시예에서, 컴포넌트 반도체층의 더 큰 두께 및 제한된 수평 에어리어를 이용함으로써, 상부가 스레딩 변위 및 스택킹 결합, 트윈 경계 또는 반-위상 경계와 같은 다른 변위 결합이 거의 없는 제한된 에어리어 영역을 생성한다. 결과적으로, 본 발명은 본 기술분야에서 오랫동안 추구해 왔으나 지금까지는 변위 결합으로 인해 불가능했던 모놀리틱 래티스 미스매칭된 헤테로 구조에 기초하여 반도체 디바이스의 제조를 고안한다.

<14> 특정 애플리케이션에서, 본 발명은 Si 기판상에서 선택된 에어리어 상에 Ge 또는 III-V 재료를 통합하는 것을 고안하는 반도체 기판을 생성하는 방법을 특징으로 할 뿐만 아니라, 실리콘 웨이퍼 상에 배치된 갈륨 비화물 층을 포함하는, 예를 들면 광전자 디바이스와 같은 Si 기판과 통합된 Ge 또는 III-V 디바이스의 반도체 구조를 특징으로 한다.

<15> 일반적으로, 한 양상에서, 본 발명은 반도체 헤테로 구조를 형성하는 방법에 관한 것이다. 본 방법은 제1 반도체 재료를 포함하거나 실질적으로 구성된 기판을 제공하는 단계, 및 기판상에 변위 차단 마스크를 제공하는 단계를 포함한다. 마스크는 기판의 표면으로 연장되고 적어도 하나의 측벽에 의해 정의되는 개구부를 구비한다. 측벽의 적어도 일부는 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 기판의 표면과 만난다. 본 방법은 제2 반도체 재료를 포함하는 재성장층을 개구부에 퇴적하는 단계를 더 포함하고, 배향각은 기판의 표면으로부터의 거리가 증가함에 따라 재성장층의 스레딩 변위의 밀도가 감소하도록 유발한다. 변위 차단 마스크는 예를 들면 실리콘 다이옥사이드 또는 실리콘 질화물과 같은 유전체 재료를 포함한다.

<16> 본 발명의 이러한 양상의 실시예들은 이하의 특징들 중 하나 이상을 포함한다. 재성장층 상 및 변위 차단 마스크의 적어도 일부분 상에 제2 반도체 재료를 포함하는 과도 성장층이 퇴적될 수 있다. 과도 성장층의 적어도 일부분이 결정화될 수 있다. 재성장층은 예를 들면 평탄화되고, 평탄화 공정에 이어서, 재성장층의 평탄화된 표면은 변위 차단 마스크의 상부 표면과 거의 동일 평면에 있다. 평탄화 공정은 화학적-기계적 폴리싱을 포함한다.

<17> 뿐만 아니라, 본 발명의 다양한 실시예들에서, 제1 반도체 재료는 실리콘 또는 실리콘 게르마늄 합금이다. 제2 반도체 재료는 II족, III족, IV족, V족 및 VI족 원소, 및 그 조합 중 어느 하나, 예를 들면 게르마늄, 실리콘 게르마늄, 갈륨 비화물, 알루미늄 안티몬화물, 인듐 알루미늄 안티몬화물, 인듐 안티몬화물, 인듐 비화물, 인듐 인화물 및 갈륨 질화물 중 어느 하나를 포함하거나, 실질적으로 구성될 수 있다. 일부 실시예들에서, 제2 반도체 재료는 조성적으로 그레이딩될 수 있다.

<18> 본 발명의 다수의 실시예들에서, 제1 반도체 재료의 선택된 결정 방향은 재성장층의 스레딩 변위의 적어도 하나의 전파 방향과 정렬된다. 이들 실시예들의 특정 버전에서, 배향각은 약 30° 내지 약 60°의 범위이고, 예를 들면 약 45°이다.

<19> 기판의 표면은 (100), (110) 및 (111) 결정 배향을 가지고 있다. 일부 실시예들에서, 선택된 결정 방향은 제1 반도체 재료의 <110> 결정 방향과 실질적으로 정렬된다. 다른 실시예에서, 측벽의 일부분은 제1 반도체 재료의 <100> 결정 방향과 실질적으로 정렬된 기판의 표면과 만난다.

<20> 본 발명의 이러한 및 다른 양상의 특정 실시예들에서, 제1 반도체 재료는 비-극성이고, 제2 반도체 재료는 극성이며, 배향각은 기판의 표면으로부터의 거리가 증가함에 따라 재성장층의 반-위상 경계의 밀도가 감소하게 한다. 일부 실시예들에서, 스레딩 변위는 기판의 표면으로부터의 소정 거리 H 또는 그 이하에서 변위 차단 마스크의 개구부의 측벽에서 종료한다. 이들 실시예들의 일부 버전에서, 변위 차단 마스크의 개구부는 가변 폭을 가지고 있다. 다른 버전에서, 변위 차단 마스크의 개구부의 측벽은 기판의 표면에 근접하여 배치된 제1 부분, 및 제1 부분 상에 배치된 제2 부분을 포함한다. 제1 부분의 높이는 기판의 표면으로부터의 소정 거리 H와 적어도 동일할 수 있다. 측벽의 제1 부분은 제2 부분에 실질적으로 평행하다. 또한, 일부 버전에서, 측벽의 제2 부분은 외부로 플레이팅된다. 또한, 본 발명의 이러한 및 다른 양상의 특정 실시예들에서, 배향각은 기판의 표면으로부터의 거리가 증가함에 따라 재성장층의 스택킹 결합 및/또는 트윈 경계의 밀도가 감소하게 한다.

<21> 추가적으로, 본 발명의 이러한 및 다른 양상의 특정 실시예들에서, 변위 차단 마스크의 개구부의 측벽은 기판의 표면으로부터의 소정 거리 H와 적어도 동일한 높이를 가지고 있다. 이들 실시예들에서, 개구부는 실질적으로 직사각형이고 개구부의 길이 L보다 작은 소정 폭 W를 가지고 있다. 예를 들면, 개구부의 폭 W는 약 500nm 이하이고, 개구부의 길이 L은 W 및 H 각각을 초과한다. 이들 실시예의 일부 버전에서, 기판은 실질적으로 실리콘으로 구성되고 (100) 결정 배향을 가지고 있으며, 배향은 재성장층의 결합의 전파 방향에 약 45°이고, 소정 거리 H는 적어도 W/√2이다. 다른 버전에서, 기판은 실질적으로 실리콘으로 구성되고 (110) 결정 배향을 가지고 있으며, 배향각은 약 45°이고, 소정 거리 H는 적어도 W√6/3이다. 또 다른 버전에서, 기판은 실질적으로 실리콘

으로 구성되고 (111) 결정 배향을 가지고 있으며, 배향각은 약 45° 이고, 소정 거리 H 는 적어도 $2W$ 이다.

<22> 본 발명의 양상의 다른 실시예들에서, 본 방법은 그 위에 변위 차단 마스크를 제공하기 전에 기판의 적어도 일부분 상에 래티스 미스매칭된 층을 퇴적하는 단계를 더 포함한다. 래티스 미스매칭된 층은 양호하게는 제3 반도체 재료를 포함하고 적어도 부분적으로 완화된다. 래티스 미스매칭된 층은 변위 차단 마스크를 제공하기 전에 평탄화된다. 제2 반도체 재료 및 제3 반도체 재료는 동일한 반도체 재료이거나 이를 포함할 수 있다.

<23> 일반적으로, 다른 양상에서, 본 발명은 제1 반도체 재료를 포함하는 기판을 제공하는 것으로 시작하는 반도체 헤테로 구조를 형성하는 방법을 특징으로 한다. 본 방법은 기판상에 변위 차단 마스크를 제공하는 단계를 더 포함한다. 마스크는 기판의 표면으로 연장되고 적어도 하나의 측벽에 의해 정의되는 개구부를 구비한다. 측벽의 적어도 일부분은 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 기판의 표면과 만난다. 본 방법은 제2 반도체 재료를 포함하는 재성장층을 개구부에 퇴적하는 단계, 및 재성장층을 열적 사이클링을 하게 하는 단계를 더 포함함으로써, 스레딩 변위가 기판 표면으로부터의 소정 거리 또는 그 이하에서 변위 차단 마스크의 개구부의 측벽에서 종료하도록 한다.

<24> 본 발명의 이러한 및 다른 양상의 다양한 실시예들에서, 재성장층의 스레딩 변위(및/또는 스택킹 결합, 트윈 경계 또는 반-위상 경계와 같은 다른 변위 결합)은 기판 표면으로부터의 거리가 증가함에 따라 그 밀도가 감소한다. 제1 반도체 재료는 실리콘 또는 실리콘 게르마늄 합금을 포함하거나, 주로 구성된다. 제2 반도체 재료는 예를 들면 게르마늄, 실리콘 게르마늄, 갈륨 비화물, 및 갈륨 질화물로 구성된 그룹에서 선택된, II족, III족, IV족, V족 및 VI족 원소, 및 그 조합을 포함하거나, 실질적으로 이들로 구성된다. 일부 실시예들에서, 제2 반도체 재료는 조성적으로 그레이딩될 수 있다.

<25> 일반적으로, 또 다른 양상에서, 본 발명은 기판 및 기판상에 배치된 변위 차단 마스크를 포함하는 반도체 구조에 초점을 맞추고 있다. 기판은 예를 들면 실리콘 또는 실리콘 게르마늄 합금과 같은 제1 반도체 재료를 포함하거나 실질적으로 구성된다. 변위 차단 마스크는 예를 들면 실리콘 다이옥사이드 또는 실리콘 질화물과 같은 유전체 재료를 포함한다. 마스크는 기판의 표면으로 연장되고, 적어도 하나의 측벽에 의해 정의되는 개구부를 구비하며, 측벽의 적어도 일부가 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 기판의 표면과 만난다. 재성장층은 개구부에 형성된 제2 반도체 재료를 포함하고, 배향각은 기판의 표면으로부터의 거리가 증가함에 따라 재성장층의 스레딩 변위 및/또는 스택킹 결합, 트윈 경계 또는 반-위상 경계와 같은 다른 변위 결합의 밀도가 감소하게 한다.

<26> 본 발명의 이러한 양상의 다양한 실시예들에서, 스레딩 변위는 기판의 표면으로부터의 소정 거리 H 또는 그 이하에서 변위 차단 마스크의 개구부의 측벽에서 종료한다. 본 발명의 이러한 양상의 일부 실시예들에서, 제1 반도체 재료의 선택된 결정 방향은 재성장층의 스레딩 변위의 적어도 하나의 전파 방향과 정렬된다. 이들 실시예들의 특정 버전에서, 배향각은 약 30° 내지 약 60° 의 범위이고, 예를 들면 약 45° 이다.

<27> 기판의 표면은 (100), (110) 또는 (111) 결정 배향을 가지고 있다. 일부 실시예들에서, 선택된 결정 방향은 제1 반도체 재료의 <110> 결정 방향과 실질적으로 정렬된다. 다른 실시예에서, 측벽의 일부분은 제1 반도체 재료의 <100> 결정 방향과 실질적인 정렬 상태로 기판의 표면과 만난다.

<28> 또한, 본 발명의 이러한 양상의 특정 실시예들은 재성장층 상 및 변위 차단 마스크의 적어도 일부분 상에 배치된 과도 성장층뿐만 아니라, 변위 차단 마스크 아래의 기판의 적어도 일부분 상에 배치된 래티스 미스매칭된 층을 포함한다. 과도 성장층 및/또는 래티스 미스매칭된 층은 제2 반도체 재료를 포함하고 적어도 부분적으로 완화된다.

<29> 또한, 또 다른 양상에서, 본 발명은 소스 영역, 드레인 영역 및 그 사이의 채널 영역을 포함하는 기판상에 형성된 반도체 디바이스를 특징으로 한다. 기판은 제1 반도체 재료, 예를 들면 실리콘을 포함하거나 실질적으로 구성된다. 또한, 변위 차단 마스크는 기판상에 배치된다. 마스크는 기판의 표면으로 연장되고, 적어도 하나의 측벽에 의해 정의되는 개구부를 가지고 있다. 디바이스는 개구부에 형성된 재성장 영역을 더 포함한다. 측벽의 적어도 일부분은 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서, 예를 들면 재성장 영역의 스레딩 변위의 전파 방향에 약 45° 로 기판 표면과 만난다. 재성장 영역은 재성장 영역의 스레딩 변위, 및/또는 스택킹 결합, 트윈 경계 또는 반-위상 경계와 같은 다른 변위 결합이 실질적으로 종료하는, 기판의 표면에 근접하여 배치된 제1 부분, 및 제1 부분 상에 배치되고 채널 영역이 그 내부에 형성된 제2 부분을 구비하고 있다. 재성장 영역의 제1 부분은 제2 반도체 재료를 포함하고, 제2 부분을 제3 반도체 재료를 포함한다. 제2 및 제3 반도체 재료는 동일한 재료이거나 이를 포함한다.

- <30> 한 실시예에서, 반도체 기판은 실리콘 웨이퍼, 그 위에 배치된 절연층, 및 절연층 상에 배치된 스트레인된 반도체층을 포함한다. 스트레인된 반도체층은 실리콘 또는 게르마늄을 포함한다. 여기에 이용되는 바와 같이, 용어 "스트레인"은 인장 스트레인 및 압축 스트레인뿐만 아니라, 단축 및 쌍축 스트레인을 포함한다. 다른 실시예에서, 반도체 기판은 실리콘 웨이퍼, 그 위에 퇴적된 조성적으로 일정하게 완화된 $Si_{1-x}Ge_x$ 층(여기에서, $0 < x < 1$), 및 완화된 $Si_{1-x}Ge_x$ 층 상에 배치된 스트레인된 실리콘층을 포함한다. 조성적으로 그레이딩된 $Si_{1-x}Ge_x$ 층은 조성적으로 일정한 $Si_{1-x}Ge_x$ 완화된 층과 상기 실리콘 웨이퍼 사이에 배치된다. 또한, 절연층은 조성적으로 일정하게 완화된 $Si_{1-x}Ge_x$ 층과 상기 실리콘 웨이퍼 사이에 배치된다. 또 다른 실시예에서, 적어도 부분적으로 완화된 래티스 미스매칭된 층은 기판의 적어도 일부분과 변위 차단 마스크의 사이에 배치된다.
- <31> 제2 반도체 재료 및/또는 제3 반도체 재료는 II족, III족, IV족, V족 및 VI족 원소, 및 그 조합, 예를 들면, 게르마늄, 실리콘 게르마늄, 갈륨 비화물, 갈륨 질화물, 인듐 알루미늄 비화물, 인듐 갈륨 비화물, 인듐 갈륨 인화물, 알루미늄 안티몬화물, 인듐 알루미늄 안티몬화물, 인듐 안티몬화물 및/또는 인듐 인화물을 포함하거나, 실질적으로 구성될 수 있다. 일부 실시예들에서, 재성장 영역의 제1 부분은 실리콘 게르마늄을 포함하고 재성장 영역의 제2 부분은 스트레인된 게르마늄 또는 스트레인된 실리콘 게르마늄의 층을 포함한다. 다른 실시예에서, 재성장 영역의 제1 부분은 인듐 인화물을 포함하고, 재성장 영역의 제2 부분은 인듐 알루미늄 비화물의 층 위에 배치된 인듐 갈륨 비화물 층을 포함한다. 다른 실시예들에서, 재성장 영역의 제1 부분은 인듐 알루미늄 안티몬화물을 포함하고, 재성장 영역의 제2 부분은 인듐 안티몬화물 층을 포함한다.
- <32> 본 발명의 다양한 실시예에서, 제1 반도체 재료의 선택된 결정 방향은 재성장 영역의 스레딩 변위의 적어도 하나의 전과 방향과 정렬된다. 스레딩 변위는 기판의 표면으로부터의 소정 거리에서 또는 그 이하에서 변위 차단 마스크의 개구부의 측벽에서 실질적으로 종료한다. 변위 차단 마스크는 유전체 재료, 예를 들면 실리콘 다이옥사이드 또는 실리콘 질화물을 포함한다. 특정 실시예에서, 변위 차단 마스크는 실리콘 산화물층 상에 배치된 실리콘 질화물 층을 포함한다.
- <33> 특정 실시예에서, 디바이스의 소스 영역 및 드레인 영역은 변위 차단 마스크 상에 에피택시적으로 퇴적되고, 예를 들면 이들은 재성장 영역에 근접한 변위 차단 마스크 상에 애피택시적으로 퇴적된 후 그것이 형성되는 구조를 나타낸다. 이들 실시예들의 일부 버전에서, 구조는 재성장 영역과의 인터페이스에서 쇼트키 접합을 형성하는 제1 재료를 포함한다. 구조는 스트레인되고, 언스트레인되거나 비결정질인 제2 재료를 더 포함한다. 게이트 절연체는 재성장 영역 상에 배치될 수 있고, 일부 실시예들에서, 약 5Å 내지 약 15Å의 범위의 두께를 가지는 실리콘층이 게이트 절연체와 재성장 영역 사이에 배치된다.
- <34> 일반적으로, 또 다른 양상에서, 본 발명은 기판 및 기판상에 배치된 변위 차단 마스크를 포함하는 집적 회로를 특징으로 한다. 마스크는 기판의 표면으로 연장되고 적어도 하나의 측벽에 의해 정의되는 개구부를 가지고 있다. 기판은 예를 들면 실리콘과 같은 제1 반도체 재료를 포함하거나 실질적으로 구성된다. 측벽의 적어도 일부분은 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 기판의 표면과 만난다. 집적 회로는 개구부에 형성된 재성장 영역을 또한 포함한다. 재성장 영역은 기판의 표면에 근접하여 배치된 제1 부분을 가지고 있고, 재성장 영역의 스레딩 변위 및/또는 스택킹 결합, 트원 경계 또는 반-위상 경계와 같은 다른 변위 결합은 제1 부분에서 실질적으로 종료한다. 재성장층은 제1 부분 상에 배치된 제2 부분을 구비하고 있다. 제1 및 제2 부분은 다르거나 동일한 반도체 재료(들) 중 어느 하나를 포함하거나 실질적으로 구성된다. 또한, p-트랜지스터는 반도체 기판의 제1 에어리어 상에 형성되고 n-트랜지스터는 반도체 기판의 제2 에어리어 상에 형성되며, 각 트랜지스터는 재성장 영역의 제2 부분을 통한 채널을 가지고 있다. 트랜지스터는 CMOS 회로에서 상호접속된다.
- <35> 또 다른 양상에서, 본 발명은 비-평탄형 FET를 형성하는 방법과 관련된다. 본 방법은 예를 들면 실리콘과 같은 제1 반도체 재료를 포함하거나 실질적으로 구성되는 기판을 제공하는 것으로 시작한다. 본 방법은 기판상에 변위 차단 마스크를 제공하고 기판의 표면으로 연장되고 적어도 하나의 측벽에 의해 정의된 마스크에 개구부를 형성하는 단계를 더 포함한다. 마스크는 제2 유전체 층 상에 배치된 제1 유전체 층을 가지고 있다. 측벽의 적어도 일부분은 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 기판의 표면과 만난다. 본 방법은 제2 반도체 재료를 포함하는 재성장 영역을 개구부에 선택적으로 형성하는 단계를 더 포함한다. 배향각 및/또는 이미지 힘은 재성장 영역의 스레딩 변위 및/또는 스택킹 결합, 트원 경계 또는 반-위상 경계와 같은 다른 변위 결합이 기판 표면으로부터의 거리가 증가함에 따라 그 밀도가 감소하게 한다. 본 방법은 재성장 영역의 적어도 일부분을 노출하도록 제1 유전체 층의 적어도 일부를 선택적으로 제거하는 단계를 더 포함함으로써, 반도체 핀(fin) 구조를 형성한다. 게이트 유전체 영역은 핀 구조의 적어도 일부분 상에 제공된다. 게이트 콘택트는 게

이트 유전체 영역 상에 배치된다. 소스 영역 및 드레인 영역은 편 구조 내에 형성될 수 있다. 재성장 영역은 제1 유전체 층의 적어도 일부분을 선택적으로 제거하기 전에 예를 들면 화학적-기계적 폴리싱에 의해 평탄화될 수 있다.

<36> 또한, 추가 양상에서, 본 발명은 광 전자 디바이스를 형성하는 방법을 고안한다. 본 방법은 예를 들면 실리콘과 같은 제1 반도체 재료를 포함하거나 실질적으로 구성되는 기판을 제공하는 것으로 시작된다. 본 방법은 기판상에 변위 차단 마스크를 제공하는 단계 및 기판 표면으로 연장되는 마스크에 개구부를 형성하는 단계를 더 포함한다. 개구부는 적어도 하나의 측벽에 의해 정의된다. 측벽의 적어도 일부분은 제1 반도체 재료의 선택된 결정 방향에 대한 배향각에서 기판의 표면과 만난다. 본 방법은 제1 부분의 두께가 소정 거리를 근사하거나 초과할 때까지 제2 반도체 재료를 제자리에서 도핑하는 동안에 제2 반도체 재료를 포함하거나 실질적으로 구성되는 재성장 영역의 제1 부분을 개구부에 선택적으로 퇴적하는 단계를 더 포함한다. 배향각은 제1 부분의 스레딩 변위 및/또는 스택킹 결함, 트윈 경계 또는 반-위상 경계와 같은 다른 변위 결함이 기판 표면으로부터 소정 거리 또는 그 이하에서 종료하게 한다. 본 방법은 제3 반도체 재료를 포함하거나 실질적으로 구성된 재성장 영역의 제2 부분을 입사광의 소정 흡수 레벨을 달성하도록 선택된 두께로 개구부에 선택적으로 퇴적하는 단계, 및 제2 부분에 도핑된 영역을 형성하는 단계로 계속된다. 다양한 실시예들에서, 본 방법은 변위 차단 마스크를 제공하기 전에 기판에 p형 또는 n형 영역을 형성하는 단계를 더 포함한다.

실시예

<46> 다양한 실시예에 따르면, 본 발명은 상부 표면이 실질적으로 스레딩 변위 및 다른 변위 결함이 없는 제한된 에어리어 영역을 가지는 모놀리틱 래티스 미스매칭된 반도체 헤테로 구조의 제조, 및 그러한 래티스 미스매칭된 헤테로 구조에 기초한 반도체 디바이스의 구조의 제조를 고안한다.

<47> 실리콘(Si)은 현재 전자 산업에서 가장 유비쿼터스한 반도체인 것으로 인식되고 있다. 실리콘 웨이퍼를 형성하는 데 이용되는 대부분의 실리콘은 단결정 실리콘으로 형성된다. 실리콘 웨이퍼는 CMOS 디바이스가 형성되는 기판으로서 기능한다. 실리콘 웨이퍼는 반도체 기판 또는 반도체 웨이퍼로서도 지칭된다. 그러나 실리콘 기판과 관련하여 설명되지만, 다른 반도체 재료를 포함하거나 실질적으로 구성된 기판의 이용은 본 발명의 사상 및 범주에서 벗어나지 않고서도 생각될 수 있다.

<48> 결정 실리콘에서, 고체를 구성하는 원자는 주기적인 형태로 배열된다. 주기적인 배열이 전체 고체에 걸쳐 존재하는 경우, 물질은 단결정으로 형성된 것으로 정의된다. 고체가 무수한 단결정 영역으로 구성된 경우, 고체는 복결정 재료로 지칭된다. 본 기술분야의 숙련자들에게 공지된 바와 같이, 결정에서 원자의 주기적인 배열은 래티스로 불린다. 결정 래티스는 전체 래티스를 나타내고 전체 결정에 걸쳐 규칙적으로 반복되는 단위 셀로 불리는 볼륨을 포함한다. 예를 들면, 실리콘은 다이아몬드 큐빅 래티스 구조를 가지고 있고, 이는 2개의 상호 관통하는 면심 큐빅 래티스로서 나타날 수 있다. 그러므로 큐빅 래티스를 분석하여 가시화하는 단순성은 실리콘 결정의 특성 확정까지 확장될 수 있다. 본 설명에서, 실리콘 결정의 다양한 면들에 대한 참조, 특히 (100), (110) 및 (111) 면에 대한 참조가 이루어진다. 이들 면들은 원소 결정축에 대한 실리콘 원자의 면의 배향을 정의한다. 번호 {xyz}는 밀러 인덱스로서 지칭되고, 실리콘의 결정면이 원소 결정축과 교차하는 포인트의 역(reciprocals)으로부터 결정된다. 그러므로 도 2a-2c는 실리콘의 결정면의 3가지 배향을 도시하고 있다. 도 2a에서, 실리콘의 결정면은 1에서 x축과 교차하고 y 또는 z-축과는 결코 교차하지 않는다. 그러므로 이러한 타입의 결정계 실리콘의 배향은 (100)이다. 유사하게, 도 2b는 (110) 결정계 실리콘을 도시하고 있고 도 2c는 (111) 실리콘을 도시하고 있다. (111) 및 (100) 배향은 상용 중인 2가지 주요 웨이퍼 배향이다. 유의할 점은, 큐빅 결정의 임의의 주어진 면에 대해, 5개의 다른 등가 면들이 있다는 점이다. 그러므로 결정의 기본 유닛을 포함하는 큐브의 6개의 측면이 모두 (100) 면으로 간주한다. 표시법 {xyz}는 모두 6개의 등가 (xyz) 면들을 지칭한다. 설명 전체에 걸쳐, 결정 방향, 특히 <100>, <110>, 및 <111> 방향에 대해 참조될 것이다. 이들은 각 면에 수직 방향으로 정의된다. 그러므로 <100> 방향은 (100) 면에 수직인 방향이다. 표시법 <xyz>는 모두 6개의 등가 방향을 지칭한다.

<49> 상술된 바와 같이, 본 기술분야의 다양한 래티스 미스매칭된 재료 시스템에서 기판 인터페이스 결합을 제한하는 반도체 헤테로 구조를 제조하는 다용도의 효율적인 방법이 필요하다. 고도로-미스매칭된 퇴적층의 스레딩 변위의 제어를 어드레싱하는, "에피택셜 네킹"으로 지칭된 상기 언급된 하나의 종래기술은 비교적 작은 수평 치수를 가지는 디바이스에만 적용가능하다. 특히, 종래기술에서, 금속 산화물 반도체("MOS") 트랜지스터는 통상 전류가 <110> 방향에 대해 평행하게 흐르도록 게이트가 오리엔팅된 (100) 실리콘 웨이퍼 상에 제조된다. 그러므로 <110> 방향과 정렬하는 디바이스 채널 배향을 가지는 (100) Si 웨이퍼 상에 구축된 FET 디바이스에 대해, 래티

스 미스매칭된 반도체층의 변위가 양쪽 방향의 마스크의 측벽에서 종료하도록 하기 위해, 채널 폭 및 채널 길이 모두는 에피택셜 네킹 마스크의 높이와 비교할 때 작을 것이다. 그러나 현재의 CMOS 회로에서, MOSFET 디바이스 폭은 종종 실질적으로 채널 폭을 초과하고, CMOS 스케일링의 결과로서 종종 매우 작다. 따라서, 종래의 네킹 접근법 하에서, 다수의 변위는 채널 폭의 방향으로 마스크의 측벽에서 종료되지 않을 것이다.

<50> 변위 결함을 최소화시키는 종래기술에 따른 접근법과 비교할 때, 본 발명은 그 다양한 실시예에서, 컵포넌트 반도체층의 더 큰 두께 및 제한된 수평 에어리어를 활용하여 상부가 실질적으로 변위 결함이 없는 제한된-에어리어 영역을 생성함으로써 주지된 기법의 제한을 어드레싱한다. 도 3a-3b를 참조하면, 예를 들면 실리콘과 같은 제1 반도체 재료를 포함하거나, 실질적으로 구성되는 기판(310)이 제공된다. 변위 차단 마스크(320)는 기판상에 배치된다. 마스크는 기판의 표면으로 연장되고 적어도 하나의 측벽(330)에 의해 정의된 개구부(325)를 가지고 있다. 다양한 실시예들에서, 개구부(325)는 일반적으로 직사각형이다. 변위 차단 마스크는 예를 들면 실리콘 다이옥사이드 또는 실리콘 질화물과 같은 유전체 재료를 포함한다. 측벽의 적어도 일부는 제1 반도체 재료의 선택된 결정 방향에 배향각 α 에서 기판의 표면과 만난다. 뿐만 아니라, 측벽의 적어도 일부는 일반적으로 수직이고, 즉 기판의 표면에 대해 약 80° 내지 120° 로 배치되고, 특정 실시예에서 기판의 표면에 거의 수직이다.

<51> 제2 반도체 재료를 포함하는 재성장층(340)은 개구부에 퇴적된다. 한 실시예에서, 제1 반도체 재료의 선택된 결정 방향은 재성장층에서 스레딩 변위의 전파 방향으로 정렬된다. 특정 실시예들에서, 배향각은 약 30° 내지 60° 의 범위이고, 예를 들면 그러한 결정 방향에 대해 약 45° 이다. 기판의 표면은 (100), (110) 또는 (111) 결정 배향을 가질 수 있다. 일부 실시예들에서, 선택된 결정 방향은 제1 반도체 재료의 <110> 결정 방향과 실질적으로 정렬된다.

<52> 다양한 실시예들에서, 제1 반도체 재료는 실리콘 또는 실리콘 게르마늄 합금을 포함하거나, 이들로 주로 구성된다. 제2 반도체 재료는 예를 들면 게르마늄, 실리콘 게르마늄, 갈륨 비화물, 알루미늄 안티몬화물, 인듐 알루미늄 안티몬화물, 인듐 안티몬화물, 인듐 비화물, 인듐 인화물, 및 갈륨 질화물로 구성된 그룹에서 선택된, II족, III족, IV족, V족, 및/또는 VI족 원소 및/또는 그 조합을 포함하거나, 실질적으로 이들로 구성된다.

<53> 재성장층은 대기-압력 CVD(APCVD), 낮은-(또는 감소한) 압력 CVD(LPCVD), 울트라-하이-진공 CVD(UHVCVD)를 포함하고 이들로 제한되지 않는 임의의 적합한 에피택셜 퇴적 시스템의 선택적 에피택셜 성장, 분자 빔 에피택시(MBE), 또는 원자층 증착(ALD)에 의해 개구부에 형성될 수 있다. CVD 프로세스에서, 선택적 에피택셜 성장은 통상 소스 기체를 챔버에 유입하는 공정을 통상 포함한다. 소스 기체는 적어도 하나의 전조 기체 및 예를 들면 수소와 같은 캐리어 기체를 포함한다. 반응기 챔버는 예를 들면 RF-가열에 의해 가열된다. 챔버의 성장 온도는 재성장층의 조성에 따라 약 300°C 내지 약 900°C 범위이다. 성장 시스템은 또한 저-에너지 플라스마를 활용하여 층 성장 동역학을 향상시킨다.

<54> 에피택셜 성장 시스템은 단일-웨이퍼 또는 복수-웨이퍼 일괄 반응기일 수 있다. 애플리케이션을 제조할 때 볼륨 에피택시에 보통 이용되는 적합한 CVD 시스템은 예를 들면 Applied Materials of Santa Clara, CA로부터 가용한 EPI CENTURA 단일-웨이퍼 멀티-챔버 시스템, 또는 The Netherlands의 Bilthoven에 기반을 둔 ASM International로부터 가용한 EPSILON 단일-웨이퍼 에피택셜 반응기를 포함한다.

<55> 일부 실시예들에서, 재성장층은 조성적으로 그레이딩되고, 예를 들면 $>5\text{ Ge}/\mu\text{m}$ 내지 $100\text{ Ge}/\mu\text{m}$ 의 범위, 양호하게는 $5\text{ Ge}/\mu\text{m}$ 내지 $50\text{ Ge}/\mu\text{m}$, 약 10% 내지 약 100% 의 최종 Ge 콘텐츠까지를 가지는 Si 및 Ge를 포함한다. 그레이딩된 층의 전체 그레이딩 레이트는 일반적으로 층의 전체 두께에 대한 Ge 콘텐츠의 전체 변경 비율로서 정의되지만, 그레이딩된 층의 일부에서의 "로컬 그레이딩 레이트"는 전체 그레이딩 레이트와 다를 수 있다. 예를 들면, 0 Ge 내지 10 Ge 로 그레이딩된 $1\mu\text{m}$ 영역($10\text{ Ge}/\mu\text{m}$ 의 로컬 그레이딩 레이트) 및 10 Ge 내지 30 Ge 로 그레이딩된 $1\mu\text{m}$ 영역($20\text{ Ge}/\mu\text{m}$ 의 로컬 그레이딩 레이트)을 포함하는 그레이딩된 층은 $15\text{ Ge}/\mu\text{m}$ 의 전체 그레이딩 레이트를 가질 것이다. 그러므로 재성장층은 반드시 선형 프로파일을 가질 필요는 없지만, 다른 로컬 그레이딩 레이트를 가지는 더 작은 영역을 포함한다. 다양한 실시예들에서, 그레이딩된 성장층은 예를 들면 $600\text{--}1200^\circ\text{C}$ 에서 성장된다. 예를 들면, 900°C 를 초과하는 더 높은 성장 온도는 스레딩 변위의 응집을 최소화시키면서 더 빠른 성장 레이트를 가능하게 하므로 바람직하다. 여기에 그 전체가 참고로 첨부된 미국특허 제5,221,413호를 참조하라.

<56> 특정 실시예에서, 제1 반도체 재료는 실리콘이고 제2 반도체 재료는 게르마늄이다. 본 실시예에서, 재성장층의 스레딩 변위(350)은 <110> 방향을 따라 전파되고, 제1 반도체 재료의 표면에 45° 의 각도로 놓인다. 일반적으로 직사각형 개구부를 가지는 변위 마스크는, 개구부의 측벽이 <100> 방향에 45° 각도로 배치되고 <110> 결정

방향에 실질적으로 정렬되도록 기판상에 배치된다. 개구부의 그러한 배향의 결과로서, 변위는 기판의 표면으로부터 소정 거리 H 에, 또는 그 이하에서 변위 차단 마스크의 개구부의 측벽에 도달하여 종료함으로써, 재성장층의 스레딩 변위는 기판 표면으로부터의 거리가 증가함에 따라 그 밀도가 감소한다. 따라서, 재성장층의 상부는 스레딩 변위가 거의 없는, 증가한 채널 폭을 가지는 반도체 디바이스의 형성을 가능하게 한다.

<57> 본 발명의 이러한 그리고 다른 실시예들의 특정 버전에서, 변위 차단 마스크의 개구부의 측벽은 기판의 표면으로부터 소정 거리 H 와 적어도 동일한 높이를 가지고 있다. 이들 실시예들에서, 개구부는 거의 직사각형이고, 개구부의 길이 L 보다 더 작은 소정 폭 W 를 가지고 있다. 예를 들면, 개구부의 폭 W 는 약 500nm 이하일 수 있고, 개구부의 길이 L 은 W 및 H 각각을 초월할 수 있다. 이들 실시예들의 일부 버전에서, 기판은 실질적으로 실리콘으로 구성되고, (100) 결정 배향을 가지고 있으며, 배향각은 재성장층의 변위의 전파에 약 45°이고, 소정 거리 H 는 적어도 $W\sqrt{2}$ 이다. 다른 버전에서, 기판은 실질적으로 실리콘으로 구성되고, (110) 결정 배향을 가지고 있으며, 배향각은 약 45°이고, 소정 거리 H 는 $W\sqrt{6/3}$ 이다. 또 다른 버전에서, 기판은 실질적으로 실리콘으로 구성되고, (111) 결정 배향을 가지고 있으며, 배향각은 약 45°이고, 소정 거리 H 는 적어도 $2W$ 이다.

<58> 본 발명의 다양한 실시예에서, 변위의 차단은 상술된 마스크의 기하학적 형태 및 배향뿐만 아니라, 이하에 더 상세하게 설명되는 바와 같이, 변위가 거의 수직인 표면에 끌어 당겨지는 '이미지 힘(image force)' 때문에 촉진된다. 다수의 실시예들에서, 이미지 힘만으로도 재성장층의 상부가 스레딩 변위 및 다른 변위 결함이 거의 없도록 유발하는 데 충분하다.

<59> 본 기술분야의 숙련자가 잘 알고 있는 바와 같이, 표면 근처의 변위는 결정의 벌크에서는 일반적으로 발생하지 않는 힘을 경험하고, 재료가 거기에 효율적으로 더욱 부합하며 변위 에너지가 더 낮기 때문에 자유 표면을 향해 끌어당겨 진다. Hull & Bacon, *Introduction to Dislocation*, 4th edition, Steel Times(2001)를 참조하라. 이미지 힘은 성장되고 있는 반도체의 재료 속성뿐만 아니라, 주어진 변위와 자유 표면 간의 거리에 의해 결정된다. 그러므로 변위가 측벽에서 트랩핑을 유리하게 하지 않는 배향을 가지고 있는 경우에도, 결정의 탄성 에너지를 감소시키기 위해 변위를 자유 표면으로 끌어당기는 경계 힘으로 인해, 상술된 접근법은 특정 치수에서 여전히 유효하다. 수학적으로, 스트레인에 대한 수식의 경계 조건은 표면에 수직인 스트레인 성분이 그 표면에서 제로가 되는 것을 요구하기 때문에, 이들 힘이 발생한다. 그러므로 수직 측벽을 향하여, 예지 변위 상의 변위 길이의 단위당 힘은 이하의 공식에 의해 표현될 수 있다.

수학식 1

$$F_I = \frac{Gb^2}{4\pi d (1-\nu)}$$

<60>

F_I = 이미지 힘

<62>

G = 전단 탄성계수

<63>

d = 자유 표면으로부터의 거리

<64>

b = 베거스(Burgers) 벡터

<65>

ν = 포이슨 비율.

<66>

도 4a-4b를 참조하면, 여기에 이용되는 바와 같이, 용어 "60° 변위"은 베거스 벡터와 변위 라인 간의 각도가 60°인 변위를 지칭한다. 이들 변위는 스트레인이 비교적 낮은(예를 들면, <2%> 다이아몬드-큐빅 또는 섬아연광래티스 미스매칭된 시스템에서 통상 형성된다. 스레드에 대한 힘(근처의 다른 변위으로부터 또는 근처의 자유 표면으로부터 기인할 수 있음)이 없는 경우, 이들은 <110> 방향으로 45° 각도로 기판 표면으로부터 발생한다. 그러나 위로부터(표면에 수직으로) 봤을 때, 이들은 <100> 방향으로 놓여있는 것으로 보인다.

<67>

실험적으로, 실리콘 상 계르마늄의 경우(4% 미스매치)에 대해 SiO_2 의 대략 300nm 이내의 변위가 트랩핑된다. 이것은 이미지 힘의 영향 때문인 것으로 이해된다. 이들 변위와 측벽 간의 각도는 대략 45-55°의 범위인 것으로 나타난다.

<68>

Ge에 대한 관련 재료 상수는 이하와 같다.

<69> $G = 4.1 \text{e}11 \text{ dyne/cm}^2$

<70> $v = 0.26$

<71> $b = 3.99\text{\AA}$.

<72> 상기 공식, 및 $d \leq 300\text{nm}$ 에 대해 Si 상의 Ge의 변위는 SiO_2 측벽을 향해 구부려진다는 실험적 관찰에 기초하여, 큐빅 반도체 결정에서 변위를 자유 표면으로 구부리는 데 필요한 힘은 대략 2.3dyne/cm 이다. 그러므로 다른 재료들에 대해 자유 표면으로부터의 거리 d 는 G , v , 및 b 에 대해 그 주지된 값들에 기초하여 특정 정확도로 추정 될 수 있다. 예를 들면, 이들 계산들에 의한 값은 이하와 같다.

<73> GaAs에 대해, $d=258\text{nm}$

<74> InP에 대해, $d=205\text{nm}$

<75> AlSb에 대해, $d=210\text{nm}$

<76> InSb에 대해, $d=164\text{nm}$

<77> 도 4c를 참조하면, 풀 트랩핑을 위해, 홀 또는 트렌치 수평 치수 w 는 양호하게는 대략 $2*d$ 보다 작거나 같고, 수직 치수 h 는 양호하게는 적어도 대략 d 이며, d 는 상술된 바와 같이 계산된다. 이들 기준들은 측벽의 경계 및 기판 표면의 배향과 실질적으로 무관할 것으로 예상된다. 그러므로 본 발명의 다양한 실시예에서, 재성장층의 낮은 부분의 변위는 상술된 바와 같이 계산되고 재성장층의 변위의 전파 방향에 관계없이 오리엔팅된 폭을 가지는, 연장된 개구부, 예를 들면 트렌치를 가지는 변위 차단 마스크를 채용함으로써 트랩핑된다.

<78> 또한, 도 4d에 도시되고 여기에 이용되는 바와 같이, 용어 "90° 변위"은 베거스 벡터와 변위 라인 간의 각도가 90° 인 변위를 지칭한다. 이들 변위는 스트레인의 비교적 높은(예를 들면, $>2\%$) 미스매칭된 시스템에서 주로 형성된다. 스레딩 변위 상의 힘(근처의 다른 변위 또는 근처의 자유 표면으로부터 기인할 수 있음)이 없는 상태에서, 이들은 <100> 방향으로 90° 각도에서 기판 표면으로부터 상승한다. 그러므로 이들 변위는 도 4e에 도시된 바와 같이, 수직 측벽보다는 경사진 것을 가지는 변위 차단 마스크를 이용함으로써 가장 최적으로 트랩핑 될 수 있다.

<79> 이하는 다른 종류의 다이아몬드-큐빅 또는 센아연광 반도체 혼합으로 구조에서 변위를 트랩핑하기 위한 메커니즘을 요약한다.

<80> 1. 낮은 미스매치, 낮은 이미지 힘

<81> - 60° 변위가 우세하다.

<82> - 스레드는 <110> 방향으로 배치되고, 45° 에서 표면으로부터 상승한다.

<83> - 변위를 트랩핑하기 위한 최상의 접근법은 도 3a-3b와 관련하여 상술된 바와 같이, 측벽의 적절한 배향 및 개구부의 적절한 치수에 좌우된다.

<84> 2. 낮은 미스매치, 높은 이미지 힘

<85> - 60° 변위가 우세하다.

<86> - 스레드는 자유로운 실질적으로 수직인 표면을 향하여 구부려진다.

<87> - 변위를 트랩핑하기 위한 최상의 접근법은 도 4a-4c와 관련하여 상술된 바와 같다.

<88> 3. 높은 미스매치, 높은 이미지 힘.

<89> - 90° 변위가 우세하다.

<90> - 스레드는 자유로운 실질적으로 수직인 표면을 향해 구부려진다.

<91> - 변위를 트랩핑하기 위한 최상의 접근법은 도 4a-4c와 관련되어 상술된 바와 같다.

<92> 4. 높은 미스매치, 낮은 이미지 힘

<93> - 90° 변위가 우세하다.

- <94> - 스레드는 <110> 방향으로 배치되고, 90° 에서 표면으로부터 상승한다.
- <95> - 변위를 트랩핑하기 위한 최상의 접근법은 도 4d-4e와 관련하여 상술된 바와 같다.
- <96> III-질화물(III-N) 재료와 같은 6각형 반도체는 고전력 고속 전자공학 및 발광 애플리케이션에 있어서 매우 흥미로운 것이다. Si 상의 III-질화물과 같은 6각형 반도체의 에피택시에 대해, Si의 (111) 표면은 통상 (100)보다 더 바람직하다. 이것은 Si의 (111) 표면이 6각형이기 때문이다(Si가 큐빅 결정이라 하더라도). 이것은 큐빅 (100) 페이스보다 더 나은 6각형 결정 성장에 대한 템플레이트를 만든다. 그러나 상술된 바와 같이, 그러한 재료의 스레딩 변위가 Si, Ge 및 GaAs와 같은 더 통상적으로 이용되는 큐빅 반도체와 비교할 때 기판에 대해 다른 배향을 가지고 있으므로, 래티스 미스매칭된 Si (111) 기판 위에 배치된 6각형 반도체의 스레딩 변위가 수직 측벽에 의해 효율적으로 한정될 수 없기 때문에, 상술된 에피택셜 네킹 접근법은 이를 애플리케이션에서 덜 효율적이다. 예를 들면, 도 4e와 관련하여 상술된 바와 같이, 기판의 특정 표면 배향 및 래티스 미스매칭된 재성장 영역의 결정 구조에 대해, 스레딩 결함은 기판에 수직으로 전파되는 경향이 있고, 이는 변위 차단 마스크의 수직 측벽에 의한 트랩핑에 유리하지 않을 수 있다. 이것은 GaN이 Si의 (100) 표면상에 성장되는 경우이다. 그러한 경우에, 일부 실시예들에서, 개구부의 측벽의 각도는 도 4e에 도시된 바와 같이 기판에 대해 경사져, 수직으로 전파하는 결함이 각진 측벽을 교차하게 된다.
- <97> 다른 실시예들에서, 개구부에 노출된 기저 기판 자체의 표면은 스레딩 변위의 한정을 가능하게 하도록 구성된다. 도 5a를 참조하면, 변위 차단 마스크가 Si (100) 기판상에 배치되고 개구부가 그를 통해 정의된 후, Si의 (111) 결정학적 면에 선택적인 에칭액, 예를 들면 KOH 용액은 시드 윈도의 기저부에서 노출된 표면의 일부에 인가되어, (111) 표면을 노출한다. 그리고나서, 래티스 미스매칭된 반도체 재료가 기판상의 개구부에 퇴적되고, 헤테로 에피택셜 영역이 개구부에 배치된 재료상에 성장되어 마스크 상에서 수평으로 확장되도록 에피택셜 퇴적이 계속된다. 도 5b에 도시된 바와 같이, 기저 표면의 구성으로 인해, 헤테로 에피택셜 영역의 스레딩 변위의 배향은 기판의 표면에 대해 대략 45° 이므로, 마스크의 실질적으로 수직인 측벽에 의해 변위의 트랩핑을 용이하게 한다. 그리고나서, 작은 에어리어의 6각형 반도체 재료가 디바이스 액티브 에어리어에 대해 요구되는 경우에, 개별적인 개구부로부터 연장되는 헤테로 에피택셜 과도 성장은 평탄화될 수 있어(예를 들면, CMP를 통함), 인접하는 절연체 에어리어와 거의 동일한 평면 상이 되게 된다. 다르게는, 큰 에어리어가 요구되는 경우, 인접하는 영역이 합체될 때까지 성장이 진행될 수 있고, 이어서 선택적으로 결과적인 구조의 평탄화가 진행된다. 나중의 경우에, 6각형 반도체의 수평 성장 레이트는 다양한 주지된 접근법을 채용하는 표면에 수직인 성장 레이트보다 많이 증가될 수 있으므로, 이들 반도체 재료는 (100) 표면상에서 성장된 큐빅 반도체로는 가용하지 않는 프로세스 유연성을 제공한다. 특히, 이들 재료의 차이 성장 레이트는 넓게 스페이싱된 시드 트렌치를 허용하고, 예를 들면 스페이싱은 5배의 트렌치 폭 또는 심지어 그 이상일 수 있으므로, 에피택셜 성장 프런트가 합체하는 경우에 형성할 것으로 알려져 있는 결함이 실질적으로 제거될 수 없는 경우에, 밀접하게 스페이싱된 시드 트렌치보다 실질적인 장점을 제공한다.
- <98> 도 6a-6f는 본 발명의 다양한 실시예에 따라 증가한 표면 에어리어를 가지는 래티스 미스매칭된 반도체 헤테로 구조의 개략적인 측단면도를 도시하고 있다. 특히, 이하에 더 상세하게 설명되는 바와 같이, 도 3a-3b를 참조하여 상술된 실시예와 비교할 때, 스레딩 변위가 실질적으로 없는 래티스 미스매칭된 헤테로 구조의 상부의 에어리어가 증가한다. 예를 들면, 이하에 더 상세하게 설명되는 바와 같이, 일부 실시예들에서, 변위 차단 마스크의 개구부는 가변 폭을 가지고 있다. 다른 버전에서, 변위 차단 마스크의 개구부의 측벽은 기판의 표면에 가장 가깝게 배치된 제1 부분, 및 제1 부분 위에 배치된 제2 부분을 포함한다. 제1 부분의 높이는 기판의 표면으로부터 소정 거리 H와 적어도 동일할 수 있고, 여기에서 스레딩 변위는 거리 H에서 또는 그 이하에서 변위 차단 마스크의 개구부의 측벽에서 종료한다. 이들 실시예들의 일부 버전에서, 측벽의 제1 부분은 제2 부분에 거의 평행할 수 있다. 또한, 일부 버전에서, 측벽의 제2 부분은 외부로 플레이팅(flare)된다.
- <99> 이하에 설명되는 다수의 실시예들에서, 기판(510)은 실리콘을 포함하거나 실질적으로 구성된다. 재성장층은 예를 들면 게르마늄, 실리콘 게르마늄, 갈륨 비화물, 알루미늄 안티몬화물, 인듐 알루미늄 안티몬화물, 인듐 안티몬화물, 인듐 비화물, 인듐 인화물 및 갈륨 질화물로 구성된 그룹에서 선택된, II족, III족, IV족, V족, 및/또는 VI족 원소, 및/또는 그 조합 중 하나인 반도체 재료를 포함하거나 이것으로 실질적으로 구성된다. 그 내부에 개구부를 가지는 변위 차단 마스크(520)는 기판상에 배치된다. 변위 차단 마스크는 예를 들면 실리콘 다이옥사이드 또는 실리콘 질화물과 같은 유전체 재료를 포함할 수 있다. 측벽의 적어도 일부는 제1 반도체 재료의 선택된 결정 방향에 대해 배향각 α 에서 기판 표면과 만난다. 제2 반도체 재료를 포함하는 재성장층(540)은 개구부에 퇴적된다. 다양한 실시예들에서, 제1 반도체 재료의 선택된 결정 방향은 재성장층의 스레딩 변위의 전파 방향과 정렬된다. 다양한 실시예들에서, 배향각은 약 30° 내지 약 60° 의 범위이고, 예를 들면 약

45° 이다. 상술된 바와 같이, 본 발명의 다수의 실시예들에서, 변위의 차단은 상술된 마스크의 기하학적 형태 및 배향, 및/또는 '이미지 힘'에 의해 진척된다.

<100> 도 6a를 참조하면, 한 실시예에서, 변위 차단 마스크는 기판상에 두께 h_1 을 가지는 제1 저온 산화물층(521)을 퇴적함으로써 형성된다. 두께 h_1 은 상술된 바와 같이, 스레딩 변위(및/또는 스택킹 결함, 트윈 경계, 또는 반-위상 경계와 같은 다른 변위 결함)이 변위 차단 마스크의 개구부의 측벽에서 종료하는 기판의 표면으로부터의 거리에 거의 동일하도록 선택된다. 지름 d_1 을 가지는 제1 개구 또는 폭 w_1 을 가지는 제1 트렌치 - 폭 w_1 및 지름 d_1 모두가 두께 h_1 보다 작음 - 는 종래 마스킹/에칭 기술에 의해 층(521) 내에 형성된다. 마스크가 벗겨진 후, 두께 h_2 를 가지는 제2 저온 산화물층(522)은 층(521) 상에 퇴적된다. 그리고나서, 지름 d_2 의 제2 개구 또는 폭 w_2 를 가지는 제2 트렌치가 종래 마스킹/에칭 기술에 의해 $w_1 < w_2$ (또는 $d_1 < d_2$)가 되도록 층(522) 내에 형성된다. 마스크가 벗겨진 후, 제2 반도체 재료의 재성장층은 여기에 참조로 첨부한 Langdo 등에 의한 미국특허 출원공개번호 제2004/0045499A호에 개시된 기법들 중 임의의 하나에 따라, 선택적 에피택시에 의해 제1 및 제2 개구 또는 제1 및 제2 트렌치에 퇴적된다. 상술된 바와 같이, 퇴적에 이어서, 스레딩 변위 및/또는 다른 변위 결함은 두께 h_1 또는 그 이하에서 제1 개구(또는 제1 트렌치에서)에서 실질적으로 종료한다. 결과적으로, 스레딩 변위가 거의 없는 두께 h_2 를 가지는 재성장층 부분은 도 3a-3b를 참조하여 상술된 실시예와 비교할 때 더 큰 상부 표면으로 얻어진다.

<101> 도 6b를 참조하면, 다른 실시예에서, 제2 반도체 재료를 포함하는 과도 성장층(555)은 재성장층(540) 상, 및 재성장층에 인접한 변위 차단 마스크(520)의 일부 상에 퇴적된다. 재성장층의 적어도 일부는 비-결정(즉, 비결정질) 재료로서 퇴적되고, 예를 들면 퇴적 온도보다 더 높은 온도에서 어닐링 공정에 의해 후속적으로 결정화될 수 있다. 그러므로 본 실시예에서 오버레이어의 결정화는 재성장층 상의 오버레이어 영역의 결정 재료를 생성하는 데 이용되고, 이는 퇴적 위의 비결정질이다. 도 6b의 화살표는, 과도 성장층(555)의 적어도 일부를 형성하는 비결정질 재료가 결정화됨에 따라, 변위 차단 마스크의 개구부로부터 외부를 향하여 확장하는 결정화된 영역을 나타낸다.

<102> 도 6c를 참조하면, 또 다른 실시예에서, 변위 차단 마스크의 개구부에서 재성장층의 퇴적에 이어서 수평 에피택셜 퇴적의 공정이 진행되어, 유용한 표면 에어리어를 증가시킨다. 또한, 이것은 (110) 또는 (111) 표면과 비교할 때 (100) 표면에 전형적인 더 높은 성장 레이트를 활용하여 본 실시예에서의 수평 과도 성장을 증가시킨다. 예를 들면, 과도 성장 영역은 통상적으로 채널 재료보다 덜 엄격한 재료 품질 요구조건을 가지고 있는 소스/드레인 에어리어로서 이용될 수 있다.

<103> 도 6d를 참조하면, 또 다른 실시예에서, 재성장층(540)의 유용한 상부 에어리어는 재성장 영역의 크기를 점진적으로 증가시킴으로써 증가한다. 도 6a를 참조하여 상술된 실시예와 유사하게, 변위 차단 마스크는 2개의 층들, 두께 h_1 을 가지는 제1 층, 및 두께 h_2 를 가지는 제2 층을 포함한다. 두께 h_1 은 상술된 바와 같이, 스레딩 변위 및/또는 다른 변위 결함이 변위 차단 마스크의 개구부의 측벽에서 종료하는 기판의 표면으로부터의 거리에 적어도 동일하게 선택된다. 즉, 지름 d_1 을 가지는 제1 개구, 또는 폭 w_1 을 가지는 제1 트렌치 - 폭 w_1 및 지름 d_1 모두가 두께 h_1 보다 작음 - 는 종래 마스킹/에칭 기술에 의해 층(521) 내에 형성된다. 마스크가 벗겨진 후, 두께 h_2 를 가지는 제2 저온 산화물층(522)은 층(521) 상에 퇴적된다. 그리고나서, 지름 d_2 의 제2 개구 또는 폭 w_2 를 가지는 제2 트렌치가 종래 마스킹/에칭 기술에 의해 $w_1 < w_2$ (또는 $d_1 < d_2$)가 되도록 층(522) 내에 형성된다. 그러나 도 6a에 도시된 실시예와 비교하여, 제2 트렌치의 폭 w_2 는 트렌치의 측벽, 즉 층(522)의 개구부가 점진적으로 외부로 플레이팅하도록 점진적으로 증가한다. 이러한 효과는 예를 들면 종래의 마스킹/에칭 기술에 의해 달성될 수 있고, 여기에서 에칭액 및 마스킹 재료는 마스킹 재료가 에칭 프로세스 동안에 수평으로 부식되도록 선택되어, 점진적으로 변위 차단 마스크 아래를 더 많이 노출하며, 결과적으로 외부로 플레이팅되는 변위 차단 마스크의 개구부로 나타나게 된다. 예를 들면, 마스킹 재료는 종래의 포토레지스트일 수 있고, 에칭액은 종래 RIE 시스템에서 이용되는 기체 CF_4 및 H_2 의 혼합일 수 있다. 마스크가 벗겨진 후, 제2 반도체 재료의 재성장 층은 층(521, 522)에 의해 정의된 개구부에서 선택적 에피택시에 의해 퇴적된다. 상술된 바와 같이, 퇴적에 이어서, 스레딩 변위(및/또는 스택킹 결함, 트윈 경계, 또는 반-위상 경계와 같은 다른 변위 결함)은 두께 h_1 또는 그 이하에서 제1 개구(또는 제1 트렌치에서)에서 실질적으로 종료한다. 따라서, 본 실시예에서, 변위는 두께 h_1 또는 그 이하에서, 재성장 영역의 제1 부분에서 종료되고, 그리고나서 재성장층은 점점 더 크게 되어, 큰 디바이스 제조를 위해 큰 표면 에어리어를 가지는 고품질 에피택셜 성장을 허용한다.

<104> 도 6e를 참조하면, 도 6d와 관련하여 상술된 실시예의 다른 버전에서, 외부로 경사진 측벽을 가지는 개구부를 가지는 변위 차단 마스크, 즉 상부보다 기저부에서 실질적으로 더 좁은 구조는 단지 한 번의 리소그라피 공정,

이어서 스페이서 퇴적 및 에칭으로 수행될 수 있다. 이러한 기법은 일반적으로 더 경제적이고, 리소그라피-및-에칭 접근법에 본질적인 리소그라피 정렬 문제, 또는 리소그라피 최소 특징 제한을 극복할 수 있다. 스페이서는 절연체 층과 동일하거나 다른 재료로 형성될 수 있다. 어느 경우든, 선택적 에피택셜 성장은 개구부 또는 트렌치의 생성 이후에 이루어진다.

<105> 도 6f-6h는 표면 에어리어를 증가시키는 추가 기법을 도시하고 있다. 도 6f(다시, 도 6b뿐만 아님)를 참조하면, 한 실시예에서, 실리콘 절화물은 2개의 개구부(535)를 정의하는 변위 차단 마스크(520)에 대한 유전체 재료로서 실리콘 다이옥사이드 대신에 이용된다. 재성장 영역(540)이 개구부에 에피택시적으로 성장한 후, 과도 성장 영역(560)이 그 위에 퇴적된다. 실리콘 절화물을 이용하는 것은 더 적은 결함으로 변위 차단 마스크(520) 층 상의 2개의 과도 성장된 영역을 융합하는 것을 용이하게 하여, 결과적으로 더 큰 표면 에어리어로 나타나게 된다. 도 6g를 참조하면, 도 6f의 실시예의 한 특정 버전에서, 제2 반도체 재료(570)의 층은 변위 차단 마스크(520)가 그 위에 형성되기 이전에 기판(510) 상에 퇴적되어, 재성장 영역(540)은 미리 정의된 래티스 스페이싱으로 변위 차단 마스크의 상부에서 융합한다. 재성장 영역에서의 이러한 래티스 스페이싱은 층(570)의 래티스 스페이싱의 뒤에 이어지고, 따라서 2개의 에피택시 구조가 융합하는 경우에 더 적은 래티스 오정렬을 가지고 있다. 도 6h를 참조하면, 도 6f의 실시예의 또 다른 버전에서, 변위 차단 마스크는 2개 이상의 밀접하게 스페이싱되고 플레이팅된 개구부를 정의하여, 마스크의 수평 상부 표면이 최소화되거나, 특정 구현에서는 제거된다. 이러한 버전에서, 종종 결함에 취약한 수평 과도 성장 영역은 무시 가능하거나 함께 부재상태가 되어 결과적인 융합된 과도 성장 영역의 품질을 개선한다.

<106> 또한, 도 7a-7c를 참조하면, 일부 실시예들에서, 본 발명은 에피택셜 네킹 및 ELO 기법의 조합에 의해 헤테로 에피택셜 영역 내에 큰 액티브 에어리어를 생성하고, 자기 조립된 변위 차단 마스크를 채용하는 데 초점을 맞추고 있다. 특히, 그를 통과하는 개구부의 어레이를 정의하는 유전체층은 자기 조립 기법을 이용하여 형성될 수 있으므로, 전통적인 시간 소비 리소그라피 및 에칭 접근법을 피한다. 절연체층의 수직 개구부의 자기 조립된 어레이가 Si 기판상에 생성되는 방법의 예에 대해, 여기에 참고로 첨부되고, Applied Physics Letters, Vol. 79, No. 19(2001)에 공개된 Wenchong Hu 등에 의한 논문 "Growth of well-aligned carbon nanotube arrays on silicon substrate using porous alumina film as a nanotemplate"을 참조하는데, 이것은 알루미늄의 애노드 산화가 도 7a-7b에 도시된 것과 유사한 수직 개구부의 자기 조립된 어레이를 생성하는 데 이용되는 방법을 설명하고 있고, 여기에서 절연체는 알루미나(Al_2O_3)이다. 그러나 Hu 등에 의해 기재된 프로세스는 각 홀의 기저부에 알루미나의 작은 잔류층을 남긴다. 이러한 잔류층을 제거하기 위해, 이방성 건식 에칭(웨이퍼 표면에 평행한 것보다 웨이퍼 표면에 수직인 것이 훨씬 더 높은 에칭 레이트를 가짐)이 수행되어, 후속 에피택셜 네킹을 위한 '시드(seed)'인 실리콘을 노출한다. 그리고나서, 헤테로 에피택셜 영역은 적어도 결과적인 과도 성장 영역이 합체될 때까지 개구부 내 및 개구부 외부에서 선택적으로 성장된다. 개구의 수평 치수, 미스매치의 정도, 및 측벽 산화물의 강도에 따라, 헤테로 에피택셜 "기둥(pillar)"의 플라스틱 또는 탄성 완화(relaxation) 중 하나가 우위를 차지한다. 그리고나서, 결과적인 헤테로 에피택셜 층이 예를 들면, CMP를 통해 평탄화되고(도 7c), 스레딩 변위 및/또는 다른 변위 결함이 거의 없는 액티브 에어리어가 디바이스 제조에 이용된다.

<107> 도 8-10은 CMOS 디바이스의 제조를 위한 본 발명의 다양한 실시예들에 따른 변위 차단 기법의 다양한 애플리케이션을 도시하고 있다. 도 8은 Ge, InGaAs, 스트레인된 Ge/SiGe 및 다른 재료를 포함하는 MOSFET 디바이스 또는 예를 들면 InGaAs를 포함하는 HEMT 디바이스와 같이, 본 발명에 따라 제조된 재성장 또는 과도 성장 영역 위에 배치된 다양한 디바이스 구조를 도시하고 있다. 시작 기판은 Si 기판 및/또는 SOI/SSOI 기판일 수 있다. 한 예에서, n-FET 및 p-FET 디지털 디바이스는 SSOI 기판상에 제조되지만, RF/아날로그 디바이스는 상술된 접근법을 이용하여 Si 기판상에 성장된 Ge 영역 상에 제조된다. 진보된 재료를 Si 기판에 통합함으로써, 전자 및 홀 이동성이 크게 향상될 수 있다. 그러한 FET 디바이스에 대한 변위 결함의 해로운 영향을 피하기 위해, 채널, 소스, 및 드레인 영역은 거의 결함이 없는 재성장 또는 과도 성장 재료의 상부 영역으로 한정되어야 한다. 상세하게 상술된 바와 같이, 스레딩 변위 및 다른 결함의 차단은 마스크의 기하학적 형태 및 배향 및/또는 이미지 힘에 의해 진척된다. 다수의 실시예들에서, 이미지 힘만으로도 재성장 또는 과도 성장 재료의 상부 영역이 스레딩 변위 및 다른 변위 결함이 거의 없도록 하는 데 충분하다.

<108> 또한, 여전히 도 8을 참조하면, 접합 누설을 억제하는 얇은 대역캡 재료(예를 들면, AlSb)는 초기 성장에 이용된 후, FET 채널에 대해 높은 전자 이동성을 가지는 재료(InAs)가 이어진다. 본 실시예에서, 양호하게는, 2개의 반도체 재료들은 유사한 래티스 상수를 가지고 있으므로, 변위가 이들 사이의 인터페이스에서 형성될 가능성은 줄인다. 또한, 본 실시예에서, 얇은 대역캡 재료의 성장에 이어서, 평탄화 공정이 이어짐으로써, 그 표면이 변위 차단 마스크의 상부와 거의 동일한 평면상에 있게 되고, 후속적으로 높은 이동성 재료의 얇은 층이 성장되

어 MOS 채널을 수용할 수 있다. 양호하게는, FET 접합의 기저부는 넓은 대역갭 영역 내에 배치되어 접합 누설을 억제한다.

<109> 도 9는 CMOS에서 본 발명의 다양한 실시예에 따른 변위 차단 기법의 다른 애플리케이션을 도시하고 있다. 이러한 방법은 Ge/III-V 네킹 기술이 비교적 큰 CMOS 디바이스에 이용될 수 있도록 한다. 도 8의 실시예에서와 같이, CMOS 디바이스에 변위 차단 기법을 적용하는 경우에, 디바이스 액티브 영역의 길이 L_{active} 는 상술된 어스팩트 비율 요구조건을 만족시킬 만큼 충분히 작아야 한다. 그러나 소스/드레인 길이도 포함하는 L_{active} 는 디바이스 채널 길이 L_c 보다 훨씬 더 크다. 도 9에 도시된 실시예는 Ge 또는 GaAs 성장이 좁은 채널 영역에서만 수행되고, 그리고나서 소스/드레인 재료는 분리되어 퇴적되는 상황을 어드레싱한다. 이러한 접근법은 Ge 또는 GaAs 성장 기법이 훨씬 더 큰 디바이스, 예를 들면, 22nm 노드 디바이스 대신에 90nm 노드 CMOS 디바이스에 적용될 수 있도록 한다. 이러한 채널-단독 Ge/III-V 변위 차단 접근법은 상승한 소스/드레인 기법, 쇼트키 소스/드레인 접근법과 같은 다른 바람직한 소스/드레인 엔지니어링 기법, 또는 소스/드레인 도편트/도전성 최적화를 위해 채널 영역의 재료와 다른 소스/드레인 영역 상의 재료 이용과 조합될 수도 있다. 준 소스/드레인 "온-절연체" 구조는 접합 커파시턴스를 줄여준다. 소스/드레인 재료의 적절한 퇴적은 이동성 향상 목적을 위해 채널 영역의 로컬화된 스트레인을 도입시킨다. 상술된 접근법은 미리 정의된 작은 채널 영역에만 적용될 수 있다. 소스/드레인 영역에서의 에피택셜 퇴적은 결함성이 있지만, 변위가 좁은 채널 영역의 측벽 상에서 종료하기만 한다면, 소스/드레인에서의 결함 밀도는 허용가능하다.

<110> 종래의 평탄형 MOSFET 뿐만 아니라, 본 발명의 변위 차단 기법은 비-평탄형 FET를 제조하는 데도 이용될 수 있다. 상술된 바와 같이, 스레딩 변위 및 다른 결함의 차단은 마스크의 기하학적 형태 및 배향 및/또는 이미지 힘에 의해 진척된다. 다수의 실시예들에서, 이미지 힘만으로도 재성장 또는 과도 성장된 재료의 상부 영역이 스레딩 변위 및 다른 변위 결함이 거의 없도록 유발하는 데 충분하다. 도 10a 및 10b는 래티스 미스매칭된 재료의 수직 형태를 활용하는 보디-타이형 핀 FET(finFET) 또는 3-케이트 트랜지스터 구조를 도시하고 있다. 하나의 예로 든 방법은 산화물층을 퇴적하거나 성장시키고, 이어서 질화물층을 퇴적시키며 폭 $w < 0.5h$ 인 트렌치를 마스킹하여 에칭하고(트렌치 배향은 <110> 방향일 수 있으므로, <110> 방향에 따른 모든 스레딩 변위(제1 반도체 재료의 표면에 45°의 각도로 배치됨)은 h 의 높이 내에서 측벽을 교차함), 트렌치에 Ge 또는 III-V를 선택적으로 성장시키며, 트렌치 외부의 선택적 성장 부분을 제거하도록 화학적-기계적 폴리싱하고, 결과적으로 핀(fin) 구조가 되도록 질화물을 선택적으로 제거하며, 핀 구조 주위에 절연체 재료를 성장시키거나 퇴적한 후, 케이트 전극을 퇴적, 마스킹 및 에칭하고 이온 주입을 수행하여 소스/드레인 영역을 생성한다. 예로 든 제2의 방법은 산화물층을 퇴적하거나 성장시키고, 폭 $w < 0.5h$ 인 트렌치를 마스킹하여 에칭하며, 트렌치에 Ge 또는 III-V를 선택적으로 성장시키고, 트렌치의 외부의 선택적 성장 부분을 화학적-기계적 폴리싱하며, 결과적으로 핀 구조가 되는 산화물의 일부를 선택적으로 제거하고, 이어서 케이트 전극을 퇴적, 마스킹 및 에칭한 후 이온 주입을 수행하여 소스/드레인 영역을 생성한다.

<111> FET 디바이스 이외에도, 본 발명의 변위 차단 기법은 광학 디바이스와 같은 다른 타입의 디바이스를 제조하는 데도 이용될 수 있다. 도 11-12를 참조하면, 일부 실시예들에서, Ge 또는 III-V 광 검출기는 그러한 기법을 이용하여 Si 기판에 통합된다. 도 11에 도시된 예로 든 실시예에서, 하부 콘택트는 Si 기판상에 주입되어 p+형 영역을 형성하고, 저온 산화물이 퇴적되며, 개구 또는 트렌치가 저온 산화물층을 통해 에칭되어 Si 기판을 조사하고, Ge 또는 III-V 재료가 결합 영역(p-형)을 지날 때까지 원 위치(in-situ) 도핑으로 개구 또는 트렌치 상에 선택적으로 성장된다. 또한, 에피택셜 성장은 두께가 입사광의 바람직한 흡수 레벨을 허용하기에 충분할 때까지 계속되고, 그리고나서 상부층이 주입되어 n형 영역을 형성한다. 다른 구성에서, 광은 도 12에 도시된 바와 같이, 상부로부터 대신에, 측면으로부터(예를 들면, 인-플레인(in-plane) 도파관으로부터) 나온다. 이것은 광 검출이 웨이퍼 표면과 동일한 평면 내에서 발생하도록 하고, 또한 성장 두께가 흡수 깊이와 무관하도록 허용한다.

<112> 상술된 다양한 실시예들에서, 변위 차단은 수직 방향으로 수행된다. 도 13a는 변위 차단이 예를 들면 소스 또는 드레인 영역으로부터 수평 방향으로 수행되는 다른 실시예를 도시하고 있다. 그러므로 디바이스는 SOI 구조일 수 있다. 한 실시예에서, 케이트 산화물 및 케이트 스택은 케이트 아래의 변위 차단 성장 이전에, 채널-대체-타입 프로세스를 이용하여 처음으로 형성될 수 있다. 이러한 접근법은 자기-정렬 이슈 및 임의의 표면 거칠기 이슈를 어드레싱한다.

<113> 도 13b는 큰 크기의 에피택셜 에어리어에 대해 변위가 종료될 수 있도록 허용하는 다른 방법을 도시하고 있다. 본 방법은 다른 성장 방향을 취하는 에피택셜 성장의 2가지 공정을 포함하여, 하나의 방향의 변위는 제1 에피택

설 성장 동안에 측벽에서 종료하고 큰 디바이스 치수를 가지는 다른 방향의 변위는 에피택셜 성장이 방향을 변경하는 경우에 측벽 상에서 종료할 수 있다.

<114> 종래의 Ge/III-V 네킹은 수직 방향의 결정 재료를 형성한다. 그러므로 그 결정상에 평탄한 MOS 또는 펀FET 타입 디바이스를 구축하는 경우에, 디바이스는 "온-절연체" 구조가 아니라, 통상 벌크-타입이거나 보디-타이형이 된다. 벌크 타입의 Ge 또는 GaAs FET는 큰 접합 누설 및 낮은 쇼트-채널 효과를 나타낼 수 있다. 하나의 해결책은 수평 표면에 평행한 것 대신에 수직으로 디바이스를 구축하는 것이다. 도 13c는 그러한 구조의 한 실시예, 즉 수직 FET가 예를 들면 SCE 제어, 더 낮은 확장성(scalability) 등을 가지고 있는 장점을 포함하는 수직 채널 FET를 도시하고 있다. 다른 접근법은 제2 반도체 재료의 선택적 퇴적 동안에 제2 반도체 재료에 래티스 매칭된 산화물층을 에피택시적으로 성장시키는 것이다. 결과적으로, 여기에 참고로 첨부된 계류중인 Currie에 의한 미국특허 출원번호 제11/000,566호에 더 상세하게 설명된 바와 같이, 디바이스 제조에 후속적으로 이용되는 그 일부의 아래에 있는 재성장 영역 내에 산화물층이 있다.

<115> 여기에 개시된 개념을 포함하는 다른 실시예들은 본 발명의 실질적인 특성의 사상 또는 그 범주에서 벗어나지 않고서도 이용될 수 있다. 그러므로 상기 실시예들은 모든 측면에서 여기에 기재된 발명을 제한하기보다는 단지 예시적인 것으로 간주하여야 한다. 그러므로 본 발명의 범주는 이하의 청구범위에 의해서만 제한된다고 할 것이다.

도면의 간단한 설명

<37> 도면들에서, 유사한 참조부호는 일반적으로 다른 도면들에 걸쳐 동일한 부분을 지칭한다. 또한, 도면은 반드시 강조를 스케일링할 필요는 없으며, 대신에 일반적으로 본 발명의 원리를 예시하는 데 중점을 둔다. 이하의 상세한 설명에서, 본 발명의 다양한 실시예들은 이하의 도면을 참조하여 설명된다.

<38> 도 1a는 본 기술분야에 공지된 "에피택셜 네킹" 기법에 따라 그 위에 게르마늄 층이 형성된 실리콘 기판의 개략적인 단층면도를 도시하고 있다.

<39> 도 1b는 도 1a의 반도체 해테로 구조를 예시하는 XTEM 이미지이다.

<40> 도 2a~2c는 실리콘을 위한 3가지 타입의 결정 배향을 도시하는 개략도이다.

<41> 도 3a~3b, 4a~4e 및 5a~5b는 본 발명의 다양한 실시예에 따른 다른 래티스 미스매칭된 반도체 해테로 구조 및 그 내부의 변위를 차단하기 위한 구조의 개략도를 도시하고 있다.

<42> 도 6a~6c 및 7a~7c는 본 발명의 다양한 실시예에 따라 증가한 액티브 에어리어를 가지는 래티스 미스매칭된 반도체 해테로 구조의 개략적인 측단면도를 도시하고 있다.

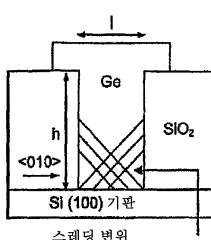
<43> 도 8~10은 본 발명의 다양한 실시예에 따른, 반도체 디바이스에 대한 변위 차단 기법의 다양한 애플리케이션을 도시하고 있다.

<44> 도 11~12는 본 발명의 특정 실시예에 따라 Si 기판으로의 Ge 또는 III-V 광첨출기 통합을 도시하고 있다.

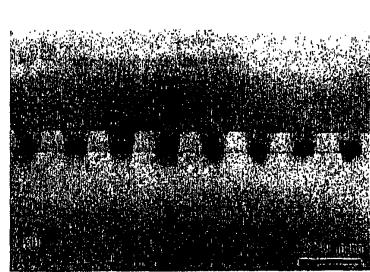
<45> 도 13a~13c는 본 발명의 다른 실시예에 따라 변위 차단 기법을 채용하는 반도체 해테로 구조를 도시하고 있다.

도면

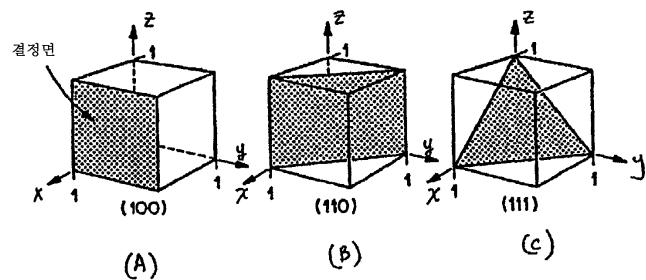
도면1a



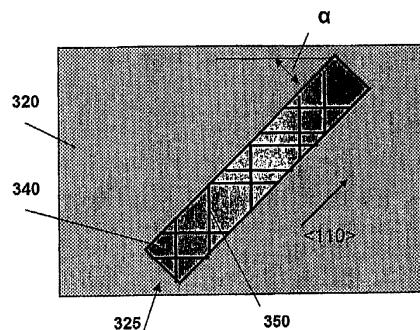
도면1b



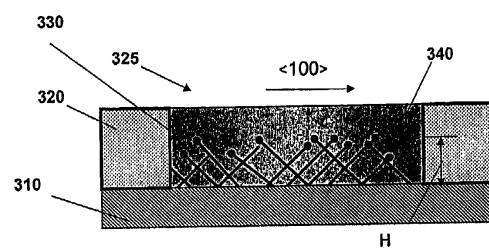
도면2



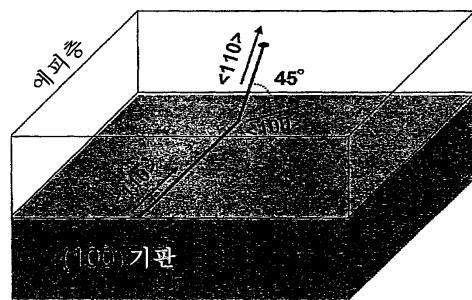
도면3a



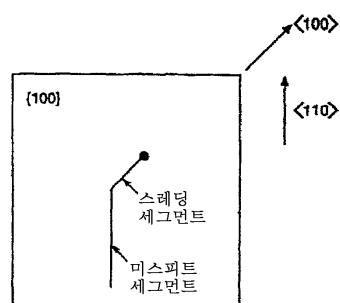
도면3b



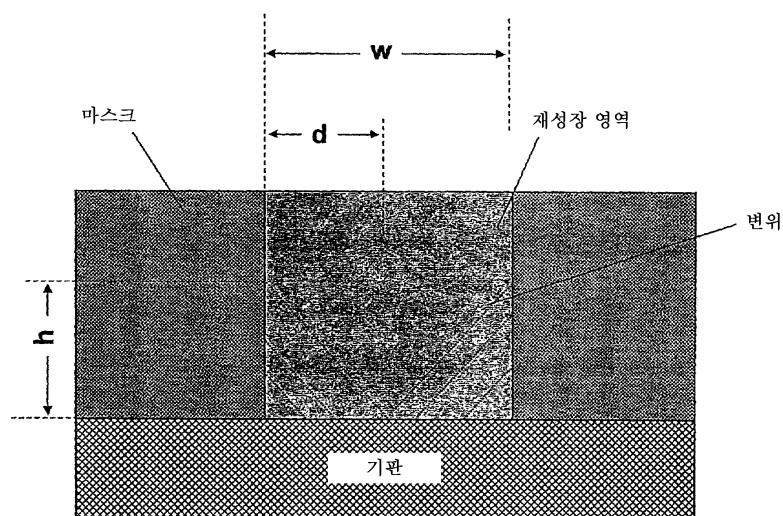
도면4a



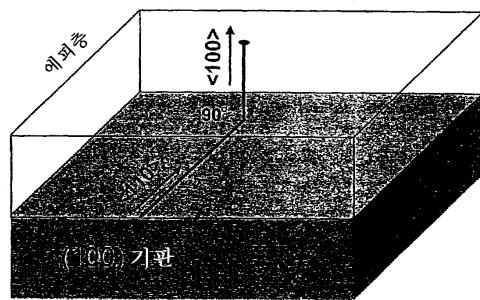
도면4b



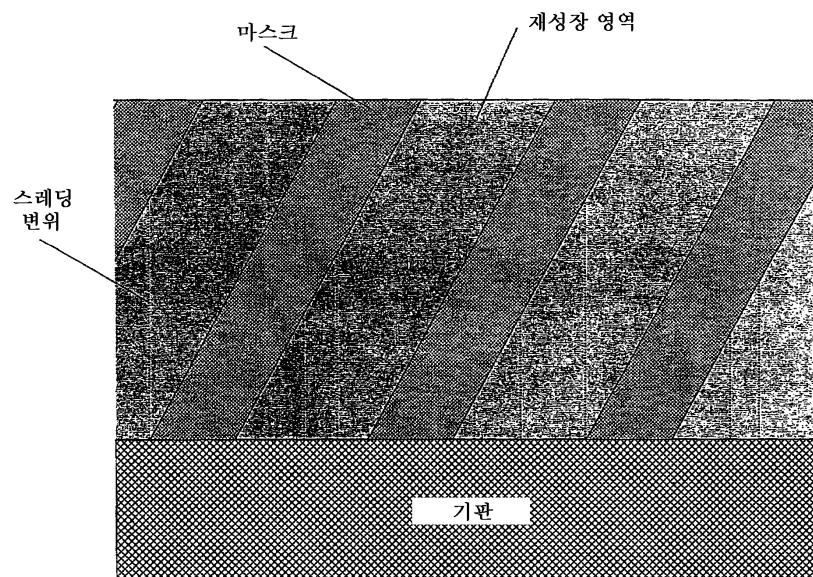
도면4c



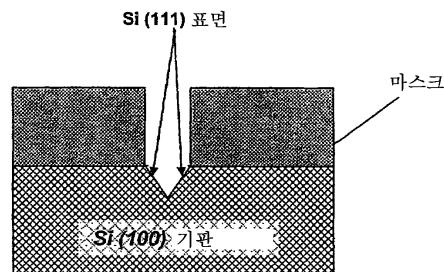
도면4d



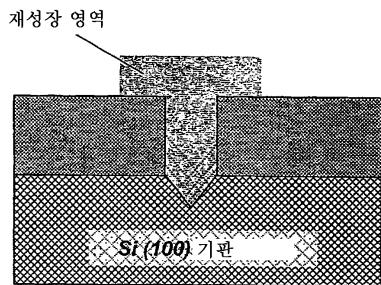
도면4e



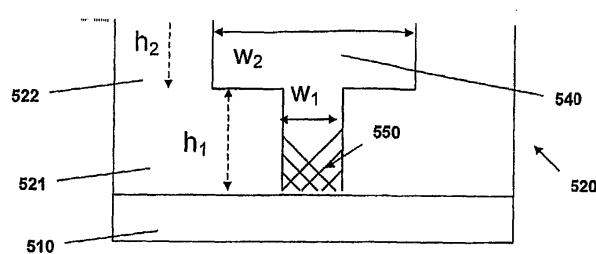
도면5a



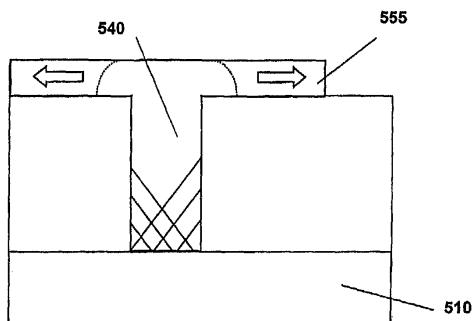
도면5b



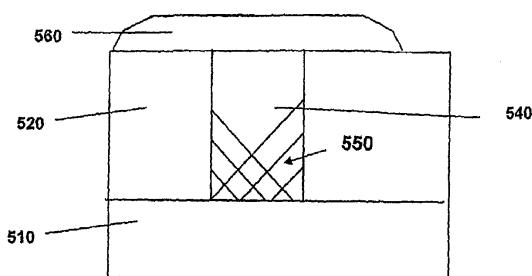
도면6a



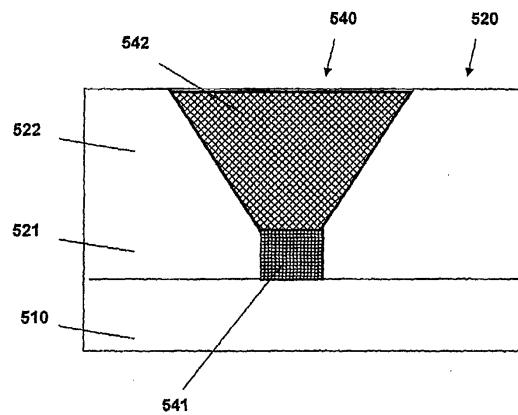
도면6b



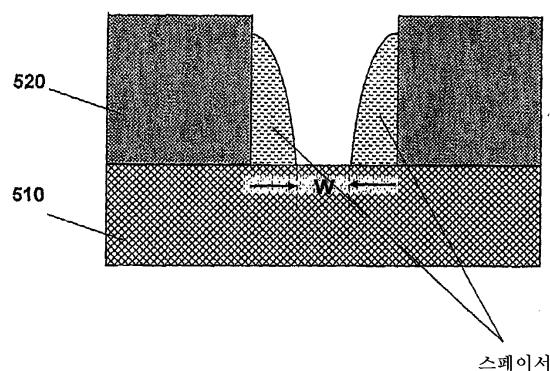
도면6c



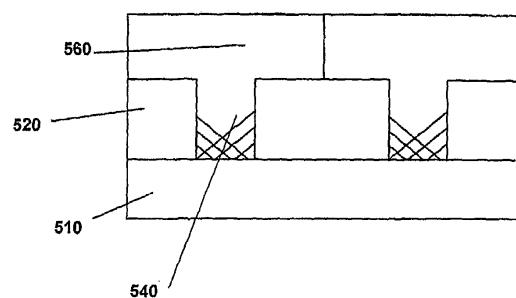
도면6d



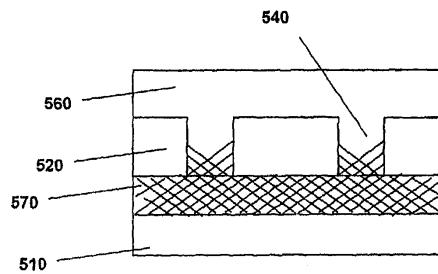
도면6e



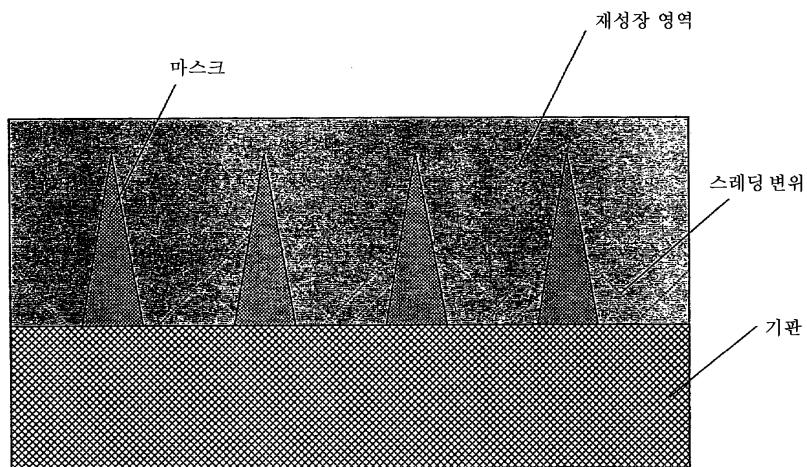
도면6f



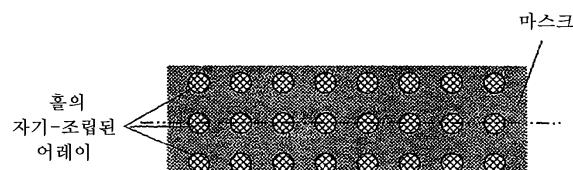
도면6g



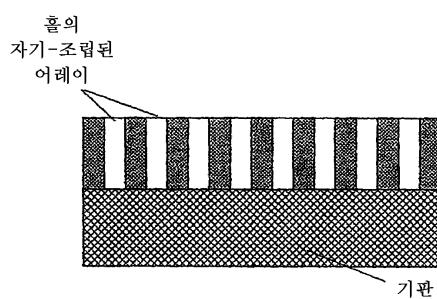
도면6h



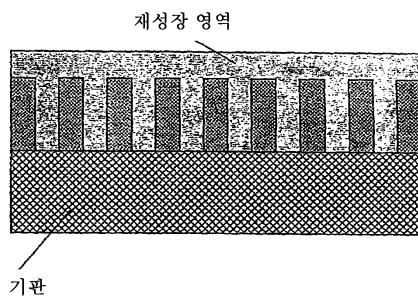
도면7a



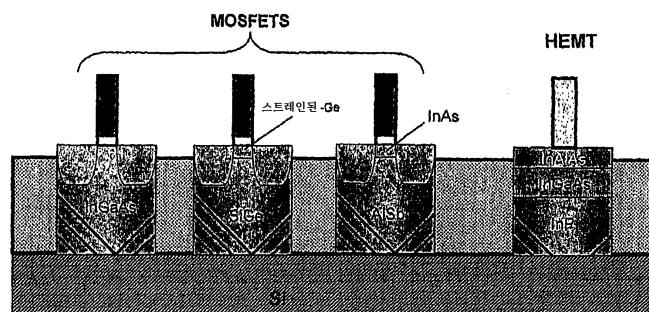
도면7b



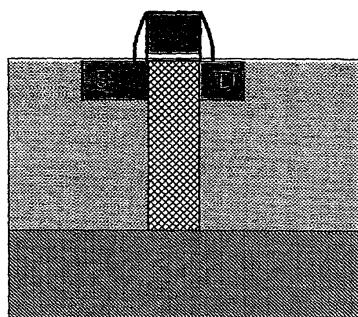
도면7c



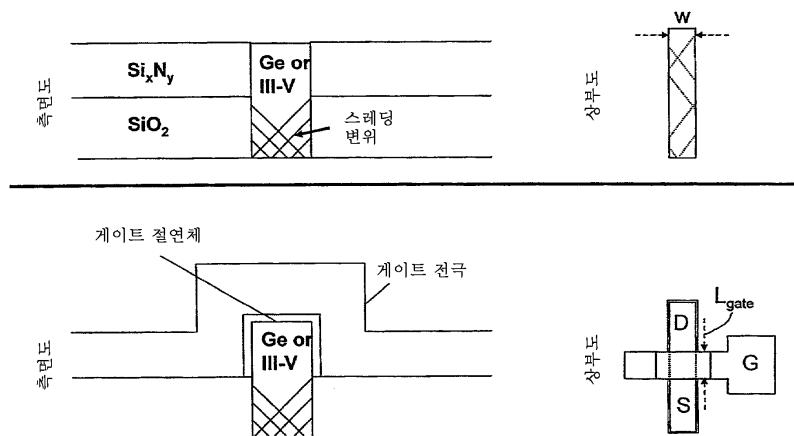
도면8



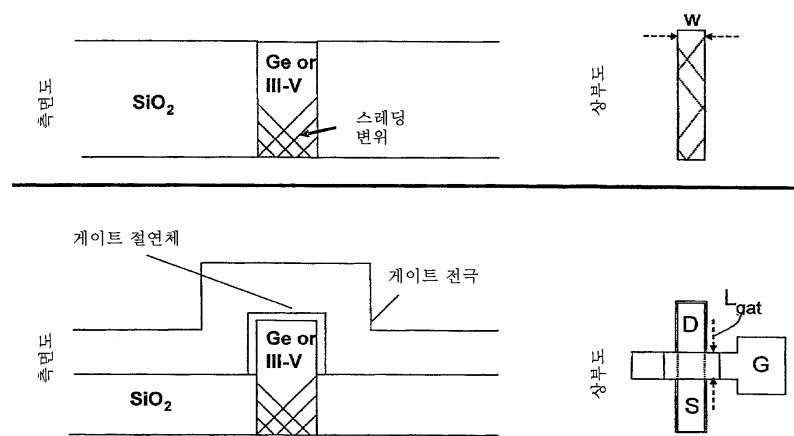
도면9



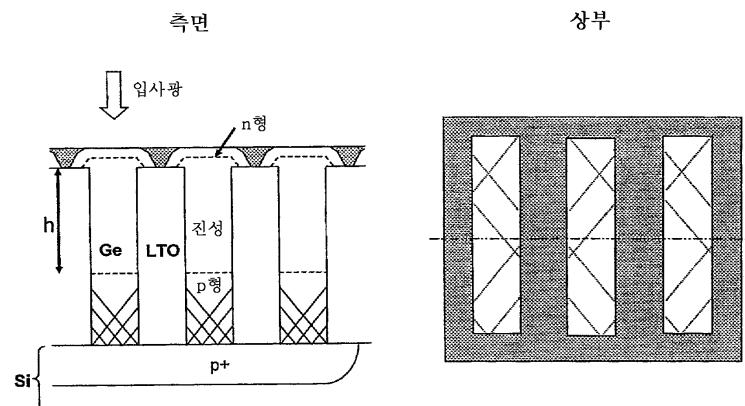
도면10a



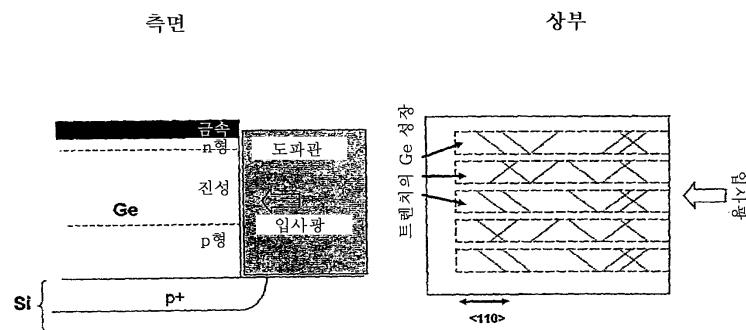
도면10b



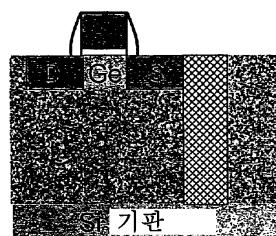
도면11



도면12



도면13a



도면13b



도면13c

