

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成28年8月25日 (2016.8.25)

【公開番号】特開2014-30014(P2014-30014A)

【公開日】平成26年2月13日 (2014.2.13)

【年通号数】公開・登録公報2014-008

【出願番号】特願2013-141215(P2013-141215)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/28 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 1 L 51/50 (2006.01)

【 F I 】

H 0 1 L 29/78 6 1 8 C

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 6 T

H 0 1 L 29/78 6 1 6 U

H 0 1 L 29/78 6 1 6 K

H 0 1 L 29/78 6 1 8 D

H 0 1 L 29/78 6 1 9 A

H 0 1 L 21/28 3 0 1 B

G 0 2 F 1/1368

H 0 5 B 33/14 A

【手続補正書】

【提出日】平成28年7月4日 (2016.7.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

絶縁表面上のゲート電極と、
前記ゲート電極と接するゲート絶縁層と、
前記ゲート絶縁層と接する半導体層と、
前記半導体層と接するソース電極およびドレイン電極と、を有し、
前記半導体層は、前記ソース電極または前記ドレイン電極と重ならない部位の膜厚が前記ソース電極または前記ドレイン電極と重なる部位の膜厚より薄い凹部を有し、
前記凹部の底面から側面への立ち上がり部が湾曲形状を備え、前記ソース電極または前記ドレイン電極の側面と前記凹部の側面との間には段差がない構造とすることを特徴とする半導体装置。

【請求項 2】

請求項 1において、
前記半導体層表面に対して前記ソース電極側面または前記ドレイン電極側面のなす角度が 30°以上 80°以下であることを特徴とする半導体装置。

【請求項 3】

請求項 1において、

前記ソース電極および前記ドレイン電極は積層構造を有し、
前記積層構造の第1の層の側面と第2の層の側面との間には段差がないことを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、
前記半導体層が、In、Ga、Sn、及びZnから選ばれた一種以上の元素を含むことを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、
前記半導体層上、ソース電極上、およびドレイン電極上の絶縁膜を有し、
前記絶縁膜は、加熱処理により 1×10^{19} [原子/cm³]以上の酸素放出が可能な膜を含むことを特徴とする半導体装置。

【請求項6】

絶縁表面上にゲート電極を形成する工程と、
前記ゲート電極と接するゲート絶縁層を形成する工程と、
前記ゲート絶縁層と接する半導体層を形成する工程と、
前記半導体層上に導電膜を形成する工程と、
前記導電膜および前記半導体層に対して選択的に除去処理を行うことで、前記半導体層上にソース電極およびドレイン電極を形成すると共に、前記半導体層に対して底面から側面への立ち上がり部が湾曲形状を有する凹部を形成する工程と、
前記半導体層の前記凹部ならびに前記ソース電極および前記ドレイン電極を覆う絶縁膜を形成する工程と、を有し、
前記ソース電極または前記ドレイン電極の側面と前記凹部の側面との間には段差がない構造とし、
前記除去処理により前記半導体層が1分間あたりに除去される膜厚が、前記半導体層の膜厚の $1/10$ 以上 $1/3$ 以下であることを特徴とする半導体装置の作製方法。