



(12) 发明专利

(10) 授权公告号 CN 101689246 B

(45) 授权公告日 2012. 05. 09

(21) 申请号 200880021066. 1

(22) 申请日 2008. 06. 19

(30) 优先权数据

164189/2007 2007. 06. 21 JP

072461/2008 2008. 03. 19 JP

(85) PCT申请进入国家阶段日

2009. 12. 21

(86) PCT申请的申请数据

PCT/JP2008/061602 2008. 06. 19

(87) PCT申请的公布数据

W02008/156213 EN 2008. 12. 24

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 藤本曜久 坂本广幸

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 杨晓光 周良玉

(51) Int. Cl.

G06K 17/00(2006. 01)

G06F 3/08(2006. 01)

G06F 12/06(2006. 01)

(56) 对比文件

EP 1469480 A2, 2004. 10. 20, 全文.

US 2004243797 A1, 2004. 12. 02, 全文.

US 6272628 B1, 2001. 08. 07, 说明书第 8 栏

第 4 行至第 11 栏第 12 行、附图 1 至 4.

US 2005021933 A1, 2005. 01. 27, 全文.

JP 2006092019 A, 2006. 04. 06, 全文.

CN 1908858 A, 2007. 02. 07, 全文.

JP 2004252968 A, 2004. 09. 09, 全文.

审查员 王咪娜

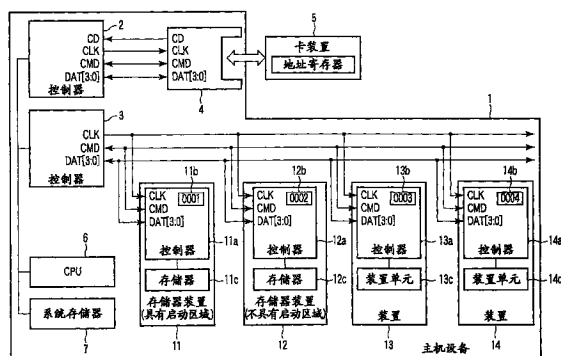
权利要求书 5 页 说明书 27 页 附图 22 页

(54) 发明名称

存储器装置、电子装置以及主机设备

(57) 摘要

本发明涉及存储器装置、电子装置以及主机设备。一种存储器装置 (11) 包括半导体存储器 (11c) 和控制器 (11a)。半导体存储器 (11c) 包括第一存储区域 (11c1) 和第二存储区域 (11c2)。控制器 (11a) 控制半导体存储器 (11c)。存储器装置 (11) 能够具有可访问第一存储区域 (11c1) 的第一状态和可从第二存储区域 (11c2) 读取数据的第二状态。控制器 (11a) 被配置为识别第一命令、第二命令和第三命令。第一命令在存储器装置开启之后将存储器装置 (11) 转换为第一状态。第二命令将存储器装置 (11) 从第一状态转换为第二状态。第三命令在存储器装置开启之后将存储器装置 (11) 转换为第二状态而不经第一状态。



CN 101689246 B

1. 一种能够具有第一状态和第二状态的存储器装置,包括:

半导体存储器,其具有第一存储区域和第二存储区域,所述半导体存储器的数据在所述第一状态下可在所述半导体存储器的所述第一存储区域中写入、从其中读取和从其中擦除,或者在所述第二状态下至少可从所述第二存储区域中读取;以及

控制器,其控制所述半导体存储器,

所述控制器被配置为识别多个第一命令、第二命令和第三命令,所述第一命令在所述存储器装置开启之后将所述存储器装置转换为所述第一状态,每个第一命令包括一个或多个命令,所述第二命令将所述存储器装置从所述第一状态转换为所述第二状态,所述第三命令在所述存储器装置开启之后将所述存储器装置转换为所述第二状态而不经所述第一状态,所述第三命令包括一个或多个命令,

当在所述第一状态下所述存储器装置通过接收所述第二命令而进行向所述第二状态的转变时,所述控制器输出表明所述存储器装置进行向所述第二状态转变的响应,并且

当在所述存储器装置开启之后所述存储器装置通过接收所述第三命令而进行向所述第二状态的转变时,所述控制器输出表明所述存储器装置进行向所述第二状态转变的响应。

2. 根据权利要求1的装置,其中所述控制器包括寄存器,所述寄存器保持分配给所述存储器装置的目标地址值,

当所述第三命令不包括表明目标地址的目标地址段时,所述存储器装置进行向所述第二状态的转变,并且所述控制器输出表明所述存储器装置进行向所述第二状态转变的响应,

当所述第三命令包括表明具有的值等于所述寄存器所保持的值的目标地址的目标地址段时,所述存储器装置进行向所述第二状态的转变,并且所述控制器输出表明所述存储器装置进行向所述第二状态转变的响应,并且

当所述第三命令包括表明具有的值不同于所述寄存器所保持的值的目标地址的目标地址段时,所述存储器装置不执行所述第三命令,并且所述控制器不输出响应。

3. 根据权利要求1的装置,其中所述第一命令中的一个包括指示段,所述指示段规定所述存储器装置是否转换为所述第二状态,

所述第三命令是包括所述指示段的所述第一命令中的一个,或者是其中目标地址被附加到所述第一命令中的一个的扩展的命令,并且

对所述第三命令的响应包括表明是否进行了向所述第二状态的转变的表示段。

4. 根据权利要求1的装置,其中所述控制器能够通过总线与主机设备通信,

所述总线能够具有第一模式和第二模式,

在所述第一模式下,所述控制器使用第一总线宽度或第一频率进行通信,

在所述第二模式下,所述控制器使用大于所述第一总线宽度的第二总线宽度或者高于所述第一频率的第二频率进行通信,并且

当在开启所述控制器之后所述控制器接收到所述第三命令时,所述控制器在所述第二模式下进行通信。

5. 一种存储器装置,包括:

半导体存储器,其包括可任意访问的第一分区,并且能够被配置有第二分区和第三分

区,所述第二分区和所述第三分区仅在预定条件下可访问;以及

控制器,其控制所述半导体存储器,

在所述半导体存储器被配置有所述第二分区和所述第三分区的情况下,所述存储器装置能够具有第一状态、第二状态和第三状态,所述半导体存储器的数据在所述第一状态下可在所述第一分区中写入、从其中读取和从其中擦除,在所述第二状态下可从所述第二分区中读取,或者在所述第三状态下可从所述第三分区中读取,

所述控制器被配置为识别多个第一命令、第二命令和第三命令,所述第一命令在所述存储器装置被开启之后将所述存储器装置转换为所述第一状态,每个第一命令包括一个或多个命令,所述第二命令将所述存储器装置从所述第一状态转换为所述第二状态或者从所述第二状态转换为所述第三状态,所述第三命令在所述存储器装置被开启之后将所述存储器装置转换为所述第二状态而不经所述第一状态,所述第三命令包括一个或多个命令,

当在所述第一状态下所述存储器装置通过接收所述第二命令而进行向所述第二状态的转变时,所述控制器输出表明所述存储器装置进行向所述第二状态转变的响应,所述第二命令包括用以将所述存储器装置转换为所述第二状态的指示,

当在所述存储器装置被开启之后所述存储器装置通过接收所述第三命令而进行向所述第二状态的转变时,所述控制器提供表明所述存储器装置进行向所述第二状态转变的响应,并且

当在所述第二状态下所述存储器装置通过接收所述第二命令而进行向所述第三状态的转变时,所述控制器输出表明所述存储器装置进行向所述第三状态转变的响应,所述第二命令包括用以将所述存储器装置转换为所述第三状态的指示。

6. 根据权利要求 5 的装置,其中所述第一命令中的一个包括指示段,所述指示段规定所述存储器装置是否转换为所述第二状态,

所述第三命令是包括所述指示段的所述第一命令中的一个,或者是其中目标地址被附加到所述第一命令中的一个的扩展的命令,并且

对所述第三命令的响应包括表明是否进行了向所述第二状态的转变的表示段。

7. 根据权利要求 5 的装置,其中,在所述半导体存储器被配置有所述第二分区和第三分区的情况下,

所述第三分区保持用于所安装的操作系统的程序和数据,并且,

所述第二分区保持第一程序用于起动安装在所述第三分区中的所述操作系统。

8. 根据权利要求 7 的装置,其中所述第三分区使用文件系统来管理,并且

所述第二分区不用文件系统来管理,并且所述第一程序按照地址的顺序来读取。

9. 根据权利要求 7 的装置,其中所述半导体存储器还被配置有第四分区,

在所述存储器装置中,所述第二分区和所述第四分区在所述第二状态下可读取,

所述第四分区保持与所述第一程序类似的程序,并且

在所述第二状态下,读取区域通过所述第二命令从所述第二分区被改变为所述第四分区,并且对所述第二分区或所述第四分区选择性地读取。

10. 根据权利要求 5 的装置,其中所述控制器能够通过总线与主机设备通信,

所述总线能够具有第一模式和第二模式,

在所述第一模式下,所述控制器使用第一总线宽度或第一频率进行通信,

在所述第二模式下,所述控制器使用大于所述第一总线宽度的第二总线宽度或者高于所述第一频率的第二频率进行通信,并且

当在开启所述控制器之后所述控制器接收到所述第三命令时,所述控制器在所述第二模式下进行通信。

11. 根据权利要求 5 的装置,其中在所述第二状态和所述第三状态下禁止在所述第二分区和所述第三分区中写入数据,并且

所述存储器装置被配置为识别一个或多个第四命令,所述第四命令使得能够在所述第二分区和所述第三分区中写入数据。

12. 一种电子装置,包括寄存器,所述寄存器保持用于选择所述电子装置的目标地址,所述电子装置被配置为识别具有第一格式的命令和具有第二格式的命令,要求在开启所述电子装置之后且在完成对所述电子装置的初始化之前提供所述具有第一格式的命令,所述具有第一格式的命令没有目标地址且包括一个或多个命令,

要求在开启所述电子装置之后且在完成对所述电子装置的初始化之前提供所述具有第二格式的命令,所述具有第二格式的命令包括具有目标地址的目标地址段,且包括一个或多个命令,

当所述电子装置接收到所述具有第一格式的命令且所述具有第一格式的命令可通过所述电子装置执行时,所述电子装置输出响应且执行由所述具有第一格式的命令所指示的处理,

当所述电子装置接收到在所述目标地址段中具有与由所述寄存器保持的值相等的值的所述具有第二格式的命令时,所述电子装置输出响应并执行由所述具有第二格式的命令所指示的处理,

当所述电子装置接收到在所述目标地址段中具有表明广播的值的所述具有第二格式的命令时,所述电子装置执行由所述具有第二格式的命令所指示的处理而不输出响应,并且

当所述电子装置接收到在所述目标地址段中具有除了所述广播以外的且与由所述寄存器保持的值不同的值的所述具有第二格式的命令时,所述电子装置忽略所述具有第二格式的命令而没有响应。

13. 根据权利要求 12 的装置,其中所述电子装置被配置为对于在开启所述电子装置之后且在完成对所述电子装置的初始化之前要求提供的所有命令,识别所述具有第二格式的命令。

14. 一种主机设备,包括:

插槽,可移除的卡装置插入其中;

第一总线,其连接到所述插槽;

第一主机控制器,其允许通过所述第一总线与所述卡装置通信,并且其初始化所述卡装置;

多个根据权利要求 12 的电子装置,所述电子装置的每个寄存器保持彼此不同的值;

第二总线,多个所述电子装置与其连接;以及

第二主机控制器,其通过所述第二总线选择所述电子装置中的一个以允许通信,并且其通过发出具有第二格式的命令来初始化所述电子装置,以将所述电子装置转换为完成初

始化的状态。

15. 一种主机设备,包括:

总线;

开关,其通过开启和关断而使所述总线和插槽电连接和断开连接;

所述插槽,其连接到所述开关,且可移除的卡装置插入其中;

一个或多个根据权利要求 12 的电子装置,其连接到所述总线;以及

主机控制器,其通过所述总线而与所述卡装置和所述电子装置通信。

16. 根据权利要求 15 的设备,其中,在多个所述电子装置连接到所述总线的情况下,在开启所述主机设备之后,

所述开关被关断,

所述电子装置具有不同的目标地址,

所述主机控制器通过发出具有第二格式的命令而初始化所述电子装置,以将所述电子装置转换为完成初始化的状态,

在所述电子装置进行向完成初始化的状态的转变之后,所述开关被开启;以及

在所述开关开启之后,所述主机控制器执行用以将所述卡装置转换为完成初始化的状态的处理,并且所述主机控制器将与所述电子装置的值不同的值设定给寄存器,表明所述卡装置的目标地址。

17. 根据权利要求 15 的设备,其中,当检测到所述卡装置被插入所述插槽时,开启所述开关,但在所述主机控制器与所述电子装置之间不进行数据传送,并且,

当检测到被插入所述插槽中的所述卡装置将从所述插槽被移除时,在所述卡装置从所述插槽移除之前关断所述开关。

18. 一种主机设备,包括:

系统存储器;

总线;

根据权利要求 1 的存储器装置,其连接到所述总线;以及

主机控制器,其与通过所述总线连接的所述存储器装置通信,

所述主机控制器向所述存储器装置提供第三命令,

所述主机控制器从对所述第三命令的响应中确定是否可读取第二存储区,

如果其可读取,所述主机控制器从所述第二存储区域读取数据,以确定所述数据是否为有效的启动代码,

当所述数据不是有效的启动代码时,所述主机控制器中断所述读取,以废弃已读取的数据,

当所述数据是有效的启动代码时,所述主机控制器获得在所述数据中描述的有效启动代码的大小,并且

当完成所述有效启动代码向所述系统存储器的传送时,所述主机控制器执行所述有效启动代码。

19. 一种主机设备,其被配置为:

使用文件系统管理根据权利要求 1 的存储器装置的所述第一存储区域中的数据,

不使用文件系统来管理所述存储器装置的所述第二存储区域中的数据,

按照地址顺序从所述第二存储区域将启动代码读取到系统存储器,以及执行来自预定位置的启动代码。

20. 一种主机设备,包括:

根据权利要求 7 的存储器装置;

主机控制器,其控制所述存储器装置的操作;

总线,其可通信地连接所述存储器装置和所述主机控制器;以及

存储器,其保持用于初始化所述存储器装置的第二程序,

当所述主机控制器执行所述第二程序时,

在所述存储器装置开启之后,所述主机控制器向所述存储器装置发出所述第三命令,以从所述第二分区读取所述第一程序,

所述主机控制器从所述第三分区读取所述操作系统的所述程序和数据,以通过执行所读取的第一程序来起动所述操作系统,并且

在起动所述操作系统之后,所述主机控制器完成对所述存储器装置的初始化。

21. 根据权利要求 20 的设备,其中所述半导体存储器还被配置有第四分区,

所述第四分区仅在预定条件下可访问,并保持与所述第一程序相似的程序,并且

当所述主机控制器未能从所述第二分区读取所述第一程序时,所述主机控制器使用所述第二命令从所述第二分区切换到所述第四分区,以从所述第四分区读取与所述第一程序相似的程序。

22. 根据权利要求 21 的设备,其中所述总线能够具有第一模式和第二模式,

在所述第一模式下,所述控制器使用第一总线宽度或第一频率进行通信,

在所述第二模式下,所述控制器使用大于所述第一总线宽度的第二总线宽度或者高于所述第一频率的第二频率进行通信,并且

当在开启所述控制器之后发出所述第三命令时,所述总线从所述第一模式切换到所述第二模式,并且发出表明可以进行向所述第二状态的转变的响应。

存储器装置、电子装置以及主机设备

技术领域

[0001] 本发明涉及存储器装置、电子装置以及主机设备。例如，本发明涉及存储卡插入其中的主机设备以及可嵌入该主机设备的电子装置和存储器装置的初始化。

背景技术

[0002] 目前，诸如存储卡之类的存储器系统（其中利用诸如闪速存储器的非易失性半导体存储器）已被用作用于音频数据或视频数据的记录介质。可以列举 NAND 型闪速存储器作为在该存储器系统中使用的闪速存储器的典型实例。该存储器系统被插入主机设备中，该主机设备执行与存储器系统的数据传送。公知 SD（注册商标）卡作为一种存储器系统。

[0003] 在存储器系统与主机设备之间具有公知的各种接口。可以列举 SD 接口作为该接口的实例。SD 接口是在 SD 卡与支持该 SD 卡的主机设备之间的接口。

[0004] 在 SD 接口总线中限定多条信号线（例如时钟线和命令线）。将多条信号线的组作为一条总线来处理。

[0005] 近来，越来越需要其中嵌入有存储器或另一装置的主机设备。从控制的角度来说，有时优选使用 SD 接口将嵌入的装置连接到主机设备。在 SD 接口中，可以使用地址（相对卡地址，RCA）将多个装置连接到一条总线以选择装置。然而，为了确定每个装置的 RCA，需要准备用于单独地控制这些装置的工具。因此，需要除了 SD 接口之外的控制信号。另外，还需要针对每个装置单独地改变初始化过程。

[0006] 需要在主机设备中提供多条总线，以便可以在通过标准驱动器标准化初始化过程时将嵌入的装置连接到可从该嵌入的装置移除的 SD 卡。即，需要在主机设备中提供多组信号线以及专用于每一组的信号引脚，这使得主机设备的配置和设计变得复杂。

[0007] 另外，越来越需要连接尽可能多的嵌入装置。在这种情况下，需要总线的数目根据嵌入的装置的数目而增大。然而，当简单地增加总线的数目时，效率降低。

[0008] 近来，越来越多地制造这样的主机设备，其中闪速存储器用作非易失性存储装置而不具有硬盘驱动器。在该主机设备中，需要从闪速存储器读取用于起动系统的程序代码（启动代码）。启动代码存储在嵌入的闪速存储器装置中。通过主机控制器将该启动代码传送到系统存储器，并执行该启动代码。由于有时启动代码不仅包括启动加载程序（boot loader）或测试驱动器，而且还包括 OS（操作系统），因此通常需要在主机设备通电之后初始读取启动代码。

[0009] 然而，现有的接口（例如，SD 接口）仅在经过诸如装置初始化的预定状态之后才可转变为可从存储器读取数据的状态。不幸地，当接口经历这种过程时，用于系统初始化的处理时间延长。另外，在启动代码存储在通用区域中的情况下，由于通过通用区域中的文件系统来管理数据，因此需要在开始启动之前在系统中执行该文件系统。

[0010] 例如，日本专利申请 KOKAI 公开 No. 2006-92019 公开了常规的半导体装置。

[0011] 本发明提供这样的电子装置、存储器装置以及主机设备，其可以将多个装置连接到支持一对一连接的总线。

发明内容

[0012] 根据本发明的一方面,一种能够具有第一状态和第二状态的存储器装置包括:

[0013] 半导体存储器,其具有第一存储区域和第二存储区域,所述半导体存储器的数据在所述第一状态下可在所述半导体存储器的所述第一存储区域中写入、从其中读取和从其中擦除,或者在所述第二状态下至少可从所述第二存储区域中读取;以及

[0014] 控制器,其控制所述半导体存储器,

[0015] 所述控制器被配置为识别多个第一命令、第二命令和第三命令,所述第一命令在开启所述存储器装置之后将所述存储器装置转换为所述第一状态,每个第一命令包括一个或多个命令,所述第二命令将所述存储器装置从所述第一状态转换为所述第二状态,所述第三命令在开启所述存储器装置之后将所述存储器装置转换为所述第二状态而不经所述第一状态,所述第三命令包括一个或多个命令,

[0016] 当在所述第一状态下所述存储器装置通过接收所述第二命令而进行向所述第二状态的转变时,所述控制器输出表明所述存储器装置进行向所述第二状态转变的响应,并且

[0017] 当在开启所述存储器装置之后所述存储器装置通过接收所述第三命令而进行向所述第二状态的转变时,所述控制器输出表明所述存储器装置进行向所述第二状态转变的响应。

[0018] 根据本发明的一方面的电子装置包括寄存器,所述寄存器保持用于选择所述电子装置的目标地址,

[0019] 所述电子装置被配置为识别具有第一格式的命令和具有第二格式的命令,要求在开启所述电子装置之后且在完成对所述电子装置的初始化之前提供所述具有第一格式的命令,所述具有第一格式的命令没有目标地址且包括一个或多个命令,

[0020] 要求在开启所述电子装置之后且在完成对所述电子装置的初始化之前提供所述具有第二格式的命令,所述具有第二格式的命令包括具有目标地址的目标地址段且包括一个或多个命令,

[0021] 当所述电子装置接收到所述具有第一格式的命令且通过所述电子装置可执行所述具有第一格式的命令时,所述电子装置输出响应且执行由所述具有第一格式的命令指示的处理,

[0022] 当所述电子装置接收到在所述目标地址段中具有与所述寄存器所保持的值相等的值的所述具有第二格式的命令时,所述电子装置输出响应并执行由所述具有第二格式的命令指示的处理,

[0023] 当所述电子装置接收到在所述目标地址段中具有表明广播的值的所述具有第二格式的命令时,所述电子装置执行由所述具有第二格式的命令指示的处理而不输出响应,并且

[0024] 当所述电子装置接收到在所述目标地址段中具有不同于所述广播且与所述寄存器所保持的值不同的值的所述具有第二格式的命令时,所述电子装置忽略所述具有第二格式的命令而没有响应。

[0025] 根据本发明的一方面的主机设备包括:

- [0026] 插槽,可移除的卡装置插入其中;
- [0027] 第一总线,其连接到所述插槽;
- [0028] 第一主机控制器,其使得能够通过所述第一总线与所述卡装置通信,并且其初始化所述卡装置;
- [0029] 多个上述电子装置,所述电子装置的每个寄存器保持彼此不同的值;
- [0030] 第二总线,多个所述电子装置与其连接;以及
- [0031] 第二主机控制器,其通过所述第二总线选择所述电子装置中的一个以使得能够进行通信,并且其通过发出所述具有第二格式的命令来初始化所述电子装置,以将所述电子装置转换为完成初始化的状态。

附图说明

- [0032] 图 1 示出根据本发明第一实施例的装置以及该实施例的装置被嵌入其中的主机设备的示意性配置;
- [0033] 图 2 示出嵌入的装置的详细配置;
- [0034] 图 3 示出根据第一实施例的嵌入的存储器装置的状态转变;
- [0035] 图 4 示意性示出启动读取状态转变指示命令;
- [0036] 图 5 示意性示出扩展的电压检查命令;
- [0037] 图 6 是示出根据第一实施例的主机设备的操作的流程图;
- [0038] 图 7 和 8 示意性示出其中扩展的电压检查命令被进一步扩展的实例;
- [0039] 图 9 是示出根据本发明第二实施例的主机设备的操作的流程图;
- [0040] 图 10 示意性示出根据本发明第三实施例的装置以及该装置被嵌入其中的主机设备的配置;
- [0041] 图 11 是示出根据第三实施例的主机设备的操作的流程图;
- [0042] 图 12 是示出由根据本发明的第四实施例的主机设备执行的在嵌入的装置中的启动代码读取操作的流程图;
- [0043] 图 13 是示意性示出根据第四实施例的主机设备的框图;
- [0044] 图 14 是示出根据本发明的第五实施例的主机设备所使用的 ACMD8 的概念性视图;
- [0045] 图 15 示出根据第五实施例的装置的状态转变;
- [0046] 图 16 是示出根据第五实施例的主机设备的操作的流程图;
- [0047] 图 17 是示出根据第五实施例的装置的操作的流程图;
- [0048] 图 18 是示出根据本发明的第六实施例的主机设备的操作的流程图;
- [0049] 图 19 是示出根据本发明的第七实施例的主机设备的操作的流程图;
- [0050] 图 20 是示出根据本发明的第八实施例的主机设备的操作的流程图;
- [0051] 图 21 是示出根据本发明的第九实施例的主机设备的框图;
- [0052] 图 22 是示出根据第九实施例的主机设备的操作的流程图;
- [0053] 图 23 示出根据第九实施例的装置的状态转变;以及
- [0054] 图 24-26 是示出根据第九实施例的主机设备的操作的流程图。

具体实施方式

[0055] 下面将参考附图描述本发明的实施例。在以下描述中,具有基本相同的功能和配置的部件由相同的参考字符表示,并且仅在必要时提供重复描述。然而,这些图是示意表示,并且显然这些图的尺寸关系和部件之间的比例彼此不同。

[0056] 在以下实施例中,仅仅通过实例来示例设备和方法,以具体化本申请的技术思想,并且该技术思想不将部件的材料、形状、结构和布置局限于以下实施例。对于该技术思想,在本申请的权利要求的范围内可进行各种修改和改变。

[0057] 在本发明的每个实施例中,可通过硬件和计算机软件之一或其组合来实现每个功能块。因此,从功能的观点,如下描述每个块,使得每个块可清楚地表示为硬件和计算机软件。所述功能被执行为硬件还是软件取决于具体实施例或者对整个系统施加的设计限制。虽然本领域技术人员在每个具体实施例中可通过不同方法实现所述功能,但对实现的确定也包括在本申请的范围内。

[0058] (第一实施例)

[0059] 下面描述根据本发明第一实施例的电子装置和主机设备。第一实施例的电子装置具有这样的配置,其中该电子装置可被嵌入主机设备中,并且该主机设备支持该电子装置。将参考图 1 至 8 描述第一实施例的电子装置和主机设备。

[0060] 图 1 示出根据本发明第一实施例的装置以及该实施例的装置被嵌入其中的主机设备的示意性配置。参考图 1,主机设备 1 包括两个主机控制器 2 和 3、插槽 4、CPU(中央处理单元)6 以及系统存储器 7。

[0061] CPU 6 控制主机设备 1 的整体操作,并且根据存储在 ROM(只读存储器,未示出)中的程序进行操作。使用系统存储器 7,以便 CPU 6 在系统存储器 7 中暂时存储各种数据,并且系统存储器 7 还用于执行可执行程序。

[0062] 主机控制器 2 和 3 包括各种软件和硬件以及与通过总线连接的装置(元件)进行通信所需的协议。具体而言,主机控制器 2 和 3 被配置为使得能够通过包括多条信号线的总线进行通信。总线的信号线的实例包括命令线、数据线、时钟线、以及电源线。在主机控制器 2 和 3 的功能的一部分中,根据预定规则通过信号线提供且馈送信号。更具体而言,主机控制器 2 和 3 分析通过总线提供的信号,从该信号中识别预先设定的位样式,并从该信号中捕获命令。类似地,主机控制器 2 和 3 从该信号中识别预定的位样式以捕获数据。在主机控制器 2 和 3 中限定有准备好的各种命令。主机控制器 2 和 3 可被具体化为由软件或半导体芯片的控制而执行的 CPU 的功能的一部分,以这些功能可以得到实现。

[0063] 更具体而言,主机控制器 2 和 3 支持时钟线、命令线和数据线。即,主机控制器 2 和 3 被配置为通过时钟线、命令线和数据线执行数据传送。

[0064] 进一步具体地,主机控制器 2 和 3 被配置为控制 SD 接口。在时钟线上的信号上升时,信号接收侧的 SD 接口模块捕获命令线和数据线上的信号。当时钟线上的信号上升(或下降)时,信号发射侧的 SD 接口模块向命令线和数据线提供命令(和响应)以及数据。数据线包括四位信号,即可使用四条信号线来并行地传送数据。

[0065] 主机控制器 2 通过形成一条总线的信号线(例如,时钟线、命令线、数据线、以及电源线)连接到插槽 4。插槽 4 被配置为使得可以可移除地插入可移除的卡装置 5。卡装置 5 的实例包括存储器系统以及插槽 4 所支持的其他装置。

[0066] 插槽 4 包括可连接到卡装置 5 的端子,并且接口中的每条线都连接到对应的端子。在主机控制器 2 支持 SD 接口的情况下,在插槽 4 中提供对应于时钟线、命令线和四位数据线的端子,如图 1 所示。卡装置 5 应包括被配置为通过 SD 接口与主机设备通信的任何卡装置,例如 SD 卡和 SD IO 卡。

[0067] 插槽 4 检测是否插入了卡装置 5,并且向主机接口 2 提供卡检测信号 CD。卡检测信号 CD 表明是否检测到卡装置 5。

[0068] 主机控制器 3 的总线通过形成一条总线的信号线(例如,时钟线、命令线、数据线和电源线)而连接到多个嵌入的装置(图 1 中为四个嵌入的装置)11 至 14。可将被配置为能够通过主机控制器 3 而与 CPU 6 通信的任何类型的装置用作为嵌入的装置 11 至 14。例如,存储器装置和无线 LAN(局域网络)装置可用作为嵌入的装置。根据嵌入的装置 11 至 14 的功能,可通过公知的技术而实现可用作为嵌入的装置 11 至 14 的装置的主要部分。另一方面,在嵌入的装置 11 至 14 中,如稍后所述,根据第一实施例来配置用来控制接口的元件。可通过利用在便携式装置(例如 SD 卡)中密封的半导体芯片来实现嵌入的装置 11 至 14。

[0069] 嵌入的装置 11 至 14 分别包括装置单元 11b、12b、13b 和 14b,以执行嵌入的装置 11 至 14 的主要功能(例如存储器功能和无线 LAN 功能)。

[0070] 嵌入的装置 11 至 14 分别包括控制器(装置控制器)11a、12a、13a 和 14a。使用接口,将控制器 11a、12a、13a 和 14a 配置为能够通过主机控制器 3 而与 CPU 6 通信。即,嵌入的装置 11 至 14 包括硬件和软件配置,以支持接口。控制器 11a、12a、13a 和 14a 以及主机控制器 3 被电连接,使得可通过构成总线的信号线来进行通信,所述总线连接控制器 11a、12a、13a 和 14a 以及主机控制器 3。

[0071] 在主机控制器 2 和 3 支持 SD 接口的情况下,控制器 11a 至 14a 被配置为也支持 SD 接口。控制器 11a、12a、13a 和 14a 可被实现为与装置单元 11b、12b、13b 和 14b 相独立的 CPU 或半导体芯片。如上所述,控制器 11a、12a、13a 和 14a 可被实现为这样的半导体芯片,在该半导体芯片中利用控制器 11a、12a、13a 和 14a 以及装置单元 11b、12b、13b 和 14b。

[0072] 控制器 11a、12a、13a 和 14a 分别包括保持目标地址的地址寄存器 11b、12b、13b 和 14b。指向嵌入的装置 11 至 14 中的每一个的独特的地址被写入地址寄存器 11b、12b、13b 和 14b 中的每一个中。嵌入的装置 11 至 14 的地址在主机设备 1 的运送中是固定的。在运送主机设备 1 时,将嵌入的装置 11 至 14 中的每一个的地址值输入主机设备 1(例如,输入主机设备 1 中的 ROM(未示出))。因此,主机设备 1 获得嵌入的装置 11 至 14 的地址值。

[0073] 在第一实施例中,使用 SD 接口的情况下,可以将相对卡地址(RCA)用作地址。当主机设备初始化其中使用 SD 接口的装置时,通过在主机设备与其中使用 SD 接口的装置之间的协商,RCA 具有动态分配给每个装置的独特值。参考图 1,分别将地址 0001、0002、0003 和 0004 分配给嵌入的装置 11、12、13 和 14。

[0074] 嵌入的装置 11 至 14 中的至少一个(嵌入的装置 11)为存储器装置。该嵌入的装置(下文中有时称为嵌入的存储器装置)11 包括 NAND 型闪速存储器 11c。NAND 型闪速存储器 11c 包括作为存储区域的多个块。每个块包括串联连接的多个存储器基元。每个存储器基元包括所谓的层叠栅极结构 MOSFET(金属氧化物半导体场效应晶体管)。层叠栅极结构 MOS 晶体管包括隧道绝缘膜、浮栅电极、电极间绝缘膜、控制栅电极和源极/漏极扩散层。

在每个存储器基元晶体管中, 阈值电压根据在浮栅电极中累积的电子的数目而变化, 并且根据阈值电压的差异来记录信息。包括读出放大器和存储器的电压产生电路的控制电路具有这样的配置, 其中可以在存储器基元晶体管中写入多位数据和从其中读取多位数据。以页为单位进行数据的写入和读取。以包括多个页的块单位进行数据的擦除。

[0075] 如图 2 所示, 根据应用和所存储的数据的种类, 划分闪速存储器 11c 的存储区域。主机设备以及主机设备的用户可自由地访问和使用用户区域 11c1。例如, 在用户区域 11c1 中存储各种数据和操作主机设备所需的程序。

[0076] 在安全区域 11c3 中存储仅可通过特定主机设备 1 存取的数据, 并且仅当满足预定条件时, 主机设备 1 的用户才可访问安全区域 11c3。用户区域 11c1 和 11c3 中的数据通过任意文件系统 (例如, FAT 文件系统) 来格式化和管理的。

[0077] 主机设备 1 和用户不能直接访问系统区域 11c4, 并且控制器 11a 管理系统区域 11c4。例如, 在系统区域 11c4 中存储关于控制器 11a 的控制的信息和安全信息。

[0078] 在启动代码区域 (启动区域) 11c2 中存储启动代码。启动代码是用于执行一系列进程的至少一部分的代码的组, 并且要求该系列进程在开启主机设备 1 之后且在启动系统 (OS) 之前执行。

[0079] 启动区域 11c2 中的数据不使用文件系统来管理。按照从较低地址的页到较高地址的页的顺序在启动区域 11c2 中存储启动代码。在开启主机设备 1 之后, 主机设备 1 通过特定的方式按照从较低地址到较高地址的顺序将启动区域 11c2 中的启动代码读取到系统存储器 7, 并且 CPU 6 执行启动代码以在启动系统之前执行该系列进程。因此, 该系统包括文件系统, 从而可以在启动系统之后使用该文件系统。

[0080] 在嵌入的装置 11 至 14 中包括另一存储器装置 (嵌入的装置 12)。在该嵌入的装置 (下文中有时称为嵌入的存储器装置) 12 中不提供启动区域。即, 该嵌入的装置包括其中排除了图 2 的启动区域的多个区域, 具体而言, 通用区域、安全区域和系统区域。

[0081] 下面将描述嵌入的存储器装置 11 和 12。图 3 示出根据第一实施例的嵌入的存储器装置的状态转变。虽然以下描述对应于其中使用接口的情况, 但第一实施例不限于以下描述。

[0082] 如图 3 中所示, 当开启嵌入的存储器装置 11 和 12 时, 主机设备向嵌入的存储器装置 11 和 12 提供复位命令 (在 SD 接口中为 CMD0) (转变 T1)。这使得嵌入的存储器装置 11 和 12 能够进行向空闲状态 (初始状态) 的转变。在图 3 的描述中所使用的接口中, 规定应紧接在通电之后提供复位命令。然而, 该规定并不总是必要的。可以在嵌入的装置转换为空闲状态的任何时候发出复位命令。

[0083] 然后, 嵌入的存储器装置 11 和 12 执行向这样的状态转变所需的处理, 在该状态下, 可从嵌入的存储器装置 11 和 12 读取数据, 可在嵌入的存储器装置 11 和 12 中写入数据, 并且可从嵌入的存储器装置 11 和 12 擦除数据 (已完成初始化的状态)。根据所使用的接口, 在该处理中存在各种进程, 下面将参考具体实例来描述该处理。例如, 虽然不同于以下实例, 但在第一实施例中还包括这样的接口, 一个命令进行向已完成初始化的状态的转变。

[0084] 首先, 提供电压检查命令 (在 SD 接口中为 CMD8) (转变 T2)。可将公知的接口中提供的命令用作为电压检查命令。当接收到电压检查命令时, 嵌入的存储器装置 11 和 12 提供表明嵌入的存储器装置 11 和 12 所支持的电压范围的响应。有时, 主机设备 1 将伴随该

命令的电压范围的确认设定到初始化开始条件。

[0085] 可以使用包括在国际专利申请 No. PCT/JP2005/021689(WO2006/057340) 中所描述的那些的电压检查命令,在此通过参考引入该参考文件的整个内容(所有页)。电压检查命令包括命令段、保留段、电压范围识别段、检查样式段以及错误检测代码段。命令段具有表明电压检查命令的独特的位样式。电压范围识别段具有表明主机设备 1 所支持的电压范围的位样式。使用检查样式段,以便主机设备确认电压检查命令的有效性和使用稍后提到的响应而对电压检查命令的响应。检查样式段具有预定的位样式。错误检测代码段包括错误检测代码,例如 CRC(循环冗余检查)。当接收到电压检查命令时,嵌入的存储器装置 11 和 12 发送回一个响应。该响应具有与命令相同的格式,并且在该响应的电压范围识别段中形成清楚地表明存储器装置所支持的电压范围的位样式。

[0086] 然后,向嵌入的存储器装置 11 和 12 提供存储器装置初始化命令(在 SD 接口中为 ACMD41),这进而又开始初始化。当完成初始化时,向存储器装置提供 ID(CID) 传输请求命令和地址传输请求命令,存储器装置针对这些命令提供响应,并且存储器装置进行向备用状态的转变(转变 T3)。可以将公知接口中限定的命令用作为 ID 传输请求命令,并且该 ID 传输请求命令请求传输装置的独特的 ID 号码,利用该 ID 号码,通过接口(在 SD 接口中为 CMD2)来进行通信。可以将公知接口中限定的命令用作为地址传输请求命令,并且该地址传输请求命令向该装置请求提出地址建议,利用该地址,通过接口(在 SD 接口中为 CMD3)来进行通信。使用该地址,以便主机设备识别被连接到主机设备的装置。当该装置所提出的地址不与已分配的地址重叠时,主机设备批准所提出的地址,否则主机设备再次请求提出另一地址。或者,主机设备可为这些装置指定不同的地址。在这种情况下,不必再次进行请求。

[0087] 向嵌入的存储器装置 11 和 12 提供装置选择命令,其进行向传送状态(transfer state)的转变(转变 T4)。装置选择命令的提供将嵌入的装置 13 和 14 转换为与传送状态类似的命令接收状态。即使嵌入的装置 13 和 14 中的命令接收状态的名称不同于传送状态,该命令接收状态与传送状态具有相同的意义。

[0088] 可以将公知接口中限定的命令用作为装置选择命令,并且该装置选择命令用于在多个装置被连接到一条总线时(在 SD 接口中为 CMD7)选择一个装置。装置选择命令包括变元(argument)形式的将被选择的装置的地址值。在传送状态下,在接收到规定了与其本身的地址不同的地址的装置选择命令时,嵌入的存储器装置 11 和 12 进行向备用状态的转变(转变 T5)。

[0089] 在传送状态下,当接收到读取命令、写入命令和擦除命令(在 SD 接口中为 CMD17、CMD18、CMD24、CMD25 和 CMD38)时,嵌入的存储器装置 11 和 12 根据用于用户区域的命令而进行向读取状态、写入状态和擦除状态之一的转变(转变 T6)。当读取、写入和擦除之一结束时,嵌入的存储器装置 11 和 12 进行向传送状态的转变(转变 T7)。在读取命令或写入命令指示依次读取或写入多个块的情况下,嵌入的存储器装置 11 和 12 接收到数据传送停止命令(在 SD 接口中为 CMD12),以进行向传送状态的转变。

[0090] 在传送状态下,当接收到用以进行向可读取启动代码区域(启动区域)的状态(启动读取状态)转变的命令(在 SD 接口中为 CMD6 的功能之一)时,具有启动区域的嵌入的存储器装置(嵌入的存储器装置 11)进行向启动读取状态的转变(转变 T11)。例如,

启动读取状态转变指示命令具有图 4 中所示的格式。如图 4 中所示,启动读取状态转变指示命令至少具有命令段 CMD 和启动读取状态转变指示段 BT。命令段 CMD 具有表明启动读取状态转变指示命令的独特的位样式。当启动读取状态转变指示段 BT 具有表明转变指示的位样式(例如“1”)时,已接收到启动读取状态转变指示命令的存储器装置进行向启动读取状态的转变。同时,嵌入的存储器装置 11 发送回对启动读取状态转变指示命令的响应。该响应具有与启动读取状态转变指示命令相同的格式,并且在启动读取状态转变指示段 BT 中形成表明向启动读取状态进行转变的位样式(例如“1”)。或者,替代在该响应中提供表明向启动读取状态的转变完成的位样式,可以在提供了响应之后在数据线上提供的状态中表明向启动读取状态的转变的完成。

[0091] 另一方面,由于嵌入的存储器装置 12 不具有启动区域,虽然嵌入的存储器装置 12 识别出启动读取状态转变指示命令,但是即使提供了该启动读取状态转变指示命令,嵌入的存储器装置 12 也会忽略该启动读取状态转变指示命令。即,嵌入的存储器装置 12 不执行由启动读取状态转变指示命令指示的内容,也不发送回响应。

[0092] 在启动读取状态下,当接收到这样的启动读取状态转变指示命令时,该指示命令具有表明启动读取状态转变指示段 BT 已解除的位样式(例如“0”),此时嵌入的存储器装置 11 进行向传送状态的转变(转变 T12)。

[0093] 在启动读取状态下,当接收到与启动区域地址规定相关联的读取指示命令(在 SD 接口中为 CMD18)时,嵌入的存储器装置 11 读取在启动区域中的数据(转变 T13)。主机设备 1 通过任何公知的方法识别启动代码大小(启动代码存储于其中的块的数目)。在读取启动代码之后,嵌入的存储器装置 11 接收到来自主机设备 1 的数据传送停止命令(在 SD 接口中为 CMD12)。因此,嵌入的存储器装置 11 进行向启动读取状态的转变(转变 T14)。

[0094] 在启动读取状态下,当接收到用以指示向启动写入状态的转变的命令时,嵌入的存储器装置 11 进行向启动写入状态的转变(转变 T15)。在启动写入状态下,当接收到用以指示启动写入状态的解除的命令时,嵌入的存储器装置 11 进行向启动读取状态的转变(转变 T16)。

[0095] 在启动写入状态下,当接收到用以指示与启动区域地址规定相关联的写入的命令(在 SD 接口中为 CMD25)时,嵌入的存储器装置 11 在启动区域中写入数据(转变 T17)。在启动代码被写入之后,嵌入的存储器装置 11 接收到来自主机设备 1 的数据传送停止命令。因此,嵌入的存储器装置 11 进行向启动写入状态的转变(转变 T18)。由于嵌入的存储器装置 12 不具有启动区域,虽然嵌入的存储器装置 12 识别出启动写入状态转变指示命令,但是即使提供了启动写入状态转变指示命令,嵌入的存储器装置 12 也会忽略该启动写入状态转变指示命令,也不会发送回响应。

[0096] 在空闲状态下,当提供了用以指示向启动读取状态的转变的命令时,嵌入的存储器装置 11 进行向启动读取状态的转变。可以通过利用成为从空闲状态到下一状态的转变条件的命令,实现从空闲状态向启动读取状态的转变。在图 3 的状态转变中,电压检查命令对应于成为从空闲状态到下一状态的转变条件的命令。

[0097] 图 5 示出具有指示向启动读取状态转变的功能的电压检查命令。如图 5 所示,电压检查命令包括命令段 CMD、保留段 RV、启动读取状态转变指示段 BT、电压范围识别段 VOL、检查样式段 CP 和错误检测代码段 ED。命令段 CMD 具有表明电压检查命令的独特的位样式。

[0098] 启动读取状态转变指示段 BT 清楚地表明启动读取状态转变指示命令是否指示了启动读取状态转变。例如，“1”表示电压检查命令请求向启动读取状态转变，而“0”表示电压检查命令仅仅请求电压检查操作。命令段 CMD、电压范围识别段 VOL、检查样式段 CPS 和错误检测代码段 ED 与扩展前的电压检查命令中的那些相同。

[0099] 如图 3 所示，当接收到用以指示向启动读取状态转变的电压检查命令时，具有启动代码区域的嵌入的存储器装置 11 进行向启动写入状态的转变（转变 T21）。同时，嵌入的存储器装置 11 发送回一个响应。该响应具有与电压检查命令相同的格式。该响应中的启动读取状态转变指示段（表示段）BT 表明向启动读取状态的转变的完成，且具有与启动读取状态转变指示命令相同的值。

[0100] 另一方面，当接收到指示向启动读取状态转变的电压检查命令时，不具有启动代码区域的嵌入的存储器装置 12 维持在空闲状态（转变 T22）。嵌入的存储器装置 12 发送回这样的响应，其启动读取状态转变表示段表明未进行向启动读取状态的转变。

[0101] 在电压检查命令用于仅仅指示电压检查的情况下，启动读取状态转变指示段 BT 具有不指示转变的值（例如“0”）。在响应中，同样的值被设定到启动读取状态转变表示段 BT。

[0102] 在启动读取状态下，当接收到复位命令时，嵌入的存储器装置 11 进行向空闲状态的转变（转变 T23）。

[0103] 通过利用具有启动读取状态转变指示段 BT 的电压检查命令，嵌入的存储器装置 11 可以直接转换到启动读取状态而不经初始化。因此，主机设备 1 可以最小数目的步骤开始启动代码读取。

[0104] 将参考图 6 描述主机设备 1 的操作以及嵌入的装置 11 至 14 的操作。特别地，将描述从主机设备 1 的通电（主机控制器 2 和 3）到每个嵌入的装置的初始化完成的操作。下面还将描述主机设备和嵌入的装置所具有的未在上面进行描述的功能。

[0105] 图 6 是示出根据第一实施例的主机设备的操作的流程图。图 6 示出用以将嵌入的装置 11 至 14 转换到完成了初始化的状态的处理，并且该处理在卡装置 5 初始化之前进行。

[0106] 参考图 6，开启主机控制器 2 和 3（步骤 S1）。因此，向嵌入的装置 11 至 14 提供电力。主机控制器 3 向嵌入的装置 11 至 14 提供复位命令（步骤 S2）。复位命令用于将已接收到复位命令的装置转换为空闲状态（在 SD 接口中为 CMD0）。不总是需要提供复位命令（步骤 S2）。即，当主机设备在通电时自动进行向空闲状态的转变时，主机控制器 3 不必提供复位命令。在嵌入的装置 11 至 14 在除了通电以外时被初始化的情况下，提供复位命令。在后面的实施例中同样如此。

[0107] 通过利用在开始初始化之前要求发出的命令，主机控制器 3 进行向启动读取状态的转变。例如，可利用电压检查命令作为该命令。

[0108] 假定在连接具有启动区域的多个装置的状态下不使用电压检查命令。因此，在第一实施例中，电压检查命令被进一步扩展。即，电压检查命令被扩展为仅对希望的嵌入的装置 11 至 14 有效。具体而言，如图 7 中所示，在具有启动读取状态转变指示段 BT 的电压检查命令中插入表明命令目标的地址段 AD。在 SD 接口中，如图 8 中所示，通过在假定为一对一通信的接口中紧接在命令（下文中称为常规命令）之前向段区域添加这样的命令（CMD55），来支持该命令扩展，其中上述命令（CMD55）具有表明目标地址的地址段 AD。

[0109] 下面将描述对常规命令的扩展。通过在任何命令（例如，已描述的复位命令和电压检查命令）中插入地址值，进行该扩展。通过将有待指定的嵌入的装置地址值设定为扩展的命令的地址段 AD 指向的目标，仅仅所希望的嵌入的装置响应于扩展的命令。不具有该目标地址的嵌入的装置忽略该扩展的命令（不执行扩展的命令所指示的内容，也不发送回响应）。

[0110] 另一方面，将预定的值（例如“FFFFh”）设定给地址段 AD，这允许常规命令为了广播的目的而被扩展。当嵌入的装置 11 至 14 接收到广播的扩展的命令时，虽然嵌入的装置 11 至 14 并不发送回响应，但嵌入的装置 11 至 14 执行由该命令限定的处理。这是因为，由于在总线上响应彼此冲突，防止对来自嵌入的装置 11 至 14 的响应的破坏。此外，通过将预定值（例如“0000”）设定给地址段 AD，可以确保与不识别扩展的命令的常规装置的兼容性。

[0111] 仅有嵌入的装置 11 使用扩展的电压检查命令转换到启动读取状态。具体而言，在将目标的嵌入的装置 11 的地址值（“0001”）设定给扩展的电压检查命令的地址段时，启动读取状态转变指示段 BT 得到启用。虽然具有变元的扩展的电压检查命令还被提供到嵌入的装置 12 至 14，但嵌入的装置 12 至 14 不是命令目标。因此，不具有该目标地址的嵌入的装置 12 至 14 忽略该扩展的命令，并且维持在空闲状态下。除非在嵌入的装置 12 至 14 转换到已完成初始化的状态之前，嵌入的装置 12 至 14 接收到在空闲状态下将被提供的命令（在第一实施例中为包括本身作为目标的电压检查命令），否则处于空闲状态的嵌入的装置 12 至 14 维持在空闲状态。

[0112] 当嵌入的装置 11 接收到扩展的电压检查命令（其中在指示向启动可读状态转变的同时将嵌入的装置 11 规定为目标）时，嵌入的装置 11 发送回表明启动读取状态转变表示段被启用（进行了转变）的响应，并且进行向启动读取状态的转变（步骤 S3）。该响应具有与扩展的电压检查命令相同的格式。不同于与卡装置 5 的通信，主机控制器 3 预先获得嵌入的装置 11 的工作电压范围以及应在初始化完成前的处理中获得的地址。因此，即使进行向启动读取状态的转变而不进行常规的电压检查或初始化，也不会产生问题。

[0113] 可以使用具有启动读取状态转变指示段的扩展前（不存在地址规定）的电压检查命令来形成启动读取状态转变指示。在这种情况下，虽然所有嵌入的装置 11 至 14 接收到该扩展前的电压检查命令，由于嵌入的装置 12 至 14 不具有启动代码区域，嵌入的装置 12 至 14 忽略该命令而维持在空闲状态。另一方面，嵌入的存储器装置 11 识别出扩展前的电压检查命令，从而进行向启动读取状态的转变。然而，在控制的情况下，需要仅仅存在一个具有启动代码区域的嵌入的存储器装置。这是为了防止来自具有启动代码区域的多个嵌入的装置的响应在总线上彼此冲突。

[0114] 主机控制器 3 使用数据读取命令来读取在启动代码区域中的启动代码（步骤 S4）。此时，例如，可以将用以读取多个块命令用作为数据读取命令。例如，在 0 或 FFh 被设定给启动代码区域的首块中的数据位的情况下，确定不存在启动代码。可以通过由主机系统限定的任何方法来规定启动代码大小（启动区域被存储于其中的块的数目）。例如，当预先确定了表明启动代码大小的位置时，可以统一读取启动代码的过程。在使用 SD 接口的情况下，可以使用命令 CMD18 和命令 CMD12 来读取启动代码。虽然除了向嵌入的装置 11 之外还向嵌入的装置 12 至 14 提供该数据读取命令，但由于嵌入的装置 12 至 14 处于空闲状态，嵌入的装置 12 至 14 不响应于该数据读取命令。

[0115] 在读取了启动代码之后,主机控制器 3 发出复位命令,以将嵌入的装置 11 转换为空闲状态(步骤 S5)。

[0116] 然后,主机控制器 3 通过与常规技术相同的过程,顺序地初始化嵌入的装置 11 至 14。在以后的描述中,通过实例以特定的顺序初始化嵌入的装置。然而,初始化的顺序不限于以下的说明。例如,可以通过其中也嵌入有存储器装置的所谓的组合(combo)装置,形成嵌入的装置 13 和 14。假定通过组合装置形成嵌入的装置 13 和 14,则可以限定,在扩展的存储器装置初始化命令之前发出扩展的装置初始化命令。以下的说明对应于其中在扩展的存储器装置初始化命令之前发出扩展的装置初始化命令的情况。

[0117] 主机控制器 3 提供扩展的电压检查命令,其中嵌入的装置 13 的地址(0003)被设定给地址段的变元,同时启动读取状态转变指示被禁用(步骤 S11)。在嵌入的装置 11 至 14 中,仅仅嵌入的装置 13 发送回对扩展的电压检查命令的响应。在嵌入的装置 13 不支持扩展的电压检查命令的情况下省略步骤 S11。如上所述,由于在嵌入的装置 11 至 14 的供应电压与主机控制器 3 的工作电压之间建立了匹配关系,即使省略了电压检查过程,也不会产生问题。然而,需要使具有启动代码区域的嵌入的装置支持扩展的电压检查命令。

[0118] 然后,主机控制器 3 初始化嵌入的装置 13。此时,可以使用扩展的装置初始化命令。可以采用参考图 7 和 8 描述的技术作为扩展方法。可以将在公知接口中限定的命令用作装置初始化命令,并且该装置初始化命令请求对除了存储器装置以外的装置的初始化(在 SD 接口中为 CMD5)。主机控制器 3 提供扩展的 SD IO 装置初始化命令,其中将嵌入的装置 13 的地址(0003)设定给地址段的变元(步骤 S12)。

[0119] 当接收到扩展的装置初始化命令时,嵌入的装置 13 提供表明忙碌的响应,同时开始初始化。主机控制器 3 重复步骤 S12,直到完成初始化而接收到表明就绪的响应(步骤 S13)。当完成初始化时,流程转到步骤 S14,以开始用以初始化嵌入的装置 14 的处理。

[0120] 在步骤 S14 至 S16 中,对嵌入的装置 14 进行与在步骤 S11 至 S13 中的那些相同的处理。步骤 S14 至 S16 与步骤 S11 至 S13 的不同之处在于,扩展的装置初始化命令的地址段具有嵌入的装置 14 的地址值(0004)。当接收到扩展的装置初始化命令时,嵌入的装置 14 开始初始化。在嵌入的装置 14 不支持扩展的电压检查命令的情况下省略步骤 S14。当完成了对嵌入的装置 14 的初始化时,流程转到步骤 S21,以开始用以初始化嵌入的装置 11 的处理。

[0121] 在步骤 S21 至 S23 中,对嵌入的装置 11 进行与在步骤 S11 至 S13 中的那些相同的处理。步骤 S21 至 S23 与步骤 S11 至 S13 的不同之处在于,在步骤 S22 中使用扩展的存储器装置初始化命令。可以采用参考图 7 和 8 描述的技术作为扩展方法。存储器装置初始化命令的地址段具有嵌入的装置 11 的地址值(0001)。当接收到存储器装置初始化命令时,嵌入的装置 11 开始初始化。当完成了对嵌入的装置 11 的初始化时,流程转到步骤 S24,以开始用以初始化嵌入的装置 12 的处理。

[0122] 在步骤 S24 至 S26 中,对嵌入的装置 12 进行与在步骤 S21 至 S23 中的那些相同的处理。步骤 S24 至 S26 与步骤 S21 至 S23 的不同之处在于,扩展的存储器装置初始化命令的地址段具有嵌入的装置 12 的地址值(0002)。当接收到扩展的存储器装置初始化命令时,嵌入的装置 12 开始初始化。当完成了对嵌入的装置 12 的初始化时,流程转到步骤 S27。

[0123] 在至少五个嵌入的装置的情况下,对所有嵌入的装置进行与在步骤 S11 至 S26 中

的那些相同的处理,直到完成对嵌入的装置的初始化。接着,流程转到步骤 S27。

[0124] 在步骤 S27 和 S28 中进行将嵌入的装置 11 至 14 转换到已完成初始化的状态所需要的处理。在步骤 S27 中,主机控制器 3 发出扩展的 ID 传输请求命令。通过使用参考图 7 和 8 描述的技术扩展 ID 传输请求命令,来获得扩展的 ID 传输请求命令。在步骤 S27 中,该扩展的 ID 传输请求命令的地址段具有表示广播的值。因此,即使嵌入的装置 11 至 14 接收到该扩展的 ID 传输请求命令,嵌入的装置 11 至 14 也不发送回 ID。

[0125] 在步骤 S28 中,主机控制器 3 发出扩展的地址传输请求命令。通过使用参考图 7 和 8 描述的技术扩展地址传输请求命令,获得该扩展的地址传输请求命令。在步骤 S28 中,该地址传输请求命令的地址段具有表示广播的值。因此,即使嵌入的装置 11 至 14 接收到该扩展的地址传输请求命令,嵌入的装置 11 至 14 也不发送回提出的地址。

[0126] 根据步骤 S28,嵌入的装置 11 至 14 进行向备用状态的转变。然后,在卡装置 5 被插入主机设备 1 中的情况下,主机控制器 2 根据常规方法进行初始化卡装置 5 所需的处理。

[0127] 在第一实施例中,嵌入的装置 11 至 14 被嵌入主机设备 1 中。然而,嵌入的装置 11 至 14 不限于其被嵌入主机设备 1 中的应用。例如,第一实施例的嵌入的装置 11 至 14 形成一个芯片中且通过封装而被密封,从而实现卡装置,该卡装置可通过插槽 4 而被插入到主机设备 1 中。

[0128] 由此,第一实施例的嵌入的存储器装置 11 支持这样的接口,该接口在用以在主机设备通电之后进行从初始状态向下一状态转变的命令中支持用于指示向可读取预定区域(启动代码区域)的状态转变的命令。因此,嵌入的存储器装置 11 可以访问该预定的区域,而省略向可写入、读取和擦除数据的状态转变所需的处理(初始化处理)。相应地,在该预定区域中存储早期阶段所需要读取的数据(例如启动代码),这允许紧接在对主机设备 1 启动电源之后访问该数据。

[0129] 在第一实施例的主机控制器 2 和 3 以及控制器 11a、12a、13a 和 14a 中,可扩展不具有对假定为一对一通信的常规接口中限定的地址进行规定的功能的命令,从而可规定目标地址。因此,即使多个装置被连接到常规接口的总线,这些装置也可被初始化。

[0130] 一个总线接口的负载容量取决于连接到该总线接口的嵌入的装置的数目。因此,调整驱动能力的功能被添加到主机设备 1 或嵌入的装置 11 至 14 的 I/O 基元,或者,根据由负载容量产生的延迟而降低工作频率,这允许根据嵌入的装置的数目进行调整。

[0131] (第二实施例)

[0132] 在第二实施例中,缩短了第一实施例的初始化时间。

[0133] 第二实施例的嵌入的装置和主机设备具有与第一实施例(图 1 和 2)中的相同的配置。将参考图 9 描述第二实施例的操作。图 9 是示出第二实施例的主机设备的操作的流程图。

[0134] 第二实施例的步骤 S1 至 S5 与第一实施例的步骤 S1 至 S5 相同。在步骤 S5 之后,主机控制器 3 提供扩展的电压检查命令,在该命令中,将地址段值设定至广播值(步骤 S31)。即使嵌入的装置 11 至 14 接收到扩展的电压检查命令,嵌入的装置 11 至 14 也不发送回响应。如上所述,由于在嵌入的装置 11 至 14 的供应电压与主机控制器 3 的工作电压之间建立了匹配关系,即使不发送回对扩展的电压检查命令的响应,主机设备 1 的操作也不存在问题。尽管如此,发出电压检查命令的原因在于,有时嵌入的装置 11 至 14 在接收到电压检

查命令的情况下开始初始化。

[0135] 主机控制器 3 提供扩展的装置初始化命令,在该命令中,将地址段值设定至广播值(步骤 S32)。嵌入的装置 13 和 14 开始初始化而不发送回响应。因此,嵌入的装置 13 和 14 同时被初始化。嵌入的存储器装置 11 和 12 忽略该扩展的装置初始化命令。

[0136] 主机控制器 3 提供扩展的存储器装置初始化命令,在该命令中,将地址段值设定至广播值(步骤 S33)。嵌入的存储器装置 11 和 12 开始初始化而不发送回响应。因此,嵌入的存储器装置 11 和 12 同时被初始化。嵌入的装置 13 和 14 忽略该扩展的存储器装置初始化命令。步骤 S32 和 S33 的顺序可以改变。该顺序是通过假定嵌入的装置 13 和 14 为组合装置而确定的实例。

[0137] 接着,主机控制器 3 执行用以确认对嵌入的装置 11 至 14 的初始化是否已完成的处理。具体而言,主机控制器 3 执行与步骤 S12 相同的处理。主机控制器 3 重复步骤 S12 中的处理,直到主机控制器 3 接收到表明其中初始化已完成的就绪的响应(步骤 S13)。

[0138] 接着,主机控制器 3 执行与步骤 S15 相同的处理。主机控制器 3 重复步骤 S15 中的处理,直到主机控制器 3 接收到表明其中初始化已完成的就绪的响应(步骤 S16)。

[0139] 接着,主机控制器 3 执行与步骤 S22 相同的处理。主机控制器 3 重复步骤 S22 中的处理,直到主机控制器 3 接收到表明其中初始化已完成的就绪的响应(步骤 S23)。

[0140] 接着,主机控制器 3 执行与步骤 S25 相同的处理。主机控制器 3 重复步骤 S25 中的处理,直到主机控制器 3 接收到表明其中初始化已完成的就绪的响应(步骤 S26)。确认对嵌入的装置 11 至 14 的初始化是否已完成的顺序可以改变。

[0141] 接着,通过执行与步骤 S27 和 S28 相同的处理,嵌入的装置 11 至 14 进行向备用状态的转变。

[0142] 由此,第二实施例的嵌入的装置 11 至 14 以及主机设备 1 支持与第一实施例中的相同的接口。因此,获得与第一实施例相同的效果。第二实施例的嵌入的装置 11 至 14 以及主机控制器 2 和 3 支持这样的接口,该接口支持扩展的命令,从而可以规定目标地址。因此,获得与第一实施例相同的效果。

[0143] 第二实施例的主机控制器 3 以广播的方式传输用以指示嵌入的装置 11 至 14 的初始化的命令。因此,嵌入的装置 11 至 14 被同时初始化,从而可以缩短初始化所需的时间。

[0144] (第三实施例)

[0145] 第三实施例涉及利用具有仅仅一条总线的主机设备支持多个装置的方法。将参考图 10 和 11 描述根据第三实施例的方法。图 10 示意性示出根据本发明第三实施例的装置以及该装置嵌入其中的主机设备的配置。

[0146] 如图 10 中所示,主机设备 21 包括一个主机控制器 22。主机控制器 22 具有与第一实施例的主机控制器 2 和 3 相同的配置。

[0147] 嵌入的装置 11 至 14 通过一条总线而连接到主机控制器 22。主机控制器 22 通过缓冲器 23 和模拟开关 24 而连接到插槽 4。具体而言,仅仅从主机控制器 22 朝向插槽 4 流动的信号的线通过缓冲器 23 而从主机控制器 22 连接到插槽 4。单向信号线(例如时钟线)对应于该信号线。

[0148] 对于在主机控制器 22 与插槽 4 之间沿两个方向流动的信号的线,主机控制器 22 和插槽 4 通过模拟开关 24 而连接。双向信号线(例如命令线和数据线)对应于该信号线。

虽然可以使用双向缓冲器,但有必要使主机控制器 22 使用控制信号来控制总线方向。通常,不准备控制信号。模拟开关 24 可控制所有的信号线而不利用缓冲器 23。

[0149] 当 CPU 6 通过主机控制器 22 而将启用信号 EN 提供给缓冲器 23 和模拟开关 24 时,缓冲器 23 和模拟开关 24 电连接主机控制器 22 和插槽 4。这使得 CPU 6 能够进行与插槽 4 的通信(卡装置 5 被插入插槽 4 中)。

[0150] 主机控制器 22 还通过对应的信号线(时钟线、命令线、数据线和电源线)而分别连接到控制器 11a、12a、13a 和 14a。

[0151] 插槽 4 检测是否插入了卡装置 5,并且插槽 4 向主机接口 2 提供卡检测信号 CD。卡检测信号 CD 表明是否检测到卡装置 5。在未插入卡装置 5 的情况下,CPU 6 使缓冲器 23 和模拟开关 24 保持关断。当插槽 4 检测到插入了卡装置 5 时,在嵌入的装置 11 至 14 与主机控制器 22 之间没有进行通信或数据传送的条件下,CPU 6 开启缓冲器 23 和模拟开关 24。

[0152] 主机设备 21 具有在插槽 4 中设置的盖子 4a。在该盖子 4a 中设置有传感器。当盖子 4a 打开时,传感器向主机控制器 22 提供盖子打开和关闭信号 LD。这意味着存在在盖子 4a 打开时移除卡装置 5 的可能性。当通过盖子打开和关闭信号 LD 而检测到从插槽 4 移除卡装置 5 的可能性时,CPU 6 快速停止对卡装置 5 的访问,以关断缓冲器 23 和模拟开关 24。因此,防止来自插槽 4 的信号与来自嵌入的装置 11 至 14 的信号在总线上冲突。

[0153] 其他配置与第一实施例的配置相似。

[0154] 下面将参考图 11 描述第三实施例的主机设备的操作。图 11 是示出第三实施例的主机设备的操作的流程图。如图 11 中所示,开启主机控制器 22(步骤 S1)。主机控制器 22 启用启动信号以开启缓冲器 23 和模拟开关 24(步骤 S41)。主机控制器 22 发出复位命令(步骤 S2)。主机控制器 22 禁用启动信号以关断缓冲器 23 和模拟开关 24(步骤 S42)。因此,主机控制器 22 不与卡装置 5 而仅与嵌入的装置 11 至 14 通信。

[0155] 此时,嵌入的装置 11 至 14 被初始化。具体而言,执行与第一实施例的步骤 S3 至 S5 中的处理相同的处理。接着,执行与第一实施例的步骤 S11 至 S16 以及 S21 至 S26、或者第二实施例的步骤 S31 至 S33、步骤 S12、S13、S15、S16、S22、S23、S25 和 S26 中的处理相同的处理。接着,执行与第一实施例的步骤 S27 和 S28 中的处理相同的处理。因此,嵌入的装置 11 至 14 进行向备用状态的转变。之后,嵌入的装置 11 至 14 不接受除了用以请求从备用状态进行状态转变的命令(例如,装置选择命令)之外的命令。因此,主机控制器 22 基本上处于这样的状态,其中主机控制器 22 仅与插入插槽 4 中的卡装置 5 通信。

[0156] 主机控制器 22 开启缓冲器 23 和模拟开关 24(步骤 S43)。此时,主机控制器 22 初始化卡装置 5,以将卡装置 5 转换到备用状态。

[0157] 具体而言,主机控制器 22 向卡装置 5 提供具有启动读取状态转变指示段的电压检查命令(步骤 S44)。该启动读取状态转变指示段被无效化。

[0158] 主机控制器 22 向卡装置 5 提供装置初始化命令或存储器装置初始化命令(步骤 S45)。一旦开始初始化,卡装置 5 提供表明忙碌的响应。主机控制器 22 重复步骤 S45 中的处理,直到主机控制器 22 接收到表明其中已完成初始化的就绪的响应(步骤 S46)。

[0159] 当完成初始化时,主机控制器 22 进一步执行将卡装置 5 转换到备用状态所需的处理。具体而言,主机控制器 22 使用 ID 传输请求命令而从卡装置 5 读取 ID(步骤 S51)。主机控制器 22 使用地址传输请求命令而从卡装置 5 接收提出的地址建议(步骤 S52)。此时,

嵌入的装置 11 至 14 也接收到该地址传输请求命令。然而,如上所述,由于嵌入的装置 11 至 14 在备用状态下忽略该地址传输请求命令,因此嵌入的装置 11 至 14 的地址值不变。

[0160] 主机控制器 22 确定卡装置 5 所提出的地址值是否与嵌入的装置 11 至 14 的地址值匹配(步骤 S53)。当卡装置 5 所提出的地址值与嵌入的装置 11 至 14 的地址值匹配时,流程返回到步骤 S52,并且主机控制器 22 请求提出其他地址。主机控制器 22 重复步骤 S52 中的处理,直到卡装置 5 所提出的地址值与嵌入的装置 11 至 14 的地址值不匹配。虽然嵌入的装置 11 至 14 在备用状态下忽略该地址传输请求命令,但卡装置 5 可接受该地址传输请求命令,从而改变地址。

[0161] 如上所述,第三实施例的装置和主机设备支持与第一实施例中的相同的接口。因此,获得与第一实施例相同的效果。第三实施例的装置和主机设备还支持这样的接口,该接口支持扩展的命令,从而可以规定目标地址。因此,获得与第一实施例相同的效果。当采用第二实施例的方法来初始化第三实施例的嵌入的装置 11 至 14 时,在第三实施例的主机设备中获得与第二实施例相同的效果。

[0162] 在第三实施例的主机设备 21 中,主机控制器 22 和插槽 4 通过缓冲器 23 和模拟开关 24 而连接。因此,插槽 4 可与主机控制器 22 电分离。在插槽 4 与主机控制器 22 分离的同时嵌入的装置 11 至 14 转换到备用状态之后,插槽 4 被连接到主机控制器 22 以启用卡装置 5,从而进行向备用状态的转变。因此,即使内部装置 11 至 14 以及插槽 4 连接到一条总线,也可以适当地初始化内部装置 11 至 14 以及插槽 4。

[0163] (第四实施例)

[0164] 第四实施例涉及对启动代码的详细读取。因此,第四实施例可与第一至第三实施例组合。下面将参考图 12 和 13 描述第四实施例。

[0165] 图 12 是示出由第四实施例的主机设备执行的在嵌入的装置中的启动代码读取操作的流程图。即,图 12 是示出直到在第一至第三实施例中完成启动代码读取的详细流程的流程图。

[0166] 如图 12 中所示,执行与步骤 S1 和 S2 相同的处理。接着,主机控制器 3 或 22 提供用以指示向启动读取状态转变的命令(步骤 S61)。与第一实施例类似地,可以利用包括启动读取状态转变指示段的电压检查命令作为用以指示向启动读取状态转变的命令。

[0167] 嵌入的装置 11 至 14 接收指示向启动读取状态转变的电压检查命令。在任何嵌入的装置具有启动区域的情况下,具有启动区域的嵌入的装置(例如,图 3 的嵌入的装置 11)发送回响应。该响应中的启动读取状态转变指示段具有表明已进行转变的位样式。其他嵌入的装置(例如,图 14 的嵌入的装置 12 至 14)不发送回响应,这是因为其他嵌入的装置不具有启动区域。

[0168] 可使用扩展的电压检查命令来替代电压检查命令。在这种情况下,在扩展的电压检查命令的地址段中描述具有启动区域的嵌入的装置的地址(例如,图 3 中的“0001”)。

[0169] 接着,主机控制器 3 或 22 确认是否发送回了对电压检查命令的响应(步骤 S62)。当没有发送回响应时,由于不存在具有启动区域的嵌入的装置,流程转到步骤 S5,并且从嵌入的装置 11 至 14 读取启动代码的处理结束。

[0170] 当接收到对电压检查信号的响应时,主机控制器 3 或 22 确认启动读取状态转变段是否具有表明向启动读取状态转变的位样式(步骤 S63)。当启动读取状态转变段不具有表

明该转变的位样式时,流程转到步骤 S5。另一方面,当启动读取状态转变段具有表明向启动读取状态转变的位样式时,流程转到步骤 S64,从而主机设备读取启动代码。

[0171] 在步骤 S64 中,主机控制器 3 或 22 发出读取命令(步骤 S64)。在 SD 接口的情况下,可以将多块读取命令(CMD18)用作为该读取命令。主机控制器 3 或 22 接收对该读取命令的响应(步骤 S65)。主机控制器 3 或 22 通过确认在该响应中的错误校正代码或错误检测位样式的匹配,来确认在该响应中是否存在错误(步骤 S66)。

[0172] 当在该响应中存在错误时,流程转到步骤 S81。在步骤 S81 中,主机控制器 3 或 22 发出数据传送结束命令(在 SD 接口中为 CMD12)以停止读取。接着,主机控制器 3 或 22 接收对该数据传送结束命令的响应(步骤 S82),并且流程转到步骤 S5。

[0173] 另一方面,当未检测到错误时,主机控制器 3 或 22 读取启动代码区域的第一块中的数据并将所读取的数据保存在缓冲器中(步骤 S71)。数据从嵌入的装置 11 中读取。主机控制器 3 或 22 分析第一块中的数据,以确认是否存在启动代码(步骤 S72)。可以通过预先获得表明不存在启动代码的样式,例如,所有的特定位置被设定为 0 或 1,进行该确定。

[0174] 当不存在启动代码时,主机控制器 3 或 22 废弃缓冲器的内容,并且流程转到步骤 S81。当存在启动代码时,主机控制器 3 或 22 分析启动代码的内容,以获得启动代码大小(例如,启动代码被存储在多少个块中)(步骤 S73)。可通过预先获得表明启动代码大小的数据的位置而使用常见的过程。

[0175] 主机控制器 3 或 22 将缓冲器中的数据传送到系统存储器 7(步骤 S74)。主机控制器 3 或 22 读取启动区域的第二块的数据并将所读取的数据保存在缓冲器中,并且将所读取的数据传送到系统存储器 7(步骤 S75)。参考在步骤 S73 中所获得的启动代码大小,主机控制器 3 或 22 重复步骤 S75 中的处理,直到读取所有的启动代码(步骤 S76)。当对所有的启动代码完成读取时,流程转到步骤 S81。

[0176] 如在第一实施例中所述,在本发明的每个实施例中提供了这样的命令,该命令使得在主机设备 1 和 21 开启之后能够进行向启动读取状态转变而不经通常的初始化处理。因此,从通电到启动代码读取所需要的处理的数目显著减少。因此,对于第四实施例的启动代码读取处理,替代 CPU 6,可以使用在主机控制器 3 或 22 中设置的 DMA(直接存储器访问)控制器来自动读取启动代码。

[0177] 图 13 是示意性示出第四实施例的主机设备的框图。如图 13 中所示,除了第一实施例的部件之外,主机控制器 3 或 22 还包括 DMA 控制器 42。DMA 控制器 42 被配置为使用公知技术来执行第四实施例的操作。当使用 DMA 控制器时,可以在没有 CPU 6 的条件下进行对完成启动代码读取的多条处理。在主机设备 41 中,虽然在图 13 中省略了,但图 13 的配置之外的其他配置与第一实施例(图 1)和第三实施例(图 10)的那些配置相同。

[0178] 由此,第四实施例的嵌入的装置 11 至 14 以及主机控制器 3 或 22 支持与第一实施例中的相同的接口。因此,从主机设备 41 的通电直到向启动代码读取状态的转变所需的处理的数目减少,因而从通电到启动代码读取的完成所需的处理的数目减少。相应地,可以通过 DMA 控制器 42 来执行所述一系列处理。还可以通过组合第四实施例与第一至第三实施例,获得由第一至第三实施例所获得的效果。

[0179] (第五实施例)

[0180] 下面将描述本发明的第五实施例。在第五实施例中,更具体地描述第一实施例,并

且其配置和操作与第一实施例的基本相似。在第五实施例中,附加“b”的数值表示二进制数,附加“h”的数值表示十六进制数,而没有附加的数值表示十进制数。

[0181] (扩展的电压检查命令)

[0182] 将参考图 14 描述在第一实施例中描述的图 6 的步骤 S3 中所使用的扩展的电压检查命令。图 14 是示意性示出扩展的电压检查命令的配置的图。在 SD 接口中,该扩展的电压检查命令可被定义为 ACMD8。

[0183] 通过组合 CMD55 和 CMD8 而形成 ACMD8。CMD55 包括按照从上位开始的顺序的命令索引和 RCA。在命令索引中存储命令的独特的号码。例如,为 CMD55 存储“110111b”。RCA 包括成为随后的命令(在 ACMD8 的情况下为 CMD8)的目标的装置的反向地址。

[0184] CMD8 包括按照从上位开始的顺序的命令索引、QBR(快速启动请求)、保留、VHS、样式、CRC 和 END。命令索引、QBR、保留、VHS、样式和 CRC 分别对应于命令段、启动读取状态转变指示段 BT、保留段 RV、电压范围识别段 VOL、检查样式段 CP 和错误检测代码段 ED。对于 CMD8,命令索引为“001000b”。在 QBR = “1b”的情况下,CMD8 请求向启动读取状态的转变。在 QBR = “0b”的情况下,CMD8 仅请求电压检查操作。在下面的描述中,假定将 QBR 设定为“1b”。下文中,用以请求向启动读取状态转变的操作被称为快速启动。

[0185] < 嵌入的装置 11 至 14 的状态转变 >

[0186] 将参考图 15 描述存储器装置 11 和 12 以及装置 13 和 14 的状态转变。图 15 示出存储器装置 11 的状态转变。装置 12 至 14 的状态转变与存储器装置 11 的状态转变相似,但装置 12 至 14 不具有启动读取状态和启动写入状态。

[0187] 图 15 的状态转变对应于第一实施例中的图 3 的状态转变。在图 15 中,空闲状态、初始化、备用状态、传送状态、(执行读取、写入、擦除)状态、启动读取状态和启动写入状态分别对应于图 3 的空闲状态、初始化、备用状态、传送状态、(读取、写入、擦除)状态、启动读取状态和启动写入状态。在图 15 中描述在 SD 接口中用于在状态之间的转变的特定命令的名称。将参考图 15 仅仅描述存储器装置 11(包括启动区域的装置)的主要的状态转变。

[0188] 控制器 3 向存储器装置 11 发出快速启动命令,由此存储器装置 11 直接进行从空闲状态向启动读取状态的转变而不经初始化 and 备用状态。此时,控制器 3 向存储器装置 11 发出 ACMD8 或 CMD8 命令,并且在该命令中将 QBR 设定为“1b”。当在主机设备 1 中仅仅一个装置支持 CMD8 时,使用 CMD8。然而,当多个装置支持 CMD8 时,使用 ACMD8,这是因为有必要使控制器 3 选择装置以发出命令。

[0189] 当控制器 3 发出其中 QBR 被设定为“0b”的 ACMD8 或 CMD8 时,存储器装置 11 被初始化。接着,控制器 3 发出 ACMD41,发出 ACMD2 或 CMD2,并发出 ACMD3 或 CMD3,由此将存储器装置 11 转换到备用状态。CMD2 和 CMD3 与第一实施例中的相似,而 ACMD2 和 ACMD3 分别是其中 CMD55 被添加到 CMD2 和 CMD3 的命令。

[0190] 控制器 3 发出 CMD7,由此处于备用状态的存储器装置 11 进行向传送状态的转变。显然,有必要使由存储器装置 11 保持的 RCA 包括在 CMD7 的变元中。

[0191] 控制器 3 发出 CMD6,由此处于传送状态的存储器装置 11 进行向启动读取状态的转变。CMD6 的内容与第一实施例中的图 4 的 CMD6 的内容相似。控制器 3 发出其中 BT 被设定为“0b”的 CMD6,由此通过 CMD6 而转换到启动读取状态的存储器装置 11 进行向传送状态的转变。然而,在存储器装置 11 直接进行从空闲状态向启动读取状态的转变的情况下,即使

控制器 3 发出 CMD6, 存储器装置 11 也不进行向传送状态的转变。即, 启动读取状态与传送状态之间的转变可以在完成初始化之后进行。

[0192] < 控制器 3 中的初始化操作 >

[0193] 下面将参考图 16 描述由控制器 3 执行的对嵌入的装置 11 至 14 的初始化操作。图 16 是示出由控制器 3 执行的处理流程的流程图。

[0194] 如图 16 中所示, 控制器 3 开启嵌入的装置 11 至 14 (步骤 A-0)。接着, 控制器 3 执行步骤 A-1 至 A-18 中的处理。步骤 A-1 至 A-18 中的处理对应于第一实施例中的图 6 的步骤 S2 至 S5、S11 至 S16 以及 S21 中的处理。

[0195] 控制器 3 发出 CMD0 (步骤 A-1)。如上所述, CMD0 为复位命令。因此, 控制器 3 将嵌入的装置 11 至 14 转换到空闲状态, 并且将连接控制器 3 和嵌入的装置 11 至 14 的总线 (CMD 线) 设定为输入模式。通过将总线设定为输入模式, 总线变为用以等待 SD 接口中各种命令的状态。

[0196] 接着, 控制器 3 发出 ACMD8 (步骤 A-2)。在 ACMD8 中, QBR 被设定为“1b”, 且 RCA 被设定为“0001h”。即, 控制器 3 提供快速启动命令, 并且对应于 RCA = “0001h”的存储器装置 11 进行向启动读取状态的转变。嵌入的装置 12 至 14 维持在空闲状态。

[0197] 控制器 3 使用 CMD18 和 CMD12 访问在存储器装置 11 中的启动代码区域 (步骤 A-3)。这使得控制器 3 能够读取在启动代码区域中保持的启动代码。

[0198] 当启动代码读取结束时, 控制器 3 再次发出 CMD0, 以将存储器装置 11 转换到空闲状态 (步骤 A-4)。在当启动代码读取结束时存储器装置 11 可进行向空闲状态转变的情况下, 可以省略步骤 A-4 中的处理。

[0199] 控制器 3 顺序地初始化嵌入的装置 11 至 14。为了初始化嵌入的装置 13, 控制器 3 发出 ACMD8 (QBR = “0b”, 且 RCA = “0003h”) (步骤 A-5)。控制器 3 发出 ACMD5 (RCA = “0003h”) (步骤 A-6)。ACMD5 是包括 CMD55 和 CMD5 的命令, 并且 CMD5 用于执行对除了存储器装置之外的装置的初始化。由此, 嵌入的装置 13 被初始化。

[0200] 当嵌入的装置 13 通过初始化而变成就绪状态 (步骤 A-7 中的是) 时, 即, 当控制器 3 从嵌入的装置 13 接收到表明就绪状态的响应时, 控制器 3 初始化嵌入的装置 14。对嵌入的装置 14 的初始化处理与对嵌入的装置 13 的初始化处理相似 (步骤 A-8 至 A-10)。

[0201] 接着, 控制器 3 初始化存储器装置 11。控制器 3 发出 ACMD8 (QBR = “0b”, 且 RCA = “0001h”) (步骤 A-11)。控制器 3 已经在步骤 A-2 中向存储器装置 11 发出 ACMD8。即, 已经进行了一次对嵌入的装置 11 的电压检查。因此, 可以省略步骤 A-11 中的处理。控制器 3 发出 ACMD41 (RCA = “0001h”) (步骤 A-12)。ACMD41 是包括 CMD55 和 CMD41 的命令, 并且 CMD41 用于执行对存储器装置的初始化。由此, 存储器装置 11 被初始化。

[0202] 当存储器装置 11 通过初始化而变成就绪状态 (步骤 A-13 中的是) 时, 即, 当控制器 3 从存储器装置 11 接收到表明就绪状态的响应时, 控制器 3 初始化存储器装置 12。对存储器装置 12 的初始化处理与对存储器装置 11 的初始化处理相似 (步骤 A-14 至 A-16)。

[0203] 接着, 控制器 3 发出 ACMD2 (RCA = “FFFFh”) (步骤 A-17), 并随后发出 ACMD3 (RCA = “FFFFh”) (步骤 A-18)。ACMD2 包括 CMD55 和 CMD2, 并且 CMD2 用于请求向嵌入的装置 11 至 14 的 ID 传输。ACMD3 包括 CMD55 和 CMD3, 并且 CMD3 用于请求向嵌入的装置 11 至 14 的地址传输。ACMD2 和 ACMD3 利用 RCA = “FFFFh”进行传输, 即, 广播。由此, 嵌入的装置 11

至 14 进行向备用状态的转变。

[0204] < 嵌入的装置 11 至 14 中的初始化操作 >

[0205] 下面将描述图 16 的初始化处理中对嵌入的装置 11 至 14 的处理。将描述在嵌入的装置 11 至 14 中所包括的标志。

[0206] 嵌入的装置 11 至 14 中的每一个具有两个标志,即,标志“第一 CMD55”和标志“兼容模式”。标志“第一 CMD55”表明是否已从控制器 3 接收到 CMD55。标志“第一 CMD55”被设定至“1b”,直到接收到 CMD55,并且当接收到 CMD55 时,标志“第一 CMD55”被设定至“0b”。

[0207] 标志“兼容模式”用于改变嵌入的装置 11 至 14 的操作模式,并且标志“兼容模式”紧接在通电之后被设定至“1b”。在标志“兼容模式”被设定至“1b”期间,嵌入的装置 11 至 14 通过其中使用常规 SD 命令的过程来执行初始化。即,不使用实施例的 ACMD8、ACMD2、ACMD3 和 ACMD5。下文中,将该操作模式称为兼容模式。

[0208] 当在最初接收到的 CMD55 的变元中所包括的 16 位 RCA 数(下文中称为 CRCA)不是“0000h”时,将标志“兼容模式”从“1b”设定至“0b”。即,当最初接收到的 CMD55 是用以选择嵌入的装置 11 至 14 之一的命令时,标志“兼容模式”被设定为“0b”。当标志“兼容模式”被设定为“0b”时,嵌入的装置 11 至 14 通过其中使用实施例的扩展的 SD 命令的过程而执行初始化。即,可使用 ACMD8、ACMD2、ACMD3 和 ACMD5。下文中,将该操作模式称为扩展模式。

[0209] 嵌入的装置 11 至 14 可保持标志“第一 CMD55”和标志“兼容模式”。在这种情况下,例如,在嵌入的装置 11 至 14 的寄存器中保持标志“第一 CMD55”和标志“兼容模式”。然而,嵌入的装置 11 至 14 本身不必具有这些标志。即,嵌入的装置 11 至 14 仅需要被如此配置,使得操作模式根据标志而改变。控制器 3 可保持这些标志。

[0210] 采用存储器装置 11 作为实例,将参考图 17 描述嵌入的装置 11 至 14 的操作。图 17 是示出由存储器装置 11 执行的处理流程的流程图。嵌入的装置 11 至 14 接收到来自控制器 3 的命令,并且根据该命令的内容确定操作。因此,嵌入的装置 11 至 14 的操作包括命令接收和对命令的处理的循环。图 17 的流程图仅对初始化期间有效,并且当嵌入的装置 11 至 14 处于空闲状态和图 13 的初始化时,该流程图有效。通过装置 11 至 14 中包括的控制器 11b 至 14b 来执行下面描述的下列处理。可通过软件或硬件(例如布线逻辑)来实现下列功能。

[0211] 存储器装置 11 将标志“兼容模式”和第一 CMD55 二者都设定至“1b”(步骤 E-1)。当存储器装置 11 接收到来自控制器 3 的命令(步骤 E-2)时,存储器装置 11 确定该命令是否为 CMD55(步骤 E-3)。

[0212] 当该命令不是 CMD55(步骤 E-3 中的否)时,存储器装置 11 发送回对该命令的响应,并且根据定义来执行该命令(步骤 E-4)。

[0213] 当该命令是 CMD55(步骤 E-3 中的是)时,存储器装置 11 确定 CMD55 是否为最初接收到的 CMD55(步骤 E-5)。可以基于标志“第一 CMD55”是否为“1b”来进行步骤 E-5 中的确定。即,当标志“第一 CMD55”是“1b”时,CMD55 是最初接收到的 CMD55,而当标志“第一 CMD55”是“0b”时,CMD55 不是最初接收到的 CMD55。

[0214] 当 CMD55 是最初接收到的 CMD55(步骤 E-5 中的是)时,存储器装置 11 将标志“第一 CMD55”设定至“0b”。此时,已接收到 CMD55 的所有嵌入的装置 11 至 14 将标志“第一

CMD55”设定至“0b”。接着,存储器装置 11 检查 CMD55 中的 RCA,即,CRCA(步骤 E-7)。

[0215] 当 CRCA 不是“0000h”(步骤 E-7 中的否)时,即,当选择了嵌入的装置 11 至 14 之一时,存储器装置 11 将标志“兼容模式”设定至“0b”。因此,存储器装置 11 以扩展模式进行操作。

[0216] 另一方面,当 CRCA 是“0000h”(步骤 E-7 中的是)时,存储器装置 11 使标志“兼容模式”保持在“1b”,即,存储器装置 11 维持兼容模式。即使以后接收到 CMD55,也不执行步骤 E-6 至 E-8 中的处理(因为在步骤 E-5 中为否)。即,存储器装置 11 总是以兼容模式操作,除非在步骤 E-8 中设定扩展模式。已接收到 CMD55 的所有嵌入的装置 11 至 14 将标志“兼容模式”设定至“0b”。

[0217] 当在步骤 E-5 中将标志“第一 CMD55”设定至“0b”,当在步骤 E-7 中将 CRCA 设定至“0000h”,或者当在步骤 E-8 中将标志“兼容模式”设定至“0b”时,存储器装置 11 确定存储器装置 11 是否处于扩展模式(步骤 E-9)。

[0218] 当存储器装置 11 处于扩展模式,即,当标志“兼容模式”被设定至“0b”(步骤 E-9 中的否)时,存储器装置 11 比较 CRCA 与通过存储器装置 11 的寄存器保持的 RCA 值(下文中称为 DRCA)(步骤 E-10)。

[0219] 当 CRCA 与 DRCA 匹配时,即,当 CRCA 等于 DRCA(步骤 E-10 中的是)时,存储器装置 11 识别出 CMD55 的目标为存储器装置 11,并且存储器装置 11 发送回对控制器 3 的响应(步骤 E-11)。

[0220] 当存储器装置 11 从控制器 3 接收到随后的命令(步骤 E-12)时,存储器装置 11 确定接收到的命令是否可以在初始化处理中执行(步骤 E-13)。当该命令可被执行(步骤 E-13 中的是)时,存储器装置 11 向控制器 3 发送回对该命令的响应(步骤 E-14),并且执行该命令(步骤 E-15)。接着,流程转到步骤 E-2。

[0221] 当该命令不可被执行(步骤 E-13 中的否)时,存储器装置 11 什么也不执行(不发送回响应)。接着,流程转到步骤 E-2。当 CRCA 与 DRCA 不匹配(步骤 E-10 中的否)时,存储器装置 11 识别出 CMD55 的目标不是存储器装置 11。虽然存储器装置 11 接收到随后发出的命令(步骤 E-16),但存储器装置 11 忽略该命令,且不发送回响应。接着,流程转到步骤 E-2。

[0222] 当在步骤 E-9 中存储器装置 11 处于兼容模式,即,当标志“兼容模式”被设定至“1b”(步骤 E-9 中的是)时,存储器装置 11 向控制器 3 发送回对 CMD55 的响应(步骤 E-17)。接着,存储器装置 11 接收随后的命令(步骤 E-18)。当在步骤 E-18 中接收到的命令是 CMD41(步骤 E-19 中的是)时,存储器装置 11 向控制器 3 发送回对 ACMD41 的响应(步骤 E-20),并且执行 ACMD41(步骤 E-21)。

[0223] 当在步骤 E-18 中接收到的命令不是 CMD41(步骤 E-19 中的否)时,存储器装置 11 不发送回响应且不执行处理。接着,流程转到步骤 E-2。这是因为,在包括 CMD55 的命令中(步骤 E-3 中的是),CMD41 在兼容模式下的初始化处理期间是仅有的可识别的命令。

[0224] 接着,存储器装置 11 接收下一个命令,并且重复类似的处理,直到完成初始化。图 17 的流程对存储器装置 12 同样适用。除了在步骤 S19 中确定的命令为 CMD5(=ACMD5)之外,图 17 的流程对嵌入的装置 13 和 14 同样适用。

[0225] 当存储器装置 11 接收到其中 QBR = “1b”的 CMD8 或者其中 QBR = “1b”且 CRCA

=“0001h”的 ACMD8 时,存储器装置 11 执行步骤 E-15 中的快速启动。即,图 17 中所示的序列被打断,并且从启动代码区域读取启动代码。

[0226] 当完成启动代码读取时,流程转到步骤 E-2。

[0227] 在 SD 接口中,可以以上述方式应用第一实施例。

[0228] (第六实施例)

[0229] 下面将描述本发明的第六实施例。第六实施例涉及当将第二实施例应用于 SD 接口时进一步的具体的操作。

[0230] 将参考图 18 描述由第六实施例的控制器 3 执行的对嵌入的装置 11 至 14 的初始化操作。图 18 是示出由控制器 3 执行的处理流程的流程图。

[0231] 如图 18 中所示,控制器 3 开启嵌入的装置 11 至 14(步骤 B-0)。接着,控制器 3 执行步骤 B-1 至 B-3 以及 B-6 至 B-17 中的处理。步骤 B-1 至 B-3 以及 B-6 至 B-17 中的处理对应于在第二实施例中描述的图 9 的步骤 S2 至 S4、S32、S33、S12、S15、S22、S23 以及 S25 至 S28 中的处理。

[0232] 控制器 3 执行步骤 B-1 至 B-3 中的处理。步骤 B-1 至 B-3 中的处理与第五实施例的步骤 A-1 至 A-3 中的处理类似。

[0233] 控制器 3 发出 ACMD5,其中 RCA =“FFFFh”(步骤 B-6)。这使得嵌入的装置 13 和 14 能够开始初始化。控制器 3 发出 ACMD41,其中 RCA =“FFFFh”(步骤 B-7)。这使得存储器装置 11 和 12 能够开始初始化。

[0234] 接着,控制器 3 确认嵌入的装置 11 至 14 的初始化是否已完成。即,控制器 3 执行步骤 B-8 至 B-15 中的处理。由于步骤 B-8 至 B-15 中的处理与第五实施例的步骤 A-6、A-7、A-9、A-10、A-12、A-13、A-15 和 A-16 中的处理类似,省略对其的描述。

[0235] 最后,控制器 3 发出其中 RCA =“FFFFh”的 ACMD2 和其中 RCA =“FFFFh”的 ACMD3(步骤 B-16 和步骤 B-17)。接着,初始化得以完成。

[0236] 在 SD 接口中,可以以上述方式应用第二实施例。使用 ACMD41,可省略图 9 的步骤 S5 和 S31 中的处理。因此,在步骤 S5 中省略对复位命令的发出,以消除另一电压检查,并且可通过 ACMD41 开始对存储器装置的初始化。

[0237] (第七实施例)

[0238] 下面将描述本发明的第七实施例。第七实施例涉及当将第三实施例应用于 SD 接口时的进一步的具体的操作。

[0239] 将参考图 19 描述由第七实施例的控制器 3 执行的对嵌入的装置 11 至 14 的初始化操作。图 19 是示出由控制器 3 执行的处理流程的流程图。

[0240] 如图 19 中所示,控制器 3 开启嵌入的装置 11 至 14(步骤 C-0)。接着,控制器 3 执行步骤 C-1 至 C-13 中的处理。步骤 C-1 至 C-3 中的处理对应于在第三实施例中描述的图 11 的步骤 S41、S2 和 S42 中的处理。步骤 C-4 中的处理对应于图 11 的从启动读取到 ID 和地址请求的处理,即,步骤 C-4 中的处理对应于步骤 A-2 至 A-18 或 B-2 至 B-17 中的处理。步骤 C-5 和 C-6 中的处理对应于图 11 的步骤 S43 和 S44 的处理。步骤 C-7 至 C-10 中的处理对应于图 11 的步骤 S45 和 S46 的处理。步骤 C-11 至 C-13 中的处理对应于图 11 的步骤 S51 至 S53 的处理。

[0241] 控制器 3 发出 CMD8,其中 QBR =“0b”(步骤 C-6)。这使得能够执行对卡装置 5 的

电压检查。接着,控制器 3 发出 CMD5(步骤 C-7),以初始化卡装置 5。接着,控制器 3 顺序地发出 ACMD9、CMD2 和 CMD3,以完成初始化。

[0242] (第八实施例)

[0243] 下面将描述本发明的第八实施例。第八实施例涉及当将第四实施例应用于 SD 接口时的进一步的具体的操作。

[0244] 将参考图 20 描述由第八实施例的控制器 3 执行的启动代码读取操作。图 20 是示出由控制器 3 执行的处理流程的流程图。

[0245] 如图 20 中所示,控制器 3 开启嵌入的装置 11 至 14(步骤 D-0)。接着,控制器执行步骤 D-1 至 D-16 中的处理。步骤 D-1 至 D-16 中的处理对应于第四实施例的图 12 中的步骤 S2、S61 至 S66、S71 至 S76、S81、S82 和 S5 中的处理。当在步骤 D-3 中没有获得响应时,流程转到步骤 D-16。在步骤 D-2 中,可使用 ACMD8 来替代 CMD8。

[0246] (第九实施例)

[0247] 下面将描述本发明的第九实施例。第九实施例涉及在第一至第八实施例中的快速启动的细节,并且在第九实施例中执行快速启动过程中读取操作系统(OS)。下面将仅仅描述与第一至第八实施例不同的点。

[0248] <主机设备 1 的配置>

[0249] 图 21 是示出第九实施例的主机设备 1 的主要部分的框图。在第九实施例的配置中,将 ROM 8 和 RAM 9 附加到第一实施例的图 1 的配置中。第九实施例还在存储器装置 11 中的闪速存储器 11c 的配置方面与第一实施例不同。虽然在图 21 中部分省略,但其他配置和操作与第一实施例中的相同。

[0250] ROM 8 和 RAM 9 可包括在图 1 的系统存储器 7 中。通过保持主加载程序 20 的半导体存储器而形成 ROM 8。主加载程序 20 是由 CPU 6 执行的程序,且在第一至第八实施例中执行对嵌入的装置 11 至 14 的初始化和快速启动的过程中被执行。

[0251] RAM 9 是通过半导体存储器(例如 DRAM)形成的,并且用作为 CPU6 的工作区域。例如,CPU 6 将主加载程序 20 读取到 RAM 9 上,以产生在 RAM 9 中需要的表。还将 OS(操作系统)读取到 RAM 9 上并通过 CPU6 来执行。

[0252] 存储器装置 11 包括 NAND 型闪速存储器 11c。NAND 型闪速存储器 11c 包括安全区域 30、系统区域 31、用户区域 32、系统分区 33、第一启动分区 34 以及第二启动分区 35。安全区域 30、系统区域 31 和用户区域 32 对应于第一实施例的图 2 中的系统区域 11c4、安全区域 11c3 和用户区域 11c1。

[0253] 通过文件系统(例如 FAT 文件系统)管理系统分区 33,并且在系统分区 33 中存储 OS 程序和数据。通过使用数据执行程序来启动 OS。第一和第二启动分区 34 和 35 不通过文件系统来管理,但第一和第二启动分区 34 和 35 分别保持次加载程序 36。次加载程序 36 是由 CPU 6 执行的程序,并且在从系统分区 33 读取 OS 的过程中被执行。系统分区 33、第一启动分区 34 和第二启动分区 35 中的每一个都是从用户区域 32 物理分隔出来的分区。因此,CPU 6 将分区 33 至 35 识别为与用户区域 32 物理上不同的区域。第一和第二启动分区 34 和 35 对应于第一实施例中的图 2 的启动代码区域 11c2。

[0254] 系统分区 33 以及第一和第二启动分区 34 和 35 被配置为禁止写入。这是因为,防止 OS 程序和数据以及次加载程序因疏忽而改变为禁用对系统的启动。然而,为了更新 OS 和

次加载程序,需要重写 OS 程序和数据以及次加载程序。因此,控制器 3 具有用以解除对系统分区 33 以及第一和第二启动分区 34 和 35 的写入禁止的命令或硬件装置。控制器 3 可以访问系统分区 33 以及第一和第二启动分区 34 和 35,以通过发出命令或使用硬件装置而重写 OS 程序和数据以及次加载程序。

[0255] 在 NAND 型闪速存储器 11c 中,用户区域 32、系统分区 33 以及第一和第二启动分区 34 和 35 是 CPU 6 可任意访问的区域。另一方面,安全区域 30 和系统区域 31 不是 CPU 6 可任意访问的区域。仅当满足预定条件时,CPU 6 可访问安全区域 30,并且仅仅存储器装置 11 的控制器 11a 可访问系统区域 31。

[0256] 存储器装置 12 具有这样的配置,其中系统分区 33 以及第一和第二启动分区 34 和 35 从存储器装置 11 移除。装置 13 和 14 具有与第一实施例相同的配置。

[0257] < 嵌入的装置 11 至 14 的初始化操作的示意性流程 >

[0258] 将参考图 22 描述由 CPU 6 和控制器 3 执行的对嵌入的装置 11 至 14 的初始化操作的示意性流程。图 22 是示出 CPU 6 和控制器 3 的操作的时序图。

[0259] 如图 22 中所示,CPU 6 执行 ROM 8 中的主加载程序 20 (步骤 S90)。这使得 CPU 6 能够根据主加载程序 20 而开始对装置 11 至 14 的初始化以及 OS 起动操作 (步骤 S91)。

[0260] 在执行初始化和 OS 起动过程中,CPU 6 向控制器 3 提供用以读取次加载程序 36 的命令。响应于来自 CPU 6 的该命令,控制器 3 从存储器装置 11 的第一和第二启动分区 33 和 35 之一中读取次加载程序 36,并且将该次加载程序 36 存储在 RAM 9 中。CPU 6 执行存储在 RAM 9 中的次加载程序 36 (步骤 S92)。

[0261] 接着,CPU 6 根据次加载程序 36 向控制器 3 提供用以读取 OS 程序 and 数据的命令。响应于来自 CPU 6 的该命令,控制器 3 访问存储器装置 11 的系统分区 33,以读取 OS 程序和数据 37,并且控制器 3 将 OS 程序和数据 37 存储在 RAM 9 中。接着,CPU 6 执行存储在 RAM 9 中的 OS 程序 37,以起动 OS (步骤 S93)。当 OS 得到起动时,基于次加载程序 36 的处理得以完成。

[0262] 接着,CPU 6 根据次加载程序 36 向控制器 3 提供用以初始化装置 11 至 14 的命令。响应于来自 CPU 6 的该命令,控制器 3 执行用于对嵌入的装置 11 至 14 的初始化的处理 (例如电压检查) (步骤 S94)。

[0263] 通过初始化,装置 11 至 14 中的每一个转换到备用状态,并且 CPU 6 完成基于主加载程序 20 的处理 (步骤 S95)。

[0264] < 嵌入的装置 11 至 14 的状态转变 >

[0265] 将参考图 23 描述存储器装置 11 的状态转变。图 23 示出存储器装置 11 的状态转变。由于图 23 的状态转变与图 15 的状态转变基本相似,下面将仅仅描述与图 15 不同的点。

[0266] 当控制器 3 向存储器装置 11 发出快速启动命令时,存储器装置 11 进行从空闲状态向启动和系统分区读取状态的转变。启动和系统分区读取状态对应于图 15 中通过快速启动命令 (ACMD8 或 CMD8,其中 QBR 被设定至“1b”) 所转变到的启动读取状态。在启动和系统分区读取状态下,控制器 3 可访问第一和第二启动分区 34 和 35 以及系统分区 33。

[0267] 当控制器 3 发出 ACMD8 或 CMD8 (其中 QBR 被设定至“1b”) 时,存储器装置 11 发送回其中 QBA (被接受的快速启动) 被设定至“1b”的响应,这允许存储器装置 11 进行从空闲状态向启动和系统分区读取状态的转变。对 ACMD8 或 CMD8 的响应具有这样的配置,其中用

图 14 的 CMD8 中的 QBA 来替代 QBR。QBA 是表明快速启动命令是否被接受的信息。在 QBA = “1b” 的情况下,快速启动命令被接受,而在 QBA = “0b” 的情况下,快速启动命令没有被接受。

[0268] 在启动和系统分区读取状态下,使用 CMD12 和 CM17 至 CMD19 来读取次加载程序 36,并且次加载程序 36 使用 CMD12 和 CM17 至 CMD19 来读取 OS 程序和数据 37。CMD19 用于选择第一和第二启动分区 33 和 34 以及系统分区 33。显然,CMD12 和 CM17 至 CMD19 可以是添加有 CMD55 的扩展的命令。

[0269] 当控制器 3 向存储器装置 11 发出 ACMD41 或 CMD0 时,存储器装置 11 进行从启动和系统分区读取状态向空闲状态的转变。此时,在存储器装置 11 通过 CMD0 进行向空闲状态转变的情况下,要求另一电压检查 (ACMD8 或 CMD8)。

[0270] 当控制器 3 向存储器装置 11 发出 ACMD41 时,存储器装置 11 进行从空闲状态向就绪状态的转变。可以在就绪状态下传输装置的独特的 ID 号码。即,存储器装置 11 处于其中可接受 ACMD2 或 CMD2 的状态。

[0271] 当控制器 3 向存储器装置 11 发出 ACMD2 或 CMD2 时,存储器装置 11 进行从就绪状态向识别状态 (ident 状态) 的转变。可以在 ident 状态下传输存储器装置 11 的地址。即,存储器装置 11 处于其中可接受 ACMD3 或 CMD3 的状态。

[0272] 当控制器 3 向存储器装置 11 发出 ACMD3 或 CMD3 时,存储器装置 11 进行从 ident 状态向备用状态的转变。存储器装置 11 从 ident 状态向备用状态的转变完成对存储器装置 11 的初始化。备用状态类似于图 5 的备用状态。

[0273] 当控制器 3 向存储器装置 11 发出 CMD7 时,存储器装置 11 进行从备用状态向传送状态的转变。此时,显然,所发出的 CMD7 的变元需要包括由存储器装置 11 保持的 RCA。在传送状态下,控制器 3 可以使用 CMD19 来访问系统分区 33 以及第一和第二启动分区 34 和 35。然而,即使控制器 3 在传送状态下访问系统分区 33 以及第一和第二启动分区 34 和 35,存储器装置 11 也不进行向启动和系统分区读取状态的转变。启动和系统分区读取状态是这样的状态,其中存储器装置 11 可以通过快速启动命令进行转变。

[0274] < 存储器装置 11 的初始化操作 >

[0275] 集中于快速启动,将参考图 24 来描述由控制器 3 执行的对嵌入的装置 11 至 14 的初始化操作。图 24 是示出由控制器 3 执行的处理流程的流程图,并且图 24 示出根据主加载程序 20 而执行的处理。

[0276] 控制器 3 从 ROM 8 读取主加载程序 20,并且执行 ROM 8 中的主加载程序 20。控制器 3 根据主加载程序 20 而执行图 16 的步骤 A-0 至 A-2 中的处理。通常,装置 11 至 14 按照缺省处于 SD 模式,从而可以省略步骤 A-1 中的 CMD0。在步骤 A-2 中,控制器 3 在多个装置支持 CMD8 时发出 ACMD8,而在仅仅一个装置支持 CMD8 时发出 ACMD8 或 CMD8。此时,在要求快速启动时,控制器 3 将 ACMD8 或 CMD8 的变元 QBR 设定至“1b”,而在不要求快速启动时,控制器 3 将 QBR 设定至“0b”。

[0277] 当接收到 ACMD8 或 CMD8 时,装置 11 至 14 发送回包括 QBA 的响应。当不要求快速启动时,或者当装置不支持快速启动时,在该响应中 QBA 被设定至“0b”。不支持 CMD8 的装置不发送回响应。因此,当控制器 3 接收到对步骤 A-2 中发出的快速启动命令的响应 (其中 QBA 被设定至“0b”) 时,或者当控制器 3 未接收到该响应 (在步骤 A-19 中 QBA = 0 或没

有响应)时,控制器 3 确定装置 11 至 14 不支持快速启动(步骤 A-20)。接着,流程转到图 16 的步骤 A-5 或图 18 的步骤 B-5,并且执行通常的初始化处理。

[0278] 另一方面,当控制器 3 接收到其中 QBA 被设定至“1b”的响应(在步骤 A-19 中 QBA = 1)时,控制器 3 开始快速启动处理。支持快速启动的装置对应于其中 QBR 被设定至“1b”的 ACMD8 或 CMD8,并且由于对 ACMD8 或 CMD8 的响应的传输结束,装置在八个时钟内被改变为四位总线模式(步骤 A-21)。

[0279] 在 SD 接口中可以使用两种总线模式,即,一位总线模式和四位总线模式。一位总线模式具有一个位的总线宽度,且可以以 400kHz 的最大频率操作(下文中称为标准速度模式)。四位总线模式具有四个位的总线宽度,且可以以 50MHz 的最大频率操作(下文中称为高速度模式)。标准速度模式和高速度模式都可以在四位总线模式下操作,但仅仅标准速度模式可以在一位总线模式下操作。

[0280] 与装置 11 至 14 类似地,控制器 3 被改变为四位总线模式(步骤 A-21)。此时,总线操作频率可以从标准速度模式改变为高速度模式,或者通过控制器 3 与装置 11 至 14 之间的调节,确定总线操作模式是否改变为高速度模式。

[0281] 控制器 3 发出 ACMD18 或 CMD18,并且访问第一启动分区 34,以读取次加载程序 36(步骤 A-22)。CMD18 是数据读取命令。由于发出 CMD18,第一和第二启动分区 34 和 35 被启用,以在 100ms 内读取数据。控制器 3 参考错误标志,以确定数据是否从第一启动分区 34 中正常读取。该错误标志用于记忆当控制器 3 对装置 11 至 14 执行各种检查(例如,电压检查)时错误的发生。

[0282] 将参考图 25 描述步骤 A-22 中的详细处理。图 25 是示出步骤 A-22 中的处理的流程图。

[0283] 在控制器 3 中,错误标志被设定至“0b”(步骤 F-0)。控制器 3 发出 CMD18 或 ACMD18(RCA 是保持次加载程序 36 的装置的反码地址,在第九实施例中,RCA = “0001h”)(步骤 F-1)。CMD18 是多块读取命令。即,CMD18 用于读取多个块。

[0284] 当确认来自装置 11 的对 CMD8 的响应中不存在错误(步骤 F-2 中的否)时,控制器 3 访问第一启动分区 34,从而以块为单位读取数据,并且将数据传输至 RAM 9(步骤 F-7)。当在步骤 F-7 的处理中发生读取错误时,装置 11 维持在其中不提供数据的状态。控制器 3 通过设定读取超时来检测读取错误。即,当在给定的周期内没有提供数据(步骤 F-8 中的是)时,控制器 3 将错误标志设定至“1b”(步骤 F-10)。当在步骤 F-2 中对 CMD18 的响应具有错误(步骤 F-2 中的是)时,控制器 3 也将错误标志设定至“1b”。

[0285] 当在数据传送中未发生超时(步骤 F-8 中的否)时,以及当数据读取到最后(步骤 F-9 中的是)时,控制器 3 发出 CMD12(步骤 F-11)。控制器 3 通过发出 CMD12 来结束读取操作。当在步骤 F-10 中错误标志被设定至“1b”时,控制器 3 也发出 CMD12(步骤 F-11)来中断数据读取。

[0286] 例如,可以使用头部信息来执行步骤 F-9 中的处理。在步骤 F-7 中访问的第一块的头部地址包括用以控制读取的头部信息,从而控制器 3 可以参考该头部信息而了解次加载程序 36 的大小。更具体而言,在头部信息中记录将被读取的块的数目。或者,在控制器 3 中预先设定块的数目。块的数目还表示步骤 F-7 和 F-8 中的循环的次数。当控制器 3 读取了从头部信息中获得的块的数目或预设的块数目的数据时,控制器 3 结束读取。

[0287] 第一和第二启动分区 34 和 35 是不通过文件系统进行管理的区域,并且次加载程序 36 以地址顺序写入在 NAND 型闪速存储器 11c 中。因此,可以通过一次多块读取命令 (CMD18) 来读取次加载程序 36。CMD18 用于在地址增加的同时顺序地读取块。

[0288] 参考图 24,在步骤 A-22 中读取数据 (次加载程序 36) 之后,控制器 3 检查错误标志。当错误标志被设定至“0b”(步骤 A-23 中的否)时,控制器 3 确定在读取的数据中是否存在有效的次加载程序 36。可以通过预先固定这样的样式来进行该确定,该样式表明不存在启动代码,例如,与步骤 S72 中的处理相同地,所有的特定位置都被设定至 0 或 1。当存在次加载程序 36 (步骤 A-30 中的是)时,控制器 3 执行读取次加载程序 36 (步骤 A-29)。稍后描述步骤 A-29 中的处理。

[0289] 当错误标志被设定至“1b”时,即,当没有成功地读取数据 (步骤 A-23 中的是)时,控制器 3 发出 CMD19 或 ACMD19 (RCA 是保持次加载程序 36 的装置 RCA,在第九实施例中, RCA = “0001h”) (步骤 A-24)。CMD19 用于选择分区,因此,选择第二启动分区 35。

[0290] 当在执行 CMD19 过程中不存在错误 (步骤 A-25 中的否)时,控制器 3 尝试从第二启动分区 35 读取次加载程序 36 (步骤 A-27)。以上在图 24 中描述了步骤 A-27 中的处理。

[0291] 当在执行 CMD19 过程中发生错误 (步骤 A-25 中的是)时,控制器 3 确定不存在第二启动分区 35 (步骤 A-26),并且流程转到图 16 的步骤 A-5 或者图 18 的步骤 B-5。接着,执行通常的初始化处理。

[0292] 作为步骤 A-27 中的处理的结果,当从第二启动分区 35 成功地读取数据 (步骤 A-28 中的否)时,流程转到步骤 A-30。当数据没有成功读取 (步骤 A-28 中的是)时,流程转到图 16 的步骤 A-5 或者图 18 的步骤 B-5,并且执行通常的初始化处理。

[0293] 将参考图 26 描述步骤 A-29 中的详细处理。图 26 是示出基于次加载程序 36 的由控制器 3 执行的处理流程的流程图。

[0294] 如图 26 中所示,开始执行次加载程序 36 的控制器 3 发出 CMD19 (或 ACMD19),以选择系统分区 33 (步骤 G-0)。如上所述,系统分区 33 是其中安装有 OS 37 的程序和数据的区域。

[0295] 当没有成功地选择系统分区 33 (步骤 G-1 中的是)时,控制器 3 确定不存在 OS 37 (步骤 G-2),并且流程转到图 16 的步骤 A-5 或者图 18 的步骤 B-5。接着,执行通常的初始化处理。

[0296] 当成功地选择系统分区 33 (步骤 G-1 中的否)时,控制器 3 从系统分区 33 中读取 OS 37 的程序和数据 (步骤 G-3)。由于系统分区 33 是通过文件系统管理的区域,根据该文件系统的管理,通过多个读取命令 (CMD18 或 ACMD18) 来加载包括多个文件的 OS 37。加载的 OS 37 的程序和数据存储在 RAM 9 中。

[0297] 当在步骤 G-3 中完成对 OS 37 的程序和数据的加载而未发生错误 (步骤 G-4 中的否)时,CPU 6 通过执行在步骤 G-3 中读取的程序和数据而起动 OS 37 (步骤 G-5)。当 OS 37 已起动时,根据 OS 37,CPU 6 命令控制器 3 发出初始化命令 (ACMD41),并且存储器装置 11 被初始化。这使得存储器装置 11 能够访问所有的分区。

[0298] 接着,装置 12 至 14 通过图 16 或 18 中所示的方法初始化。

[0299] 由此,在第九实施例的配置中,可以在其他装置的初始化之前使用快速启动来读取 OS 37,从而可以高速执行对 OS 的起动。在 SD 接口中,要花费相对长的时间来初始化装

置 11 至 14。因此,当在所有的装置 11 至 14 初始化之后启动 OS 时,需要花费长时间来起动系统。然而,在第九实施例中,不需要在所有的装置 11 至 14 初始化之后才启动 OS,因此可以紧接在开启主机设备 1 之后启动 OS。

[0300] 在第九实施例的配置中,可以响应于快速启动命令 (ACMD8 或 CMD8) 来将总线改变为四位总线模式,并且还可以将总线改变为高速度模式。也可以省略用于改变总线模式的命令输入 (在常规技术中为 CMD6 或 ACMD6)。因此,可以在对次加载程序 36 和 OS 37 的读取操作中实现速度提高。这也有助于 OS 的高速起动。

[0301] 存储器装置 11 包括多个 (在第九实施例中为两个) 启动分区 34 和 35。因此,即使由于某些原因没有从第一启动分区 34 成功地读取次加载程序 36,也可以从第二启动分区 35 读取次加载程序 36,从而可以改善系统的可靠性。可以提供至少三个启动分区。

[0302] 在第九实施例中,使用 CMD19,可以在初始化之前选择装置中的分区。此时,仅仅允许选择启动分区 34 和 35 以及系统分区 33。换句话说,CMD19 是仅可选择启动分区 34 和 35 以及系统分区 33 的命令。因此,阻止了在初始化之前对用户区域 32 的访问,从而可保护用户数据。

[0303] 在第一至第九实施例中,在制造工艺期间预先写入通过存储器装置 11 至 14 而保持在寄存器 11b 至 14b 中的 RCA,或者通过外部可访问的连接引脚而重写入或设定 RCA。例如,主机设备 1 可应用于便携式电话和个人计算机。

[0304] 本领域技术人员很容易想到其他优点和修改。因此,本发明在其更宽的方面不限于在此示出和描述的具体细节和代表性实施例。因此,只要不脱离由所附权利要求及其等价物所限定的总发明构思的精神或范围,可以进行各种修改。

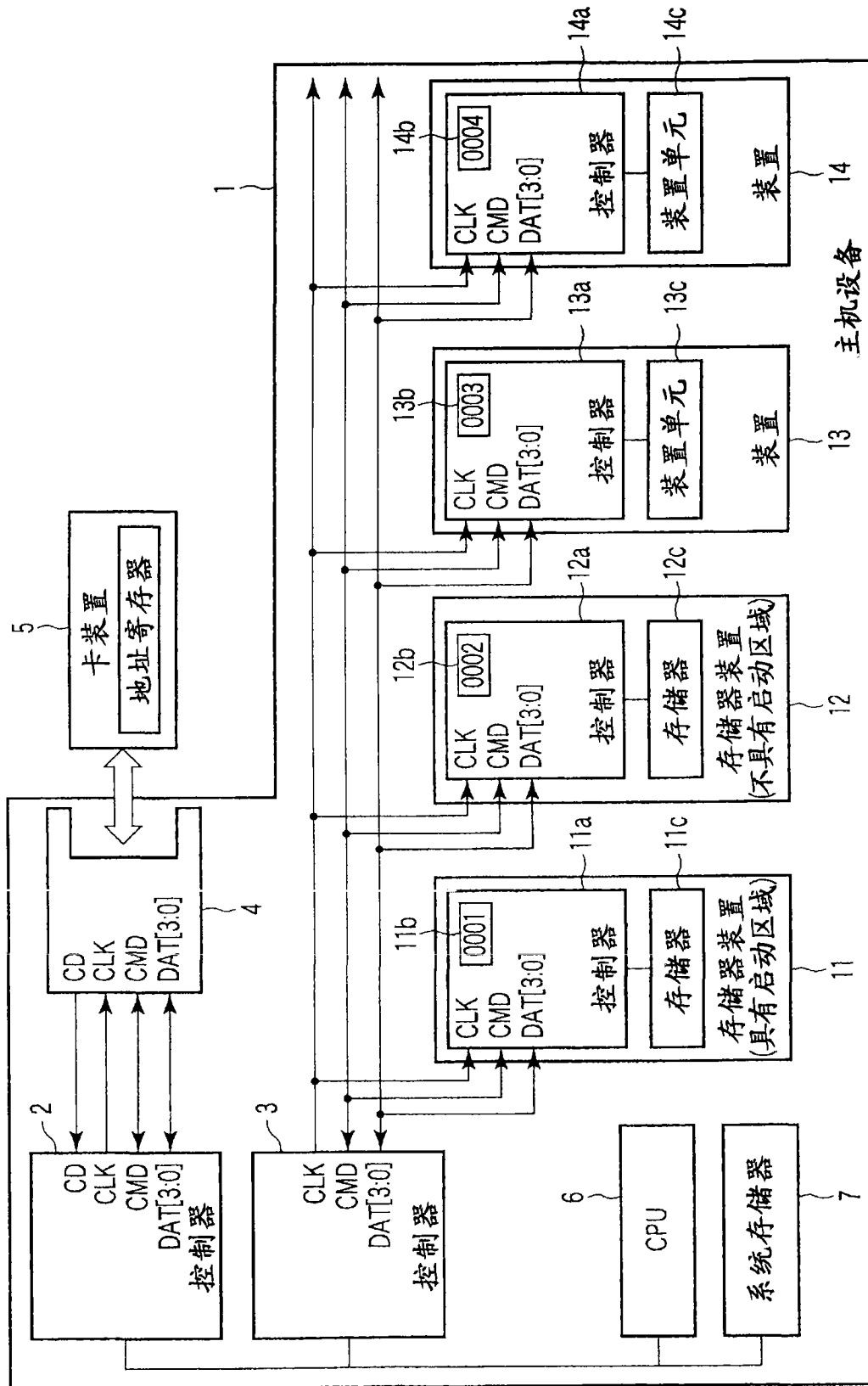


图 1

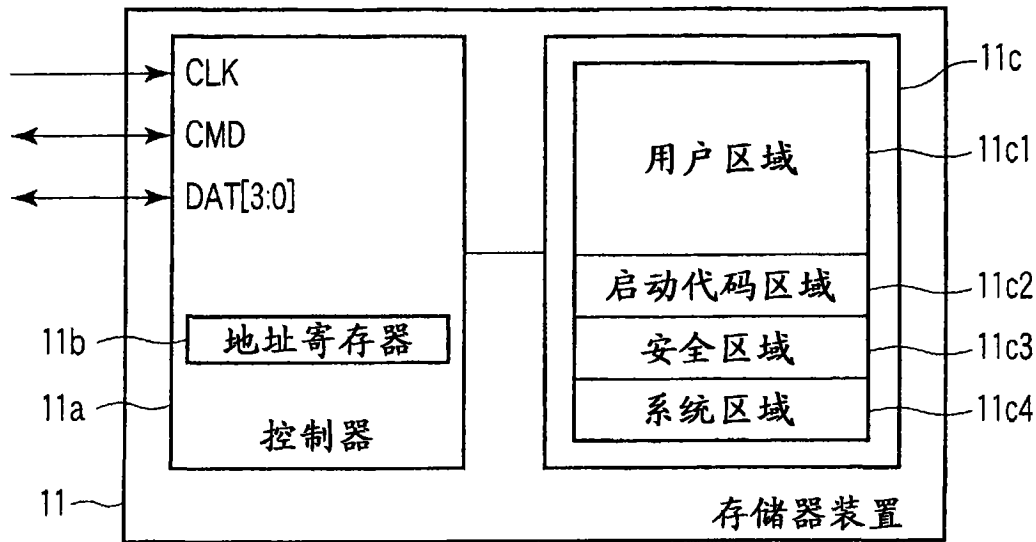


图 2

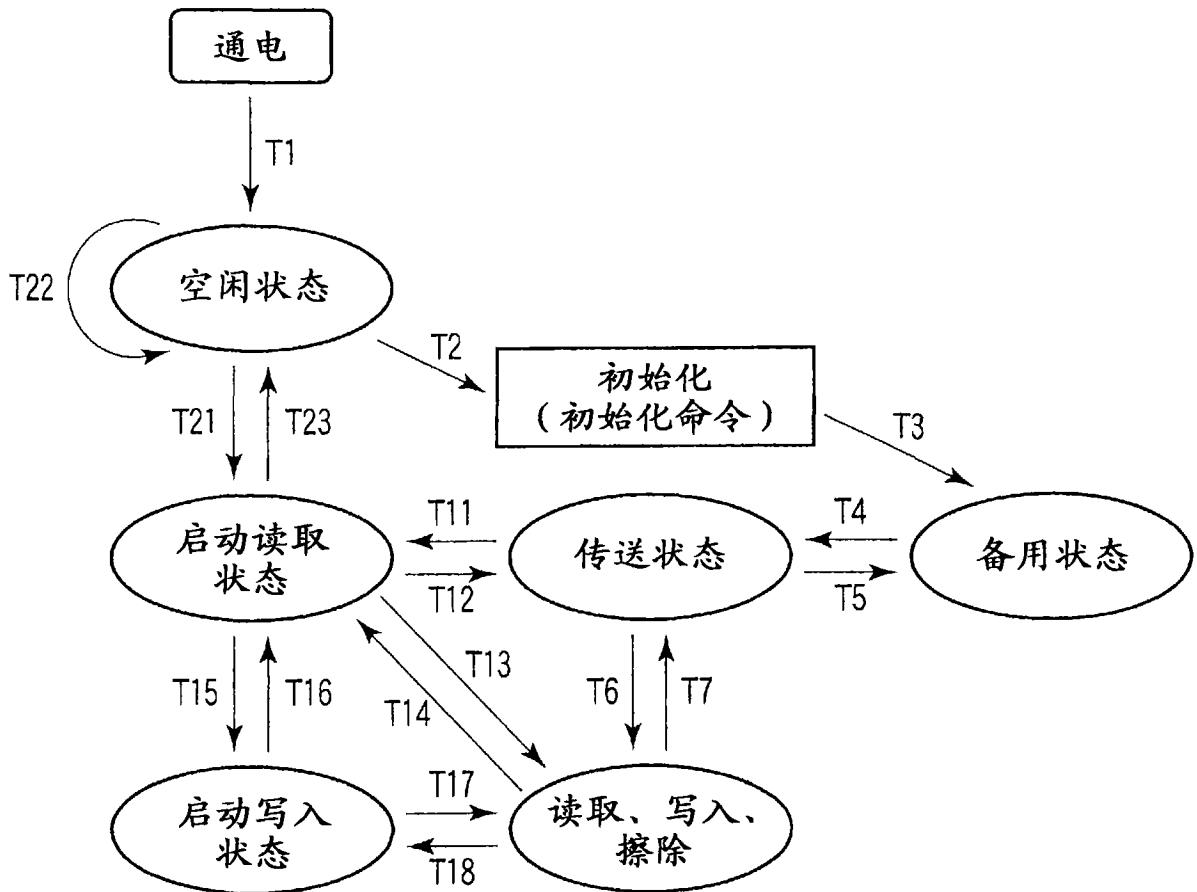


图 3

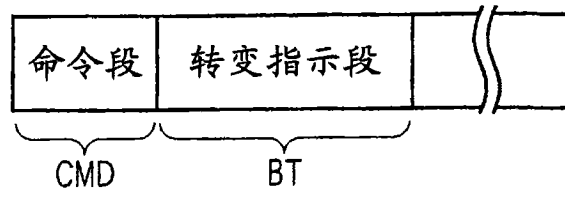


图 4

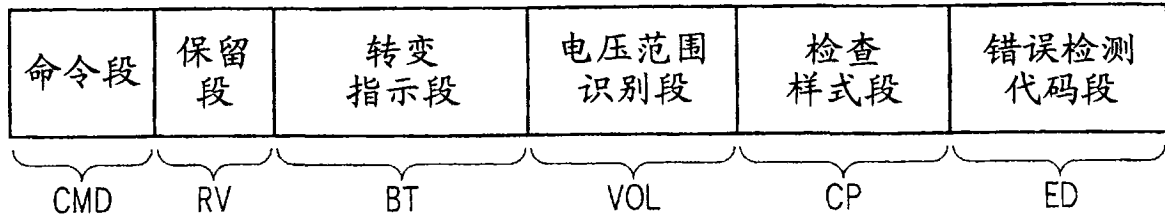


图 5

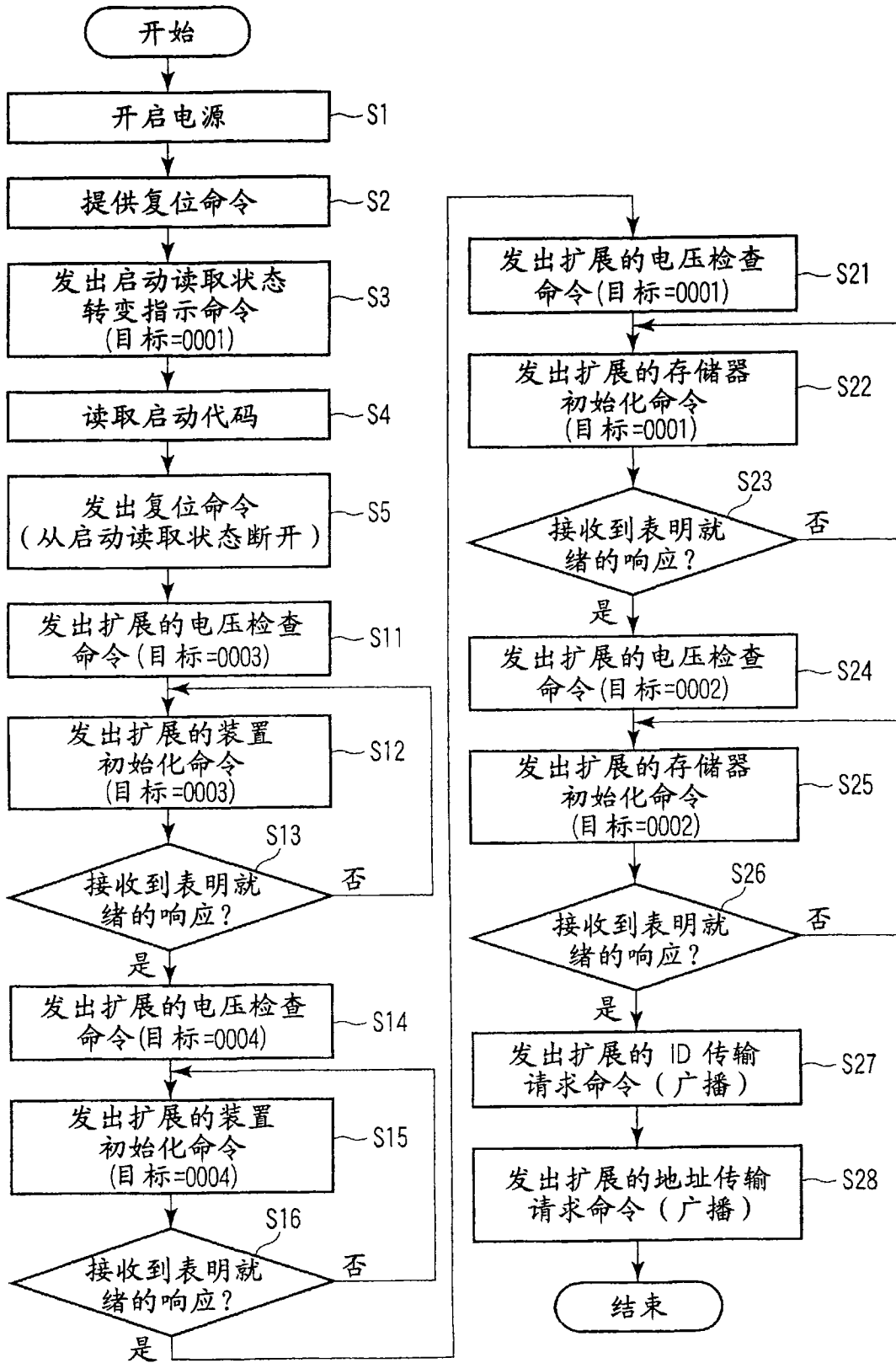


图 6

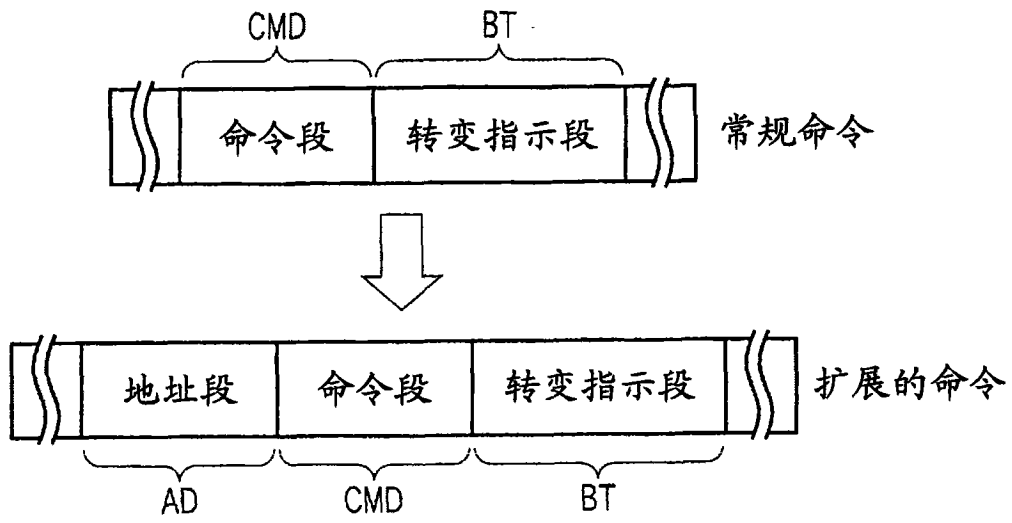


图 7

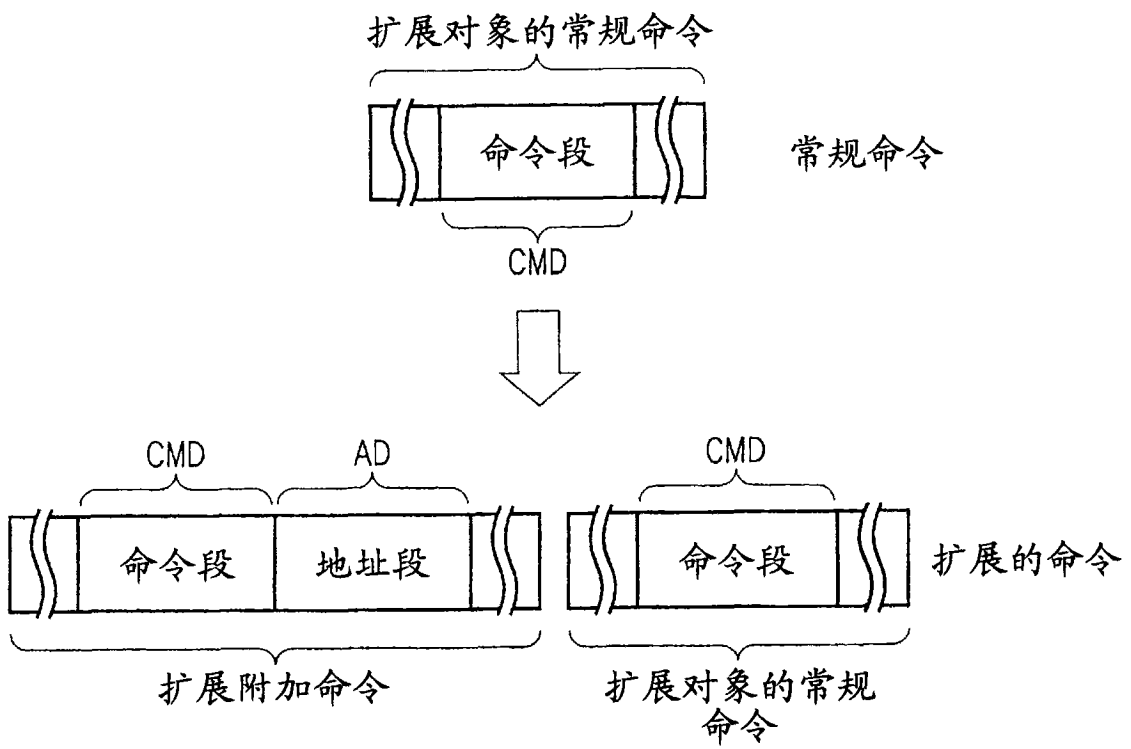


图 8

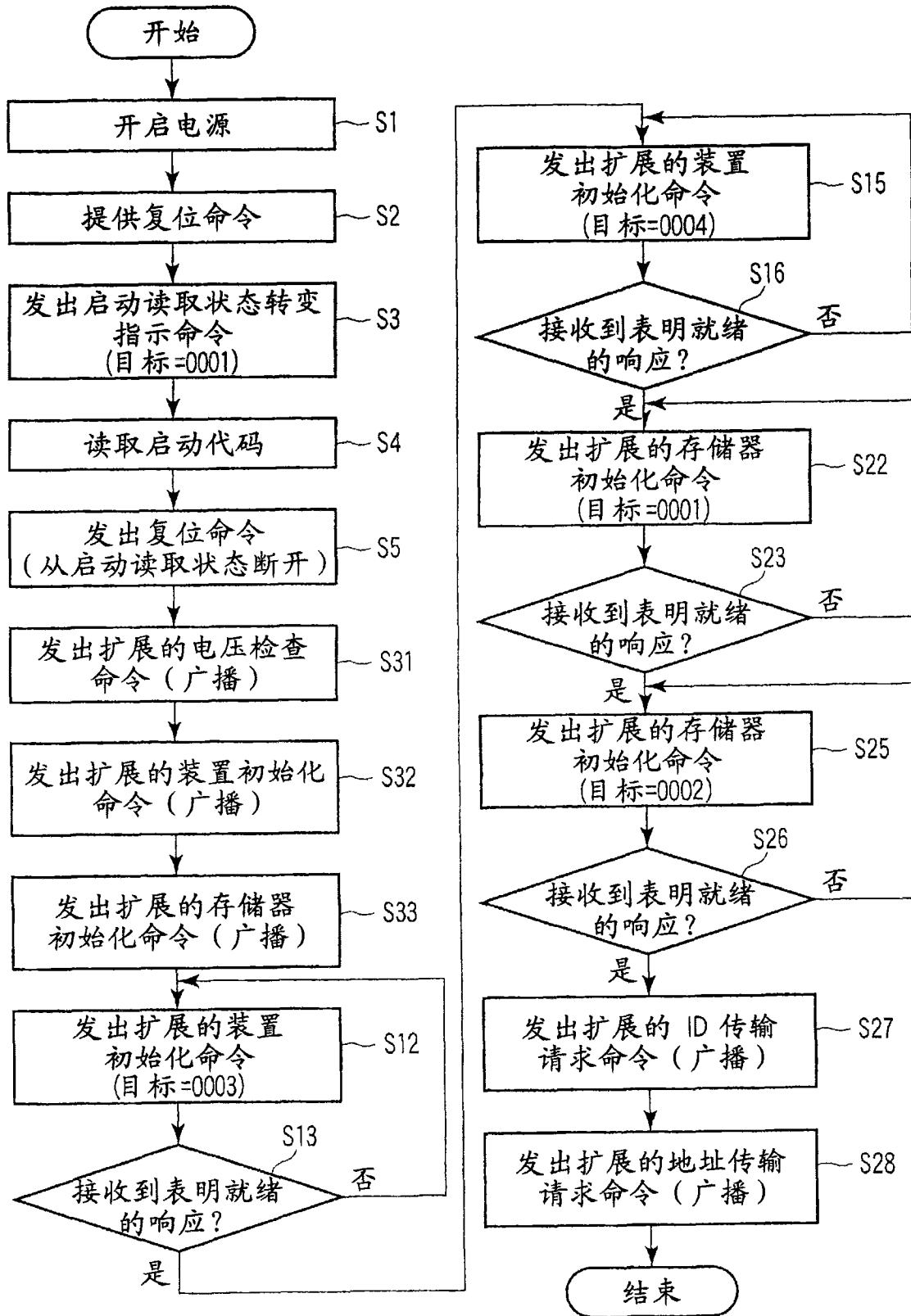


图 9

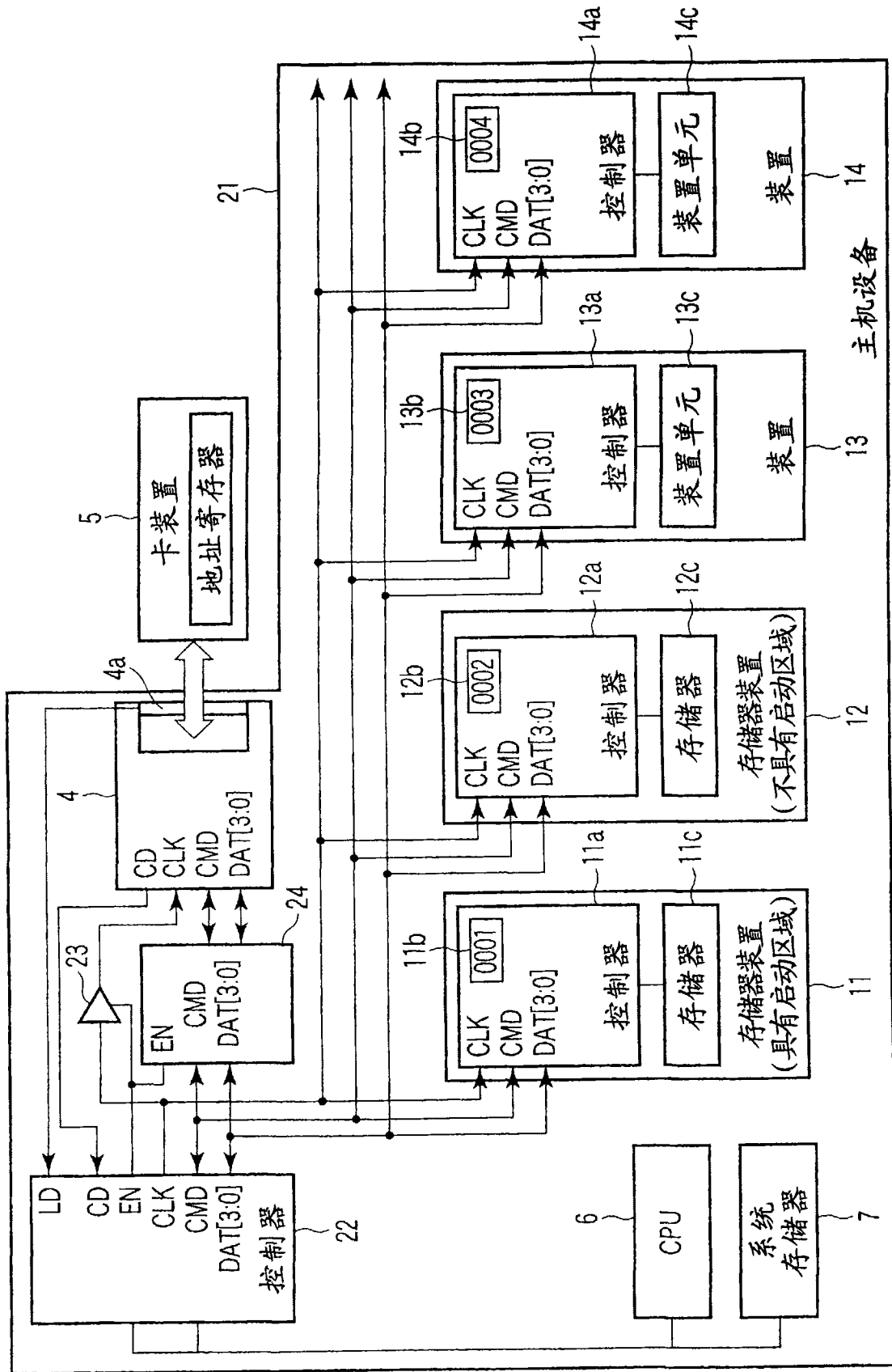


图 10

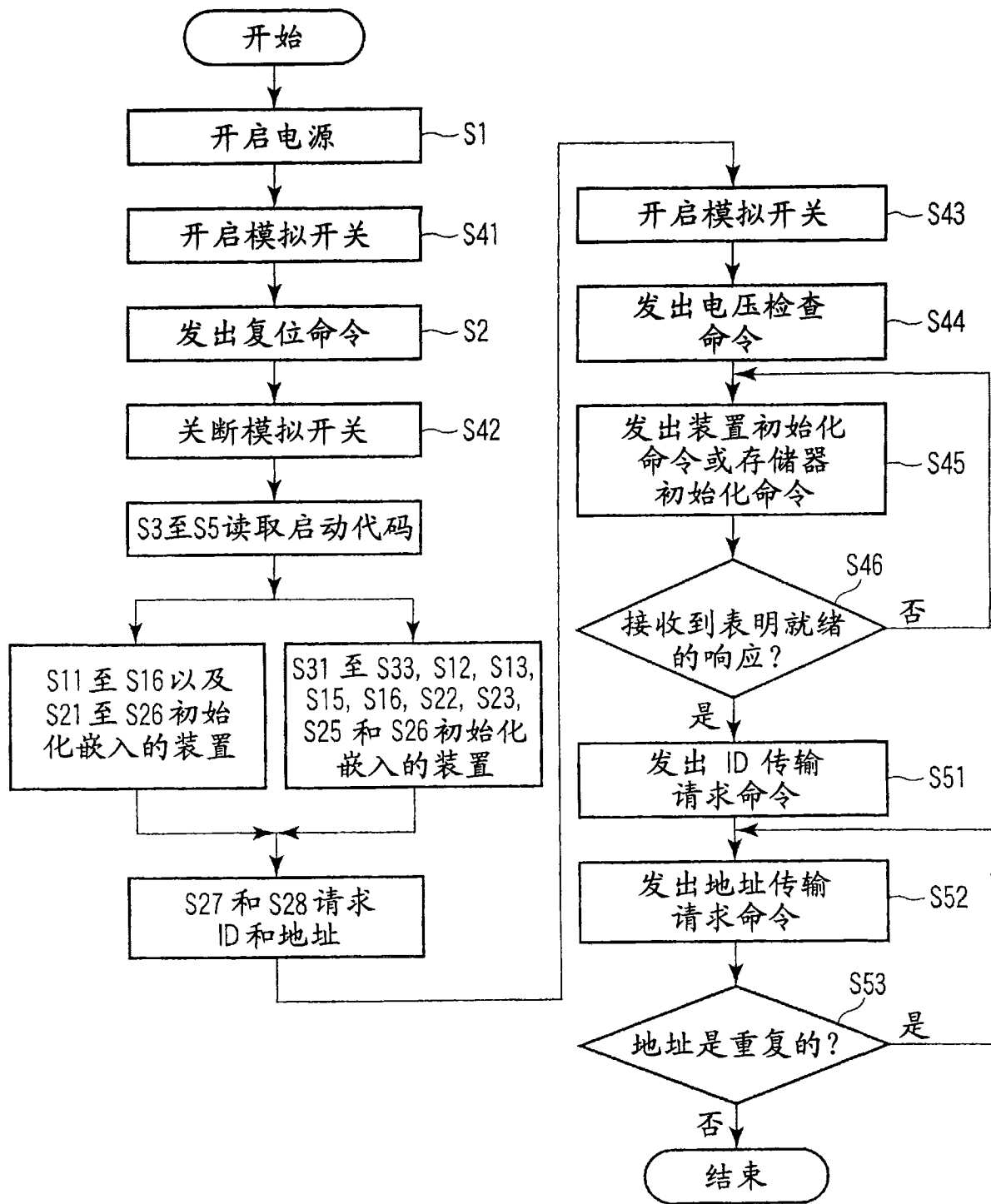


图 11

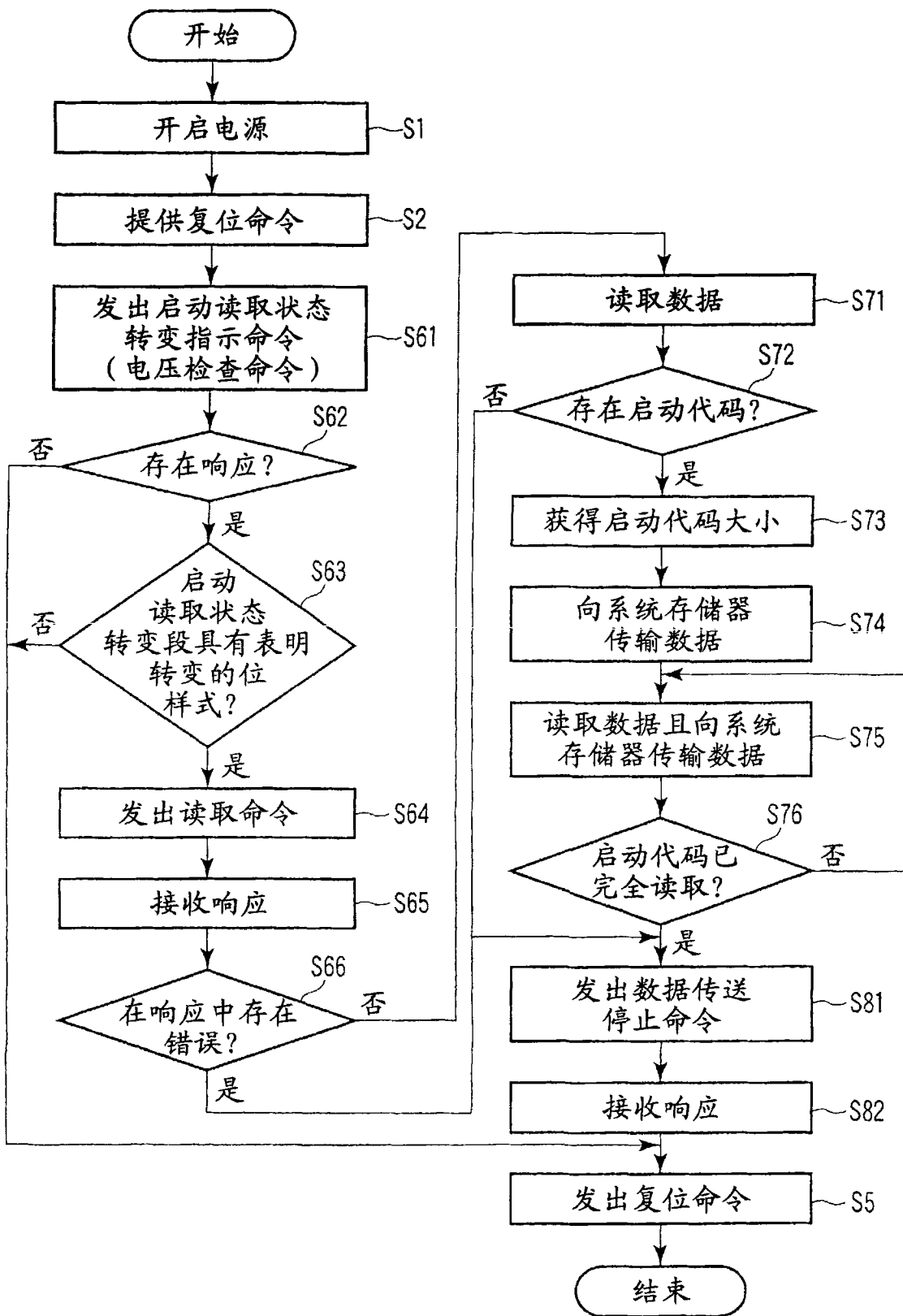


图 12

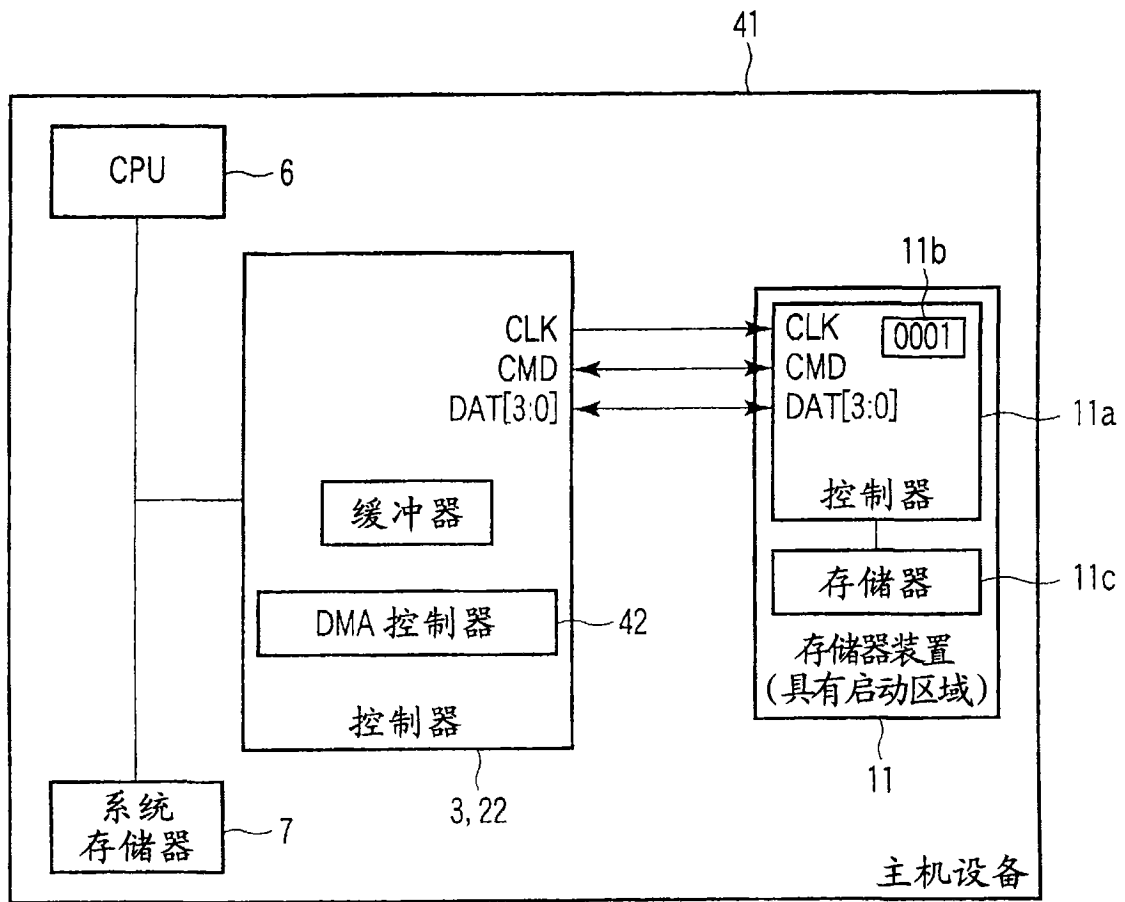


图 13

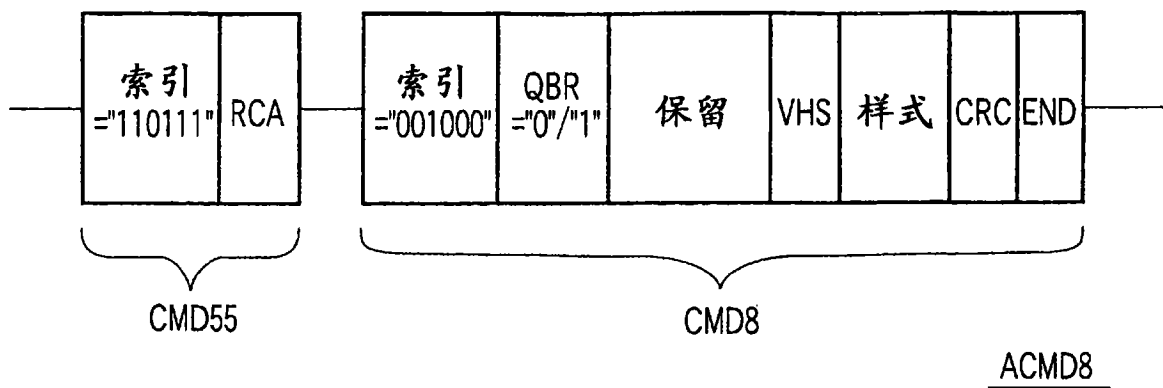


图 14

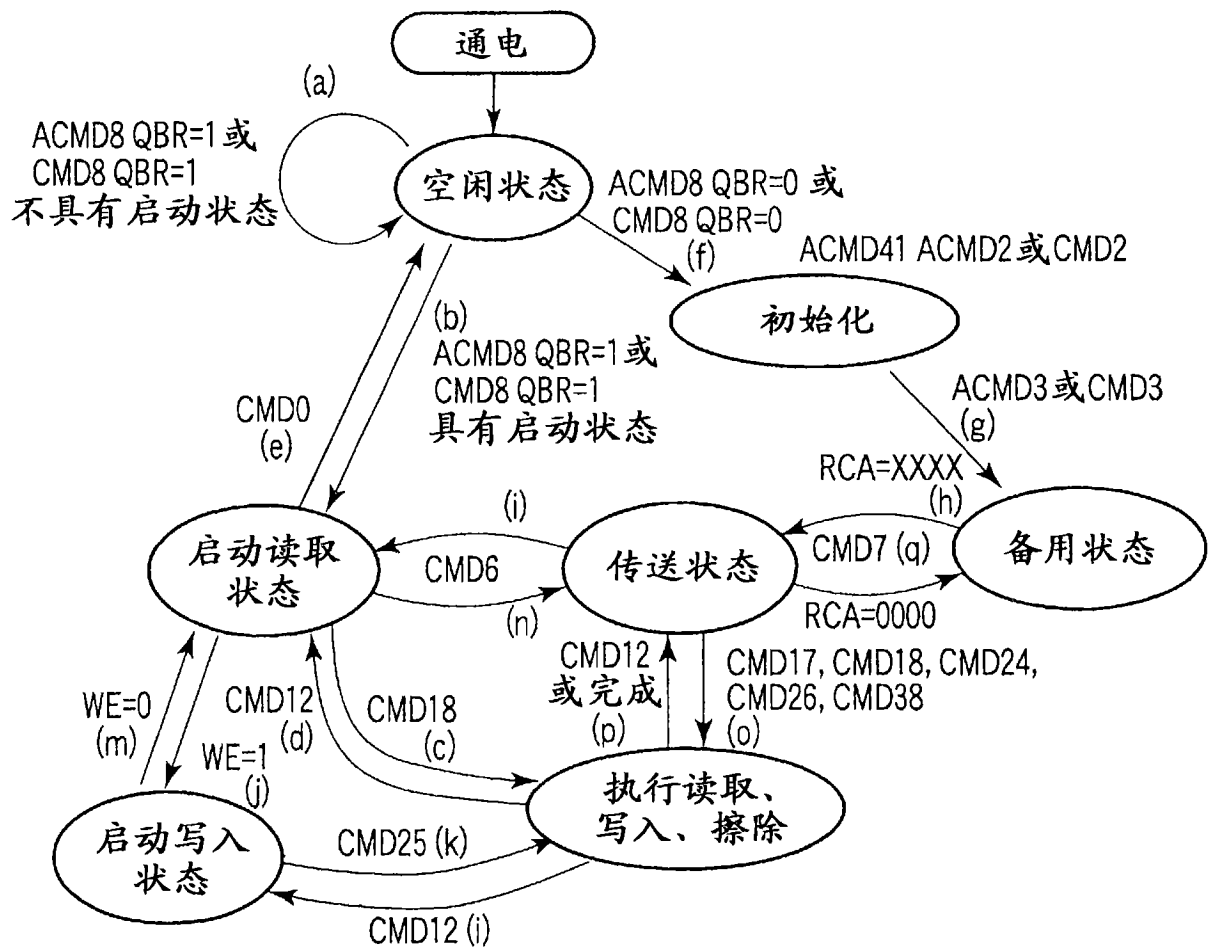


图 15

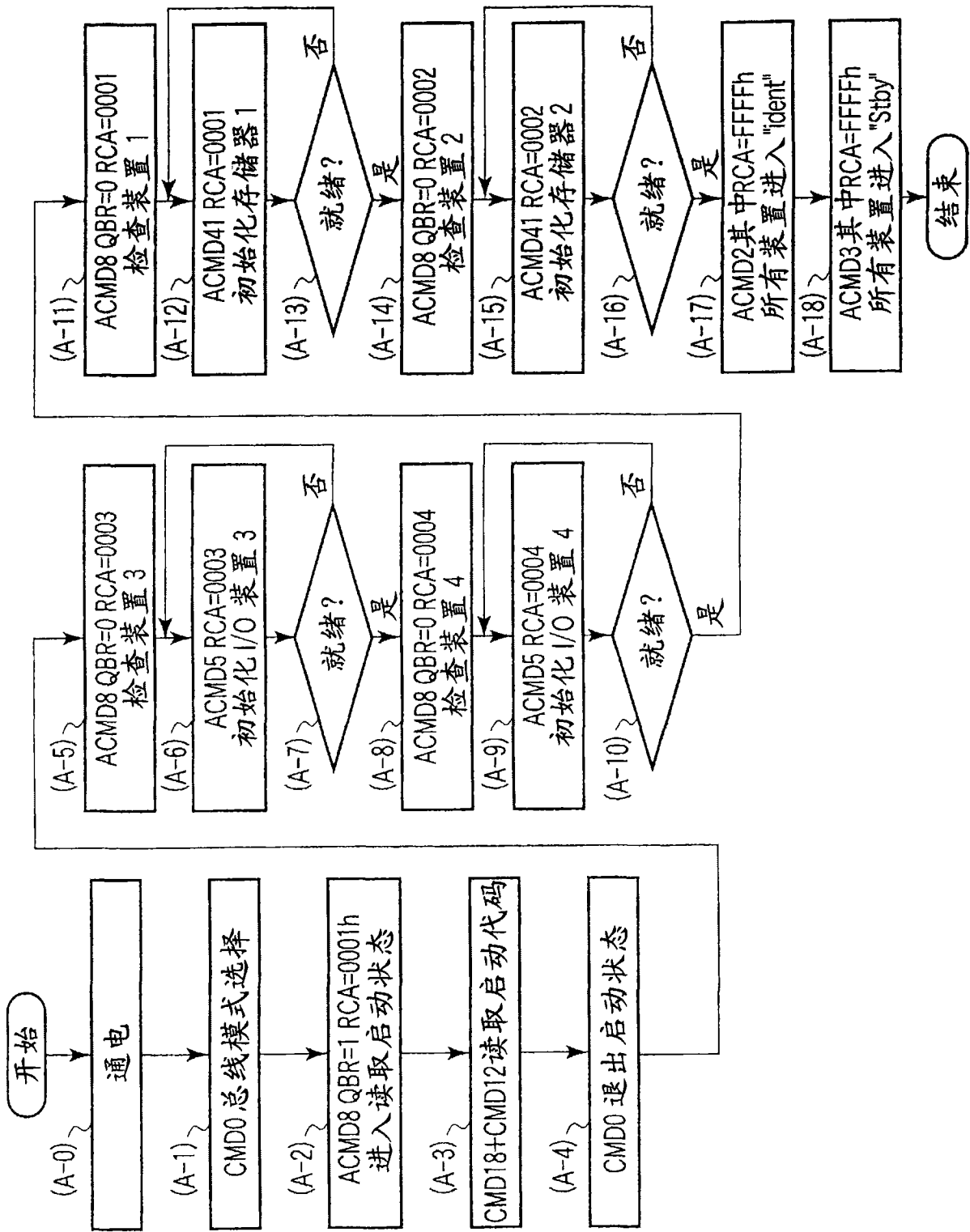


图 16

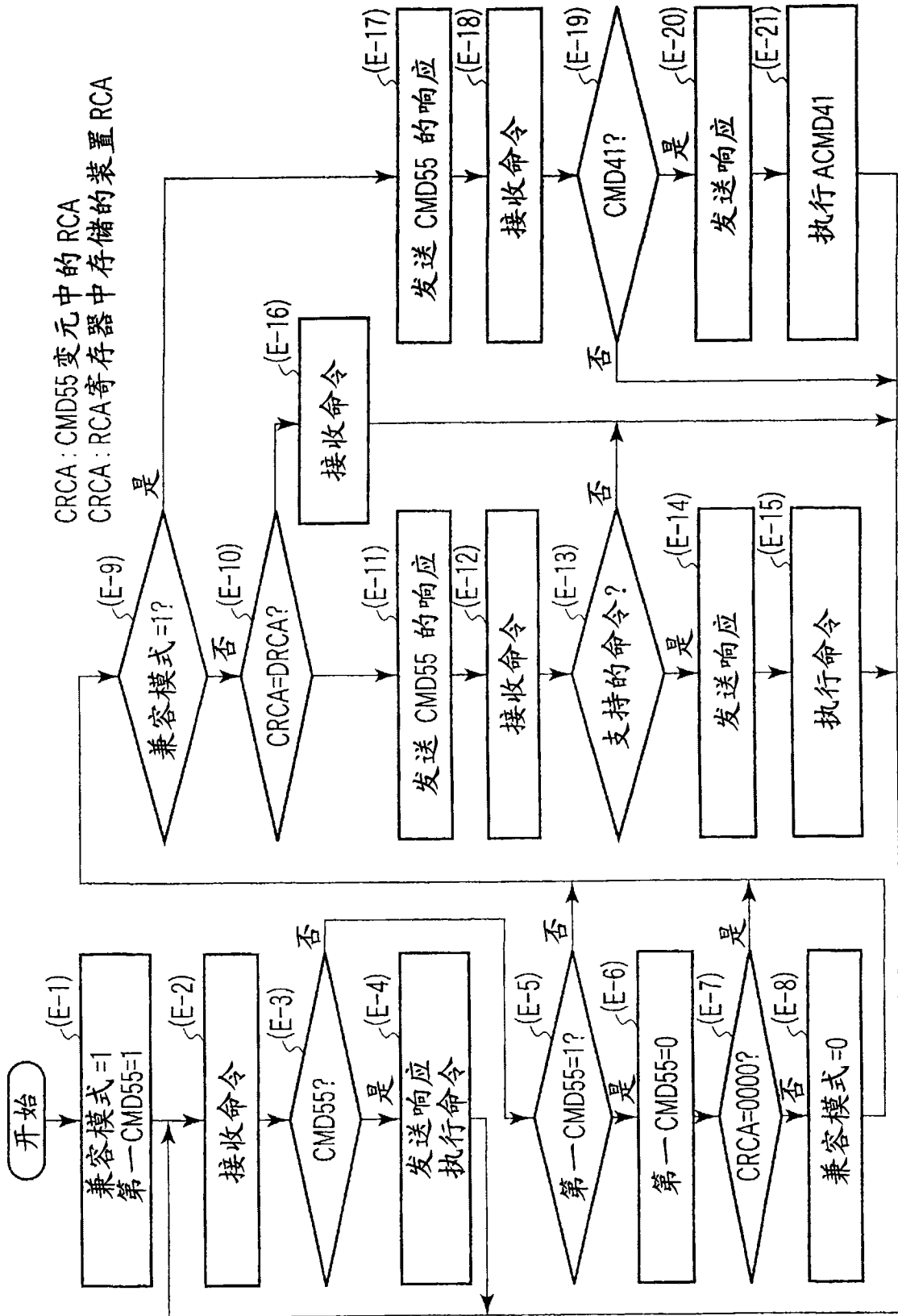


图 17

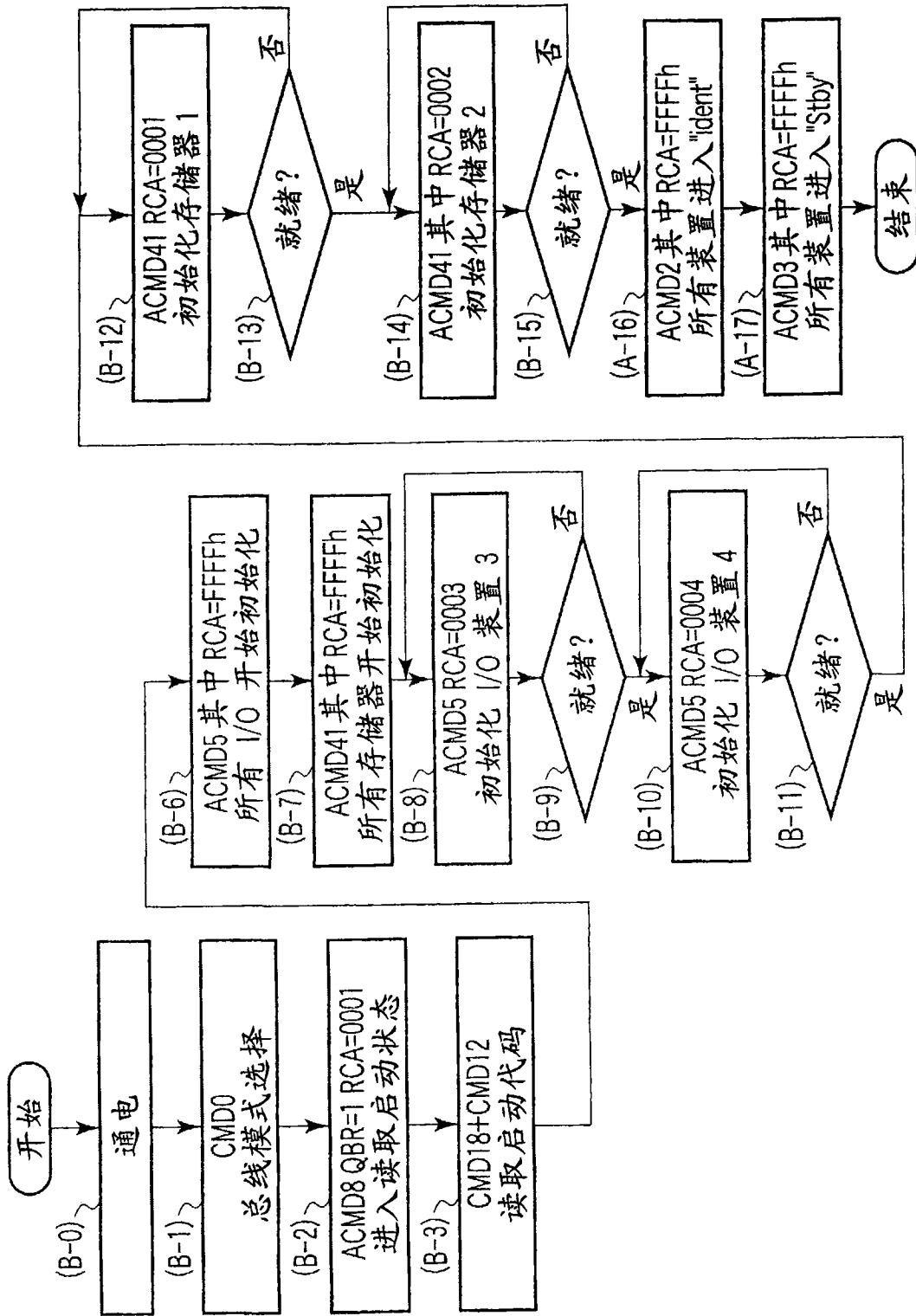


图 18

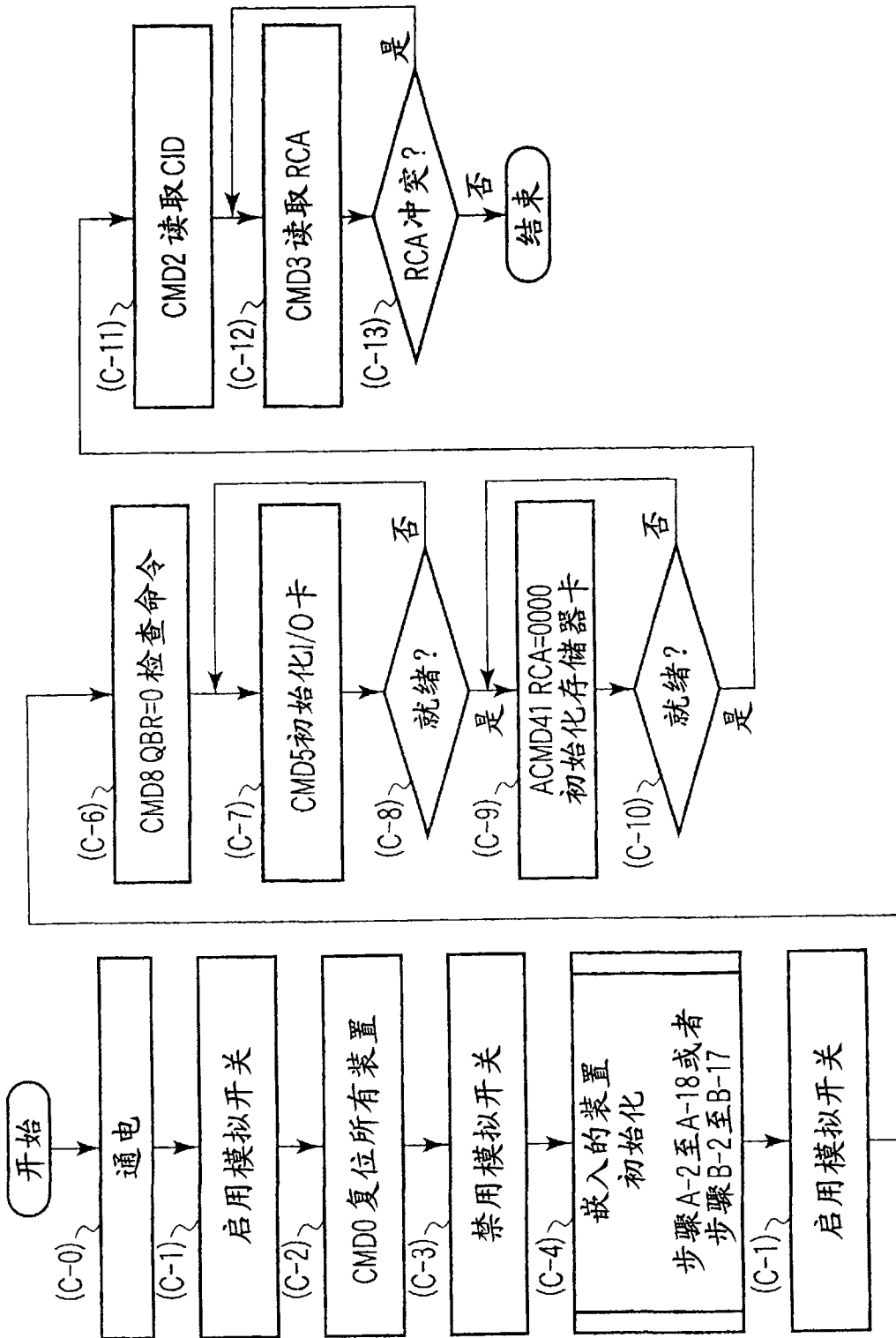


图 19

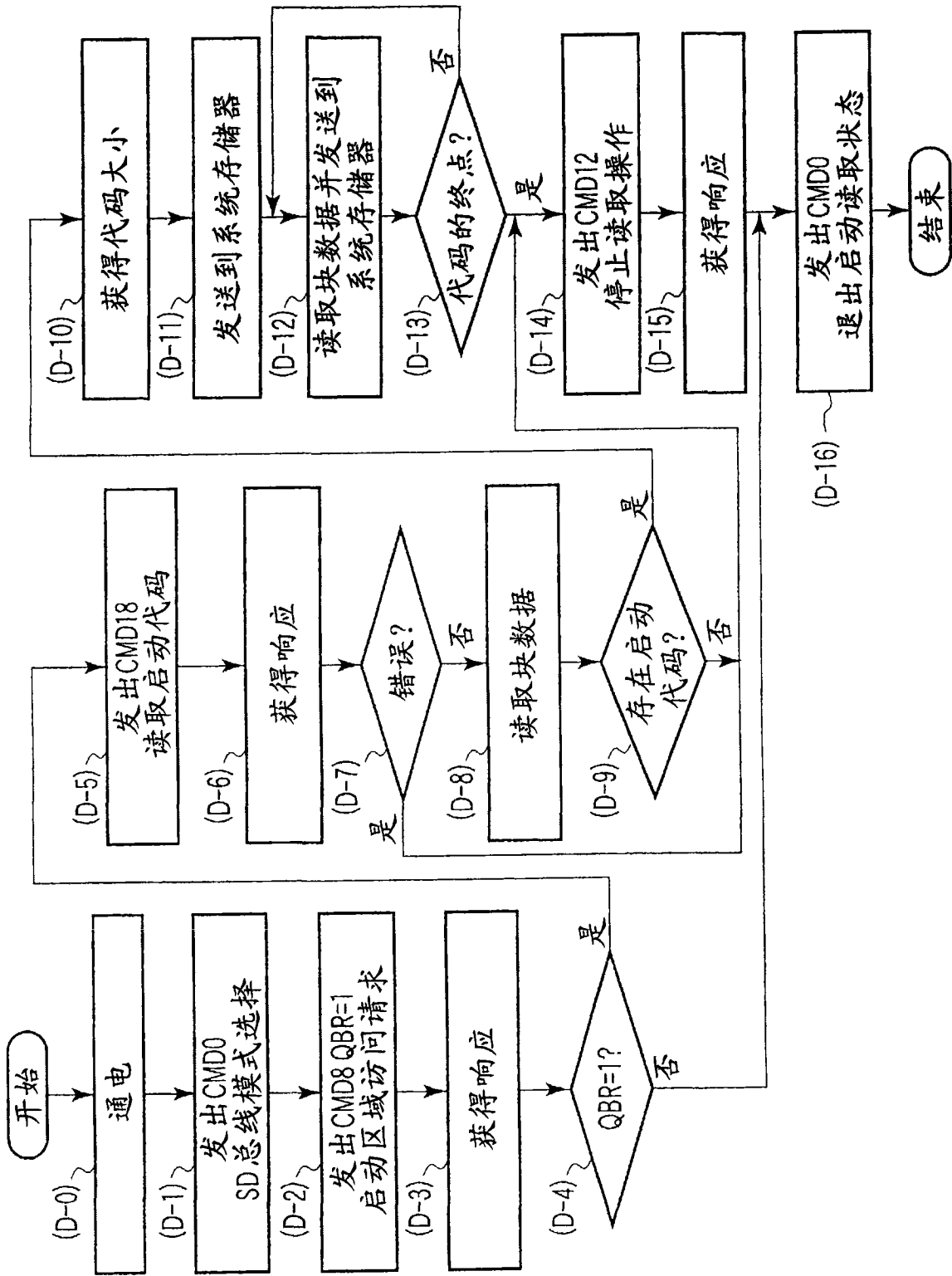


图 20

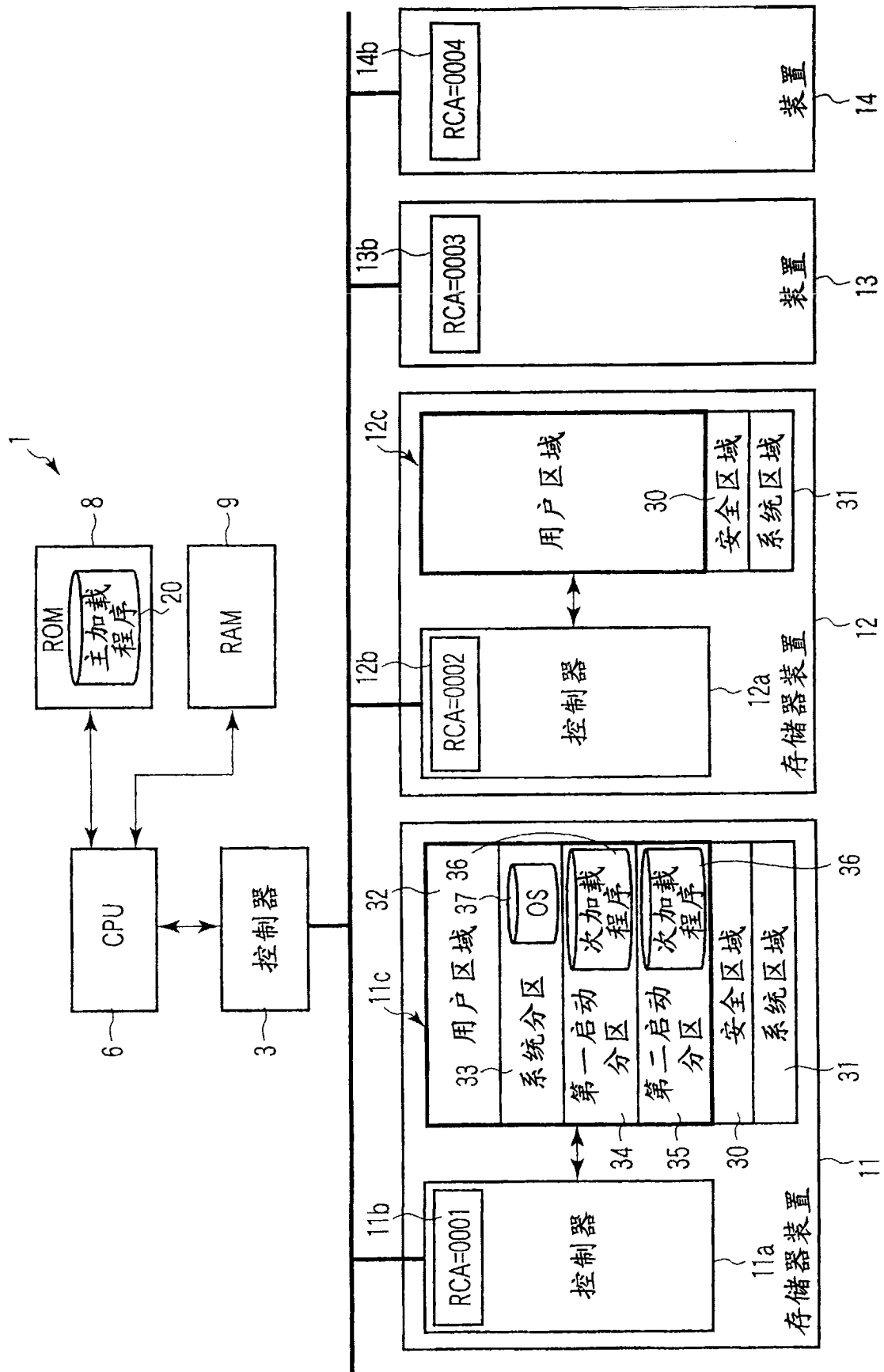


图 21

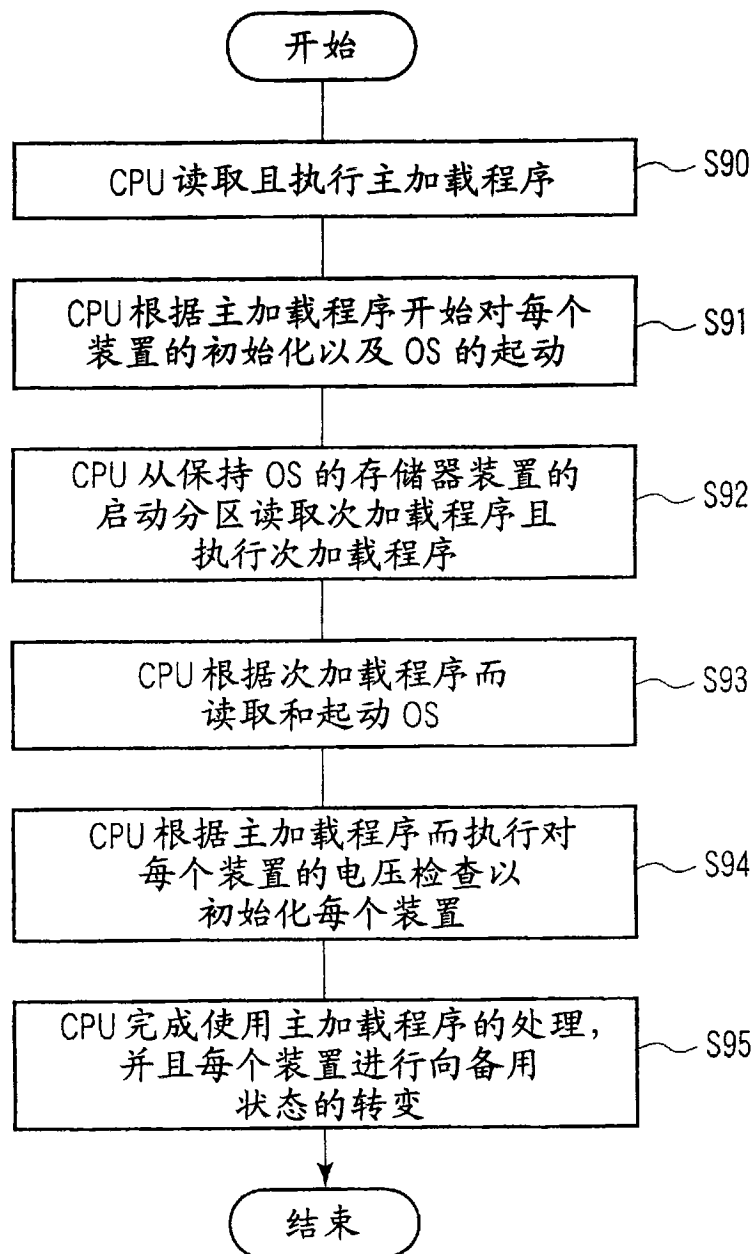


图 22

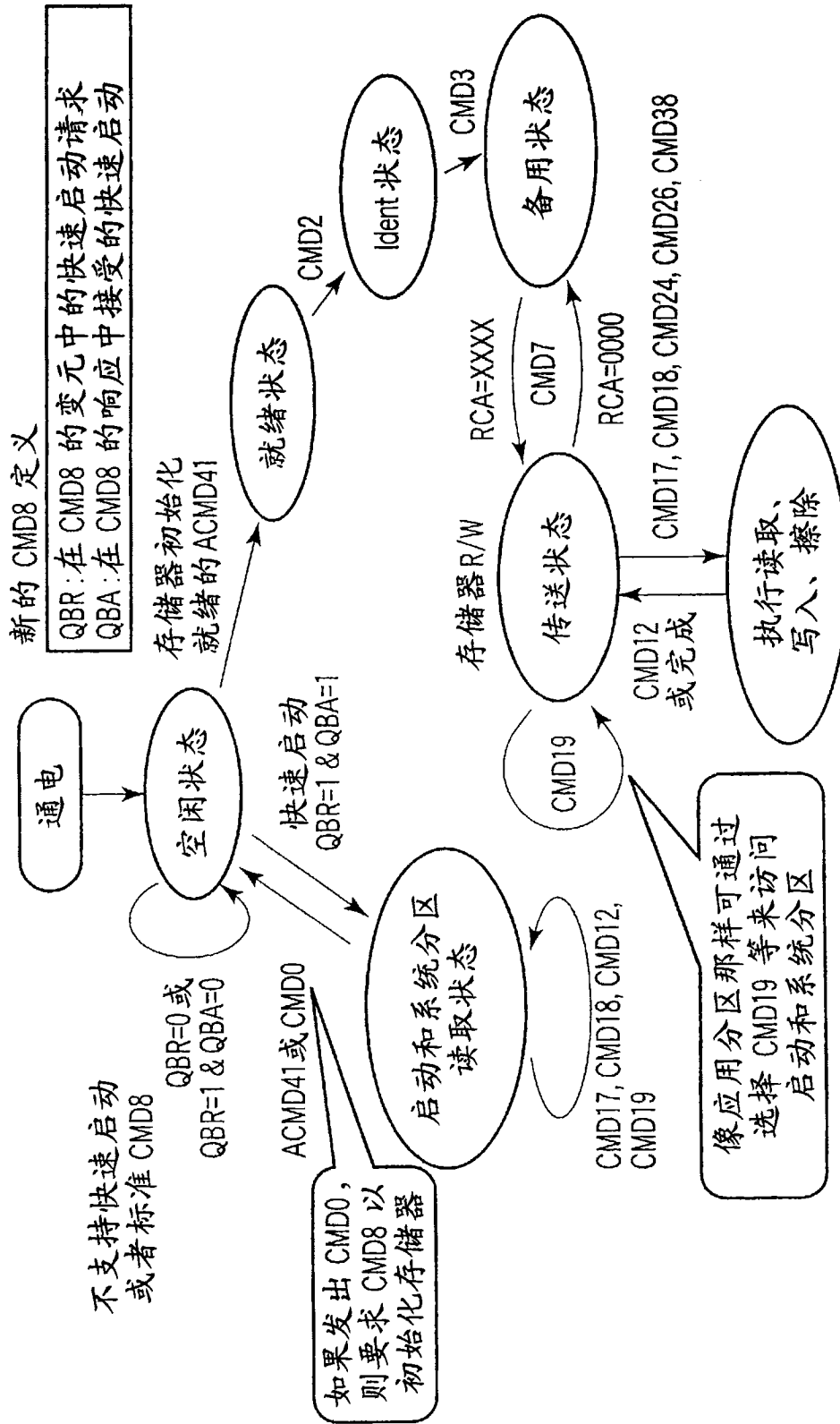


图 23

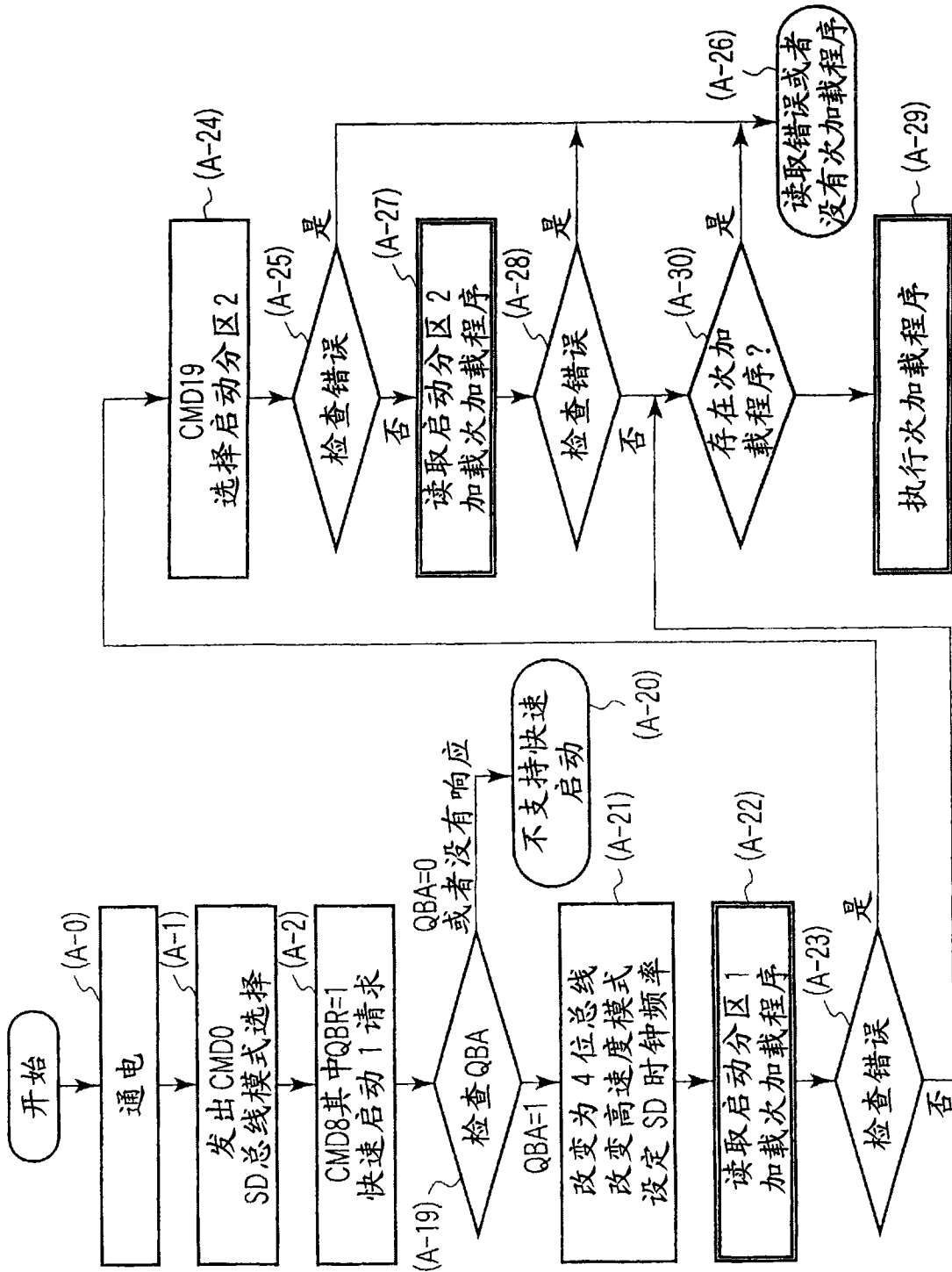
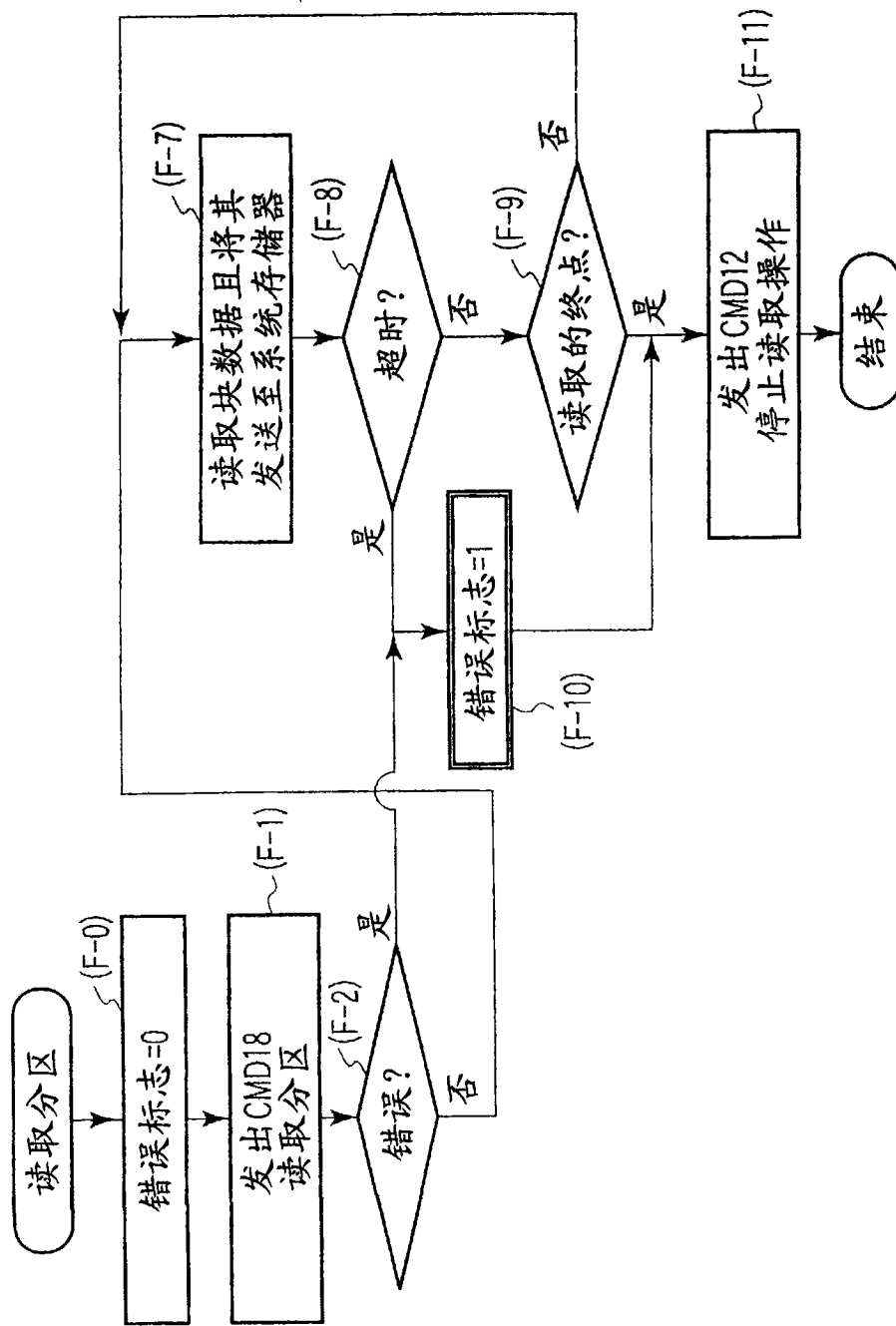


图 24



步骤(A-22或A-27)

图 25

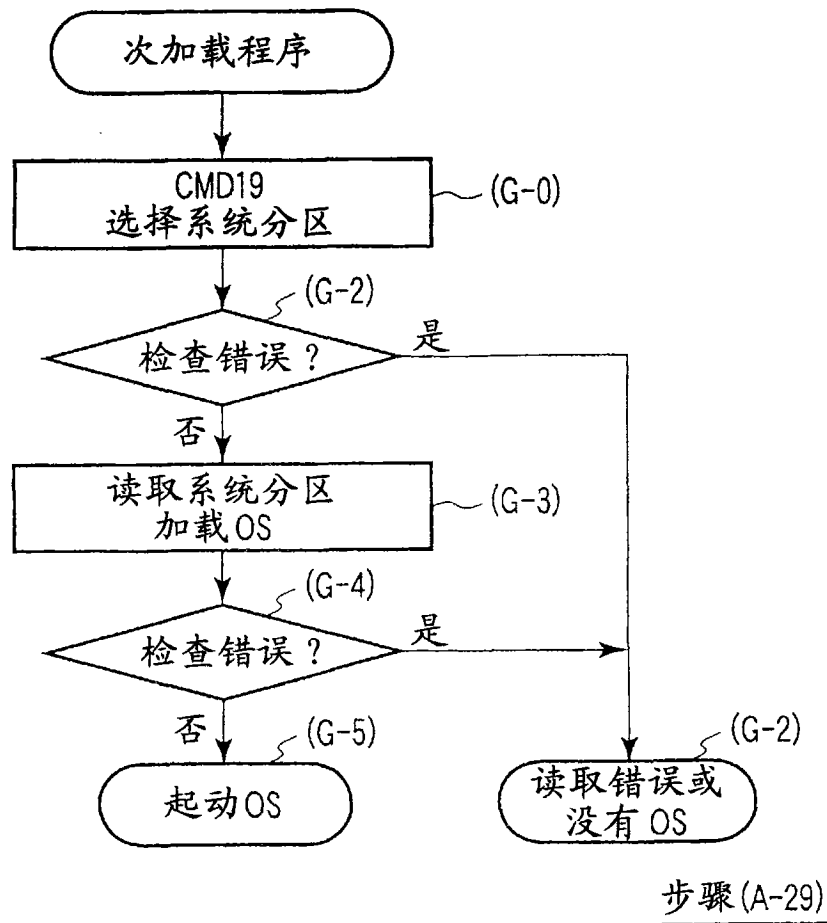


图 26