(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2015-228472
(P2015-228472A)
(43)公開日　平成27年12月17日(2015.12.17)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/60	***(2006.01)***	H01L	21/60	311S	5F044
		H01L	21/92	602G	

審査請求 未請求　請求項の数 10　ＯＬ　（全 17 頁）

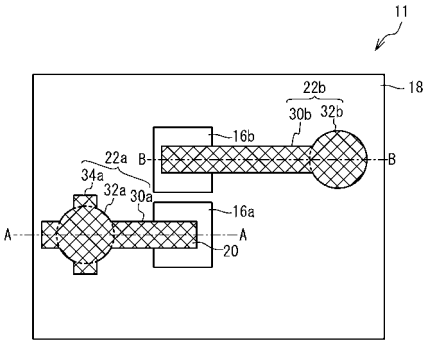
(21)出願番号　特願2014-114541 (P2014-114541)
(22)出願日　平成26年6月3日 (2014.6.3)

(71)出願人　514315159
株式会社ソシオネクスト
神奈川県横浜市港北区新横浜２丁目１０番２３
(74)代理人　100087480
弁理士　片山　修平
(72)発明者　夏秋　昌典
神奈川県横浜市港北区新横浜二丁目１０番２３　富士通セミコンダクター株式会社内

Ｆターム(参考)　5F044 KK01 LL01 LL05 QQ02 QQ03 QQ04 QQ06 QQ08

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】
【課題】ロウ材の高さの不均一を抑制すること。
【解決手段】第１パッド１６ａおよび第２パッド１６ｂを備える半導体ダイ１１と、前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランド３２ａと、前記第１パッドと前記第１ランドとを接続する第１配線３０ａと、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターン３４ａと、を備えた第１配線層２２ａと、前記半導体ダイ上に形成され、前記第２パッドから離間した第２ランド３２ｂと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線３０ｂと、を備える第２配線層２２ｂと、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層２６と、を具備する半導体装置。
【選択図】図１



【特許請求の範囲】
【請求項１】
第１パッドおよび第２パッドを備える半導体ダイと、
前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、
前記半導体ダイ上に形成され、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備える第２配線層と、
前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、
を具備することを特徴とする半導体装置。
【請求項２】
第１パッドおよび第２パッドを備える半導体ダイと、
前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、
前記半導体ダイ上に形成され、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、前記第２ランドと前記第２配線との少なくとも一方に接続され前記第１パターンより面積が小さい第２パターンを備えた第２配線層と、
前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、
を具備することを特徴とする半導体装置。
【請求項３】
第１パッドおよび第２パッドを備える半導体ダイと、
前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、
前記半導体ダイ上に形成され、前記第１ランドより面積が小さい第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備えた第２配線層と、
前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、
を具備することを特徴とする半導体装置。
【請求項４】
前記第１配線層と前記第２配線層との面積は±１０％以内で等しいことを特徴とする請求項１から３のいずれか一項記載の半導体装置。
【請求項５】
第１パッドおよび第２パッドを備える半導体ダイと、
前記半導体ダイ上に形成され、第１ランドと、前記第１パッドと前記第１ランドとを接続し上面に第１溝が形成された第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、
前記半導体ダイ上に形成され、第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きく、上面に第２溝が形成された第２配線と、を備えた第２配線層と、
前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、
を具備することを特徴とする半導体装置。
【請求項６】

前記第１溝の前記第１ランド側の前記第１配線層の面積と、前記第２溝の前記第２ランド側の前記第２配線層の面積と、は±１０％の範囲で等しいことを特徴とする請求項５記載の半導体装置。
【請求項７】
前記第１配線および前記第２配線層の少なくとも一方は、前記第１配線上および前記第２配線の少なくとも一方と接続するプロービング用パッドを含むことを特徴とする請求項１から６のいずれか一項記載の半導体装置。
【請求項８】
前記第１ランドおよび前記第２ランドの面積は等しいことを特徴とする請求項１、２および５のいずれか一項記載の半導体装置。
【請求項９】
第１パッドおよび第２パッドを備える半導体ダイ上に、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備える第２配線層と、を形成する工程と、
前記第１配線層上および第２配線層上にロウ材層を形成する工程と、
前記ロウ材層を加熱して、前記第１ランド上および第２ランド上が前記第１および第２配線上より厚いロウ材層を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。
【請求項１０】
第１パッドおよび第２パッドを備える半導体ダイ上に、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、前記第２ランドと前記第２配線との少なくとも一方に接続され前記第１パターンより面積が小さい第２パターンを備えた第２配線層と、を形成する工程と、
前記第１配線層上および第２配線層上にロウ材層を形成する工程と、
前記ロウ材層を加熱して、前記第１ランドおよび前記第２ランド上が前記第１配線上および第２配線上より厚いロウ材層を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置およびその製造方法に関し、例えばランド上にロウ材を有する半導体装置およびその製造方法に関する。
【背景技術】
【０００２】
半導体チップを基板上にフリップチップ実装するため、半導体チップ上に半田バンプを形成することが知られている。例えば、ランドと配線上に半田メッキし、半田を溶融することにより、ランド上に半田バンプを形成することが知られている（例えば特許文献１）。ロウ材を収容するための領域を設けることが知られている（例えば特許文献２）。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００１－３５１９３６号公報
【特許文献２】特開２００２－７６０４７号公報
【発明の概要】

【発明が解決しようとする課題】
【０００４】
しかしながら、ランドと配線上にロウ材を形成し、ロウ材を溶融することによりランド上にロウ材のバンプを形成すると、配線の面積（例えば長さ）に依存して、ロウ材の高さが異なってしまう。
【０００５】
本半導体装置は、ロウ材の高さを適切にすることを目的とする。
【課題を解決するための手段】
【０００６】
第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備える第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置を用いる。
【０００７】
第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、前記第２ランドと前記第２配線との少なくとも一方に接続され前記第１パターンより面積が小さい第２パターンを備えた第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置を用いる。
【０００８】
第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、前記第１ランドより面積が小さい第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備えた第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置を用いる。
【０００９】
第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、第１ランドと、前記第１パッドと前記第１ランドとを接続し上面に第１溝が形成された第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きく、上面に第２溝が形成された第２配線と、を備えた第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置を用いる。
【００１０】
第１パッドおよび第２パッドを備える半導体ダイ上に、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と

、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備える第２配線層と、を形成する工程と、前記第１配線層上および第２配線層上にロウ材層を形成する工程と、前記ロウ材層を加熱して、前記第１ランド上および第２ランド上が前記第１および第２配線上より厚いロウ材層を形成する工程と、を含むことを特徴とする半導体装置の製造方法を用いる。

【００１１】

第１パッドおよび第２パッドを備える半導体ダイ上に、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、前記第２ランドと前記第２配線との少なくとも一方に接続され前記第１パターンより面積が小さい第２パターンを備えた第２配線層と、を形成する工程と、前記第１配線層上および第２配線層上にロウ材層を形成する工程と、前記ロウ材層を加熱して、前記第１ランドおよび前記第２ランド上が前記第１配線上および第２配線上より厚いロウ材層を形成する工程と、を含むことを特徴とする半導体装置の製造方法を用いる。

【発明の効果】

【００１２】

本半導体装置によれば、ロウ材の高さを適切にすることができる。

【図面の簡単な説明】

【００１３】

【図１】図１は、実施例１に係る半導体チップの平面図である。

【図２】図２（ａ）および図２（ｂ）は、それぞれ、図１のＡ－Ａ断面図およびＢ－Ｂ断面図である。

【図３】図３（ａ）および図３（ｂ）は、ロウ材層をリフローする前の断面図であり、それぞれ図１のＡ－Ａ断面およびＢ－Ｂ断面に相当する。

【図４】図４は、比較例１に係る半導体装置の断面図である。

【図５】図５（ａ）および図５（ｂ）は、実施例１の他の例を示す平面図である。

【図６】図６（ａ）は、比較例２の平面図、図６（ｂ）および図６（ｃ）は、図６（ａ）のＡ－Ａ断面図およびＢ－Ｂ断面図である。

【図７】図７（ａ）および図７（ｂ）は、実施例１に係る半導体装置の製造方法を示す断面図（その１）である。

【図８】図８（ａ）から図８（ｃ）は、実施例１に係る半導体装置の製造方法を示す断面図（その２）である。

【図９】図９（ａ）から図９（ｃ）は、実施例１に係る半導体装置の製造方法を示す断面図（その３）である。

【図１０】図１０（ａ）から図１０（ｄ）は、実施例１に係る半導体装置の製造方法を示す断面図（その４）である。

【図１１】図１１（ａ）および図１１（ｂ）は、実施例１に係る半導体装置の製造方法を示す断面図（その５）である。

【図１２】図１２（ａ）は、実施例２に係る半導体チップの平面図、図１２（ｂ）は、図１２（ａ）のＡ－Ａ断面に相当する半導体装置の断面図である。

【図１３】図１３は、実施例３に係る半導体チップの平面図である。

【図１４】図１４は、実施例４に係る半導体チップの平面図である。

【図１５】図１５（ａ）は、実施例５に係る半導体チップの平面図、図１５（ｂ）は、図１５（ａ）のＡ－Ａ断面に相当する半導体装置の断面図である。

【発明を実施するための形態】

【００１４】

以下、図面を参照し実施例について説明する。

【実施例１】

【００１５】
図１は、実施例１に係る半導体チップの平面図である。図２（ａ）および図２（ｂ）は、それぞれ、図１のＡ－Ａ断面図およびＢ－Ｂ断面図である。図１、図２（ａ）および図２（ｂ）に示すように、半導体ダイ１１は、半導体基板１０、バルク領域１２、多層配線１４、パッド１６ａおよび１６ｂを備えている。例えばシリコン基板である半導体基板１０内にバルク領域１２が形成されている。バルク領域１２は、例えばトランジスタが形成されている領域である。半導体基板１０上に多層配線１４が形成されている。多層配線１４は、配線層と絶縁層とが複数積層された層である。配線層は例えば銅層またはアルミニウム層等の金属層である。絶縁層は例えば酸化シリコン層である。バルク領域１２と多層配線１４とにより回路が形成される。多層配線１４上には、パッド１６ａおよび１６ｂが形成されている。パッド１６ａおよび１６ｂは、例えばアルミニウム層である。パッド１６ａおよび１６ｂは、バルク領域１２および多層配線１４により形成された回路を外部に電気的に接続するためのパッドである。パッド１６ａおよび１６ｂは、多層配線１４の最上面に形成されている。

【００１６】
多層配線１４上にパッド１６ａおよび１６ｂの表面が開口５０から露出するように保護膜１８が形成されている。保護膜１８は、例えばポリイミド膜等の樹脂膜である。保護膜１８上に配線層２２ａ、２２ｂおよびロウ材層２６が形成されている。配線層２２ａ（第１配線層）は、配線３０ａ（第１配線）、ランド３２ａ（第１ランド）およびパターン３４ａ（第１パターン）を備えている。配線層２２ｂ（第２配線層）は、配線３０ｂ（第２配線）およびランド３２ｂ（第２ランド）を備えている。配線層２２ａおよび２２ｂは、半導体ダイ１１上に形成されており、同じ材料および同じ膜厚を有する。配線層２２は、例えば銅層等の金属層である。配線３０ａは、パッド１６ａとランド３２ａとを接続する。配線３０ｂは、パッド１６ｂとランド３２ｂとを接続する。配線３０ａは配線３０ｂより短い。

【００１７】
配線層２２ａおよび２２ｂ上にロウ材層２６が形成されている。ロウ材層２６は、集合部２６ａと薄膜部２６ｂとを備えている。集合部２６ａは、ランド３２ａおよび３２ｂ上に形成され、薄膜部２６ｂは配線３０ａ、３０ｂおよびパターン３４ａ上に形成される。ロウ材層２６は、例えばＳｎＡｇ半田等の半田である。ランド３２ａ上の集合部２６ａの高さをＨ１Ａ、配線３０ａ上の薄膜部２６ｂの高さをＨ２Ａとする。ランド３２ｂ上の集合部２６ａの高さをＨ１Ｂ、配線３０ｂ上の薄膜部２６ｂの高さをＨ２Ｂとする。高さＨ１ＡはＨ２Ａより大きい。高さＨ１ＢはＨ２Ｂより大きい。高さＨ１ＡとＨ１Ｂはほぼ同じである。

【００１８】
図３（ａ）および図３（ｂ）は、ロウ材層２６をリフローする前の断面図であり、それぞれ図１のＡ－Ａ断面およびＢ－Ｂ断面に相当する。図３（ａ）および図３（ｂ）に示すように、ロウ材層２６のリフロー前は、ロウ材層２６の高さはＨ０であり、均一である。ロウ材層２６を、加熱（例えばリフロー）する。すなわちロウ材層２６が溶融するように熱処理する。これにより、配線３０ａ、３０ｂおよびパターン３４ａのロウ材がランド３２ａおよび３２ｂに集合する。これは、ランド３２ａおよび３２ｂの幅が配線３０ａ、３０ｂおよびパターン３４ａの幅より大きいためである。これにより、ロウ材層２６は、ランド３２ａおよび３２ｂが配線３０ａおよび３０ｂ上より厚い集合部２６ａとなる。

【００１９】
実施例１の効果を説明するため比較例について説明する。図４は、比較例１に係る半導体装置の断面図である。図４に示すように、パッド１６上（図４では下）に金属層２３、金属層２３上にロウ材層２６が形成されている。ロウ材層２６は、基板４０上に形成されたパッド４５と接合されている。このように、比較例１では、パッド１６上に金属層２３およびロウ材層２６が形成されている。

【００２０】

比較例１では、パッド１６の間隔が小さくなると、隣接するロウ材層２６同士が矢印６２のようにショートする可能性がある。また、ロウ材層２６からは、矢印６４のように、α線が放出されることがある。ロウ材層２６の直下のバルク領域１２に、ＳＲＡＭ（Static Random Access Memory）または類似するマクロが形成されている場合、ロウ材層２６からのα線に起因したソフトエラーが生じる可能性がある。さらに、基板４０からの応力がロウ材層２６の直下のバルク領域１２に加わる。これにより、バルク領域１２内のトランジスタ等の特性が変動する可能性がある。

【００２１】

図５（ａ）および図５（ｂ）は、実施例１の他の例を示す平面図である。図５（ａ）に示すように、ランド３２の間隔をパッド１６の間隔より大きくする。これにより、ロウ材層２６間のショートが抑制される。また、ランド３２を、α線または応力により影響を受ける回路領域６６に重ならないように設ける。これにより、ロウ材層２６から放射されるα線に起因したソフトエラーを抑制できる。また、応力に起因した回路領域６６内のトランジスタ等の特性変動を抑制できる。

【００２２】

図５（ｂ）に示すように、パッド１６に対し、基板のパッド４５の間隔を大きくできる。このように、半導体基板１０上のパッド１６の密度に対し、基板４０上のパッド４５（破線）の密度を低くできる。これにより、基板４０を設計するときの自由度が向上し、コストダウンが可能となる。また、配線層２２上にロウ材層２６を形成するため、例えば、配線層２２とロウ材層２６を異なるパターンで製造するのに比べ、製造工程を簡略化できる。

【００２３】

比較例２として、配線３０の長さが異なり、ランド３２の大きさが同じパターンについて、ロウ材層の集合部の高さを測定した。図６（ａ）は、比較例２の平面図、図６（ｂ）および図６（ｃ）は、図６（ａ）のＡ－Ａ断面図およびＢ－Ｂ断面図である。図６（ａ）に示すように、パターン３８ａでは、配線３０ａとランド３２ａの合計の長さＬ１は１５０μｍ、パターン３８ｂでは、配線３０ｂとランド３２ｂの合計の長さＬ２は２５０μｍである。配線３０ａおよび３０ｂの幅はほぼ同じであり、ランド３２ａおよび３２ｂの形状および面積は同じである。

【００２４】

図６（ｂ）および図６（ｃ）に示すように、配線層２２ａおよび２２ｂは、銅層である。ロウ材層２６は、ＳｎＡｇをリフローした。配線３０ａおよび３０ｂの幅がランド３２ａおよび３２ｂより小さい。ロウ材は表面張力が一定になろうとするため、配線３０ａおよび３０ｂ上の溶融したロウ材がランド３２ａおよび３２ｂ上に移動する。これにより、パターン３８ａおよび３８ｂとも集合部２６ａが薄膜部２６ｂより高くなる。パターン３８ａおよび３８ｂの集合部２６ａの高さＨ３ＡおよびＨ３Ｂをそれぞれ３個測定した。高さＨ３ＡおよびＨ３Ｂの平均は、それぞれ２５．３μｍおよび３０．８μｍである。このように、パターン３８ｂの集合部２６ａがパターン３８ａより高くなる。これは、配線３０ｂが３０ａより長いため、ランド３２ｂに３２ａより多いロウ材が集合するためと考えられる。集合部２６ａの高さが異なると、集合部２６ａを基板４０に接合するときに、ロウ材が少なく接合不良となる端子、および／またはロウ材が多く隣接するロウ材とショートする端子が発生する。

【００２５】

実施例１によれば、図１のように、配線３０ｂの上方から見た面積が配線３０ａより大きい。このとき、配線層２２ａは、配線３０ａおよびランド３２ａの少なくとも一方にパターン３４ａを備える。一方、配線層２２ｂは、配線３０ｂおよびランド３２ｂの少なくとも一方に接続されるパターン（第２パターン）を備えない。これにより、ランド３２ａと３２ｂ上に集合するロウ材の量が適正に補正される。よって、ランド３２ａ上に形成された集合部２６ａの高さとランド３２ｂ上に形成された集合部２６ａの高さとの不均一を抑制できる。このように、集合体２６ａの高さを適切にできる。よって、端子の接合不良

および／またはショートを抑制できる。

【００２６】

また、配線層２２ａの上から見た面積（すなわち配線３０ａ、ランド３２ａおよびパターン３４ａの合計の面積）と、配線層２２ｂを上からみた面積（すなわち配線３０ｂおよびランド３２ｂの合計の面積）と、をほぼ同じとする。これにより、ランド３２ａおよび３２ｂ上に集合するロウ材の量はほぼ同じとなる。このため、ランド３２ａおよび３２ｂ上の集合部２６ａの高さをより均一にできる。配線層２２ａと２２ｂとの面積は、例えば±１０％の範囲で等しいことが好ましく、±５％の範囲で等しいことがより好ましい。さらに、ランド３２ａとランド３２ｂとの面積をほぼ同じとする。これにより、ランド３２ａおよび３２ｂに集合するロウ材がほぼ同じの場合、集合部２６ａの高さをほぼ均一にできる。ランド３２ａとランド３２ｂとの面積は、例えば±１０％の範囲で等しいことが好ましく、±５％の範囲で等しいことがより好ましい。さらに、例えば配線３０ａおよびパターン３４ａの合計の面積と、配線３０ｂの合計の面積と、はほぼ同じであることが好ましい。さらに、配線３０ａと３０ｂの幅は、ランド３２ａおよび３２ｂの幅（径）より小さい。さらに、パターン３４ａの幅は、ランド３２ａおよび３２ｂの幅（径）より小さい。これにより、ロウ材がリフローのときに表面張力を一定に保とうとするため、ランド３２ａおよび３２ｂ上に集合部２６ａが形成される。

【００２７】

次に実施例１に係る半導体装置の製造方法を説明する。図７（ａ）から図１１（ｂ）は、実施例１に係る半導体装置の製造方法を示す断面図である。図７（ａ）に示すように、ウエハ状の半導体基板１０には、複数の半導体ダイ１１が形成されている。バルク領域および多層配線等の図示を省略する。図７（ｂ）に示すように、半導体ダイ１１上に、配線層２２およびロウ材層２６を形成する。

【００２８】

図８（ａ）から図９（ｃ）は、図７（ｂ）の領域Ｃに相当する拡大図であり、配線層２２およびロウ材層２６の形成方法を示す図である。図８（ａ）に示すように、半導体ダイ１１として、半導体基板１０内にバルク領域１２が形成され、半導体基板１０上に多層配線１４が形成されている。パッド１６は、露出している。図８（ｂ）に示すように、パッド１６上に開口を有する保護膜１８を形成する。保護膜１８上およびパッド１６上に金属層２０（アンダーメタルバンプ層）を例えばスパッタ法を用い形成する。金属層２０の最表面は例えば銅である。図８（ｃ）に示すように、金属層２０上に開口５４を有するフォトレジスト５２を形成する。

【００２９】

図９（ａ）に示すように、開口５４内に配線層２２、バリア層２４およびロウ材層２６を例えば電解めっき法を用い形成する。バリア層２４は例えばニッケル層である。バリア層２４は、配線層２２とロウ材層２６との間の相互拡散を抑制する層であり、形成しなくてもよい。図９（ｂ）に示すように、フォトレジスト５２を剥離する。図９（ｃ）に示すように、ロウ材層２６をマスクに金属層２０を除去する。その後、ギ酸等を用いたリフローまたはフラックスリフローを行なう。半導体基板１０を薄化し、その後切断する。これにより、半導体チップ１３を形成する。

【００３０】

図１０（ａ）に示すように、例えばインターポーザである基板４０を準備する。基板４０の下面には、ソルダーレジスト４２およびランド４４が形成されている。ランド４４は、例えばＢＧＡ（Ball Grid Array）用ランドである。基板４０の上面には、ソレダーレジスト４３およびパッド４５が形成されている。基板４０を貫通するビア４１が形成されている。ランド４４とパッド４５とはビア４１を介し電気的に接続されている。基板４０、ソルダーレジスト４２および４３は、例えば樹脂等の絶縁体である。ランド４４、パッド４５およびビア４１は、例えば銅等の金属である。基板４０は、絶縁基板であり、多層基板でもよい。

【００３１】

図１０（ｂ）に示すように、基板４０上に、接着剤４６（アンダーフィル剤）を形成する。接着剤４６は、例えばペースト状またはフィルム状である。図１０（ｃ）に示すように、半導体チップ１３の配線層２２の先端のロウ材層２６をパッド４５に位置合わせする。加熱および加圧することにより、ロウ材層２６とパッド４５とを接合する。半導体チップ１３と基板４０との間に接着剤４６が充填される。熱処理により接着剤４６を硬化させる。これにより、基板４０上に半導体チップ１３がフリップチップ接合される。半導体チップ１３を基板４０上に仮搭載し、その後リフローすることにより、半導体チップ１３と基板４０とを接合してもよい。図１０（ｄ）に示すように、ランド４４にＢＧＡボールとなる半田ボール４７を形成する。基板４０上に半田ボール４８を形成する。その後、基板４０を切断する。捺印、検査を行なう。これにより、半導体装置１００が形成される。

【００３２】

図１１（ａ）および図１１（ｂ）は、図１０（ｃ）の領域Ｄの拡大図である。図１１（ａ）に示すように、集合部２６ａを基板４０のパッド４５に位置合わせする。図１１（ｂ）に示すように、半導体基板１０を加熱し、基板４０に加圧することにより、集合部２６ａをパッド４５に接合する。

【００３３】

このように、実施例１に係る半導体装置を形成することができる。

【実施例２】

【００３４】

図１２（ａ）は、実施例２に係る半導体チップの平面図、図１２（ｂ）は、図１２（ａ）のＡ－Ａ断面に相当する半導体装置の断面図である。図１２（ａ）および図１２（ｂ）に示すように、配線層２２ａおよび２２ｂは、それぞれパッド３６を含む。パッド３６は、例えば試験用のプローブ針が接触するためのプロービング試験用パッドである。パッド３６の幅はランド３２ａおよび３２ｂより大きい。これにより、パッド３６上に形成されるロウ材層２６ｃの高さは、集合部２６ａより低くなる。これにより、半導体チップを基板４０に実装したときに、ロウ材層２６ｃが基板４０に接触することを抑制できる。

【００３５】

図４のような比較例において、プロービング試験を行なう場合、フリップチップ接合に用いるロウ材層２６にプローブ針を接触することになる。プローブ針をロウ材層２６に接触させると、フリップチップ接合の品質が劣化する可能性がある。実施例２によれば、配線層２２ａおよび２２ｂの少なくとも一方は、配線３０ａおよび３０ｂの少なくとも一方と接続するプロービング試験用パッド３６を含む。これにより、プローブ針をフリップチップ接合に用いる集合部２６ａに接触させなくともよくなる。よって、フリップチップ接合の品質の劣化を抑制できる。

【実施例３】

【００３６】

図１３は、実施例３に係る半導体チップの平面図である。図１３に示すように、半導体ダイ１１上に、配線層２２ａから２２ｃが形成されている。配線層２２ａから２２ｃは、パッド１６ａから１６ｃとランド３２ａから３２ｃとをそれぞれ接続する。配線３０ａから３０ｃの長さはそれぞれ異なる。配線３０ｂ、３０ａおよび３０ｃの順に長い。長い配線３０ｂと配線３０ｂが接続されたランド３２ｂとには、いずれもパターンは接続されていない。長さが中ほどの配線３０ａに接続されたランド３２ａには、パターン３４ａが接続されている。短い配線３０ｃと配線３０ｃに接続されたランド３２ｃとには、それぞれパターン３４ｃが接続されている。その他の構成は、実施例１と同じであり、説明を省略する。

【００３７】

実施例３のように、パターン３４ｃは、配線３０ｃに接続されていてもよい。このように、パターン３４ｃは配線３０ｃとランド３２ｃの少なくとも一方に接続されていればよい。また、配線層２２ａ（第２配線）および２２ｃ（第１配線）は、いずれもパターン３４ａおよび３４ｃを備えてもよい。配線３０ｃの面積が配線３０ａより面積が小さいとき

に、パターン３４ａはパターン３４ｃより面積が小さい。これにより、ランド３２ａ上に形成された集合部２６ａの高さとランド３２ｃ上に形成された集合部２６ａの高さとの不均一を抑制できる。配線層２２ａの上から見た面積と、配線層２２ｃを上からみた面積と、はほぼ等しいことが好ましい。これにより、集合部２６ａの高さをより均一にできる。配線層２２ａと２２ｃとの面積は、例えば±１０％の範囲で等しいことが好ましく、±５％の範囲で等しいことがより好ましい。これにより、集合部２６ａの高さをより均一にできる。ランド３２ａとランド３２ｂとの面積が同じ場合、集合部２６ａの高さをほぼ同じとすることができる。

【実施例４】

【００３８】

図１４は、実施例４に係る半導体チップの平面図である。図１４に示すように、半導体ダイ１１上に、長さの異なる配線３０ａおよび３０ｂが形成されている。長い配線３０ｂに接続されたランド３２ｂは、短い配線３０ａに接続されたランド３２ａより面積が小さい。その他の構成は、実施例１と同じであり、説明を省略する。

【００３９】

実施例４のように、パターン３４ａおよび３４ｂを設けず、ランド３２ａおよび３２ｂの面積を異ならせてもよい。この場合も、配線層２２ａの上から見た面積と、配線層２２ｂを上からみた面積と、はほぼ等しいことが好ましい。また、配線層２２ａと２２ｂとの面積は、例えば±１０％の範囲で等しいことが好ましく、±５％の範囲で等しいことがより好ましい。これにより、集合部２６ａの高さをより均一にできる。

【実施例５】

【００４０】

図１５（ａ）は、実施例５に係る半導体チップの平面図、図１５（ｂ）は、図５（ａ）のＡ－Ａ断面に相当する半導体装置の断面図である。図１５（ａ）および図１５（ｂ）に示すように、保護膜１８上（図１５（ｂ）では下）に絶縁膜１９が形成されている。絶縁膜１９は、例えばポリイミド膜等の樹脂膜である。絶縁膜１９は、配線３０ａおよび３０ｂ下に、溝６８を有する。溝６８は、配線３０ａおよび３０ｂを例えば横断するように形成されている。図１５（ｂ）のように、溝６８上に形成された配線３０ａおよび３０ｂの表面にそれぞれ溝７０ａおよび７０ｂが形成される。溝７０ａおよび３０ｂはそれぞれ例えば配線３０ａおよび３０ｂを横断するように形成される。溝７０ａのランド３２ａ側の配線３０ａの長さＬＡと、溝７０ｂのランド３２ｂ側の配線３０ｂの長さＬＢと、はほぼ等しい。その他の構成は実施例１と同じであり、説明を省略する。

【００４１】

実施例５によれば、配線３０ａおよび３０ｂの上面にそれぞれ溝７０ａおよび７０ｂを形成する。これにより、ロウ材層２６をリフローするときに、溝７０ａおよび７０ｂからパッド１６ａおよび１６ｂ側のロウ材２６ｄがランド３２ａおよび３２ｂに流れ込むことを抑制する。よって、ランド３２ａおよび３２ｂの集合部２６ａの高さの不均一を抑制できる。溝７０ａのランド３２ａ側の配線３０ａとランド３２ａとの合計の面積と、溝７０ｂのランド３２ｂ側の配線３０ｂとランド３２ｂとの合計の面積と、はほぼ等しいことが好ましい。溝７０ａのランド３２ａ側の配線３０ａとランド３２ａとの合計の面積と、溝７０ｂのランド３２ｂ側の配線３０ｂとランド３２ｂとの合計の面積と、は±１０％の範囲内で等しいことが好ましい。これにより、集合部２６ａの高さをより均一にできる。

【００４２】

実施例５では、溝１７ａおよび１７ｂを絶縁膜１９を用い形成する例を説明したが、溝１７ａおよび１７ｂはその他の方法で形成されていてもよい。また、実施例２のパッド３６を、実施例３から５に設けることもできる。

【００４３】

実施例１から５において、配線３０ａから配線３０ｃの幅が同じ場合、配線３０ａから３０ｃの面積は、配線３０ａから３０ｃの長さで規定することができる。

【００４４】

以上、本発明の実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【００４５】

なお、以上の説明に関して更に以下の付記を開示する。

（付記１）第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備える第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置。

（付記２）第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、前記第２ランドと前記第２配線との少なくとも一方に接続され前記第１パターンより面積が小さい第２パターンを備えた第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置。

（付記３）第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、前記第１ランドより面積が小さい第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備えた第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置。

（付記４）前記第１配線層と前記第２配線層との面積は±１０％以内で等しいことを特徴とする付記１から３のいずれか一項記載の半導体装置。

（付記５）第１パッドおよび第２パッドを備える半導体ダイと、前記半導体ダイ上に形成され、第１ランドと、前記第１パッドと前記第１ランドとを接続し上面に第１溝が形成された第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記半導体ダイ上に形成され、第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きく、上面に第２溝が形成された第２配線と、を備えた第２配線層と、前記第１配線上および前記第２配線層上に設けられ、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層と、を具備することを特徴とする半導体装置。

（付記６）前記第１溝の前記第１ランド側の前記第１配線層の面積と、前記第２溝の前記第２ランド側の前記第２配線層の面積と、は±１０％の範囲で等しいことを特徴とする付記５記載の半導体装置。

（付記７）前記第１配線および前記第２配線層の少なくとも一方は、前記第１配線上および前記第２配線の少なくとも一方と接続するプロービング用パッドを含むことを特徴とする付記１から６のいずれか一項記載の半導体装置。

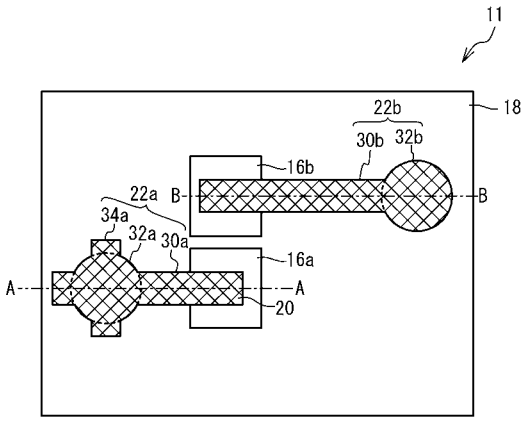
（付記８）前記第１ランドおよび前記第２ランドの面積は等しいことを特徴とする付記１、２および５のいずれか一項記載の半導体装置。

（付記９）前記第１配線層と前記第２配線層との面積は等しいことを特徴とする付記１か

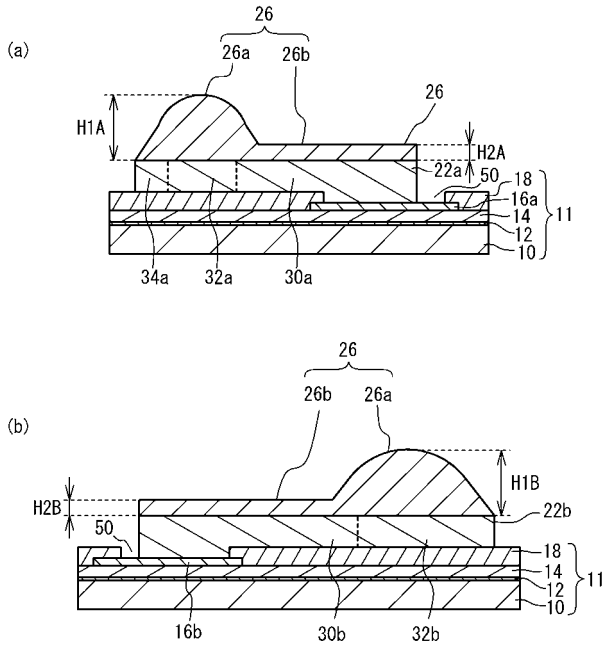
ら３のいずれか一項記載の半導体装置。
（付記１０）前記第１溝の前記第１ランド側の前記第１配線層の面積と、前記第２溝の前記第２ランド側の前記第２配線層の面積と、は等しいことを特徴とする付記５記載の半導体装置。
（付記１１）前記第１配線と前記第２配線の幅は同じであることを特徴とする付記１から１０のいずれか一項記載の半導体装置。
（付記１２）前記第１配線および前記第２配線の幅は前記第１および第２ランドより小さいことを特徴とする付記１から１１のいずれか一項記載の半導体装置。
（付記１３）第１パッドおよび第２パッドを備える半導体ダイ上に、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備える第２配線層と、を形成する工程と、前記第１配線層上および第２配線層上にロウ材層を形成する工程と、前記ロウ材層を加熱して、前記第１ランド上および第２ランド上が前記第１および第２配線上より厚いロウ材層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。
（付記１４）第１パッドおよび第２パッドを備える半導体ダイ上に、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記第２パッドから離間した第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、前記第２ランドと前記第２配線との少なくとも一方に接続され前記第１パターンより面積が小さい第２パターンを備えた第２配線層と、を形成する工程と、前記第１配線層上および第２配線層上にロウ材層を形成する工程と、前記ロウ材層を加熱して、前記第１ランドおよび前記第２ランド上が前記第１配線上および第２配線上より厚いロウ材層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。
（付記１５）第１パッドおよび第２パッドを備える半半導体ダイ上に、前記第１パッドから離間した第１ランドと、前記第１パッドと前記第１ランドとを接続する第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、前記第１ランドより面積が小さい第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きい第２配線と、を備えた第２配線層と、を形成する工程と、前記第１配線上および前記第２配線層上にロウ材層を形成する工程と、前記ロウ材層を加熱して、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。
（付記１６）第１パッドおよび第２パッドを備える半導体ダイ上に、第１ランドと、前記第１パッドと前記第１ランドとを接続し上面に第１溝が形成された第１配線と、前記第１ランドと前記第１配線との少なくとも一方に接続された第１パターンと、を備えた第１配線層と、第２ランドと、前記第２パッドと前記第２ランドとを接続し前記第１配線より面積が大きく、上面に第２溝が形成された第２配線と、を備えた第２配線層と、を形成する工程と、前記第１配線上および前記第２配線層上にロウ材層を形成する工程と、前記ロウ材層を加熱して、前記第１ランドおよび前記第２ランド上が前記第１配線上および前記第２配線上より厚いロウ材層を形成する工程と、を含むことを特徴とする半導体装置の製造方法。
【符号の説明】
【００４６】
１０　半導体基板
１１　半導体ダイ
１３　半導体チップ
１６　パッド

１８　保護膜
１９　絶縁膜
２２、２２ａ－２２ｃ　配線層
２６　ロウ材層
２６ａ　集合部
２６ｂ　薄膜部
３０、３０ａ－３０ｃ　配線
３２、３２ａ－３２ｃ　ランド
３４、３４ａ－３４ｃ　パターン
３６　パッド
４０　基板
４５　パッド
７０ａ、７０ｂ　溝

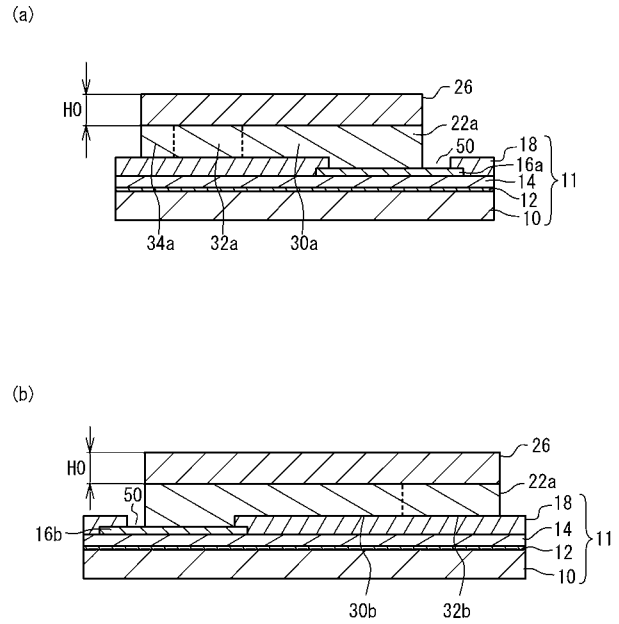
【図１】



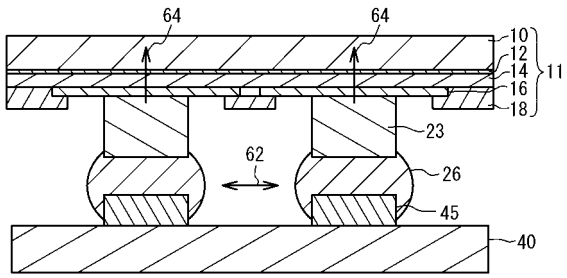
【図２】



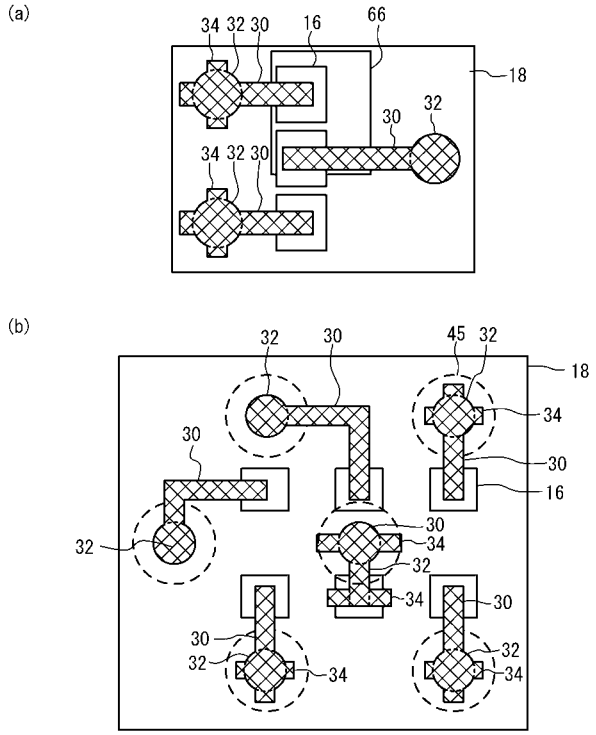
【図３】


(a)
H0
26
22a
50
18
16a
14
12
10
11
34a
32a
30a
(b)
H0
26
22a
50
18
14
12
10
11
16b
30b
32b

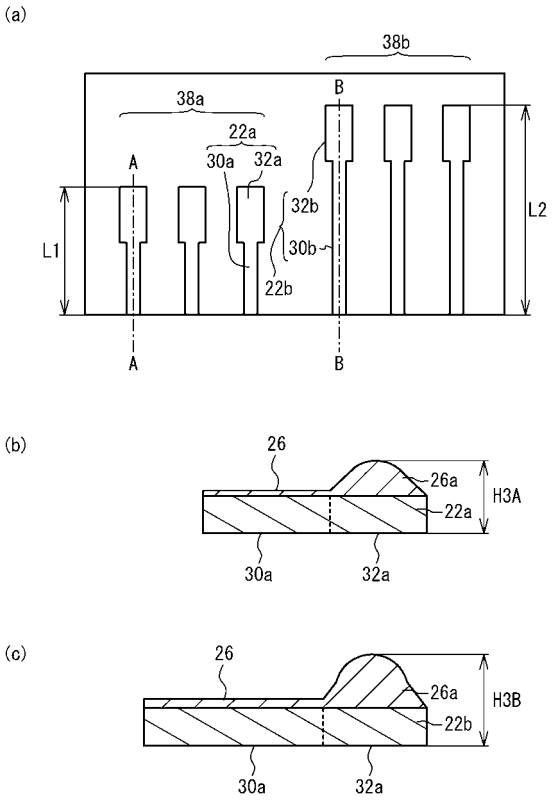
【図４】


64
64
10
12
14
16
18
11
23
62
26
45
40

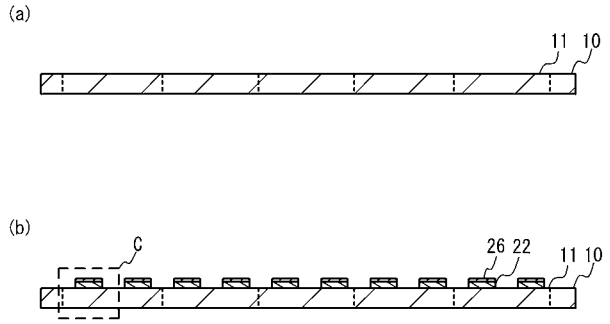
【図５】


(a)
34 32 30
16
66
18
30
32
34 32 30
(b)
32
30
45
32
18
34
30
16
30
34
32
32
34
30
30
32
34
32
34

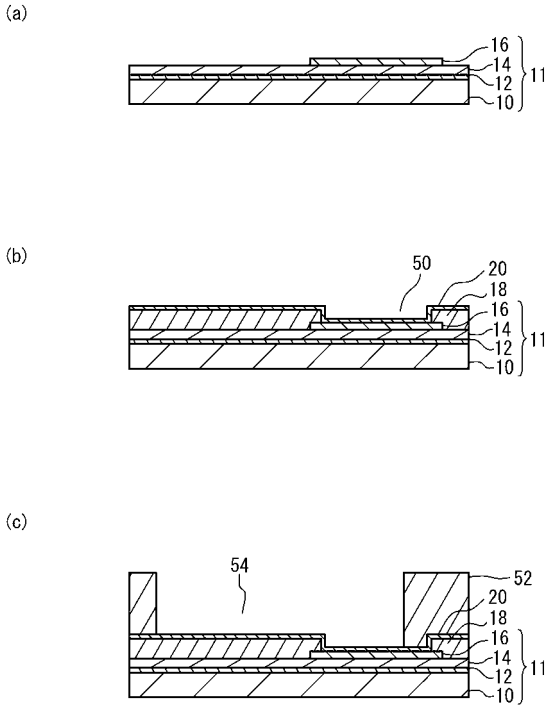
【図６】


(a)
38b
38a
B
22a
A
30a
32a
32b
30b
22b
L1
L2
A
B
(b)
26
26a
22a
H3A
30a
32a
(c)
26
26a
22b
H3B
30a
32a

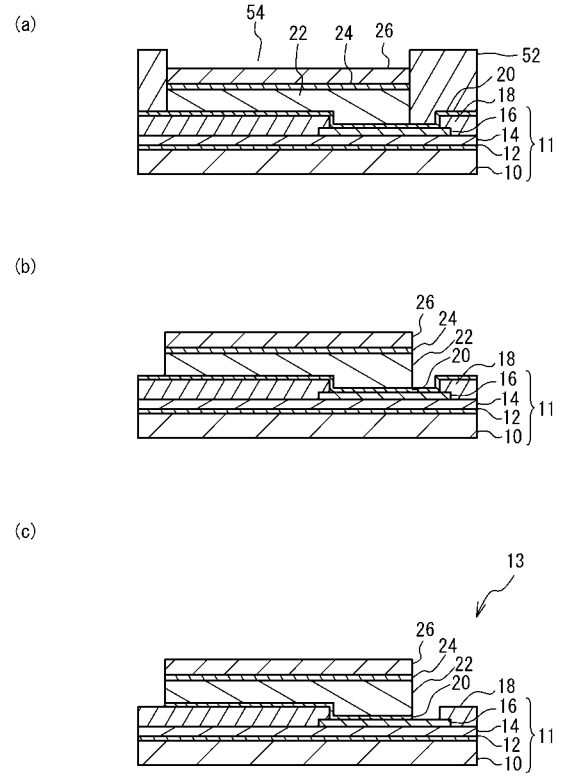
【図７】


(a)
11
10
(b)
C
26
22
11
10

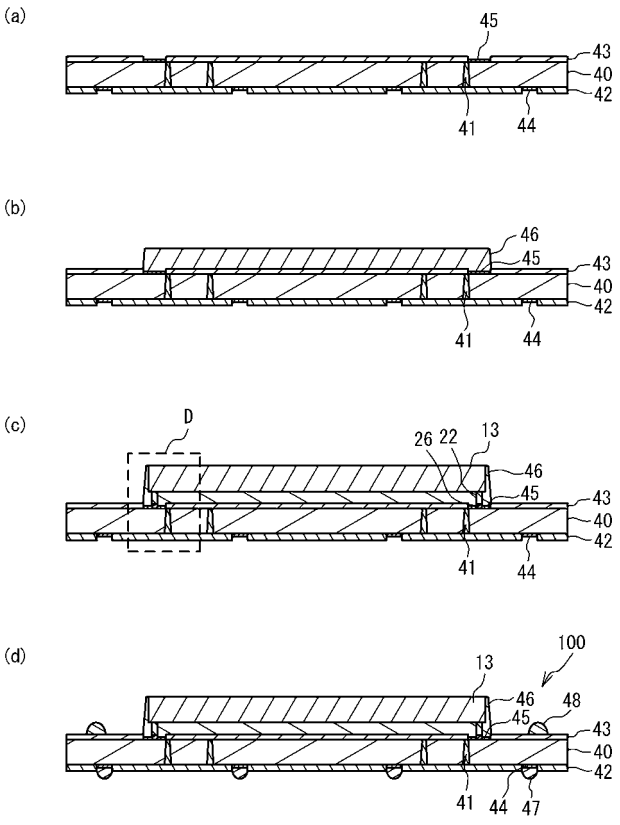
【図８】


(a)
16
14
12
10
11
(b)
50
20
18
16
14
12
10
11
(c)
54
52
20
18
16
14
12
10
11

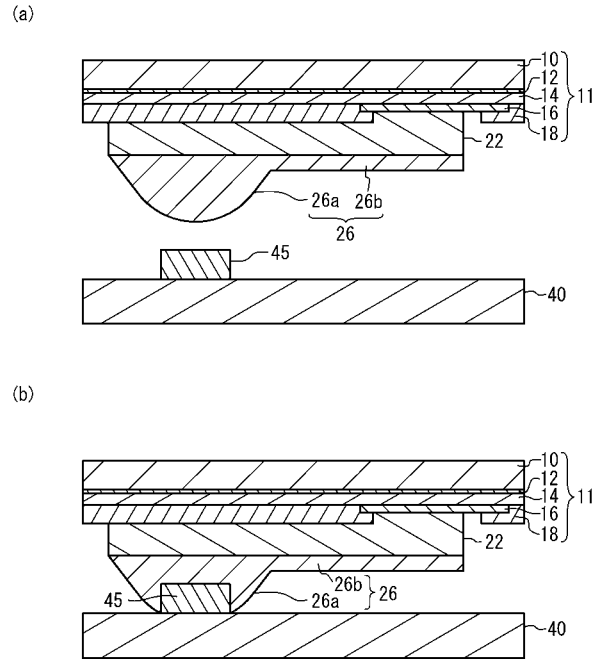
【図９】


(a)
54
22
24
26
52
20
18
16
14
12
10
11
(b)
26
24
22
20
18
16
14
12
10
11
(c)
13
26
24
22
20
18
16
14
12
10
11

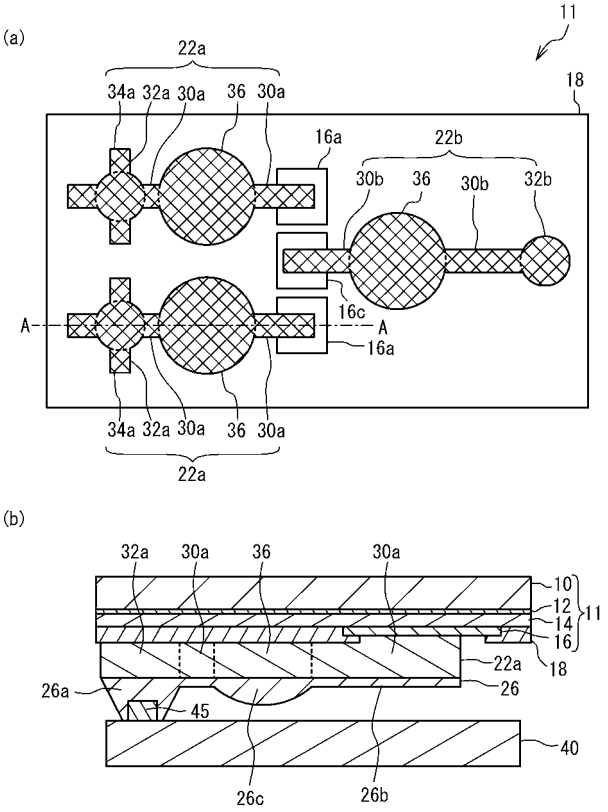
【図１０】


(a)
45
43
40
42
41
44
(b)
46
45
43
40
42
41
44
(c)
D
26
22
13
46
45
43
40
42
41
44
(d)
100
13
46
45
48
43
40
42
41
44
47

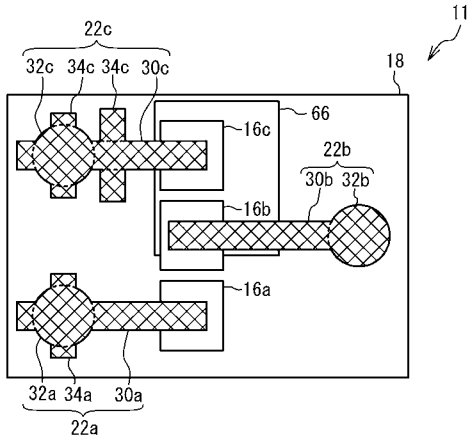
【図１１】



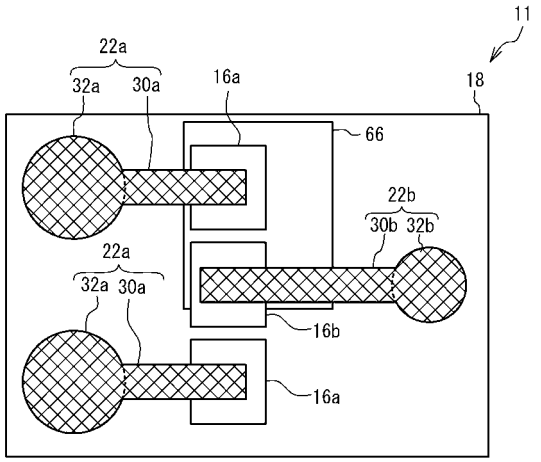
【図１２】



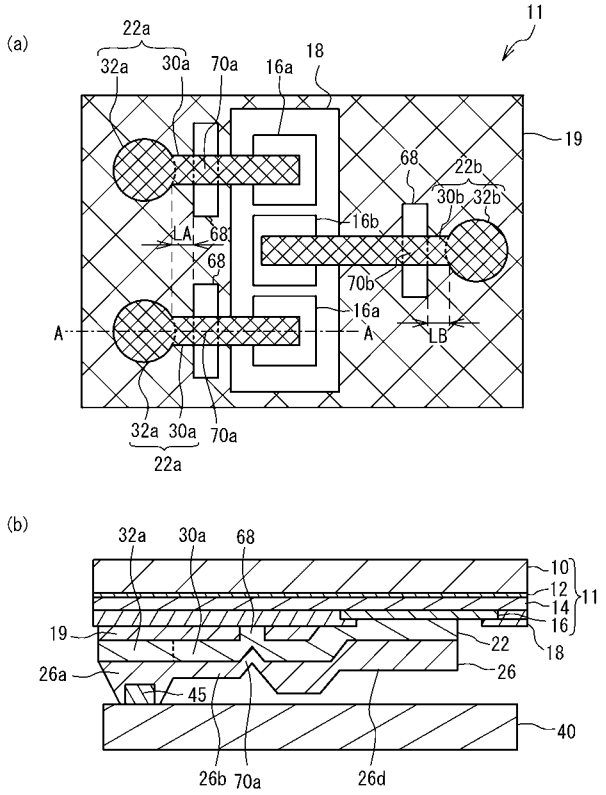
【図１３】



【図１４】



【図１５】


(a)
11
22a
32a
30a
70a
16a
18
19
68
22b
30b
32b
16b
LA
68
68
70b
16a
A
A
LB
32a
30a
70a
22a
(b)
32a
30a
68
10
12
14
16
11
19
22
18
26a
26
45
40
26b
70a
26d