



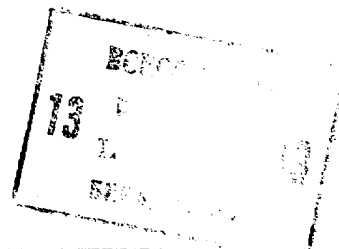
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1403065** **A 1**

(51) 4 G 06 F 11/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3629300/24-24

(22) 27.07.83

(46) 15.06.88. Бюл. № 22

(71) Московский инженерно-физический институт

(72) М. А. Иванов

(53) 681.3(088.8)

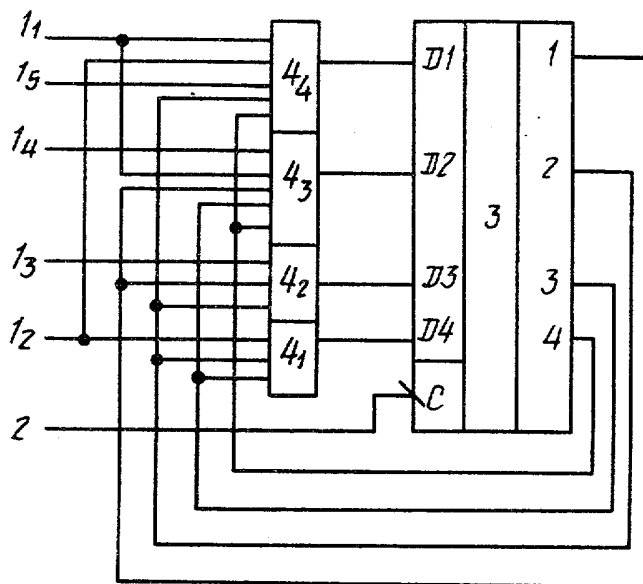
(56) Питерсон У., Уэлдон Э. Коды, исправляющие ошибки. М.: Мир, 1976.

Computer design, 1974, № 3, с. 94.

(54) АНАЛИЗАТОР СИГНАТУР ПАРАЛЛЕЛЬНОГО ПОТОКА ДАННЫХ

(57) Изобретение относится к вычислительной технике и может быть использовано в

системах тестового диагностирования цифровых устройств в качестве анализатора выходных реакций. Целью изобретения является повышение надежности анализатора и увеличение достоверности контроля. Анализатор сигнатур содержит регистр 3, разрядность N которого равна степени образующего многочлена, и группу из M сумматоров 4 по модулю два, причем $K \leq M \leq N$, где K — число контролируемых входов анализатора. Принцип работы анализатора основан на алгоритме ускоренного деления многочленов. При $N < K$ надежность анализатора достигается за счет существенного упрощения его конструкции. 6 ил.



фиг. 2

(19) **SU** (11) **1403065** **A 1**

Изобретение относится к вычислительной технике и может быть использовано в системах тестового диагностирования цифровых устройств в качестве анализатора выходных реакций проверяемого изделия.

Цель изобретения — повышение надежности анализатора и увеличение достоверности контроля.

На фиг. 1 представлена функциональная схема анализатора, соответствующего образующему многочлену $\Phi(x) = x^1 + x + 1$, для случая $K = 2$, где K — число контролируемых входов анализатора. Сопровождающая матрица, описывающая логику работы устройства, имеет вид

$$V = T_1^2 = \begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} 1 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \end{bmatrix}$$

Устройство имеет первый 1_1 и второй 1_2 информационные (контролируемые) входы и тактовый вход 2, а также содержит регистр 3, разрядность которого равна степени образующего многочлена $\Phi(x)$, сумматоры 4 по модулю два ($K \leq M \leq N$). Выходами устройства являются выходы всех разрядов регистра 3.

На фиг. 2 показана схема анализатора для случая $\Phi(x) = x^4 + x^3 + 1$, $K = 5$, сопровождающая матрица в этом случае имеет вид $V = T_1^5 = T_1^3$; на фиг. 3 — схема анализатора для случая $K = 3$, $\Phi(x) = x^4 + x + 1$, $V = T_1^3$; на фиг. 4 — эквивалентная схема анализатора для того же случая.

Уравнения работы анализаторов, показанных на фиг. 3 и 4, имеют вид

$$\begin{cases} Q_1(t+1) = \bigoplus_{i=1}^K a_i(t) \oplus \bigoplus_{i=1}^M Q_i(t); \\ Q_2(t+1) = a_1(t) \oplus a_2(t) \oplus Q_1(t) \oplus Q_3(t) \oplus Q_4(t); \\ Q_3(t+1) = a_1(t) \oplus Q_1(t) \oplus Q_4(t); Q_4(t+1) = \\ = Q_1(t), \end{cases}$$

где $Q_i(t)$ и $Q_i(t+1)$ — содержимое i -го разряда регистра 3 в моменты t и $t+1$ соответственно, $i = \overline{1, N}$, $t = \overline{1, m}$; $\{a_1(t) \dots a_j(t) \dots a_K(t)\}$ — анализируемый двоичный набор, $a_j(t) \in \{0, 1\}$, $j = \overline{1, K}$; m — длина контролируемых двоичных последовательностей.

На фиг. 5 показана схема анализатора для случая $k = 2$, $\Phi(x) = x^4 + x^3 + 1$; на фиг. 6 — вид сопровождающей матрицы для рассматриваемого случая, где

$$T_2 = \begin{bmatrix} 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 \end{bmatrix}$$

Анализатор работает следующим образом.

Перед началом работы регистр 3 устанавливается в нулевое состояние. Цепь установки в исходное состояние на фиг. 1—5 не показана. На входы 1 анализатора поступают двоичные последовательности с выходов объекта контроля, являющиеся его реакциями на входные тестовые воздействия.

На вход 2 анализатора поступают синхросигналы проверяемого изделия. После окончания цикла тестирования, т. е. после поступления m анализируемых двоичных наборов $\{a_1(t) \dots a_j(t) \dots a_K(t)\}$, в регистре 3 анализатора образуется сигнатура, которую затем сравнивают с кодовым эталоном, полученным с работоспособного изделия. На основании результата сравнения делают вывод о техническом состоянии объекта контроля, так как наличие в нем неисправности проявляется в виде искажения его выходных последовательностей.

Обратные связи в анализаторе подбирают таким образом, чтобы за один такт выполнялись преобразования, которые в одноканальном анализаторе выполняются за K тактов. Таким образом, принцип работы устройства основан на алгоритме ускоренного деления многочленов. Основой анализатора является генератор двоичных последовательностей, соответствующий уравнению $Q(t+1) = Q(t) T^k$, где T — квадратная матрица порядка N вида

$$T_1 = \begin{bmatrix} a_1 & 1 & 0 & \dots & 0 \\ a_2 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ a_{N-1} & 0 & 0 & \dots & 1 \\ a_N & 0 & 0 & \dots & 0 \end{bmatrix} \text{ или } T_2 = \begin{bmatrix} 0 & 1 & \dots & 0 & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & \dots & 1 & 0 \\ 0 & 0 & \dots & 0 & 1 \\ a_N & a_{N-1} & \dots & a_2 & a_1 \end{bmatrix},$$

где $a_i \in \{0, 1\}$ — коэффициенты образующего многочлена $\Phi(x) = a_N x^N + a_{N-1} x^{N-1} + \dots + a_2 x^2 + a_1 x + 1$;

$Q(t) = [Q_1(t) \dots Q_i(t) \dots Q_N(t)]$ и $Q(t+1) = [Q_1(t+1) \dots Q_i(t+1) \dots Q_N(t+1)]$ — вектора, характеризующие состояние генератора соответственно в моменты t и $(t+1)$.

При $T = T_1$ число сумматоров 4 по модулю два, входящих в состав устройства:

$$M = \begin{cases} K & \text{при } K < N; \\ N & \text{при } K \geq N, \end{cases}$$

а сигнатура, образуемая в регистре 3, однозначно соответствует остатку от деления многочлена входных последовательностей $A(x)$ на многочлен $\Phi(x) = \Phi(1/x) x^N$, где $\Phi^1(x)$ — характеристический многочлен устройства. При $T = T_2$ сигнатура, образуемая в регистре 3, в точности равна остатку от деления $A(x)$ на $\Phi^1(x)$, а $K \leq M \leq N$.

Формула изобретения

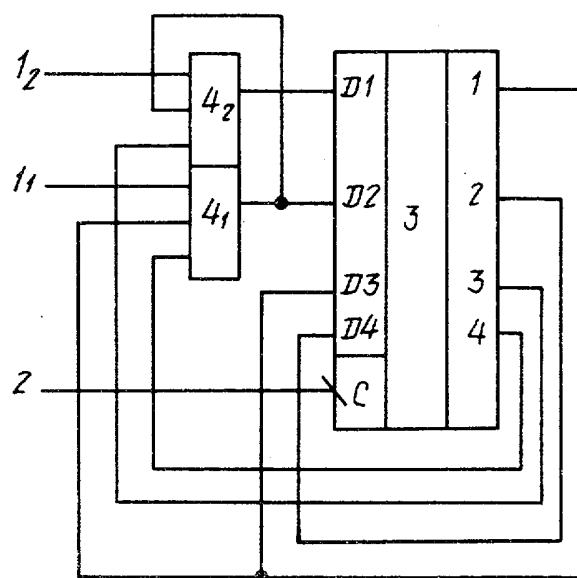
Анализатор сигнатур параллельного потока данных, содержащий N -разрядный регистр, где N — степень образующего многочлена, M сумматоров по модулю два, где $K \leq M \leq N$, K — число контролируемых входов анализатора, выходы M сумматоров по модулю два соединены с соответствующими M информационными входами регистра, контролируемые входы анализатора соединены с соответствующими входами пер-

вой группы входов сумматоров по модулю два, тактовый вход анализатора соединен с тактовым входом регистра, отличающийся тем, что, с целью повышения достоверности контроля, N/M информационных входов регистра соединены с выходами соответствующих разрядов регистра, входы второй группы входов сумматоров по модулю два, соединенных с i -ми информационными входами регистра, соединены с выходами регистра, соответствующими ненулевым эле-

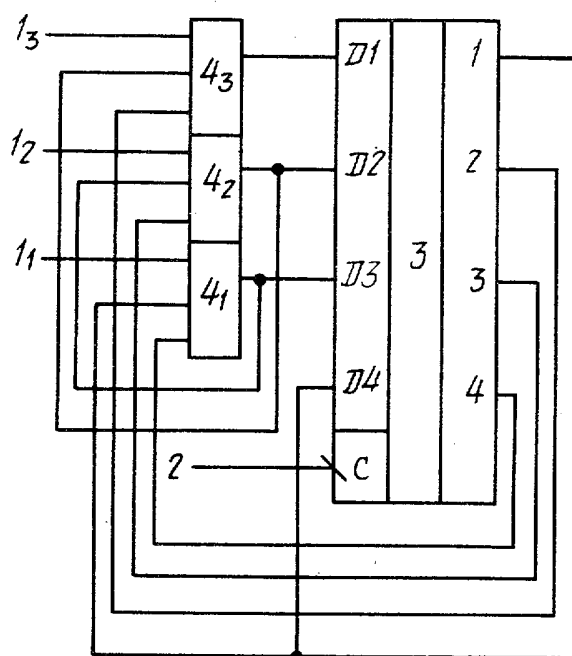
ментам i -го столбца сопровождающей матрицы $V = T^k$, где T — квадратная матрица порядка вида

$$T_1 = \begin{bmatrix} a_1 & 1 & 0 \dots 0 \\ a_2 & 0 & 1 \dots 0 \\ \vdots & \vdots & \vdots \\ a_{n-1} & 0 & 0 \dots 0 \\ a_n & 0 & 0 \dots 0 \end{bmatrix} \text{ или } T_2 = \begin{bmatrix} 0 & 1 & \dots & 0 & 0 \\ 0 & 0 & \dots & 1 & 0 \\ 0 & 0 & \dots & 0 & 1 \\ a_n & a_{n-1} & \dots & a_2 & a_1 \end{bmatrix}$$

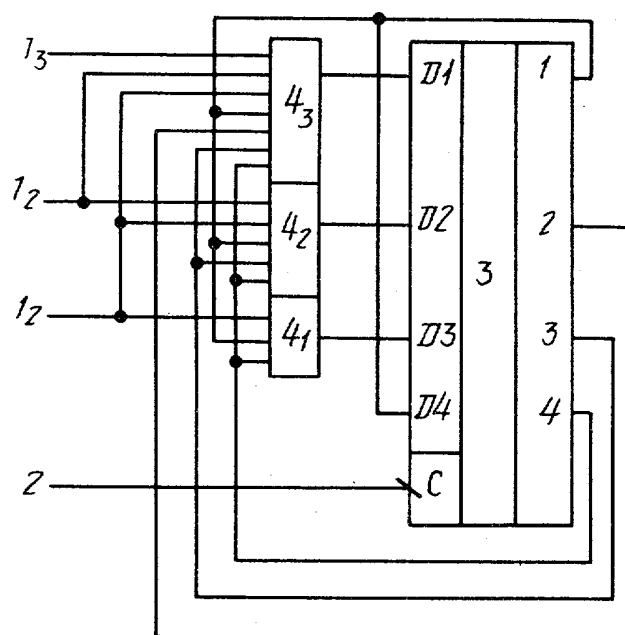
где $a_i \in \{0,1\}$ — коэффициенты образующего многочлена.



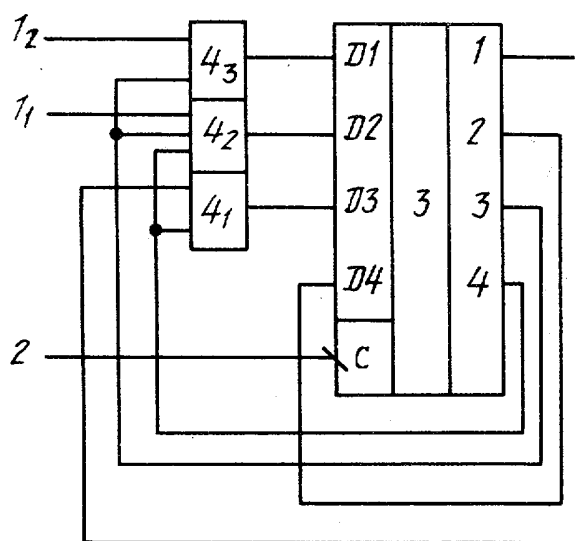
фиг.1



фиг.3



Фиг. 4



Фиг. 5

$$V = T_2^2 = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 \end{bmatrix}$$

Фиг. 6