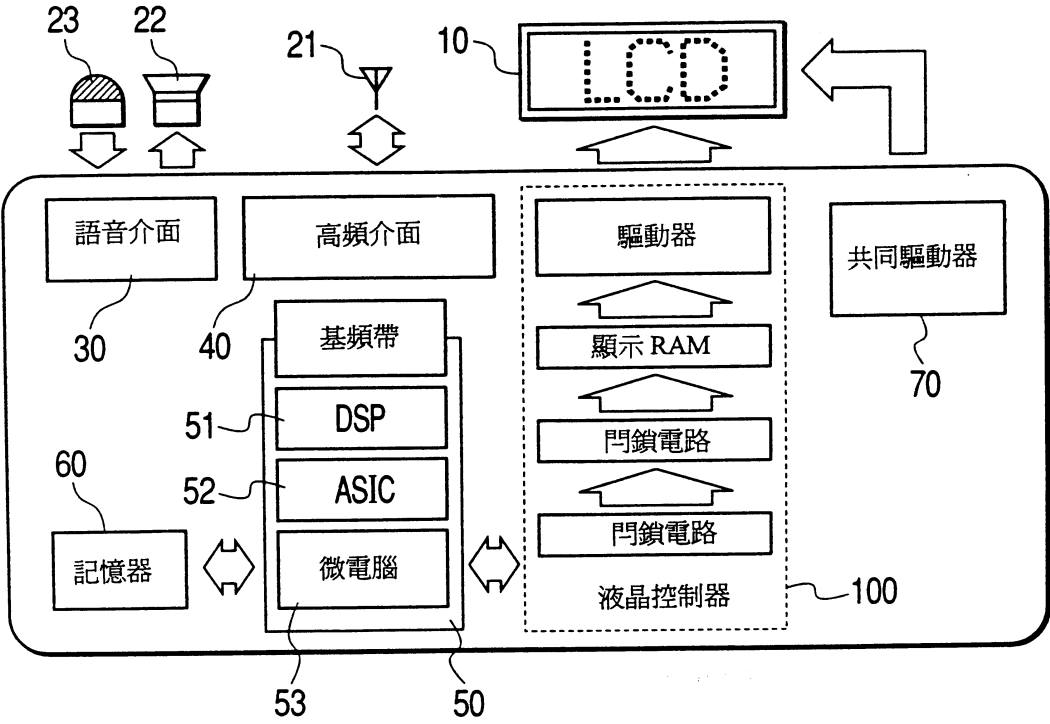
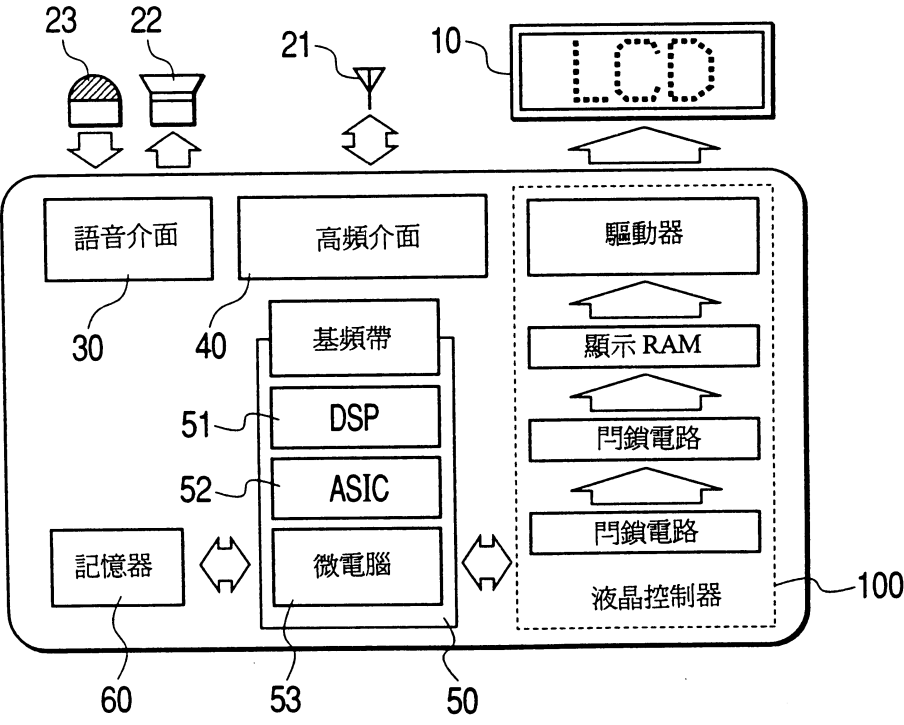


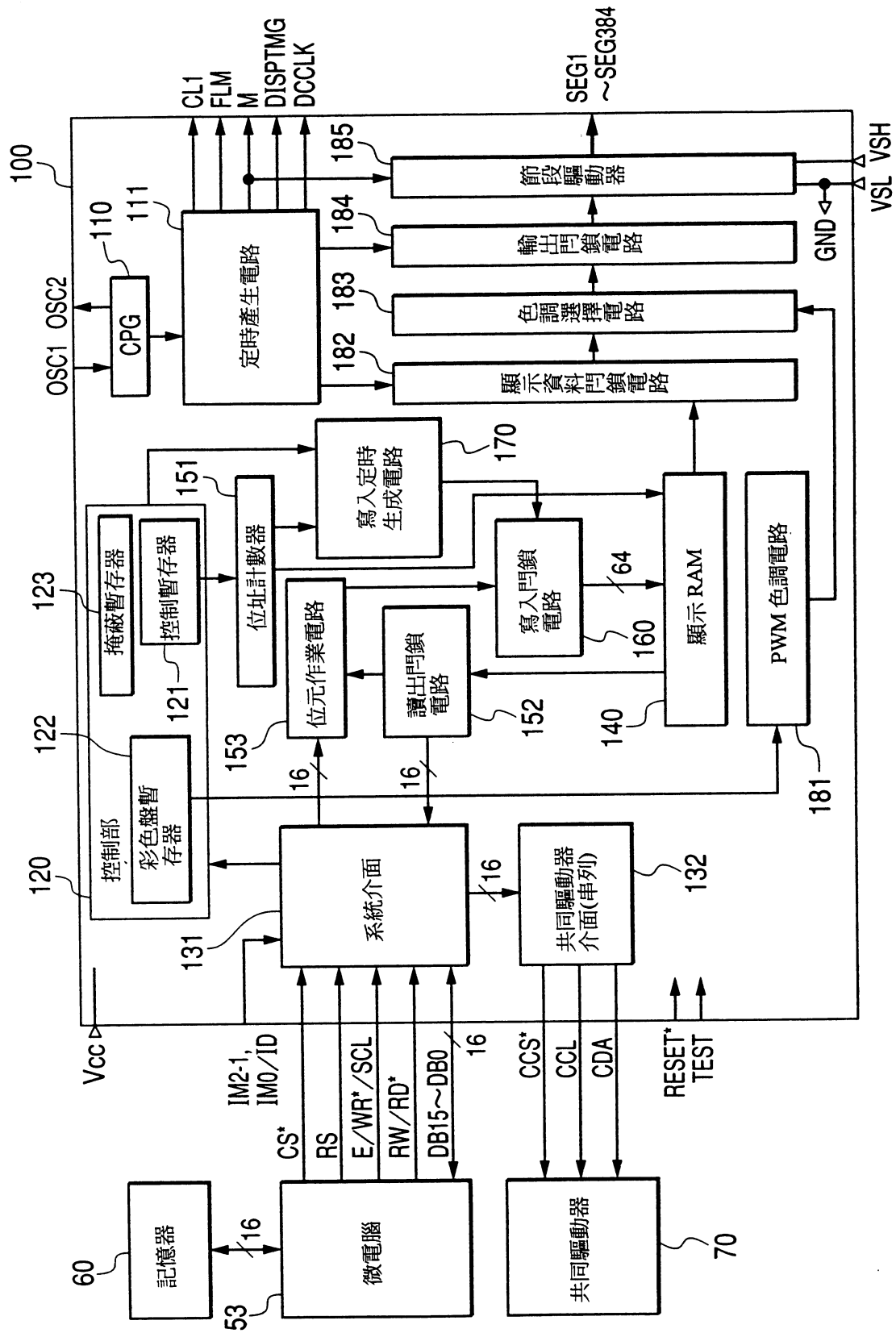
第 1(A)圖



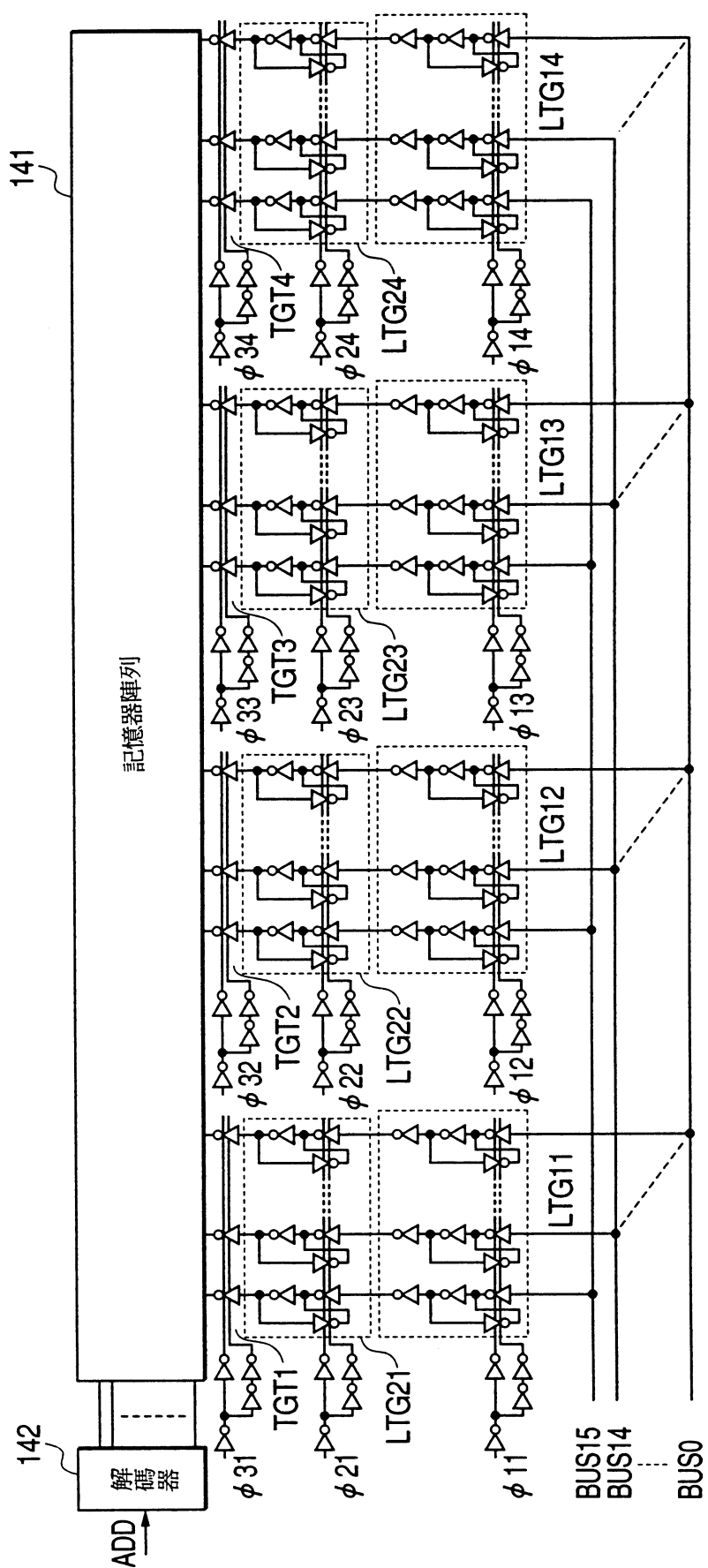
第 1(B)圖



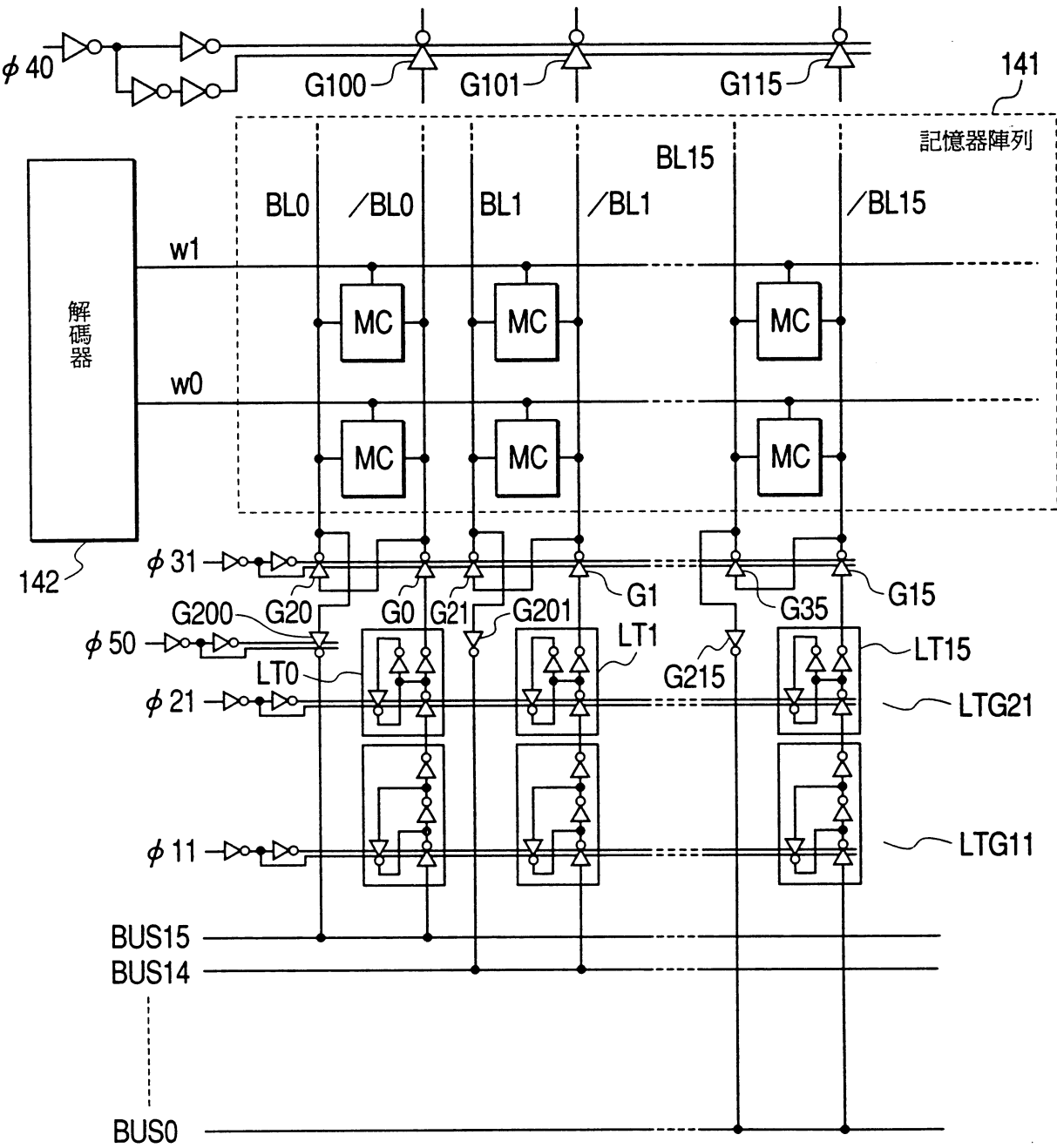
第 2 圖



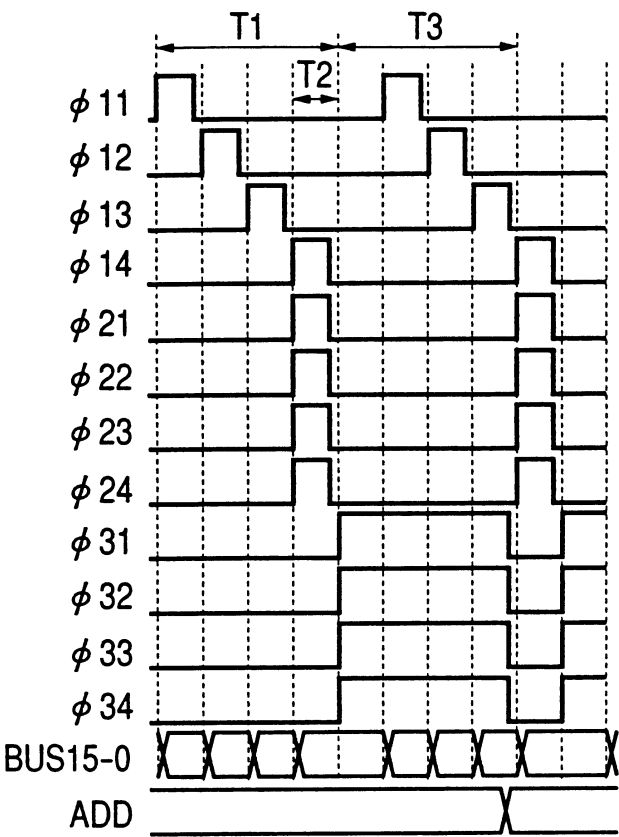
第 3 圖



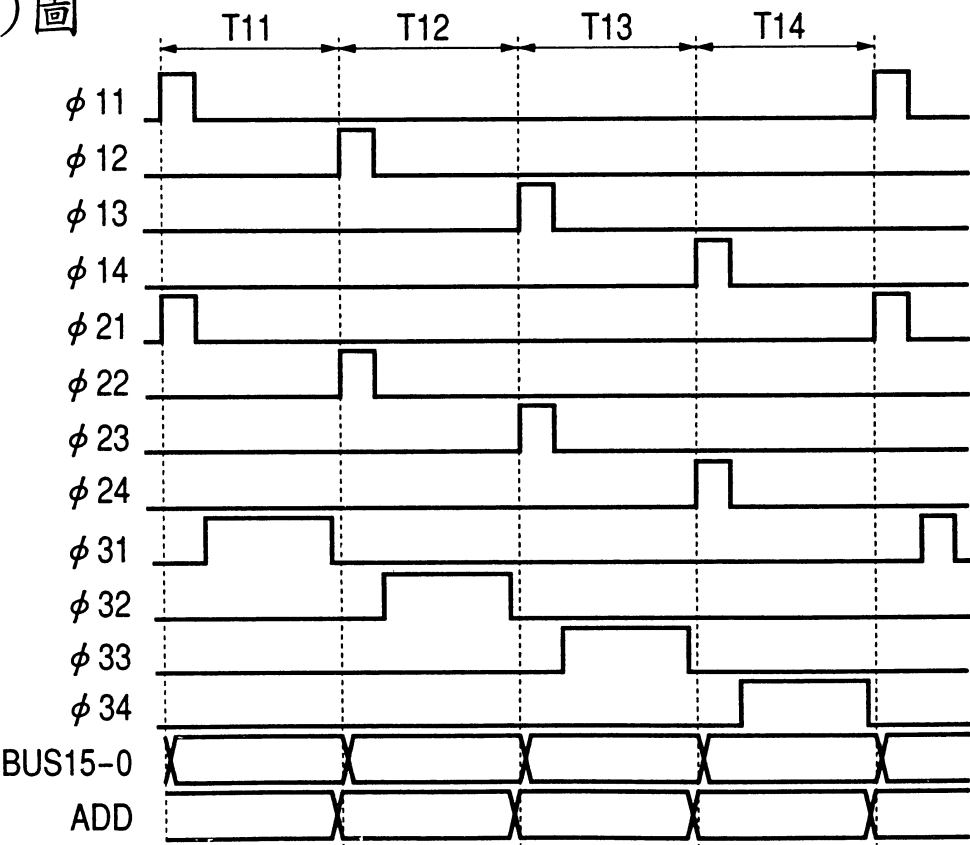
第 4 圖



第 5(A)圖



第 5(B)圖



第 6(A)圖

整批寫入單位

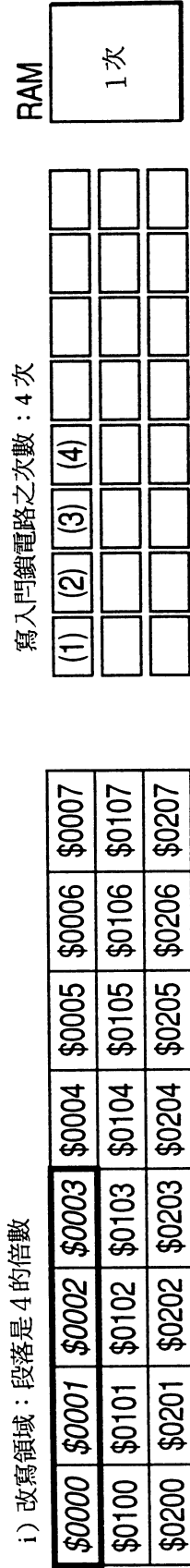
第 1 行	\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007	...	\$003F
第 2 行	\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107	...	\$013F
第 3 行	\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207	...	\$023F
...										
第 1 2 8 行	\$7F00	\$7F01	\$7F02	\$7F03	\$7F04	\$7F05	\$7F06	\$7F07	...	\$7F3F
...										
第 1 6 8 行	\$A700	\$A701	\$A702	\$A703	\$A704	\$A705	\$A706	\$A707	...	\$A73F
...										
第 2 5 6 行	\$FF00	\$FF01	\$FF02	\$FF03	\$FF04	\$FF05	\$FF06	\$FF07	...	\$FF3F

第 6(B)圖

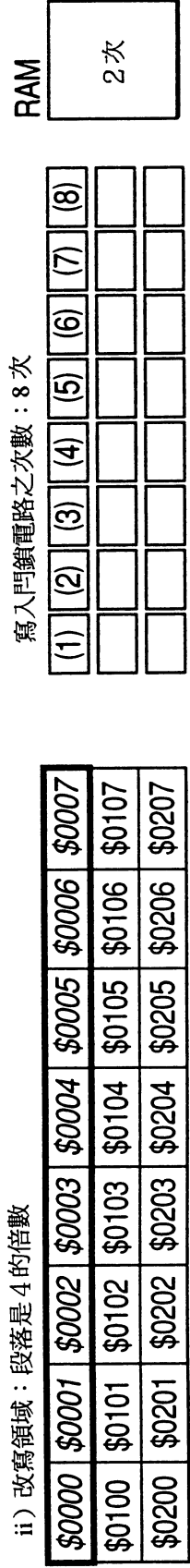
虛擬資料 寫入資料 虛擬資料

第 1 行	\$0000	\$0001	\$0002	\$0003	\$0004	\$0005	\$0006	\$0007	...	\$003F
第 2 行	\$0100	\$0101	\$0102	\$0103	\$0104	\$0105	\$0106	\$0107	...	\$013F
第 3 行	\$0200	\$0201	\$0202	\$0203	\$0204	\$0205	\$0206	\$0207	...	\$023F
...										
第 1 2 8 行	\$7F00	\$7F01	\$7F02	\$7F03	\$7F04	\$7F05	\$7F06	\$7F07	...	\$7F3F
...										
第 1 6 8 行	\$A700	\$A701	\$A702	\$A703	\$A704	\$A705	\$A706	\$A707	...	\$A73F
...										
第 2 5 6 行	\$FF00	\$FF01	\$FF02	\$FF03	\$FF04	\$FF05	\$FF06	\$FF07	...	\$FF3F

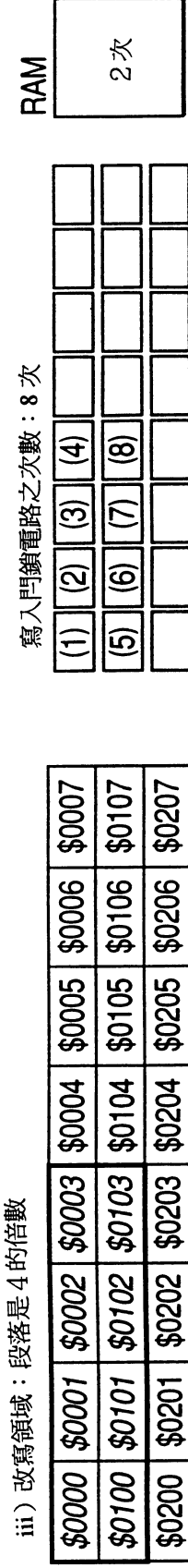
第 7(A)圖



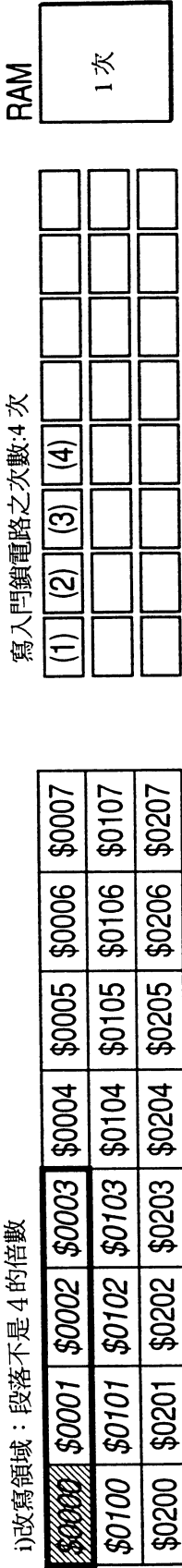
第 7(B)圖



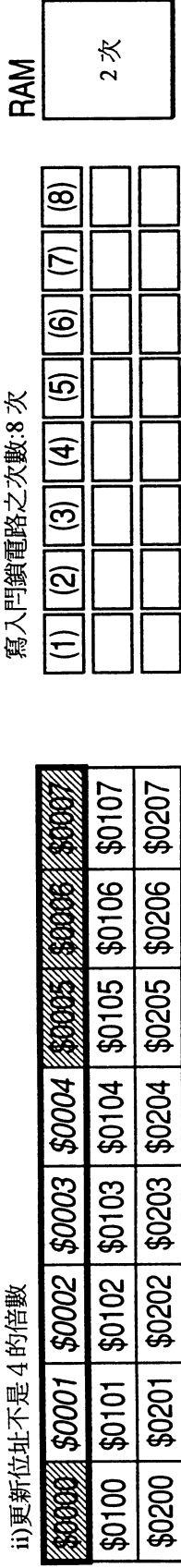
第 7(C)圖



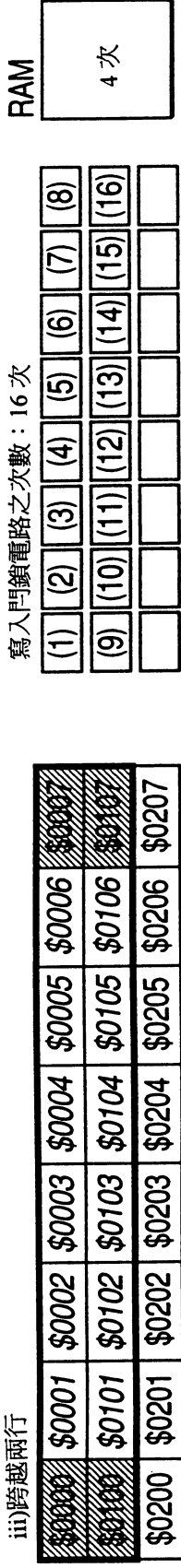
第 8(A)圖



第 8(B)圖



第 8(C)圖



第 9(A)圖

開始寫入位址	開始側掩蔽量	結束寫入位址	結束側掩蔽量
WSA	SMW	WEA	EMW

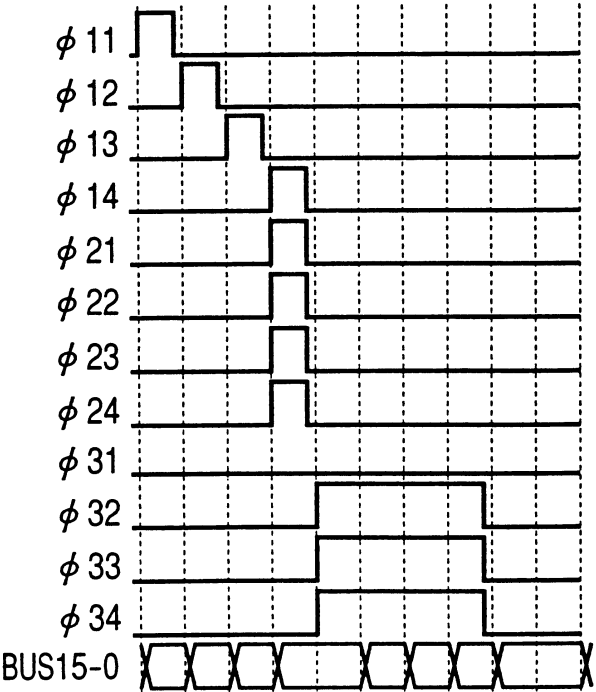
第 9(B)圖

	0000	0001	0002	0003	0004	0005	0006	0007	0008	0009	000A	000B
案例 1	□	□	□	□	□	□	□	□	□	□	□	□
案例 2	■	□	□	□	□	□	□	□	□	□	□	■
案例 3	■	■	□	□	□	□	□	□	□	□	■	■
案例 4	■	■	■	□	□	□	□	□	□	■	■	■
	■ 掩蔽部分											

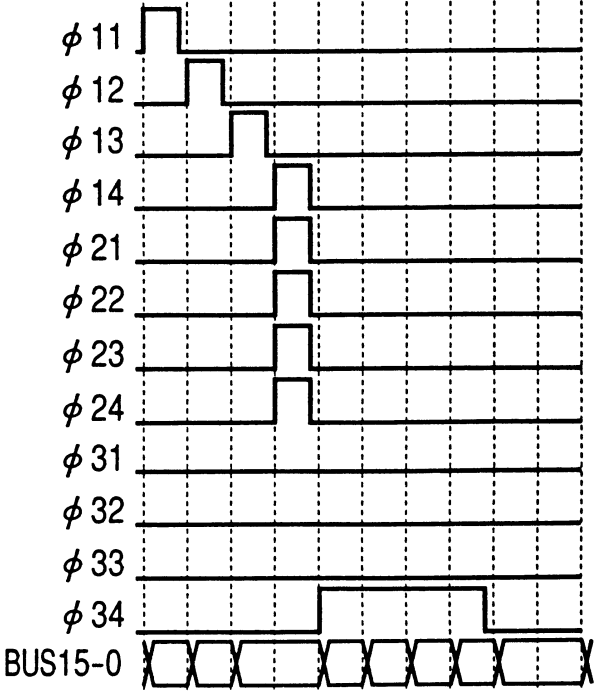
第 9(C)圖

	WSA	SMW	WEA	EMW
案例 1	0000	00	000B	00
案例 2	0001	01	000A	01
案例 3	0010	10	0009	10
案例 4	0011	11	0008	11

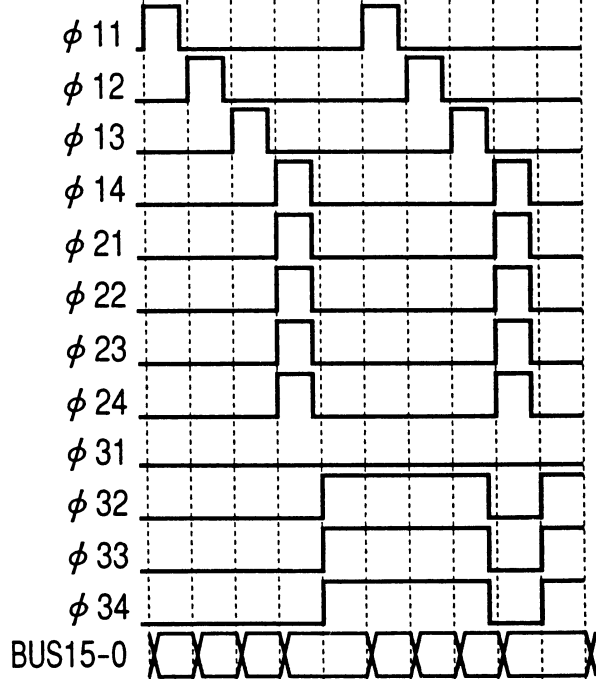
第 10(A)圖



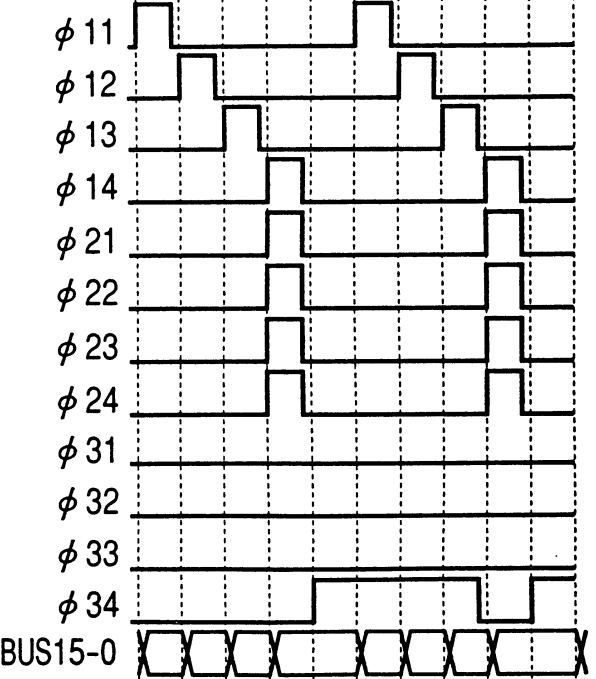
第 10(B)圖



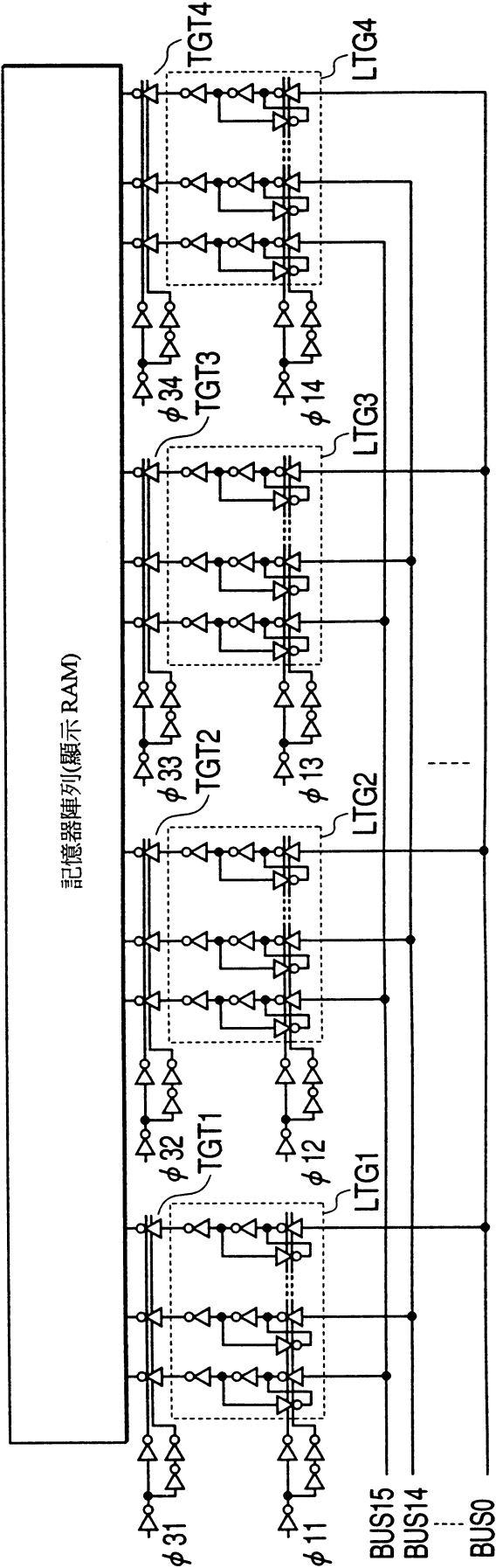
第 10(C)圖



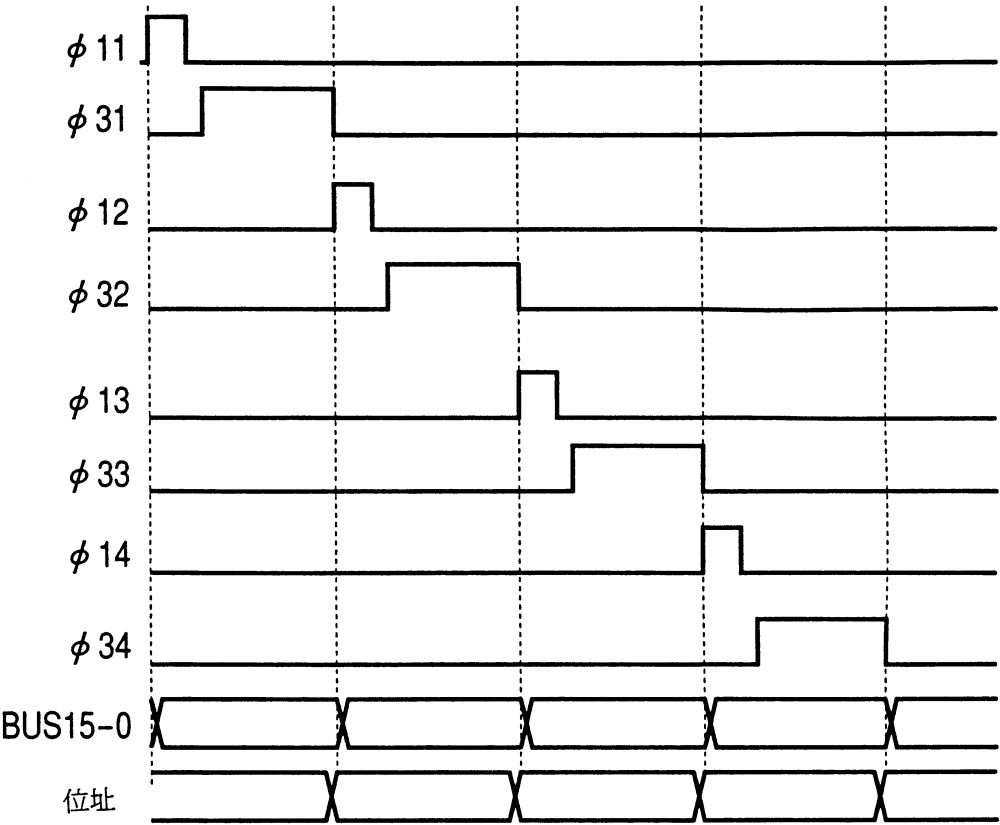
第 10(D)圖



第 11 圖



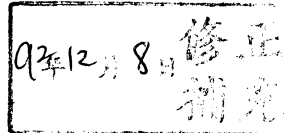
第 12 圖



公告本

第 90129849 號專利申請案

中文說明書修正本 民國 92 年 12 月



申請日期	90 年 12 月 3 日
案 號	90129849
類 別	G06F 3/153

A4
C4

I221576

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	顯示控制裝置及攜帶用電子機器
	英 文	
二、發明 人	姓 名	(1) 谷邦彥 (2) 橫田善和 (3) 坂卷五郎
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的財產權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的財產權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的財產權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八一番地
	代 表 人 姓 名	(1) 庄山悅彥 (2) 長壁邦治

裝

訂

線

申請日期	90 年 12 月 3 日
案 號	90129849
類 別	

A4
C4

(以上各欄由本局填註)

發明型專利說明書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 大山 尚
	國 籍	(4) 日本 (4) 日本國千葉縣茂原市早野三六八一番地 日立裝置工程 (股) 內
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

經濟部智慧財產局員工消費合作社印製

修正替換頁
82.12.18
年 月 日

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

日本 2000 年 12 月 18 日 2000-383012 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明係關於，對二維方式排列多數顯示節段(segment)之顯示部(例如點矩陣型顯示部)進行顯示控制之顯示控制裝置，而且是關於，應用在該顯示控制裝置之記憶資料用之記憶器之寫入門鎖電路很有效之技術，例如，利用在液晶顯示控制裝置及搭載該裝置之攜帶用電子機器時很有效之技術。

近年來在行動電話機或呼叫器等之攜帶用電子機器之顯示裝置，一般都是使用例如以矩陣狀二維方式排列多數顯示像素之點矩陣型液晶面板，機器內部則搭載用以驅動此液晶面板進行顯示控制之半導體積體電路化之顯示控制裝置，或液晶面板之驅動電路，或內設驅動電路之顯示控制裝置。而，有的顯示控制裝置在內部設有用以記憶顯示在液晶面板之顯示資料之可改寫之RAM，顯示控制裝置則在從控制整個機器或處理送受信信號等之微處理器接到應顯示之資料時，改寫內部之RAM(以下稱作顯示RAM)之顯示資料。

具體上，一般多是採用，如第11圖所示，與第12圖所示之定時信號 $\phi 11$ 、 $\phi 12 \dots \dots$ 同步，將從微處理器經由匯流排BUS0~BUS15供給之如1個字(16位元)之寫入資料順序取進對應顯示RAM140之位元線配設之門鎖電路群LTG1~LTG4，依定時信號 $\phi 31$ 、 $\phi 32 \dots \dots$ ，順序打開設在門鎖電路群LTG1~LTG4與顯示RAM之間之傳送閘群TGT1~TGT4，將資料以字單位順序寫入顯示

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

R A M 1 4 0 之方式。

這種攜帶用電子機器所用之液晶面板大部分是黑白顯示。然而，近年來隨著攜帶用電子機器之高性能化，顯示在顯示部之內容之多樣化一直在進展，已經有部分之機器可以提供彩色顯示或動畫顯示。

但在進行彩色顯示或動畫顯示時，顯示資料會較黑白顯示時多很多，因此，微處理器需要使用動作頻率高者，同時，對顯示 R A M 也要求能夠高速寫入。

但是，在攜帶用電子機器，尤其是為了減低電池消耗，要求所搭載之顯示控制裝置等之 L S I 必須是低消耗電力型。惟，內設在傳統之顯示控制裝置之顯示 R A M 係如第 1 2 圖所示，採每次一個字順序寫入之方式，因此，如果要依微處理器之顯示資料之傳送速度加快寫入速度，便會有消耗電力與傳送速度比例增大之問題。

本發明係有鑑於上述問題點而完成者，其目的在提供，可以不增大消耗電力，便能夠以高速在內部之顯示 R A M 寫入資料之顯示控制裝置，及搭載此裝置之攜帶用電子機器。

本發明之上述及其他目的以及新穎之特徵，可以從本說明書之記述及附圖獲得進一步之瞭解。

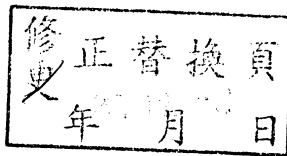
茲說明本發明所揭示之發明中具代表性者之概要如下。

亦即，顯示控制裝置具備有，可記憶顯示裝置之顯示資料，並以一定之位元單位寫入顯示資料之顯示記憶器，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

A7
B7

五、發明說明 (3)

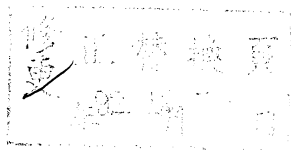
而從該顯示記憶器依序讀出顯示資料，形成對顯示裝置之驅動信號而輸出，上述顯示記憶器有記憶器陣列，該記憶器陣列備有：在橫方向及縱方向分別排列配置之多數記憶單元；連接同一行之記憶單元之選擇端子之多數字組線；及配設在跟該字組線交差之方向，連接同一列之記憶單元之資料輸入輸出節點之多數位元線，上述位元線連接有輸入用之傳送構件及輸出用之傳送構件，藉由上述輸入用之傳送構件之資料傳送，向連接在選擇狀態之字組線之記憶單元寫入資料，藉由上述輸出用之傳送構件之資料傳送，從連接在選擇狀態之字組線之記憶單元讀出資料，並備有，可以依序取進上述一定位元單位之顯示資料之多數第 1 資料閘鎖構件，能夠將保持在該第 1 資料閘鎖構件之顯示資料，以取進該第 1 資料閘鎖構件之顯示資料之位元數之整數倍（ n 倍）之位元單位，藉由上述輸入用之傳送構件整批傳送至上述顯示記憶器之位元線。

依據上述手段時，因為，顯示記憶器係未具有感測放大器之架構，亦即，至顯示記憶體之寫入資料係藉由輸入用傳送構件從閘鎖電路直接傳送到位元線，讀出時則由輸出用傳送構件輸出位元線之資料，同時是將多數資料先行閘鎖在閘鎖電路，再整批寫入顯示記憶器，因此，不僅可以減少感測放大器消耗之電力，而且較之在顯示記憶器每次寫入 1 個資料之方式，對顯示記憶器擷取之次數（字組線之起動次數）變少，可以減低記憶器消耗之電力。同時，縱使由於省略感測放大器致使寫入速度或讀出速度變慢

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

A7
B7

五、發明說明 (4)

，因為可以將多數寫入資料整批寫入顯示記憶器，因之，較之在顯示記憶器每次寫入 1 個資料之傳統方式，仍可以高速寫入資料。

同時，最好是進一步備有，能夠將保持在上述第 1 資料閘鎖構件之顯示資料，以取進上述第 1 資料閘鎖構件之顯示資料之位元數之整數倍之位元單位取進之多數第 2 資料閘鎖構件，上述輸入用之傳送構件能夠將保持在該第 2 資料閘鎖構件之顯示資料，以取進上述第 1 資料閘鎖構件之顯示資料之位元數之整數倍（ n 倍）之位元單位，傳送至上述顯示記憶器之位元線。藉此，在從第 2 閘鎖電路將應寫入顯示記憶器之資料傳送至顯示記憶器之間，將下一此要寫入之資料取進第 1 資料閘鎖構件，因此，在向連接在同一位元線之記憶單元連續寫入資料時，仍可以高速寫入資料。

而且，最好是，上述輸入用之傳送構件向上述顯示記憶器之位元線之資料傳送，係以跟將最後之資料取進上述第 1 資料閘鎖構件時之定時相同之定時進行。

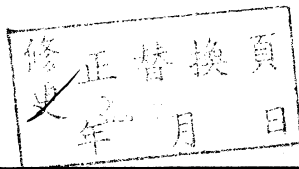
同時，上述第 1 資料閘鎖構件之數目，係上述 n 倍之再整數倍。藉此，在以一定之位元單位之整數倍將應寫入顯示記憶器之資料傳送至顯示記憶器時，仍可較將最後之資料取進第 1 資料閘鎖構件後再於下一循環整批傳送至顯示記憶器之方式，快一循環傳送資料。

同時，使上述第 1 資料閘鎖構件之數目為上述 n 倍之整數倍。藉此，對顯示記憶器之一行連續寫入資料時，傳

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

A7
B7

五、發明說明 (5)

送資料時可以不產生餘數，可以縮短整個資料寫入時間。

而且，具備有，可以設定應由上述輸入用之傳送構件傳送至上述顯示記憶體之位元線之資料之位元數之掩罩 (mask) 設定構件，而依據該掩罩設定構件之設定資訊控制上述輸入用之傳送構件。藉此，在從顯示記憶體之任意位置以整批寫入方式改寫資料時，可以防止不需要改寫之資料被誤改寫。同時，從可以整批改寫之多數資料之中間改寫資料時，也能藉由使用掩罩設定構件以整批寫入方式寫入，可以縮短寫入時間。

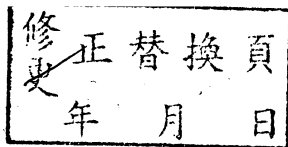
同時，上述掩罩設定構件可以設定，連續之位址範圍之寫入資料之前頭位址和應從該前頭位址掩蔽之資料量，以及，結束位址和應從該結束位址掩蔽之資料量。藉此，可以對任意長度之寫入資料，使用掩罩設定構件掩蔽寫入。

而且，備有，依據從上述顯示記憶體讀出之顯示資料生成驅動外部之液晶顯示裝置之節段電極之信號之節段驅動構件，在 1 個半導體晶片上構成爲半導體積體電路。藉此，在構成使用液晶顯示裝置之系統時，因爲在顯示控制裝置內設有節段驅動構件，可減少構成系統之零件數，可以減小安裝面積。

同時，本發明之攜帶用電子機器具備有：上述架構之顯示控制裝置；用以生成寫入上述顯示記憶體之顯示資料及進行有關其寫入位置資訊之設定之資料處理裝置；以及，藉由依據由上述顯示記憶體讀出之顯示資料，由上述顯

(請先閱讀背面之注意事項再填寫本頁)

訂

A7
B7

五、發明說明(6)

示控制裝置形成之顯示驅動信號進行顯示之顯示裝置。藉此，可以減少攜帶用電子機器之電源之電池之消耗，可以實現充一次電便能夠長時間運作之攜帶用電子機器。

而且，上述顯示裝置係點矩陣型之液晶顯示裝置。藉此，可以進一步減少電池之消耗，延長運作時間。

同時，上述顯示控制裝置備有用以生成驅動上述液晶顯示裝置之節段電極之信號之節段驅動構件，生成用以驅動上述液晶顯示裝置之共同電極之信號之共同電極驅動電路，係在形成上述顯示控制裝置之半導體晶片以外之半導體晶片上構成爲半導體積體電路，該共同電極驅動電路係由耐壓較構成上述顯示控制裝置之元件之耐壓爲高之元件構成。藉此，能夠用別的晶片構成需要高耐壓之共同電極驅動電路，較之在同一片晶片上形成節段驅動構件及共同電極驅動電路時，可提高其性能，且可以簡化處理流程，降低製造成本。

茲參照附圖說明本發明之可取實施形態如下。

第 1 圖 (A) 係表示備有本發明顯示控制裝置之第 1 實施例之液晶控制驅動器之攜帶式電話機之整體架構之方塊圖。

本實施例之攜帶用電話機備有，當作顯示部之液晶面板 10、送受信用天線 21、語音輸出用之揚聲器 22、語音輸入用之麥克風 23、本發明之顯示控制裝置之液晶控制驅動器 100、輸入輸出揚聲器 22 或麥克風之信號之語音介面 30、與天線 21 之間輸入輸出信號之高頻介

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紅

五、發明說明 (7)

面 4 0 、處理語音信號或送受信信號之 D S P (Digital Signal Processor) 4 1 、提供定製功能 (使用者邏輯) 之 A S I C (Application Specific Integrated Circuits) 4 2 、控制包含顯示功能之整個裝置之資料處理裝置之微處理器或微電腦 5 3 及資料記憶用之記憶體 6 0 等。藉由 D S P 4 1 、A S I C 4 2 及微電腦 5 3 構成基頻帶部 5 0 。

雖不特別限制，但上述液晶面板 1 0 係將多數顯示像素排列成例如 176×128 像素之矩陣方式之面板。再者，若是彩色顯示之液晶面板時，1 個像素係由紅、藍、綠之 3 點構成。同時，記憶體 6 0 係由例如能以一定之區塊單位整批抹除之快閃記憶器等構成，可記憶包含顯示控制之整個裝置之控制程式或控制資料，同時兼具，儲存有二維方式之顯示圖案之文字字型等顯示資料之圖案記憶器之 C G R O M (Character Generator Read Only Memory) 之功能。

在本實施例之系統，液晶控制驅動器 1 0 0 內設有用以驅動液晶面板 1 0 之節段電極 (例如 3 8 4 條之電極) 之節段驅動器，驅動液晶面板 1 0 之共同電極 (例如 1 7 6 條之電極) 之共同驅動器 7 0 則構成在別的半導體晶片上。惟不限定為這種架構，例如第 1 圖 (B) 所示，也可以在液晶控制驅動器 1 0 0 內設節段驅動器與共同驅動器，構成液晶控制驅動器。

第 2 圖係表示具有第 1 圖 (A) 之架構之液晶控制驅動器 1 0 0 之實施例之方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紅

五、發明說明(8)

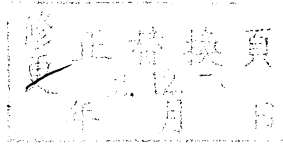
本實施例之液晶控制驅動器 1 0 0 具備有：依照外部之振盪信號或從連接在外部端子之振盪子之振盪信號生成晶片內部之基準時鐘脈衝之脈衝產生器 1 1 0；依照此時鐘脈衝產生晶片內部之定時控制信號之定時產生電路

1 1 1；依照外部之微電腦 5 3 之指令控制晶片內部整體之控制部 1 2 0；進行與微電腦 5 3 間之資料送受信之系統介面 1 3 1；向外部之共同驅動晶片 7 0 供應控制信號 C S、時鐘脈衝信號 C C L 或指令 C D M 等之共同驅動器介面 1 3 2；以位元圖方式記憶顯示資料之顯示記憶體之顯示 R A M (Random Access Memory) 1 4 0 等。顯示 R A M 係例如由 1 7 6 字組線 $\times$ 1 0 2 4 位元構成，有 2 M H z 前後之動作速度。

同時，在本實施例之液晶控制驅動器 1 0 0 設有：可生成對上述顯示 R A M 1 4 0 之位址之位址計數器 1 5 1；用以保持從顯示 R A M 1 4 0 讀出之資料之讀出資料門鎖電路 1 5 2；從備有，可依據讀出在讀出資料門鎖電路 1 5 2 之資料，亦即已顯示之顯示內容，及從微電腦 5 3 供應之新的顯示資料，進行穿透顯示或重疊顯示用之邏輯運算之邏輯運算構件，或捲動顯示用之位元移位構件等之微電腦 5 3 之寫入資料，或從顯示 R A M 1 4 0 之讀出資料，進行位元處理之位元作業電路 1 5 3；取進經過位元處理之資料，在上述顯示 R A M 1 4 0 寫入資料之寫入門鎖電路 1 6 0；以及，依據上述控制部 1 2 0 及位址計數器 1 5 1 之信號，生成對寫入門鎖電路 1 6 0 之定時信號

(請先閱讀背面之注意事項再填寫本頁)

訂

A7
B7

五、發明說明 (9)

之寫入定時生成電路 1 7 0 。不需要穿透顯示或重疊顯示等時，從微電腦 5 3 供給之資料便通過位元作業電路

1 5 3 傳至寫入門鎖電路 1 6 0 。再者，從微電腦 5 3 至寫入門鎖電路 1 6 0 之資料寫入速度係，例如 1 0 M H z 前後。

而且，在本實施例之液晶控制驅動器 1 0 0 設有：生成適合彩色顯示或色調顯示之波形信號之 P W M 色調電路 1 8 1 ；用以保持爲了在液晶面板顯示而從顯示 R A M 1 4 0 讀出之顯示資料之顯示資料門鎖電路 1 8 2 ；依據保持在該顯示資料門鎖電路 1 8 2 之顯示資料，從上述 P W M 色調電路 1 8 1 供給之波形信號中選擇對應顯示資料之波形信號之色調控制電路 1 8 3 ；保持所選擇之色調信號之輸出門鎖電路 1 8 4 ；以及，依據該輸出門鎖電路 1 8 4 所門鎖之資料輸出施加在液晶面板 1 0 之節段電極之節段驅動信號 S E G 1 ~ S E G 3 8 4 之節段驅動器 1 8 5 等。

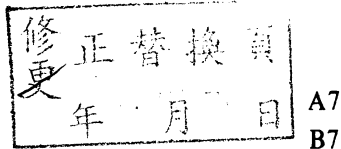
此節段驅動器 1 8 5 可以施加由上述共同驅動器 7 0 供給之液晶驅動電壓 V S 。因爲可以由外部供應液晶驅動電壓 V S ，本實施例之液晶控制驅動器 1 0 0 不需要內部電源電路，較之內設電源電路時可以用耐壓低之元件（ M O S F E T ）構成晶片整體之電路。另一方面，共同驅動器 7 0 則由耐壓較高之元件構成。若將節段驅動器與共同驅動器形成在同一晶片上，由於需要形成耐壓高之元件之處理及形成耐壓低之元件之處理，會使處理程序變複雜

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

結



五、發明說明 (10)

，若形成在不同晶片，便可以簡化處理程序。

在上述控制部 1 2 0 設有：控制此液晶控制驅動器 1 0 0 之動作模式等之晶片整體之動作狀態之控制暫存器 1 2 1；儲存進行彩色顯示用之資料之彩色盤暫存器 1 2 2；儲存在向顯示 R A M 1 4 0 寫入資料時禁止寫入部分資料之掩蔽資料之掩蔽暫存器 1 2 3 等之暫存器。控制部 1 2 0 之控制方式可以採用，接到從微電腦 5 3 送出指令碼時將此指令解碼生成控制信號之方式，或藉由預先在控制部內備有多數指令碼及指示執行之指令之暫存器（稱作索引暫存器）之微電腦 5 3，在索引暫存器進行寫入，而指定執行之指令，以生成控制信號之方式等，任意之控制方式。

藉由如此構成之控制部 1 2 0 之控制，液晶控制驅動器 1 0 0 在依據微電腦 5 3 之指令及資料，在上述液晶面板 1 0 進行顯示時，係進行將顯示資料依序寫入顯示 R A M 1 4 0 之描繪處理，同時進行從顯示 R A M 1 4 0 依序讀出顯示資料之讀出處理，形成施加於液晶面板 1 0 之節段電極之信號而進行驅動。

系統介面 1 3 1 與微電腦 5 3 間，進行向顯示 R A M 描繪等時需要之暫存器之設定資料或顯示資料之信號之送受信。微電腦 5 3 與系統介面 1 3 1 之間設有，可選擇發送資料對方之晶片之晶片選擇信號 C S □、可選擇儲存資料對方之暫存器之暫存器選擇信號 R S、發送讀出／寫入之控制信號 E ／ W R * ／ S C L、R W ／ R D * 等之控制信

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

紅

五、發明說明 (11)

號線、送收暫存器設定資料或顯示資料等之 1 6 位元之資料信號 D B 0 ~ D B 1 5 之資料信號線。

準備 E / W R * / S C L 、 R W / R D * 之讀出 / 寫入之控制信號之理由是，要能因應 6 8 系列之 M P U 與 Z 8 0 系列之 M P U 及串列時鐘脈衝同步之 3 種輸入輸出。具體言之，信號 R S 與 E 及 R W 係對應 6 8 系列之 M P U 之控制信號，W R □ 及 R D □ 係對應 Z 8 0 系列之 M P U 之控制信號，S C L 係以串列時鐘脈衝進行輸入輸出時之控制信號。再者，附有記號之信號表示低位準是有效位準之信號。

定時產生電路 1 1 1 除了具備有；上述讀出資料門鎖電路 1 8 2 或保持色調資料之門鎖電路 1 8 4、對節段驅動器 1 8 5 之定時信號之外，同時具備有，爲了與節段電極之驅動取得同步，而具備有可生成並輸出，對外部之共同驅動晶片之各種定時信號 C L 1、F L M、M、D I S P T M G、D C C L K 之功能。

第 3 圖表示上述寫入門鎖電路 1 6 0 之具體電路例子。

本實施例之寫入門鎖電路 1 6 0 係由，連接在 1 6 位元之資料匯流排之各信號線 B U S 0 ~ B U S 1 5，可以同時分別門鎖 1 6 位元之資料之 1 6 個門鎖電路形成之第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4、設在該第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 與顯示 R A M 1 4 0 之記憶器陣列 1 4 1 之間，由跟第 1 門鎖電路群同數之門鎖電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

路形成之第 2 門鎖電路群 $L T G 2 1 \sim L T G 2 4$ 、設在第 2 門鎖電路群 $L T G 2 1 \sim L T G 2 4$ 之輸出端子側之傳送閘群 $T G T 1 \sim T G 4$ ，所構成。再者，第 3 圖所示之門鎖電路不是設在寫入門鎖電路 1 6 0 之所有之門鎖電路，以第 3 圖之架構作為 1 個單位時，全部設有 1 6 單位。亦即，設有 $(16 \text{ 位元} \times 4) \times 16 \text{ 單位} = 1024 \text{ 位元}$ 之第 1 及第 2 門鎖電路群。再者，彩色顯示時，係例如以 8 位元之資料進行 1 個像素（紅、藍、綠之 3 點）之色調控制。

本實施例之寫入門鎖電路 1 6 0 係由上述寫入定時生成電路 1 5 3 所供給之定時信號 $\phi 1 1 \sim \phi 1 4$ 、 $\phi 2 1 \sim \phi 2 4$ 、 $\phi 3 1 \sim \phi 3 4$ 所控制。生成定時信號 $\phi 1 1 \sim \phi 1 4$ 、 $\phi 2 1 \sim \phi 2 4$ 、 $\phi 3 1 \sim \phi 3 4$ 之寫入定時生成電路 1 5 3 可以依控制部 1 2 0 控制暫存器 1 2 3 之設定值，生成與傳統者一樣之因順序寫入模式及整批寫入模式而有異之定時信號 $\phi 1 1 \sim \phi 1 4$ 、 $\phi 2 1 \sim \phi 2 4$ 、 $\phi 3 1 \sim \phi 3 4$ 。

第 4 圖表示記憶器陣列 1 4 1 與傳送閘群 $T G T$ 之具體例子。記憶器陣列 1 4 1 在相互交叉之方向配設有多數字組線 $W 0$ 、 $W 1 \dots\dots$ 及互補位元線 $B L 0$ 、 $\neg B L 0$ ； $B L 1$ 、 $\neg B L 1 \dots\dots$ ，在由各字組線 $W 0$ 、 $W 1 \dots\dots$ 及互補位元線 $B L 0$ 、 $\neg B L 0$ ； $B L 1$ 、 $\neg B L 1 \dots\dots$ 所圍之格子中分別配置有記憶單元 $M C$ 。記憶單元 $M C$ 係由習知之 6 元件型之靜態型記憶單元所構成。各記憶單元 $M C$ 之一對輸入輸出端子連接在任一互補位元線

（請先閱讀背面之注意事項再填寫本頁）

訂

紅

五、發明說明 (13)

B L 0 、 / B L 0 ; B L 1 、 / B L 1 ; B L 1 5 、 / B L 1 5 , 記憶單元 M C 之選擇端子連接在任一字組線 W 0 、 W 1 。

傳送閘群 T G T 係由 , 輸入端子連接在構成第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4 之各門鎖電路 L T 0 、 L T 1 L T G 1 5 之輸出端子 , 輸出端子連接在上述互補位元線 B L i 、 / B L i (i = 0 ~ 1 5) 之一方 (例如 / B L i) 之第 1 時鐘反相器 G 0 、 G 1 G 1 5 , 及以該反相器 G 0 、 G 1 G 1 5 之輸出作為輸入 , 輸出端子連接在互補位元線 B L i 、 / B L i (i = 0 ~ 1 5) 之一方 (例如 B L i) 之第 2 時鐘反相器 G 2 0 、 G 2 1 G 3 5 , 所構成。

而 , 連接在此等互補位元線 B L i 、 / B L i (i = 0 ~ 1 5) 之一方 B L i 之第 1 時鐘反相器 G 0 、 G 1 G 1 5 與 G 2 0 、 G 2 1 G 3 5 係由同一定時信號 $\phi 3 1$ 加以控制 , 打開閘時 , 將門鎖電路 L T 1 、 L T 2 L T 1 6 之輸出信號傳遞至互補位元線 B L 0 、 / B L 0 ; B L 1 、 / B L 1 ; B L 1 5 、 / B L 1 5 , 對這時連接在選擇位準之字組線之記憶單元 M C 進行資料之寫入。

同時 , 在互補位元線 B L 0 、 / B L 0 ; B L 1 、 / B L 1 ; B L 1 5 、 / B L 1 5 中之一方 / B L 0 、 / B L 1 、 / B L 1 5 之另一端 , 連接在時鐘反相器 G 1 0 0 、 G 1 0 1 G 1 1 5 之輸入端

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

子，而由定時信號 $\phi 40$ 加以控制，打開閘時，檢出位元線 $\neg BL0$ 、 $\neg BL1$ 、 $\dots\dots\neg BL15$ 之位準，輸出從這時連接在選擇位準之字組線之記憶單元 MC 讀出之資料。此項讀出資料被傳送至第 2 圖所示之顯示資料門鎖電路 182。再者，連接在時鐘反相器 G100、G101 $\dots\dots$ G115 之位元線也可以是 BL0、BL1 $\dots\dots$ BL15。

而且，在互補位元線 BL0、 $\neg BL0$ ；BL1、 $\neg BL1$ $\dots\dots$ ；BL15、 $\neg BL15$ 中之一方 BL0、BL1、 $\dots\dots$ BL15 之起端連接有，由定時信號 $\phi 50$ 控制，打開閘時，檢出位元線 BL0、BL1、 $\dots\dots$ BL15 之位準，輸出從這時連接在選擇位準之字組線之記憶單元 MC 讀出之資料之時鐘反相器 G200、G201 $\dots\dots$ G215。此項讀出資料被傳送至第 2 圖所示之讀出資料門鎖電路 153。再者，連接時鐘反相器 G200、G201 $\dots\dots$ G215 之位元線也可以是 $\neg BL0$ 、 $\neg BL1$ $\dots\dots\neg BL15$ 。

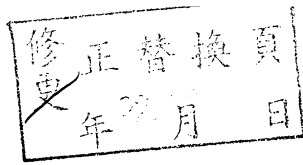
第 5 圖 (A) 表示本實施例之顯示控制驅動器之向顯示 RAM140 進行之寫入模式中之整批寫入模式之定時信號 $\phi 11 \sim \phi 14$ 、 $\phi 21 \sim \phi 24$ 、 $\phi 31 \sim \phi 34$ 之波形。

此整批寫入模式，係先藉定時信號 $\phi 11 \sim \phi 14$ 將資料匯流排 BUS0 $\sim$ BUS15 上之信號一次 16 位元順序取進第 1 門鎖電路群 LTG11 $\sim$ LTG14 (期間

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

A7
B7

五、發明說明 (15)

T 1) 。而在最後之 1 6 位元，亦即第 4 字之資料被取進 L T G 1 4 之同時，藉由定時信號 $\phi 2 1 \sim \phi 2 4$ 將門鎖在第 1 門鎖電路群 L T G 1 1 $\sim$ L T G 1 4 之 4 個字之資料取進第 2 門鎖電路群 L T G 1 1 $\sim$ L T G 1 4 (期間 T 1) 。

然後，藉由定時信號 $\phi 3 1 \sim \phi 3 4$ 打開傳送閘群 T G T 1 $\sim$ T G T 4，將門鎖在第 2 門鎖電路群 L T G 2 1 $\sim$ 2 4 之 4 個字之資料，同時傳送至顯示 R A M 之記憶體陣列 1 4 1 之位元線上，而由於在這時，以解碼器 (D E C) 1 4 2 將位址計數器 1 5 1 送來之位址 A D D 解碼，而將傳送過來之資料寫入連接在選擇位準之字組線之記憶單元 (期間 T 3) 。再者，在向此記憶體陣列寫入資料之間，執行將接下之資料取進第 1 門鎖電路群 L T G 1 1 $\sim$ L T G 1 4 之動作。

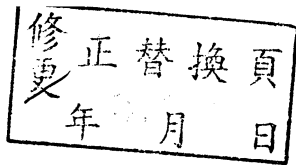
第 5 圖 (B) 表示順序寫入模式之定時信號 $\phi 1 1 \sim \phi 1 4$ 、 $\phi 2 1 \sim \phi 2 4$ 、 $\phi 3 1 \sim \phi 3 4$ 之波形。

此順序寫入模式之 $\phi 1 1 \sim \phi 1 4$ 與 $\phi 2 1 \sim \phi 2 4$ 係同一定時之信號，首先以定時信號 $\phi 1 1$ 將資料匯流排 B U S 0 $\sim$ B U S 1 5 上之 1 6 位元信號取進第 1 個之第 1 門鎖電路群 L T G 1 1，同時，以定時信號 $\phi 2 1$ 直接將該資料取進第 2 門鎖電路群 L T G 2 1。接著，以定時信號 $\phi 3 1$ 打開傳送閘 T G T 1，將門鎖在第 2 門鎖電路群 L T G 2 1 之 1 個字之資料傳送到顯示 R A M 1 4 0 之記憶體陣列之對應之位元線上，進行在記憶單元之寫入動作

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

A7
B7

五、發明說明 (16)

(期間 T 1 1) 。

其次，以定時信號 $\phi 1 2$ 將資料匯流排 B U S 0 ~ B U S 1 5 上之 1 6 位元信號取進第 2 個之第 1 門鎖電路群 L T G 1 2，同時，以定時信號 $\phi 2 2$ 直接將該資料取進第 2 門鎖電路群 L T G 2 2。接著，以定時信號 $\phi 3 2$ 打開傳送閘 T G T 2，將門鎖在第 2 門鎖電路群 L T G 2 2 之 1 個字之資料傳送到顯示 R A M 1 4 0 之記憶體陣列之對應之位元線上，進行在記憶單元之寫入動作 (期間 T 1 2)。

如此，將資料匯流排 B U S 0 ~ B U S 1 5 上之 1 6 位元信號順序寫入記憶體陣列。但在此順序寫入模式，則不必對第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 ……順序取進資料進行寫入，而是可以例如以 L T G 1 2、L T G 1 4、L T G 1 3、L T G 1 1 ……以任意之順序為之。

比較第 5 圖 (A) 及 (B) 便可以清楚，利用整批寫入模式時，不僅可以縮短寫入所需要之時間，同時在順序寫入模式時，縱使連接在同一字之記憶單元，每當寫入 1 個字之資料均需動作字組線，會多消耗電力，而在整批寫入模式時對連接在同一字之記憶單元可以同時寫入 4 個字之資料，因此字組線之動作也僅需一次，可以減少電力之消耗。亦即，利用整批寫入模式時，縱使將門鎖電路之資料之取進速度高速化，仍可減少在記憶體陣列之資料之取進次數，因此，對順序寫入模式之寫入一個字之資料，整

(請先閱讀背面之注意事項再填寫本頁)

訂

結

五、發明說明 (17)

批寫入模式可以不需要增加寫入所需要之時間及所消耗之電力，便能夠寫入 4 倍之資料。

上述實施例係將 4 個字之資料順序取進門鎖電路再整批寫入記憶器陣列，也可以同樣，將 5 個字以上之資料順序取進門鎖電路再整批寫入記憶器陣列，惟，增加整批寫入之資料量時，當希望改寫顯示 R A M 1 4 0 內之一部分資料，例如僅希望改寫 1 個字之資料時，仍需將多數字之資料送給門鎖電路，致使微電腦之負擔增加，同時，連接進行非連續位址之寫入時，over head 也會變大。

因此，整批寫入之資料之大小，可以對應系統比較頻繁進行之資料之寫入大小決定之。本實施例之系統係從這種觀點而採用整批寫入 4 個字之資料。

第 6 圖係表示，在使用實施例之液晶控制驅動器 1 0 0 之系統，例如在顯示 R A M 1 4 0 之全記憶單元寫入資料時之各字（1 6 位元之資料）與位址之關係圖。在圖中，第 1 條線之位址“0 0 0 0”～“0 0 3 F”表示液晶面板 1 0 之 1 線條分之 1 0 2 4 位元（6 4 字）之資料之位址，雖不特別限定，但本實施例之此 1 線條分之資料係記憶在連接在顯示 R A M 1 4 0 之 1 條字組線之 1 0 2 4 個記憶單元。

同時，在第 6 圖（A）之網目部分之資料係位址“0 0 0 0”～“0 0 0 3”之 4 個字之資料，此 4 個字之資料在整批寫入模式時係由外部之微電腦 1 次供給 1 個字，而依序寫入第 1 門鎖電路群 L T G 1 1 ～ L T G 1 4。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (18)

而，4 個字全部到齊時傳送給第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4，寫入對應顯示 R A M 1 4 0 內之位址 " 0 0 0 0 " ~ " 0 0 0 3 " 之記憶單元。

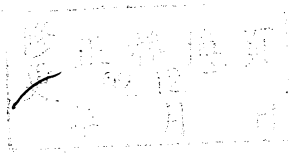
在開始此 4 個字之資料之寫入之同時，併行由外部之微電腦 1 次 1 個字供給下一位址 " 0 0 0 4 " ~ " 0 0 0 7 " 之 4 個字之資料，而依序寫入第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4。" 0 0 0 4 " ~ " 0 0 0 7 " 4 1 第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4，4 個字全部到齊時傳送給第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4，寫入對應顯示 R A M 1 4 0 內之記憶單元。反覆上述動作，則可在短時間內高效率寫入資料，同時，較之每次寫入 1 個字時，顯示 R A M 1 4 0 之擷取（字組線之動作）次數可較少，可減低消耗電力。

第 6 圖（B）係表示在使用本實施例之液晶控制驅動器 1 0 0 之系統，在整批寫入模式時改寫顯示 R A M 1 4 0 之部分位址之資料時之從微電腦之寫入資料，與第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 傳送至顯示 R A M 1 4 0 之資料之關係。在第 6 圖（A），假設標有網目之位址 " 0 0 0 0 " ~ " 0 0 0 7 " 之 8 個字之資料中，" 0 0 0 1 " ~ " 0 0 0 4 " 之 4 個字之資料是實際要改寫之寫入資料。

這時，在微電腦附加 " 0 0 0 0 " 之 1 個字之虛擬資料及位址 " 0 0 0 5 " ~ " 0 0 0 7 " 之 3 個字之虛擬資料，而首先將包含虛擬資料之位址 " 0 0 0 0 " ~

（請先閱讀背面之注意事項再填寫本頁）

訂



A7
B7

五、發明說明 (19)

“ 0 0 0 3 ” 之 4 個 字 之 資 料 以 每 次 1 個 字 之 方 式 順 序 供 給 第 1 門 鎖 電 路 群 L T G 1 1 ~ L T G 1 4 而 寫 入 。 而 在 4 個 字 全 部 到 齊 時 ， 將 除 了 虛 擬 資 料 以 外 之 3 個 字 之 資 料 傳 送 給 第 2 門 鎖 電 路 群 L T G 2 1 ~ L T G 2 4 ， 寫 入 對 應 顯 示 R A M 1 4 0 內 之 記 憶 單 元 。

在 開 始 此 4 個 字 之 資 料 之 寫 入 之 同 時 ， 併 行 由 外 部 之 微 電 腦 以 每 次 1 個 字 之 方 式 供 給 包 含 3 個 虛 擬 資 料 之 下 一 位 址 “ 0 0 0 4 ” ~ “ 0 0 0 7 ” 之 4 個 字 之 資 料 ， 依 序 寫 入 第 1 門 鎖 電 路 群 L T G 1 1 ~ L T G 1 4 。 而 在 4 個 字 全 部 到 齊 時 ， 將 除 了 虛 擬 資 料 以 外 之 1 個 字 之 資 料 傳 送 給 第 2 門 鎖 電 路 群 L T G 2 1 ~ L T G 2 4 ， 寫 入 對 應 顯 示 R A M 1 4 0 內 之 記 憶 單 元 。 再 者 ， 上 述 寫 入 時 之 連 續 之 位 址 可 以 由 外 部 之 微 電 腦 對 位 址 計 數 器 1 5 1 設 定 寫 入 位 置 之 前 頭 位 址 ， 由 位 址 計 數 器 1 5 1 計 數 動 作 而 自 動 產 生 。

在 第 7 圖 及 第 8 圖 表 示 ， 要 改 寫 之 資 料 之 位 址 範 圍 ， 與 向 第 1 門 鎖 電 路 群

L T G 1 1 ~ L T G 1 4 寫 入 資 料 之 次 數 之 關 係 。 圖 中 ， 粗 線 所 圍 之 位 址 為 改 寫 對 象 之 資 料 。 在 此 ， 第 7 圖 表 示 欲 改 寫 之 資 料 之 段 落 情 晰 時 ， 第 8 圖 表 示 在 各 4 個 字 之 群 中 跨 越 兩 個 以 上 之 情 形 。

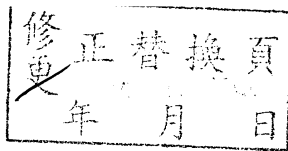
從 第 7 圖 及 第 8 圖 可 以 看 出 ， 欲 改 寫 之 資 料 之 位 址 是 如 第 8 圖 在 各 4 個 字 之 群 中 跨 越 兩 個 以 上 時 ， 雖 較 對 第 7 圖 之 各 4 個 字 之 段 落 情 晰 之 位 址 寫 入 資 料 時 ， 寫 入 次 數 會

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紅

A7
B7

五、發明說明 (20)

增加等於虛擬資料之數目，同時，對顯示 R A M 1 4 0 之寫入次數也會分別增加，但是，較之以 1 個字 1 個字寫入之模式，寫入顯示 R A M 之次數可以較少，可以減少消耗電力。

接著再說明，欲寫入之資料之位址是如第 8 圖 (B) 所示之在各 4 個字之群中跨越兩個以上時，可以將寫入第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 群之包含虛擬資料之 4 個字之資料中，僅將去除虛擬資料之資料後之資料傳送給第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4，寫入顯示 R A M 1 4 0 內之對應之記憶單元之寫入動作之架構。

這種選擇資料寫入，可以藉由在設於上述控制部 1 2 0 內之掩蔽暫存器 1 2 2 而成為可能。具體上是，如第 9 圖 (A) 所示，在掩蔽暫存器 1 2 2 設有開始寫入位址設定用領域 W S A、設定應掩蔽之前頭起之字數之開始側掩蔽量設定用領域 S M W、結束寫入位址設定用領域 W E A、設定應掩蔽之終端起之字數之結束側掩蔽量設定用領域 E M W。再者，開始側掩蔽量設定用領域 S M W 及結束側掩蔽量設定用領域 E M W 因本實施例之整批寫入之單位是 4 個字，因此 2 位元即可。掩蔽量可藉由開始寫入位址、結束寫入位址而自動決定，因此沒有必要從微電腦 5 3 加以設定。整批寫入之單位是 8 個字時，使開始側掩蔽量設定用領域 S M W 及結束側掩蔽量設定用領域 E M W 為 3 位元即可。

而外部之微電腦 5 3 在此掩蔽暫存器 1 2 2 進行設定

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

後，開始向第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 寫入資料，結束寫入後從第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 向顯示 R A M 1 4 0 傳送資料時，對第 3 圖之傳送閘群 T G T 1 ~ T G T 4 供應令其從寫入定時生成電路 1 7 0 傳送去除虛擬資料後之資料之定時信號 $\phi 3 1 \sim \phi 3 4$ 。

以下，以第 9 圖 (A) 所示之寫入 6 ~ 1 2 字之資料之 4 個案例為例子，說明藉由在此掩蔽暫存器 1 2 2 進行設定之具體之資料掩蔽動作。

第 9 圖 (B) 之第 1 個案例係對段落明晰之連續性之位址 " 0 0 0 0 " ~ " 0 0 0 B " 寫入 1 2 字之資料之案例，第 2 個案例係對中間之位址 " 0 0 0 1 " ~ " 0 0 0 A " 寫入 1 0 字之資料之案例，第 3 格案例係對中間之位址 " 0 0 0 2 " ~ " 0 0 0 9 " 寫入 8 個字之資料之案例，第 4 個案例係對中間之位址 " 0 0 0 3 " ~ " 0 0 0 8 " 寫入 6 個字之資料之案例，分別表示應掩蔽之資料 (虛擬資料) 與應在顯示 R A M 進行寫入之資料之關係。

再者，在第 9 圖 (B)，空白框 (符號 □) 表示應寫入之資料，黑色框 (符號 ■) 表示應掩蔽之資料。不論那一種情形，從外部寫入第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 之資料均為 1 2 字。第 9 圖 (C) 表示對應上述 1 ~ 4 案例應設定在上述掩蔽暫存器 1 2 2 之值。結束位址也可以是最後一群之前頭之位址 " 0 0 0 8 "，取代

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

“ 0 0 0 B ”。

第 1 0 圖 (A) 係對第 2 個案例之位址 “ 0 0 0 1 ”
~ “ 0 0 0 A ” 將 1 0 個字之資料寫入顯

示 R A M 1 4 0 時，向對應位址 “ 0 0 0 0 ” ~
“ 0 0 0 3 ” 之資料之第 1 門鎖電路群 L T G 1 1 ~
L T G 1 4 與第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4 及
傳送閘群 T G T 1 1 ~ T G T 1 4 供應之定時信號 $\phi 1 1 \sim$
 $\phi 1 4$ 、 $\phi 2 1 \sim \phi 2 4$ 、 $\phi 3 1 \sim \phi 3 4$ 之波形。

而，第 1 0 圖 (B) 係對第 4 個案例之位址
“ 0 0 0 3 ” ~ “ 0 0 0 8 ” 將 6 個字之資料寫入
顯示 R A M 1 4 0 時，向對應位址 “ 0 0 0 0 ” ~
“ 0 0 0 3 ” 之資料之第 1 門鎖電路群 L T G 1 1 ~
L T G 1 4 與第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4 及
傳送閘群 T G T 1 1 ~ T G T 1 4 供應之定時信號 $\phi 1 1 \sim$
 $\phi 1 4$ 、 $\phi 2 1 \sim \phi 2 4$ 、 $\phi 3 1 \sim \phi 3 4$ 之波形。

以上，依據實施例具體說明本發明人所完成之發明，
但本發明並不限定如上述實施形態，當然可以在不脫離其
主旨之範圍內做各種變更。

舉例言之，在上述實施例，係在匯流排 B U S 0 ~
B U S 1 5 與記憶器陣列 1 4 1 之間，配設第 1 門鎖電路
群 L T G 1 1 ~ L T G 1 4、第 2 門鎖電路群 L T G 2 1
~ L T G 2 4 與傳送閘群 T G T 1 ~ T G T 4，但也可以
省略第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4，而藉由傳
送閘群 T G T 1 ~ T G T 4 將第 1 門鎖電路群 L T G 1 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (23)

~ L T G 1 4 保持之資料傳送至記憶器陣列 1 4 1 之位元線。如此仍可以進行如上述之 6 4 位元之整批寫入。

惟，如上述實施例配設第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 及第 2 門鎖電路群 L T G 2 1 ~ L T G 2 4 時，有需要經資料連續寫入如第 7 圖 (C) 之同一線上之記憶單元時，可以如第 10 圖 (C) 、 (D) 所示，在將最初取進之資料傳送至記憶單元而寫入時，可以與此併行將下一資料取進第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 。而在這個時候，也可以對應掩蔽暫存器之設定值，使取進第 1 門鎖電路群 L T G 1 1 ~ L T G 1 4 之 4 個字中之最初之 1 個字不要傳送至記憶器陣列。

以上之說明主要是就成為發明背景之利用領域之攜帶式電話機之顯示裝置說明本發明人所完成之發明，但本發明並不限定在此，可以廣泛應用在，例如，P H S (personal handy phone) 、呼叫器等各種攜帶型電子機器。同時，也不限定應用在攜帶型電子機器或液晶顯示器，例如，也可以廣泛應用大型機器所裝備之顯示裝置或其控制裝置，或者 L E D 等之以二維方式排列之點顯示裝置等。

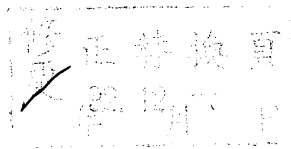
簡單說明由本發明所揭示之發明中具代表性者可以獲得之效果如下。

亦即，依照本發明時，可以實現，能夠高速對內部之顯示 R A M 寫入資料，而不致於增加所消耗電力之顯示控制裝置，及搭載此裝置之攜帶用電子機器。

(請先閱讀背面之注意事項再填寫本頁)

訂

紅

A7
B7

五、發明說明 (24)

圖式之簡單說明

第 1 圖係表示應用本發明之液晶控制驅動器之攜帶式電話機之整體架構之方塊圖。

第 2 圖係表示實施例之液晶控制驅動器之詳細方塊圖。

第 3 圖係表示液晶控制驅動器內之顯示 R A M 之寫入門鎖電路之具體例子之電路圖。

第 4 圖係表示記憶器陣列與寫入門鎖電路之更具體之例子之電路圖。

第 5 圖係表示實施例之顯示控制驅動器之向顯示 R A M 進行之整批寫入模式及順序寫入模式之門鎖定時信號之波形之定時圖。

第 6 圖係表示在使用實施例之液晶控制驅動器之系統，以整批寫入模式寫入資料時之各字（16 位元之資料）與位址之關係圖。

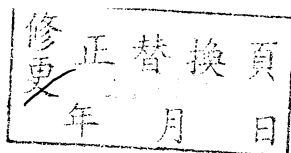
第 7 圖係表示在使用實施例之液晶控制驅動器之系統，以整批寫入模式寫入段落清晰之資料時之資料之大小，及向門鎖電路寫入之次數，以及向顯示 R A M 之寫入次數之關係圖。

第 8 圖係表示在使用實施例之液晶控制驅動器之系統，以整批寫入模式寫入段落不清晰之資料時之資料之大小，及向門鎖電路寫入之次數，以及向顯示 R A M 之寫入次數之關係圖。

第 9 圖係表示設定傳送至顯示 R A M 之位元線之資料

（請先閱讀背面之注意事項再填寫本頁）

訂

A7
B7

五、發明說明 (25)

之位元數之掩蔽暫存器之架構例子，及暫存器之設定值與被掩蔽之資料之關係，以及在暫存器設定之設定值之例子之說明圖。

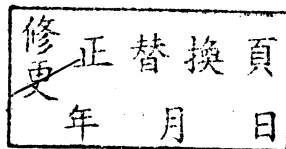
第 1 0 圖係表示在掩蔽暫存器進行設定時之門鎖定時信號之波形例子之波形圖。

第 1 1 圖係表示傳統之液晶控制驅動器之用以門鎖至顯示記憶器之寫入資料之門鎖電路之架構例子之電路圖。

第 1 2 圖係表示傳統之液晶控制驅動器之至顯示記憶器之資料之門鎖定時，及至顯示記憶器之資料之寫入定時之例子之定時圖。

主要元件對照表

1 0	液晶面板
3 0	語音介面
4 0	高頻介面
5 3	微電腦
6 0	記憶器
7 0	共同驅動器
1 0 0	液晶控制驅動器
1 1 0	時鐘信號產生電路
1 1 1	定時產生電路
1 2 0	控制部
1 2 3	掩蔽暫存器
1 4 0	顯示 R A M

A7
B7

五、發明說明 (26)

- 1 6 0 寫入門鎖電路
- 1 7 0 寫入定時生成電路
- 1 8 5 節段驅動器
- L T G 1 1 ~ L T G 1 4 第 1 門鎖電路群
- L T G 2 1 ~ L T G 2 4 第 2 門鎖電路群
- T G T 1 ~ T G T 4 傳送閘群

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱:顯示控制裝置及攜帶用電子機器)

本發明揭示一種顯示控制裝置及攜帶用電子機器，係使其寫入到顯示控制裝置(100)內部之顯示RAM(140)之資料寬度(位元數)，為從外部之微處理器(53)等供給之寫入資料寬度之整數倍，同時，配設可保持顯示RAM 1行分寫入資料之兩級之門鎖電路(LTG11~LTG14，LTG21~LTG24)，將從外部之微處理器等供給之寫入資料數個循環分取進第1級之門鎖電路(LTG11~LTG14)，在資料整齊後整批傳送至第2級之門鎖電路(LTG21~LTG24)，而將保持在第2級之門鎖電路之資料，經由傳送開整批傳送至顯示RAM而寫入。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 90129849 號 專 利 申 請 案

中 文 申 請 專 利 範 圍 修 正 本

民 國 93 年 5 月 4 日 修 正

1 . 一種顯示控制裝置，備有，可記憶欲顯示於顯示裝置之顯示資料，並以一定之位元單位寫入顯示資料之顯示記憶器，而從該顯示記憶器依序讀出顯示資料，形成對上述顯示裝置之驅動信號而輸出，其特徵在於，

上述顯示記憶器具備有：配置成陣列狀之多數記憶單元；連接記憶單元之選擇端子之多數字組線；及配設在與該字組線交叉之方向，連接記憶單元之資料輸入輸出節點之多數位元線，上述位元線連接有輸入用之傳送構件及輸出用之傳送構件，藉由上述輸入用之傳送構件之資料傳送，向連接在選擇狀態之字組線之記憶單元寫入資料，藉由上述輸出用之傳送構件之資料傳送，從連接在選擇狀態之字組線之記憶單元讀出資料，

具備有，可以依序取進上述一定位元單位之顯示資料之多數第 1 資料門鎖構件，能夠將保持在該第 1 資料門鎖構件之顯示資料，以取進該第 1 資料門鎖構件之顯示資料之位元數之整數倍（ n 倍）之位元單位，藉由上述輸入用之傳送構件整批傳送至上述顯示記憶器之位元線。

2 . 如申請專利範圍第 1 項之顯示控制裝置，進一步備有，能夠將保持在上述第 1 資料門鎖構件之顯示資料，以取進上述第 1 資料門鎖構件之顯示資料之位元數之整數倍之位元單位取進之多數第 2 資料門鎖構件，上述輸入用

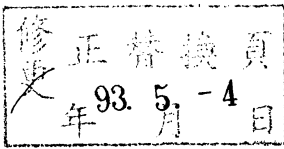
（請先閱讀背面之注意事項再填寫本頁）

裝

訂

修正本有無變更實質內容？是否准予修正？

經濟部智慧財產局員工消費合作社印製



A8
B8
C8
D8

六、申請專利範圍

之傳送構件能夠將保持在該第 2 資料門鎖構件之顯示資料，以取進上述第 1 資料門鎖構件之顯示資料之位元數之整數倍（ n 倍）之位元單位，傳送至上述顯示記憶器之位元線。

3．如申請專利範圍第 1 或第 2 項之顯示控制裝置，其中，上述輸入用之傳送構件向上述顯示記憶器之位元線之資料傳送，係以跟將最後之資料取進上述第 1 資料門鎖構件時之定時相同之定時進行。

4．如申請專利範圍第 1 或 2 項中任一項之顯示控制裝置，其中，上述第 1 資料門鎖構件之數目，係上述 n 倍之再整數倍。

5．如申請專利範圍第 1 或 2 項中任一項之顯示控制裝置，具備有，可以設定應由上述輸入用之傳送構件傳送至上述顯示記憶器之位元線之資料之位元數之掩罩（mask）設定構件，而依據該掩罩設定構件之設定資訊控制上述輸入用之傳送構件。

6．如申請專利範圍第 5 項之顯示控制裝置，其中，上述掩罩設定構件可以設定，連續之位址範圍之寫入資料之前頭位址和應從該前頭位址掩蔽之資料量，以及，結束位址和應從該結束位址掩蔽之資料量。

7．如申請專利範圍第 1 或 2 項中任一項之顯示控制裝置，備有，依據從上述顯示記憶器讀出之顯示資料，生成驅動外部之液晶顯示裝置之節段（segment）電極之信號之節段電極驅動構件，在 1 個半導體晶片上構成爲半導體

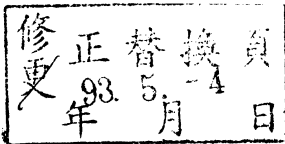
（請先閱讀背面之注意事項再填寫本頁）

裝

訂

修正本有無變更實質內容？是否准予修正？

經濟部智慧財產局員工消費合作社印製



A8
B8
C8
D8

六、申請專利範圍

積體電路。

8 . 一種攜帶用電子機器，具備有：

申請專利範圍第 1 或 2 項中任一項所記載之顯示控制裝置；

用以生成寫入上述顯示記憶器之顯示資料及進行有關其寫入位置資訊之設定之資料處理裝置；以及，

依據從上述顯示記憶器讀出之顯示資料，藉由上述顯示控制裝置形成之顯示驅動信號進行顯示之顯示裝置。

9 . 如申請專利範圍第 8 項之攜帶用電子機器，其中，上述顯示裝置係點矩陣 (dot matrix) 型之液晶顯示裝置。

10 . 如申請專利範圍第 9 項之攜帶用電子機器，其中，上述顯示控制裝置備有用以生成驅動上述液晶顯示裝置之節段電極之信號之節段電極驅動構件，生成用以驅動上述液晶顯示裝置之共同電極之信號之共同電極驅動電路，係在形成上述顯示控制裝置之半導體晶片以外之半導體晶片上，構成爲半導體積體電路，該共同電極驅動電路係由耐壓較構成上述顯示控制裝置之元件之耐壓高之元件構成。

11 . 一種形成在一個半導體基板之顯示控制裝置，備有：

儲存應顯示在顯示面板之顯示資料之記憶器；

由微處理器供應應儲存於上述記憶器之顯示資料之 k 位元之第 1 外部端子；

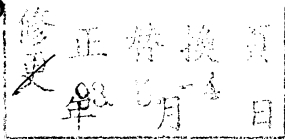
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

修正本合備案 93.5.4 年 月 日所提之
修正內容是否准予修正?

經濟部智慧財產局員工消費合作社印製



六、申請專利範圍

依據從上述記憶器讀出之 m 位元之讀出資料，輸出驅動上述顯示面板用之驅動信號之多數第 2 外部端子；

結合在上述記憶器之輸入與上述第 1 外部端子之間，可儲存 m 位元之顯示資料之第 1 閃鎖電路；以及，

從上述第 1 閃鎖電路內之上述 k 位元之整數倍（ n 倍）之各單位，選出上述 m 位元以下之位元數（ k 、 n ）之顯示資料，傳送至上述記憶器之位元線之傳送電路。

1 2 . 如申請專利範圍第 1 1 項之顯示控制裝置，具備有，設在上述傳送電路與上第 1 閃鎖電路之間，可儲存上述 m 位元之顯示資料之第 2 閃鎖電路，

上述第 2 閃鎖電路將上述位元數（ $k \cdot n$ ）之顯示資料輸出到上述傳送電路。

1 3 . 如申請專利範圍第 1 1 項之顯示控制裝置，其中，上述顯示控制裝置具有設定第 1 動作模式及第 2 動作模式用之控制暫存器，

回應上述控制暫存器之第 1 值之設定，將對上述記憶器之寫入模式設定成上述第 1 動作模式，

回應上述控制暫存器之第 2 值之設定，將對上述記憶器之寫入模式設定成上述第 2 動作模式，

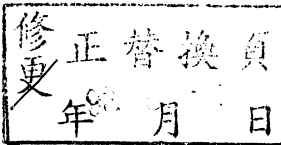
上述傳送電路則回應上述第 1 動作模式之設定，按儲存在上述第 1 閃鎖電路之 k 位元之整數倍（ n 倍）之單位，將上述顯示資料傳送至上述記憶器之位元線，回應上述第 2 動作模式之設定，按儲存在上述第 1 閃鎖電路之 k 位元之單位，將上述顯示資料傳送至上述記憶器之位元線。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝



A8
B8
C8
D8

六、申請專利範圍

1 4 . 如申請專利範圍第 1 3 項之顯示控制裝置，進一步含有，可回應從上述記憶器讀出之資料，形成應供給上述顯示面板之節段線之驅動信號之節段驅動器。

1 5 . 如申請專利範圍第 1 4 項之顯示控制裝置，進一步含有，色調電壓產生電路，及可回應從上述記憶器讀出之資料，從上述色調電壓產生電路產生之多數色調電壓，選出所希望之色調電壓之色調電壓選擇電路。

1 6 . 如申請專利範圍第 1 5 項之顯示控制裝置，進一步含有，可形成用以周期性驅動上述顯示面板之多數共同線之驅動信號之共同驅動器。

1 7 . 如申請專利範圍第 1 5 項之顯示控制裝置，進一步備有，可設定供給上述記憶器之位元線之資料之位元數之掩罩 (mask) 設定電路，

依據設定在上述掩罩設定電路之資訊，控制上述傳送電路。

1 8 . 一種顯示控制裝置，包含有：

將應顯示在可顯示彩色影像之液晶面板之影像資料當作顯示資料儲存之記憶器；

由微處理器供給應儲存在上述記憶器之顯示資料之 k 位元之第 1 外部端子；

依據從上述記憶器讀出之 m 位元之資料，輸出驅動上述液晶面板之驅動信號之多數第 2 外部端子；

結合在上述記憶器之輸入與上述第 1 外部端子間，可儲存 m 位元之顯示資料之第 1 閘鎖電路；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紮

六、申請專利範圍

從上述第 1 門鎖電路內之上述 k 位元之整數倍 (n 倍) 之各單位，選出上述 m 位元以下之位元數 (k 、 n) 之顯示資料，傳送至上述記憶器之位元線之傳送電路；

色調電壓產生電路；

回應從上述記憶器讀出之資料，從上述色調電壓產生電路產生之多數色調電壓，選出所希望之色調電壓之色調電壓選擇電路；以及，

依據上述選擇之色調電壓，形成應供給上述液晶面板之節段線之驅動信號之節段驅動器。

19 . 如申請專利範圍第 18 項之顯示控制裝置，進一步含有，可形成用以周期性驅動上述液晶面板之多數共同線之驅動信號之共同驅動器。

20 . 如申請專利範圍第 18 項之顯示控制裝置，進一步備有，可設定供給上述記憶器之位元線之資料之位元數之掩罩設定電路，

依據設定在上述掩罩設定電路之資訊，控制上述傳送電路。

21 . 一種攜帶用電子機器，具備有：

包含多數共同電極、多數節段電極、藉由上述多數共同電極及上述多數節段電極之電位差驅動之多數點

(d o t) 之液晶面板；

產生應顯示在上述液晶面板之顯示資料之資料處理裝置；以及，

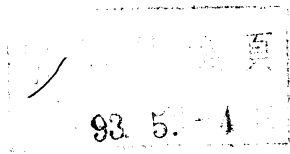
顯示控制裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



A8
B8
C8
D8

六、申請專利範圍

上述顯示控制裝置具備有：

用以儲存應顯示在上述液晶面板之顯示資料之記憶器；

由上述資料處理裝置供給應儲存在上述記憶器之顯示資料之 k 位元之第 1 外部端子；

依據從上述記憶器之 m 位元之讀出資料，輸出驅動上述液晶面板之驅動信號之多數第 2 外部端子；

結合在上述記憶器之輸入與上述第 1 外部端子間，可儲存 m 位元之顯示資料之第 1 門鎖電路；

從上述第 1 門鎖電路內之上述 k 位元之整數倍（ n 倍）之各單位，選出上述 m 位元以下之位元數（ k 、 n ）之顯示資料，傳送至上述記憶器之位元線之傳送電路；

色調電壓產生電路；

回應從上述記憶器讀出之資料，從上述色調電壓產生電路產生之多數色調電壓，選出所希望之色調電壓之色調電壓選擇電路；以及，

依據上述選擇之色調電壓，形成應供給上述液晶面板之節段線之驅動信號之節段驅動器。

22. 如申請專利範圍第 21 項之攜帶用電子機器，其中，上述顯示控制裝置進一步含有，可形成用以周期性驅動上述液晶面板之多數共同線之驅動信號之共同驅動器。

23. 如申請專利範圍第 21 項之攜帶用電子機器，其中，上述顯示控制裝置進一步含有，可設定供給上述記

（請先閱讀背面之注意事項再填寫本頁）

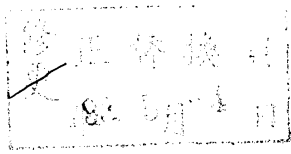
裝

訂

線

經濟部智慧財產局員工消費合作社印製
93.5.1
日所提之

經濟部智慧財產局員工消費合作社印製



A8
B8
C8
D8

六、申請專利範圍

憶器之位元線之資料之位元數之掩罩設定電路，

依據設定在上述掩罩設定電路之資訊，控制上述傳送電路。

24．如申請專利範圍第21項之攜帶用電子機器，其中，上述液晶面板係以紅、綠及藍之3點作為一個像素之可顯示彩色之液晶面板。

25．一種顯示控制裝置，其特徵係於欲顯示於顯示裝置之顯示資料，於特定之位元單位具有可寫入之顯示記憶體，前述顯示記憶體具有複數之記憶體單元，和前述複數之各記憶體單元之選擇端子所連接之複數字組線，和前述複數之記憶體單元之各資料輸出入節點所連接之複數位元線；於前述複數各位元線連接輸入用傳送手段，和輸出用傳送手段，構成於藉由前述輸入用傳送手段所產生之資料傳送，進行寫入連接於選擇狀態之字組線之記憶體單元之資料，和於藉由前述輸出用傳送手段所產生之資料傳送，進行從連接於選擇狀態之字組線之記憶體單元之資料讀取；

前述特定位元單位之顯示資料其具備可依序取入複數之第1資料門鎖手段；

保持於前述複數之第1資料門鎖手段之顯示資料，於特定位元單位之整數倍（ n 倍）之位元單位，係構成可傳送從前述輸入用傳送手段概括前述複數之位元線。

26．如申請專利範圍第25項所記載之顯示控制裝置，其中，包含前述複數之第1資料門鎖手段，和接

（請先閱讀背面之注意事項再填寫本頁）

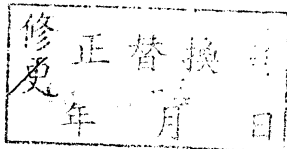
裝

訂

線

本局有無變更實質內容？是否准予修正？

經濟部智慧財產局員工消費合作社印製



A8
B8
C8
D8

六、申請專利範圍

合於複數之位元線間之複數第 2 資料門鎖手段。

27. 如申請專利範圍第 26 項所記載之顯示控制裝置，其中，藉由前述輸入用傳送手段所產生之前述複數位元線之資料傳送，係前述第 1 資料門鎖手段之最後資料取入，和於相同時序所進行。

28. 一種顯示控制裝置，其特徵係於具有收納欲顯示於顯示面板之顯示資料之記憶體，和欲收納於上述記憶體之顯示資料於 k 位元單位並列供給之第 1 外部端子，和基於從上述記憶體之 m 位元之讀取資料，輸出爲了驅動上述晶面板之驅動信號之複數之第 2 外部端子，和結合於上述記憶體之輸入與上述第 1 的外部端子之間，收納 m 位元之顯示資料之第 1 門鎖電路，和可收納上述第 1 門鎖電路之輸出資料之第 2 門鎖電路，和將上述第 2 門鎖電路之輸出資料傳送於上述記憶體之位元線之傳送電路之半導體基板之顯示控制裝置。

29. 如申請專利範圍第 28 項所記載之顯示控制裝置，其中，上述顯示控制裝置更具有爲了設定第 1 動作模式及第 2 動作模式之控制暫存器；

因應於上述控制暫存器之第 1 值之設定，將寫入於上述記憶體之模式設定爲上述第 1 動作模式；

因應於上述控制暫存器之第 2 值之設定，將寫入於上述記憶體之模式設定爲上述第 2 動作模式；

上述傳送電路係因應於上述第 1 動作模式之設定，於收納於上述第 1 門鎖電路之 k 位元之整數倍之每單元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

修正 頁	替換 頁
年	月 日

A8
B8
C8
D8

六、申請專利範圍

，將上述顯示資料傳送於上述記憶體之位元線；

上述傳送電路係因應於上述第2動作模式之設定，
於收納於上述第1門鎖電路之k位元之每單元，將上述
顯示資料傳送於上述記憶體位元線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綴