

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6027966号  
(P6027966)

(45) 発行日 平成28年11月16日(2016.11.16)

(24) 登録日 平成28年10月21日(2016.10.21)

(51) Int.Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 B
HO 1 L 25/10 (2006.01)	HO 1 L 25/14 Z
HO 1 L 25/11 (2006.01)	
HO 1 L 25/18 (2006.01)	

請求項の数 13 (全 23 頁)

(21) 出願番号	特願2013-520776 (P2013-520776)	(73) 特許権者	504142411
(86) (22) 出願日	平成23年7月18日 (2011. 7. 18)		テッセラ, インコーポレイテッド
(65) 公表番号	特表2013-535825 (P2013-535825A)		アメリカ合衆国 カリフォルニア州 9 5
(43) 公表日	平成25年9月12日 (2013. 9. 12)		1 3 4, サン・ノゼ, オーチャード・
(86) 国際出願番号	PCT/US2011/044342		パークウェイ 3 0 2 5
(87) 国際公開番号	W02012/012321	(74) 代理人	100099623
(87) 国際公開日	平成24年1月26日 (2012. 1. 26)		弁理士 奥山 尚一
審査請求日	平成26年7月18日 (2014. 7. 18)	(74) 代理人	100096769
(31) 優先権主張番号	12/839, 038		弁理士 有原 幸一
(32) 優先日	平成22年7月19日 (2010. 7. 19)	(74) 代理人	100107319
(33) 優先権主張国	米国 (US)		弁理士 松島 鉄男
		(74) 代理人	100114591
			弁理士 河村 英文
		(74) 代理人	100125380
			弁理士 中村 綾子

最終頁に続く

(54) 【発明の名称】 エリアアレイユニットコネクタを備えるスタック可能モールド超小型電子パッケージ

(57) 【特許請求の範囲】

【請求項 1】

超小型電子パッケージであって、

第1の表面と、この第1の表面から離れて位置する第2の表面とを有するとともに、前記第1の表面において露出する複数の第1の基板コンタクトと、この第1の基板コンタクトと電氣的に互いに接続され且つ前記第2の表面において露出する複数の端子とを有する第1の基板と、

前記第1の基板から離れて位置する第2の基板であって、第1の表面と、この第1の表面から離れて位置する第2の表面とを有するとともに、この第2の表面において露出する複数の第2の基板コンタクトと、この第2の表面において露出する複数のパッドとを有する第2の基板と、

前記第1の基板の第1の表面と前記第2の基板の第1の表面との間に配置される超小型電子素子であって、第1の面と、この第1の面から離れて位置する第2の面とを有するとともに、前記第1の面において露出する複数の素子コンタクトを有し、さらに前記第1の面及び前記第2の面のうちの一方は、前記第1の基板の前記第1の表面と並んで配置される超小型電子素子と、

前記第1の基板の第1の表面から上方に突出し、前記第1の基板コンタクトと前記第2の基板コンタクトとの間に延在する複数のワイヤボンダであって、このワイヤボンダのうちの少なくとも複数のは互いに電氣的に絶縁され、かつ異なる電位を同時に搬送するように構成される複数のワイヤボンダと、

10

20

前記第 1 の基板の前記第 1 の表面と、前記ワイヤボンドと、前記第 2 の基板の前記第 2 の表面の少なくとも一部との上に重なる連続した封入材であって、この連続した封入材は主面を画定するものである封入材と、

前記封入材の主面において露出し、前記第 2 の基板の前記第 2 の表面の上に重なり、前記第 2 の基板コンタクトの高さより高く突出する複数のパッケージコンタクトであって、これらパッケージコンタクトは少なくとも前記複数のワイヤボンドを通して前記超小型電子素子の複数の素子コンタクトと電氣的に互いに接続され、複数の開口部が前記封入材の前記主面から下方に延在し、これら複数の開口部内から延びる銅または金の複数の固体金属ポストを前記複数のパッケージコンタクトが有しており、前記複数の固体金属ポストは前記複数のパッド上にめっきされたものであり、前記複数の固体金属ポストの上面は前記封入材の前記主面の下において、前記主面から下方に延在する前記複数の開口部から露出し、且つ前記複数の固体金属ポストのエッジ面が、前記封入材から少なくとも部分的に露出しており、これらパッケージコンタクトはそれぞれ異なる電位を同時に搬送するように構成されている複数のパッケージコンタクトと

を備える超小型電子パッケージ。

【請求項 2】

前記封入材の前記主面は、前記超小型電子素子の周縁部を越えて、少なくとも前記第 2 の基板の周縁部に向かって延在する請求項 1 に記載のパッケージ。

【請求項 3】

前記パッケージコンタクトは導電性結合材料から本質的になる請求項 1 に記載のパッケージ。

【請求項 4】

前記ワイヤボンドが複数の第 1 のワイヤボンドと少なくとも 1 つの第 2 のワイヤボンドを含み、この少なくとも 1 つの第 2 のワイヤボンドが少なくとも 1 つの第 1 のワイヤボンドとともに制御されたインピーダンスの伝送線路を形成するように前記少なくとも 1 つの第 2 のワイヤボンドを基準電位に電氣的に接続させるために前記少なくとも一つの第 2 のワイヤボンドが 1 つの基板コンタクトと接続する請求項 1 に記載のパッケージ。

【請求項 5】

前記ワイヤボンドのうちの少なくとも複数のは前記超小型電子素子と直接接続される請求項 1 に記載のパッケージ。

【請求項 6】

前記超小型電子素子の前記素子コンタクトは前記第 1 の基板に面する請求項 1 に記載のパッケージ。

【請求項 7】

前記超小型電子素子の前記素子コンタクトは前記第 1 の基板から離れて面し、前記第 1 の基板と電氣的に互いに接続される請求項 1 に記載のパッケージ。

【請求項 8】

前記超小型電子素子は第 1 の超小型電子素子であり、前記パッケージは前記第 1 の超小型電子素子と前記第 2 の基板との間に配置される第 2 の超小型電子素子を更に含み、前記第 2 の超小型電子素子は前記第 1 の基板及び前記第 2 の基板のうちの少なくとも 1 つと電氣的に互いに接続される請求項 6 又は 7 に記載のパッケージ。

【請求項 9】

前記第 2 の基板は誘電体素子を含む請求項 8 に記載のパッケージ。

【請求項 10】

前記第 2 の基板は第 2 の誘電体素子を含み、前記パッケージコンタクトは前記第 2 の誘電体素子の表面から離れるように突出する請求項 9 に記載のパッケージ。

【請求項 11】

前記第 2 の基板は複数の開口部を含み、前記ワイヤボンドのうちの少なくとも複数のは前記第 2 の基板内の前記開口部を通して延在する請求項 9 又は 10 に記載のパッケージ。

【請求項 12】

10

20

30

40

50

前記第 2 の基板の前記第 1 の表面が前記超小型電子素子に取り付けられている請求項 1 に記載のパッケージ。

【請求項 1 3】

超小型電子パッケージであって、

第 1 の表面と、この第 1 の表面から離れて位置する第 2 の表面とを有するとともに、前記第 1 の表面において露出する複数の第 1 の基板コンタクトと、この第 1 の基板コンタクトと電氣的に互いに接続され且つ前記第 2 の表面において露出する複数の端子とを有する第 1 の基板と、

前記第 1 の基板から離れて位置する第 2 の基板であって、第 1 の表面と、この第 1 の表面から離れて位置する第 2 の表面とを有するとともに、この第 2 の表面において露出する複数の第 2 の基板コンタクトを有する第 2 の基板と、

10

前記第 1 の基板の第 1 の表面と前記第 2 の基板の第 1 の表面との間に配置される超小型電子素子であって、第 1 の面と、この第 1 の面から離れて位置する第 2 の面とを有するとともに、前記第 1 の面において露出する複数の素子コンタクトを有し、さらに前記第 1 の面及び前記第 2 の面のうちの一方は、前記第 1 の基板の前記第 1 の表面と並んで配置される超小型電子素子と、

前記第 1 の基板の第 1 の表面から上方に突出し、前記第 1 の基板コンタクトと前記第 2 の基板コンタクトとの間に延在する複数のワイヤボンドであって、このワイヤボンドのうちの少なくとも複数のは互いに電氣的に絶縁され、かつ異なる電位を同時に搬送するように構成される複数のワイヤボンドと、

20

前記第 1 の基板の前記第 1 の表面と、前記ワイヤボンドと、前記第 2 の基板の前記第 2 の表面の少なくとも一部との上に重なる連続した封入材であって、この連続した封入材は主面を画定するものである封入材と、

前記封入材の主面において露出し、前記第 2 の基板の前記第 2 の表面の上に重なり、前記第 2 の基板コンタクトの高さより高く突出する複数のパッケージコンタクトであって、これらパッケージコンタクトは少なくとも前記複数のワイヤボンドを通して前記超小型電子素子の複数の素子コンタクトと電氣的に互いに接続され、前記封入材には複数の開口部が前記封入材の主面から下方に延在し、この複数の開口部は前記封入材の主面から前記第 2 の基板の第 2 の表面において露出するパッドに向かって継続的に小さくなっており、前記複数のパッケージコンタクトは複数の固体金属ポストを有しており、前記複数の固体金属ポストの上面は前記封入材の前記主面において露出しており、且つ前記複数の固体金属ポストのエッジ面が、前記封入材から少なくとも部分的に露出しており、これらパッケージコンタクトはそれぞれ異なる電位を同時に搬送するように構成されている複数のパッケージコンタクトと

30

を備える超小型電子パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願の主題は超小型電子パッケージに関し、詳細には、超小型電子素子の上方又は下方の表面にパッケージコンタクトを有することができるような、スタック可能モールド超小型電子パッケージに関する。

40

【0002】

[ 関連出願の相互参照 ]

本出願は、2010 年 7 月 19 日に提出された米国特許出願第 12 / 839 , 038 号の出願日の利益を主張するものであり、この特許出願は、その開示を引用することにより、本明細書の一部をなすものとする。

【背景技術】

【0003】

半導体チップのような超小型電子素子は通常、半導体チップ又は他の超小型電子素子の

50

ための物理的及び化学的な保護を提供するパッケージ内に設けられる。そのようなパッケージは通常、パッケージ基板又はチップキャリアを含み、それらの基板又はキャリアは、その上に導電性端子を有する誘電体材料のパネルを含むことができる。チップは、パッケージ基板上に実装され、パッケージ基板の端子に電氣的に接続される。通常、チップ、及び基板の一部は封入材又はオーバーモルディングによって覆われ、それにより、基板の端子を支持する外面のみが露出したままになる。そのようなパッケージは容易に出荷し、保管し、取り扱うことができる。パッケージは標準的な実装技法、最も一般的には表面実装技法を用いて回路基板のような回路パネルに実装することができる。そのようなパッケージを小型化して、それにより、パッケージされたチップが回路基板上で占める面積を小さくすることに、当該技術分野において多大な努力が注がれてきた。例えば、チップスケールパッケージと呼ばれるパッケージは、チップ自体の面積に等しいか、又はチップ自体の面積よりも僅かだけ大きな回路基板面積を占有する。しかしながら、チップスケールパッケージの場合であっても、幾つかのパッケージされたチップによって占有される総面積は個々のチップの総面積以上である。

10

#### 【 0 0 0 4 】

或るマルチチップパッケージは、「ダイスタックパッケージ」と呼ぶことができ、外部インタフェースを有する共通のパッケージ内に複数のチップが積層されて実装される。この共通パッケージは、回路パネルのエリア上に実装することができ、そのエリアは、単一のチップを含む単一のパッケージを実装するのに通常必要とされる面積に等しいか、又はそれより僅かだけ大きい場合がある。ダイスタックパッケージ手法は、回路パネル上の空間を節約する。互いに機能的に関連するチップ又は他の素子は、共通のスタックパッケージ内に設けることができる。そのパッケージは、これらの素子間の互いに接続を組み込むこともできる。したがって、そのパッケージが実装される回路パネルは、これらの互いに接続のために必要とされる導体及び他の素子を含む必要はない。そして、これにより、より簡単な回路パネルを使用できるようになり、場合によっては、より少ない金属接続層を有する回路パネルを使用できるようになるので、回路パネルの材料コストを大幅に削減することができる。さらに、ダイスタックパッケージ内の互いに接続は多くの場合に、回路パネル上に実装される個々のパッケージ間の同程度の互いに接続よりも、低い電氣的インピーダンス、及び短い信号伝搬遅延時間を有するように形成することができる。そして、これにより、例えば、これらの素子間で信号を伝搬させる際に、より高いクロック速度を使用できるようにするようなことによって、スタックパッケージ内の超小型電子素子の動作速度を高めることができる。

20

30

#### 【 0 0 0 5 】

これまでに提案されてきたチップパッケージの1つの形態は、「ボールスタック」と呼ばれる場合がある。ボールスタックパッケージは2つ以上の個別のユニットを含む。各ユニットは個別のパッケージのパッケージ基板と同様のユニット基板と、ユニット基板に実装され、このユニット基板上の端子に接続される1つ又は複数の超小型電子素子とを組み込む。個別のユニットは上下に積層され、個別のユニット基板上の端子は、ハンダボール又はハンダピンのような導電性端子によって別のユニット基板上の端子に接続される。底部のユニット基板の端子は、パッケージの端子を構成することができるか、又は代替的には、パッケージの底部に付加的な基板を実装することができ、その基板が種々のユニット基板の端子に接続される端子を有することができる。ボールスタックパッケージは、例えば、米国特許出願公開第2003/0107118号及び米国特許出願公開第2004/0031972号の或る好ましい実施形態において示されており、それらの開示を引用することにより、本明細書の一部をなすものとする。

40

#### 【 0 0 0 6 】

フォールドスタックパッケージ (fold stack package) と呼ばれる場合がある別のタイプのスタックパッケージでは、2つ以上のチップ又は他の超小型電子素子が単一の基板に実装される。この単一の基板は通常、基板上に実装される超小型電子素子を互いに接続するために基板に沿って延在する電気導体を有する。同じ基板が、基板上に実装される超小

50

型電子素子のうちの一方又は両方に接続される導電性端子も有する。その基板は、一方の部分の上にある超小型電子素子が別の部分の上にある超小型電子素子の上に位置するように、かつパッケージを回路パネルに実装するためのパッケージ基板の端子が折り返されたパッケージの底部において露出するように折り返される。フォールドパッケージの或る変形形態では、基板がその最終的な構成に折り返された後に、超小型電子素子のうちの1つ又は複数が基板に取り付けられる。フォールドスタックの例が、米国特許第6,121,676号、米国特許出願第10/077,388号、米国特許出願第10/655,952号、米国仮特許出願第60/403,939号、米国仮特許出願第60/408,664号、及び米国仮特許出願第60/408,644号の或る好ましい実施形態において示されている。フォールドスタックは、種々の目的のために使用されてきたが、コンパクトな自己完結のアセンブリを形成するために、互いに通信しなければならないチップをパッケージする、例えば、携帯電話内のベースバンド信号処理チップ及び無線周波数電力増幅器(「RFPA」)チップを組み込むアセンブリを形成するような際に、特に応用されている。

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

当該技術分野におけるこれら全ての努力にもかかわらず、依然として更なる改善が望まれている。

【課題を解決するための手段】

20

【0008】

本発明の実施の形態による超小型電子パッケージは、第1の表面と、この第1の表面から離れている第2の表面と、複数の基板コンタクトと、この基板コンタクトと電氣的に互いに接続され、かつ前記第2の表面において露出する複数の端子とを有する基板を備えることができる。このパッケージは、第1の面と、この第1の面から離れている第2の面と、前記第1の面において露出する素子コンタクトとを有する超小型電子素子であって、前記第1の面及び前記第2の面のうちの一方は前記基板の前記第1の表面と並置される、超小型電子素子を備える。複数の導電性素子が、前記第1の表面から上方に突出し、前記素子コンタクト及び前記基板コンタクトと電氣的に接続される。この導電性素子のうちの少なくとも幾つかは互いに電氣的に絶縁され、かつ異なる電位を同時に搬送するように構成される。封入材が、前記基板の前記第1の表面と、前記導電性素子と、前記基板から離れている前記超小型電子素子の面の少なくとも一部との上に重なる。この封入材は主面を画定することができる。複数のパッケージコンタクトが、前記基板から離れている前記超小型電子素子の前記面の上に重なり、前記基板から前記素子コンタクトの高さより高く突出することができる。このパッケージコンタクトは前記導電性素子等を通して前記基板の前記端子と電氣的に互いに接続することができる。このパッケージコンタクトは導電性結合材料の塊状物又は概ね硬質(rigid)の導電性ポストのうちの少なくとも一方を含むことができる。このパッケージコンタクトの上面は前記封入材の前記主面において少なくとも部分的に露出することができる。

30

【0009】

40

一実施の形態では、前記封入材の前記主面は、前記超小型電子素子の周縁部を越えて、少なくとも前記基板の周縁部に向かって延在することができる。特定の実施の形態では、前記パッケージコンタクトは導電性結合材料から本質的になることができる。任意選択では、前記パッケージコンタクトは概ね硬質のポストを含む。

【0010】

特定の実施の形態では、少なくとも幾つかの導電性ポストの上面の少なくとも一部は、前記封入材の前記主面から下方に延在する開口部内に露出する。前記封入材は前記少なくとも幾つかのポストのエッジ面の少なくとも一部と接触することができる。前記少なくとも幾つかのポストの前記エッジ面は、前記封入材内のそれぞれの開口部内に少なくとも部分的に露出することができる。

50

## 【 0 0 1 1 】

一例では、前記封入材は、前記少なくとも幾つかのポストの前記上面が前記開口部内に部分的にのみ露出するように、前記少なくとも幾つかのポストの前記上面の少なくとも一部と接触することができる。特定の例では、前記少なくとも幾つかのポストのエッジ面は前記封入材によって完全に覆うことができる。

## 【 0 0 1 2 】

一例では、前記導電性ポストの上面は前記封入材の前記主面と同一平面を成することができる。そのような例では、一事例では、前記少なくとも幾つかのポストのエッジ面は前記封入材によって部分的に又は完全に覆うことができる。

## 【 0 0 1 3 】

一実施の形態では、前記基板は第 1 の基板とすることができ、前記パッケージは、前記第 1 の基板から離れている前記超小型電子素子の前記面の上に重なる第 2 の基板を更に備えることができる。前記第 2 の基板は前記パッケージコンタクトのうちの少なくとも幾つかを前記超小型電子素子から分離することができる。前記第 1 の基板及び前記第 2 の基板は前記導電性素子を通して電氣的に接続することができる。前記導電性素子は第 1 の導電性素子とすることができ、前記超小型電子パッケージは、少なくとも 1 つの第 1 の導電性素子とともに制御されたインピーダンスの伝送線路を形成するように基準電位に接続される少なくとも 1 つの第 2 の導電性素子を更に備えることができる。

## 【 0 0 1 4 】

一例では、前記パッケージが 1 つの基板を含むか、又は 2 つの基板を含むかにかかわらず、少なくとも幾つかの前記導電性素子は前記超小型電子素子と直接接続することができる。

## 【 0 0 1 5 】

特定の例では、前記超小型電子素子の前記素子コンタクトは前記第 1 の基板に面することができる。別の例では、前記超小型電子素子の前記素子コンタクトは前記第 1 の基板から離れて面し、前記第 1 の基板と電氣的に互いに接続することができる。

## 【 0 0 1 6 】

上記の例又は以下の例のうちのいずれかの例では、前記超小型電子素子は第 1 の超小型電子素子とすることができ、前記パッケージは前記第 1 の超小型電子素子と前記第 2 の基板との間に配置される第 2 の超小型電子素子を更に含むことができ、前記第 2 の超小型電子素子は前記第 1 の基板及び前記第 2 の基板のうちの少なくとも 1 つと電氣的に互いに接続される。

## 【 0 0 1 7 】

一例では、導電性構造、熱伝導性構造又はスペーサのうちの少なくとも 1 つである第 2 の概ね硬質の構造が、少なくとも前記第 1 の表面から少なくとも前記第 2 の基板まで突出することができる。一例では、前記第 2 の基板は誘電体素子を含むことができる。

## 【 0 0 1 8 】

前記パッケージコンタクトは、前記第 2 の基板の表面から離れるように突出する複数の概ね硬質の導電性ポストを含むことができる。

## 【 0 0 1 9 】

一例では、前記第 2 の基板は第 2 の誘電体素子を含むことができ、前記パッケージコンタクトは前記第 2 の誘電体素子の表面から離れるように突出することができる。前記第 2 の基板は複数の開口部を含むことができ、前記導電性素子のうちの少なくとも幾つかは前記第 2 の基板内の前記開口部を通して延在することができる。

## 【 0 0 2 0 】

一実施の形態では、第 2 の概ね硬質の導電性ポストが前記第 1 の基板から離れるように延在することができ、前記第 2 の導電性ポストは前記第 1 の基板と電氣的に接続することができる。前記第 2 の導電性ポストは前記封入材の前記主面において前記封入材のそれぞれの開口部内に露出することができる。

## 【 0 0 2 1 】

10

20

30

40

50

本発明の一実施の形態によれば、超小型電子パッケージを形成する方法が提供される。このような方法では、超小型電子アセンブリであって、基板コンタクトと、第１の表面と、この第１の表面から離れている第２の表面と、この第２の表面において露出する複数の端子とを有する基板を備える、超小型電子アセンブリを配設することができる。このアセンブリは、前面と、この前面において露出する素子コンタクトと、この前面から離れている背面を有する超小型電子素子であって、前記前面又は前記背面は前記第１の表面と並置される超小型電子素子を備えることができる。この超小型電子アセンブリは、前記第１の表面の上方に突出し、前記素子コンタクト及び前記基板コンタクトと電気的に接続される複数の導電性素子を更に備えることができる。複数のパッケージコンタクトが、前記基板の前記第１の表面と並置される前記面から離れている前記超小型電子素子の前記面の上に重なることができる。このパッケージコンタクトはこの導電性素子と電気的に互いに接続することができる。特定の例では、このパッケージコンタクトは前記超小型電子素子の前記素子コンタクトの高さより高く延在する導電性結合材料の塊状物又は概ね硬質の導電性ポストのうちの少なくとも一方を含むことができる。

10

#### 【００２２】

その後、前記基板の前記第１の表面と、前記導電性素子と、前記基板から離れている前記超小型電子素子の面の少なくとも一部との上に重なる封入材を形成することができる。この封入材は主面を画定することができ、前記パッケージコンタクトの上面の少なくとも一部はこの封入材の前記主面において露出することができる。

20

#### 【００２３】

一実施の形態では、前記上面の前記少なくとも一部は前記封入材の前記主面と同一平面を成すことができる。

#### 【００２４】

本発明の一実施の形態によれば、パッケージコンタクトは、封入材の主面において最初に露出していない場合がある。そのような場合、封入材の主面は第２の導電性素子の上に重なっている場合があり、封入材の主面内に開口部を形成して、第２の導電性素子を少なくとも部分的に露出させることができる。特定の実施の形態では、前記第２の導電性素子は、前記超小型電子パッケージのためのパッケージコンタクトとしての役割を果たすことができる。別の例では、前記封入材層内に開口部を形成した後に、前記第２の導電性素子と導通するようにパッケージコンタクトを形成することができる。

30

#### 【００２５】

一例では、前記パッケージコンタクトを形成するステップは、前記開口部内の前記第２の導電性素子上に導電性ボンディング材料の塊状物を堆積することを含むことができる。特定の例では、前記パッケージコンタクトを形成するステップは、前記開口部内に露出する前記第２の導電性素子上に導電性ポストをめっきすることを含むことができる。特定の実施の形態では、前記導電性素子は、前記超小型電子素子の素子コンタクトを含むことができる。

#### 【００２６】

一例では、前記パッケージコンタクトは概ね硬質の導電性ポスト又は導電性塊状物のうちの少なくとも一方を含むことができ、前記パッケージコンタクトは前記基板の前記第１の表面から前記素子コンタクトの高さより高く延在することができる。

40

#### 【００２７】

前記導電性ポストは前記基板の第１の面から離れている上面と、この上面から離れるように延在するエッジ面とを有することができる。前記開口部を形成するステップは前記エッジ面を少なくとも部分的に露出させることができる。

#### 【００２８】

一実施の形態では、本明細書における作製方法を用いて、第１の超小型電子パッケージ及び第２の超小型電子パッケージをそれぞれ形成することができ、その後、前記第１の超小型電子パッケージの上に前記第２の超小型電子パッケージを積層することができる。前記第１の超小型電子パッケージ及び前記第２の超小型電子パッケージは、この第１の超小

50

型電子パッケージのパッケージコンタクトと、この第２の超小型電子パッケージの前記端子とを通して電氣的に接続することができる。代替的には、前記第１の超小型電子パッケージ及び前記第２の超小型電子パッケージは、この第１の超小型電子パッケージの前記パッケージコンタクトと、この第２の超小型電子パッケージの前記パッケージコンタクトとを通して、又はこの第１の超小型電子パッケージの前記端子と、この第２の超小型電子パッケージの前記端子とを通して、電氣的に互いに接続することができる。

【図面の簡単な説明】

【 0 0 2 9 】

【図１】本発明の一実施形態による、基板を作製する方法における１つの段階を示す断面図である。

10

【図２】本発明の一実施形態による、基板を作製する方法における図１に示される段階後の段階を示す断面図である。

【図３】本発明の一実施形態による、基板を作製する方法における図１に示される段階後の段階を示す断面図である。

【図４】本発明の一実施形態による、基板を作製する方法における図１に示される段階後の段階を示す断面図である。

【図５】本発明の一実施形態による方法において用いられる基板を示す断面図である。

【図６】本発明の実施形態の変形形態による方法において用いられる基板を示す断面図である。

【図７】本発明の一実施形態による方法における図５又は図６の段階後の作製段階を示す断面図である。

20

【図８】本発明の一実施形態による方法における図７の段階後の作製段階を示す断面図である。

【図９】本発明の一実施形態による方法における図８の段階後の作製段階を示す断面図である。

【図９Ａ】図８及び図９に示される本発明の実施形態の変形形態による方法における図７の段階後の作製段階を示す断面図である。

【図１０】本発明の一実施形態による方法における図９又は図９Ａの段階後の作製段階を示す断面図である。

【図１１】図１０の段階後の作製段階を示す断面図である。

30

【図１２】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図１３】本発明の一実施形態による超小型電子パッケージを示す、図１４の線１３－１３を通して見た断面図である。

【図１４】図１３に示される本発明の実施形態による、超小型電子パッケージの上側基板の方を見た平面図である。

【図１５】本発明の一実施形態による、超小型電子パッケージを作製する方法における１つの段階を示す断面図である。

【図１６Ａ】本発明の一実施形態による、超小型電子パッケージを作製する方法における図１５に示される段階後の段階を示す断面図である。

【図１６Ｂ】図１６Ａに示される方法の変形形態における図１５に示される段階後の段階を示す断面図である。

40

【図１７】本発明の一実施形態による、超小型電子パッケージを作製する方法における１つの段階を示す断面図である。

【図１８】本発明の一実施形態による、超小型電子パッケージを作製する方法における図１７に示される段階後の段階を示す断面図である。

【図１９】本発明の一実施形態による、超小型電子パッケージを作製する方法における図１８に示される段階後の段階を示す断面図である。

【図２０】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図２０Ａ】図２０に示される本発明の実施形態の変形形態による超小型電子パッケージを示す断面図である。

50



【図 20B】図 20 に示される実施形態の別の変形形態による超小型電子パッケージを示す断面図である。

【図 21】本発明の一実施形態による、スタック超小型電子アセンブリを形成する方法における 1 つの段階を示す断面図である。

【図 22】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 23】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 24】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 25】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 26】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 27】本発明の一実施形態による超小型電子パッケージを示す断面図である。

10

【図 27A】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 28】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 29】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 30】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 31】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 32】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【図 33】本発明の一実施形態による超小型電子パッケージを示す断面図である。

【発明を実施するための形態】

【0030】

ここで、本発明の一実施形態による超小型電子パッケージを作製する方法が説明されることになる。図 1 を参照すると、一実施形態では、誘電体素子 104 上に層状の金属構造 102 を用いて、パッケージ基板又は互いに接続基板を作製することができ、この層状の金属構造は第 1 の金属層 110 と、第 2 の金属層 112 と、第 1 の金属層と第 2 の金属層との間にある導電性エッチング障壁層 114 とを有する。

20

【0031】

本開示において用いられるときに、「上側」、「下側」、「上方」、「下方」及び方向を指示する同様の用語のような用語は、重力座標系ではなく、その構成要素自体の座標系を参照する。重力座標系内で図面に示される方向に部品が配置されている場合、重力座標系では図面の上部が上であり、図面の底部が下であるので、重力座標系において、上側基板は実際に下側基板の上方にある。しかしながら、部品が反転されるとき、重力座標系では、図面の上部は下向きになるので重力座標系において上側基板は下側基板の下方にある。

30

【0032】

基板の主面 105 に対して平行な方向は本明細書において「水平方向」又は「横方向」と呼ばれるのに対して、主面に対して垂直な方向は本明細書において「上方」又は「下方」と呼ばれ、本明細書において「垂直方向」とも呼ばれる。1 つの機構が、「或る表面の上方で」別の機構よりも高い位置に配置されるという言い回しは、両方の機構がその表面から同じ直交方向において変位するが、一方の機構が、同じ直交方向において他方の機構よりもその表面から離れる距離が長いことを意味する。逆に、1 つの機構が、「或る表面の上方で」別の機構よりも低い位置に配置されるという言い回しは、両方の機構がその表面から同じ直交方向において変位するが、一方の機構が、同じ直交方向において他方の機構よりもその表面からの距離が短いことを意味する。

40

【0033】

一例では、第 1 の金属層及び第 2 の金属層は銅を含むか、又は本質的に銅からなり、エッチング障壁層は第 1 の金属層及び第 2 の金属層をパターニングするために使用可能であるエッチング剤に耐える材料を含む。例えば、第 1 の金属層及び第 2 の金属層が銅から形成されるとき、エッチング障壁層はニッケル、クロム又はニッケル及びクロムの合金から形成することができる。一例では、第 1 の金属層は第 2 の金属層よりもはるかに厚みがある。一例では、第 1 の金属層は 50 ミクロン～300 ミクロンの厚みを有することができ、第 2 の金属層は数ミクロンの厚み～50 ミクロン未満の厚みを有することができ、いず

50

れにしても、第1の金属層厚未満である。第2の金属層の厚みは通常約6ミクロン～約30ミクロンの範囲にある。

【0034】

図1に示されるように、この段階では、層状の金属構造は誘電体素子104によって支持されることができ、特定の例では、誘電体素子は複数の開口部106を含むことができ、その開口部を通して、第2の金属層112の一部が露出する。本開示において用いられるときに、導電性構造が誘電体構造の表面「において露出する」という言い回しは、その導電性構造が、誘電体構造の外部から誘電体構造のその表面に向かって誘電体構造のその表面に対して垂直の方向に移動する理論的な点との接触のために使用可能であることを示す。したがって、誘電体構造の表面において露出する端子又は他の導電性構造は、そのような表面から突出する場合があるか；そのような表面と同一平面を成す場合があるか；又はそのような表面から後退しており、誘電体内の穴又は窪みを通して露出する場合がある。

10

【0035】

誘電体素子104は、単一の誘電体材料層を含む場合があるか、又は幾つかの副層を含む積層体とすることができる。誘電体素子は、ポリイミド、BT樹脂、エポキシ又は他の誘電体ポリマーのような、高分子誘電体から主に形成することができ、幾つかの例では、例えば、ガラス繊維のような強化用繊維を含むことができる。誘電体素子104は、軟質又は硬質とすることができる。特定の例では、誘電体素子は、テープ自動ボンディング（「TAB」）において一般的に用いられるような、ポリイミド材料のようなポリマーテープ材料とすることができる。

20

【0036】

図2に示されるように、第1の金属層上にマスキング層又は他のパターニングされた犠牲層116を形成することができる。マスキング層は、フォトリソグラフィ、又は数例を挙げると、ステンシリング、スクリーン印刷又はレーザアブレーションのような他のパターニング技法等によって、耐エッチング金属又は他の材料から形成することができる。その後、図3に示されるように、例えば、層状金属構造102に向かう方向118にエッチング液を誘導することによって、第1の金属層をパターニングすることができる。このパターニングプロセスは、複数の被エッチング固体金属ポスト120を形成するように、マスキング層116によって保護されていない第1の金属層の部分を除去する。エッチング障壁層114は、第1の金属層をパターニングするために用いられるエッチング剤によって侵蝕されないため、そのポストはエッチング障壁層114の露出した表面122の上方に突出する。金属ポストは、一連の個々の導体を設けるように、エッチング障壁層上に互いに離隔して配置することができる。図4に示されるように、エッチングによってポストが形成されるとき、それらのポストは切頭円錐の形状を有することができ、それぞれ同じポストの先端部127よりも広い基部128を有し、ポストは通常、垂直方向に対して或る角度を成して延在するエッジ面を有する。

30

【0037】

図4は、後続の処理段階を示しており、エッチング障壁金属層の露出した部分を除去し、第2の金属層112をパターニングして、パッド124を、そして通常はトレース（図示せず）も形成し、トレースは誘電体素子104の平面の方向に延在し、パッド及びトレースはポスト120と電気的に接続される。第2の金属層のトレースは、パッドのうちの少なくとも幾つかを固体金属ポストのうちの少なくとも幾つかに電気的に接続することができる。パターニングの結果として、この時点で、誘電体素子104内の開口部は、構造126の厚みを貫通して延在する貫通開口部106になる。

40

【0038】

上記の方法（図1～図4）の変形形態では、誘電体層104の1つ又は複数の表面上にめっきすることによって、又はめっきステップ及びエッチングステップの組み合わせによって、ポスト、パッド及びトレースを含む類似の構造126を形成することができる。めっきされた構造では、ポスト120は通常、ポストが突出する誘電体素子の表面105に

50

対して垂直であるエッジ面を有する。

【0039】

図5は、構造126が画定された後の、誘電体素子132を含む基板130を示しており、基板はその上に複数の接続素子134及び端子140を有し、金属又は他の導電性素子142がコンタクト134及び端子140を電氣的に接続している。基板130は通常、数多くの領域131を有する連続又は半連続のテープ又はシートの形をとる。以下に説明されるように、各領域131は、そのプロセスの終了時に個々のパッケージの一部を構成することになり、各領域131は、後に説明されるように、単一のパッケージの一部を形成することになる機構を含む。基板104と同様に、基板130は軟質又は硬質とすることができ、基板104と同じ材料のうちの1つ又は複数から構成することができ、その誘電体素子132は誘電体材料の単層を含むことができるか、又は幾つかの副層を含む積層体とすることができ、ポリイミド、BT樹脂、エポキシ又は他の誘電体ポリマーのような高分子誘電体から主に形成することができ、幾つかの例では、例えば、ガラス繊維のような強化用繊維を含むことができる。基板104の誘電体素子と同様に、誘電体素子は、テープ自動ボンディング(「TAB」)において一般的に用いられるような、ポリイミド材料のようなポリマーテープ材料とすることができ、

10

【0040】

特に図5に示されるように、端子140が接続素子134とは別の層内に形成され、これらの金属層は誘電体素子132によって互いに分離され、誘電体素子を貫通して延在するビア(via)32のような導電性素子によって互いに電氣的に接続される。そのような構成は一般的に「二金属」構造と呼ばれる。代替的に、図6に示されるように、基板150を単一の金属層を有する単一金属構造として形成することができ、単一の金属層は、基板の第1の表面152において露出するような導電性接続素子154、及び第1の表面から離れている基板の第2の表面158において開口部156内に露出するような端子160の両方を構成する。代替的には、図6に示される実施形態の変形形態では、基板150は、反転構成において用いることができ、その構成では、端子が基板の第2の表面158の上に重なり、接続素子は、第1の表面154から開口し、誘電体素子を貫通して延在する複数の開口部内に露出する。更なる代替形態では、導電性実装素子、端子又はその両方を構成する1つ又は複数の金属層を誘電体層の厚み内に配置し、穴を通して適切な表面に露出させることができる。

20

30

【0041】

図7に示されるように、超小型電子素子170が、第1の基板130の第1の、又は「上側」表面136上に実装される。各領域131は、その上に実装された超小型電子素子のうちの1つ又は複数を有する。例示した特定の実施形態では、下側基板の各領域131が1つの超小型電子素子を支持する。図示される超小型電子素子は、コンタクトを用いて下向きに実装される半導体チップであり、例えば、ハンダのようなボンディング材料171を用いてコンタクトを導電性実装素子に結合することによって、チップのコンタクト、例えば、ボンドパッド(図示せず)が基板の導電性接続素子134に接続される。しかしながら、他の技法を用いることもできる。例えば、各超小型電子素子170は、その上にパッケージ端子を有するパッケージ基板(図示せず)を組み込むパッケージされた超小型電子素子とすることができ、これらのパッケージ端子は第1の基板上の導電性接続素子134に接続されている。更に別の変形形態では、異方性導電性接着剤のような技法を用いることができる。基板130の各領域131内の超小型電子素子170は、その領域131の導電性接続素子134を通して、同じ領域の実装端子140のうちの少なくとも幾つかに、及びその領域の少なくとも幾つかの層間接続端子138に、又は両方に電氣的に接続される。超小型電子素子170は、本明細書において記述される組立プロセスの一部として、又は下側基板130を準備するために用いられる別の工程において、従来の技法を用いて下側基板上に実装することができる。

40

【0042】

超小型電子素子170を基板130に実装した後に、ボンディング材料171及び接続

50

素子 134 を介しての超小型電子素子と基板との間の電氣的接続において熱応力及び機械応力への耐性を高めるのを容易にするために、基板 130 と超小型電子素子のコンタクト支持面 172 との間にアンダーフィル 174 (図 8) を注入することができる。その後、例えば、接着剤 178 を通して、基板 100 を超小型電子素子 170 の背面 176 に実装することができる。一実施形態では、例えば、基板 100 が高分子誘電体材料を含むとき、接着剤は従順性に行うことができる。しかしながら、基板 100 が超小型電子素子 170 の熱膨張係数と同じ、又はそれに近い熱膨張係数を有する別の実施形態では、接着剤は従順性である必要はなく、更には硬質材料とすることもできる。基板 100 は、その上にある導電性ポスト 120 が超小型電子素子 170 から離れている基板の表面 108 から離れる方向に突出するように、超小型電子素子 170 に実装される。

10

#### 【0043】

図 8 に更に示されるように、基板及び超小型電子素子を接合してアセンブリ 180 を形成するときに、第 2 の基板内の開口部 106 は、第 1 の基板の層間接続素子 138 と位置合わせされる。その後、これにより、導電性素子 182 (図 9) を形成できるようになり、第 1 の基板上の層間接続素子 138 を第 2 の基板のパッド 124 に接合し、それにより、アセンブリ 184 を形成する。例えば、ワイヤボンディングツールの先端を第 2 の基板内の開口部 106 を通して挿入し、第 2 のパッド 138 に取り付けられた第 1 の端部と、パッド 124 に取り付けられた第 2 の端部とを有するワイヤボンドを形成することができる。その後、ライン 186 に沿ってアセンブリ 184 を分割し、アセンブリを個別の超小型電子アセンブリ 188 (図 10) に分離することができ、各アセンブリは、第 1 及び第 2 の基板のそれぞれの領域と、2 つの基板領域間にあり、各基板領域に電氣的に接続される超小型電子素子 170 とを含む。

20

#### 【0044】

上記の処理 (図 9A) の変形形態では、それぞれが、そこから突出するポスト 120 及びその上にある導電性素子、例えば、パッド 124 を有する複数の個別の基板 126' を個々の超小型電子素子 170 に取り付け、ワイヤボンド 182' を介して基板 130 に電氣的に接続することができる。この処理は、基板 130 の複数の領域が連続又は半連続の基板の形で互いに取り付けられたままになっている間に実行することができる。この場合、ワイヤボンド 182' は、各基板 126' の周縁部 107 を越えて配置することができる。

30

#### 【0045】

図 11 に示されるように、モールド 190 を用いて、アセンブリ 188 の構造を包囲するモールド封入材領域を形成することができる。例えば、図 9A に示されるような構造では、基板 130 を分割する前に、第 1 の基板領域 131 の表面 136 に載置されるようにモールドプレート 192 を配置することができる。その後、注入口 (図示せず) を通してモールドに封入材を導入して、ワイヤボンド 182 を包囲し、通常は、個々のポスト 120 間、かつ超小型電子素子 170 のエッジ 198 とワイヤボンド 182 との間の全ての空間を満たす。その後、図 12 において表されるように、そのアセンブリをモールドから取り外すことができ、オプションで、封入材 201 を少なくとも部分的に硬化させるように処理することができる。基板 130 は、その時点で個々のユニット 188 を形成するように分割することもできる。導電性ポスト 120 は、超小型電子素子 170 の上に重なる封入材の露出した主面 200 において露出する。導電性ポストは、超小型電子素子 170 の上に重なる封入材の開口部 202 内に延在する。通常、封入材領域を有する超小型電子アセンブリ 188 をモールド 190 から取り外した後に、端子 140 とハンダバンプ 204 又はボールを接合して、図 12 に示されるような超小型電子パッケージ 210 を形成することができる。

40

#### 【0046】

図 13 は、特定の実施形態による超小型電子パッケージ 290 を示しており、各端子 240 は、パッドとすることができるか、又はボンディング材料のボール 242、例えば、ハンダボールを取り付けられたパッドとすることができ、各端子は、そこから離れた封入

50

材の表面 2 0 0 において露出する個々の導電性ポスト 2 2 0 と垂直に位置合わせすることができる。パッケージ 2 9 0 内の端子及びポストのそのような構成は、以下の図 2 1 の場合のように、スタックアセンブリ内で複数の超小型電子パッケージ 2 9 0 を互いに積層し、かつ接合するのを容易にする。

#### 【 0 0 4 7 】

図 1 3 及び図 1 4 において更に示される超小型電子パッケージ 2 9 0 では、ポスト 2 2 0 は上側基板 1 0 0 の表面 2 2 1 の上に重なるエリアアレイ 2 2 2 を形成する。第 2 の基板 1 0 0 の表面 2 2 1 において露出するパッド 2 2 4 は、例えば、ワイヤボンダ 2 8 2 等によって、下側基板の表面上に露出するパッド 2 3 8 と電氣的に接続することができる。図 1 4 に更に示されるように、パッケージ 2 9 0 内のボンダパッドは、所望のインピーダンス又は制御されたインピーダンスを有する伝送線路を設けるように配置することができる。具体的には、下側基板上のパッドのうちの幾つかは、グランド、電源電圧、又は他のポスト 2 2 0 において存在する信号の通常の変化率に比べて非常にゆっくりしか変化しない場合があるか、若しくは非常にゆっくりと、若しくは狭い範囲内でのみ変化する場合がある別の電位のような基準電位と接続するために利用することができる。例えば、パッド 2 3 8 A は、基板 2 3 0 の表面 2 4 4 において設けられる電氣的接続 2 4 0、2 4 2 を通してグランドに電氣的に接続するためのグランドパッドとすることができる。基準ワイヤボンダ 2 8 4 A が、信号ワイヤボンダ 2 8 2 の経路に隣接する経路において、基板のそのようなグランドパッド 2 2 4 A と 2 3 8 A との間に延在する。この場合、基準ワイヤボンダの経路は、基板 1 0 0 の表面 2 2 1 に沿った横方向 2 9 2 のうちの一方又は両方において信号ワイヤボンダの経路から概ね均等な間隔に位置する。それとは別に、又はそれに加えて、パッケージ 2 9 0 は、基準電位と接続するための基準パッド 2 3 8 B まで延在する基準ワイヤボンダ 2 8 4 B を含むことができ、これらの基準ワイヤボンダ 2 8 4 B の経路は、基板 1 0 0 の第 1 の表面 2 2 1 に対して概ね垂直方向 2 9 4 (図 1 3) に位置合わせされる信号ワイヤボンダ 2 8 2 B の経路の上方又は下方に延在することができる。これらの特定の実施態様のいずれか又は全てはオプションで、同じ超小型電子パッケージ 2 9 0 内に設けることができる。

#### 【 0 0 4 8 】

上記の方法 (図 1 ~ 図 1 2) の変形形態では、アセンブリがモールドから取り外されたときに、導電性パッドが既に露出している必要はない。代わりに、図 1 5 に示されるように、封入材が上面 1 2 1、すなわち、基板 1 0 0 から離れたポストの端部の上に重なることができる。この場合の上面 1 2 1 は、封入材の主面 3 0 0 の下に埋め込まれるように封入材によって覆われる。その後、図 1 6 A に示されるように、封入材内に、ポストの上面 1 2 1 を部分的に露出させる複数の開口部 3 0 1 を形成することができ、上面の他の部分 3 0 3 は依然として封入材によって覆われたままにしておくことができる。この場合、ポストのエッジ面 1 2 3 は封入材によって覆われたままにすることができる。

#### 【 0 0 4 9 】

図 1 6 A の実施形態の変形形態では、封入材主面の開口部 3 0 2 (図 1 6 B) は、少なくとも幾つかのポストの上面 1 2 1 を少なくとも部分的に露出させ、かつ同じポストのエッジ面 1 2 3 を少なくとも部分的に露出させる。ポストのエッジ面 1 2 3 は、図 1 6 B に示されるように、開口部内に少なくとも部分的にのみ露出させることができるか、又は基板の表面 1 0 5 まで露出させることができる。隣接するポスト 1 2 0 間の封入材 2 0 1 の部分 3 0 4 は、ポスト間の絶縁材として、かつ例えばスズ、ハンダ、導電性ペースト等の結合材料の流れを阻止するために残すことができ、それらの結合材料は、図 2 1 を参照しながら後に更に説明されるように、接合済み超小型電子パッケージのスタックアセンブリ内のように、ポスト 1 2 0 に接合することができる。

#### 【 0 0 5 0 】

一実施形態では、上面の少なくとも一部及び 1 つのポスト 1 2 0 のエッジ面の少なくとも一部は主面内の 1 つのそのような開口部内に露出させることができ、他のポスト 1 2 0 の表面は同じ開口部内で露出させることはできない。代替的には、2 つ以上の複数のポスト

ト 1 2 0 のそれぞれの上面の少なくとも一部及びエッジ面の少なくとも一部を、封入材主面内に形成される個々の開口部内に露出させることができる。別の場合には、2 つ以上の複数のポストの上面の少なくとも一部及びエッジ面の少なくとも一部を、封入材主面内に形成される個々の開口部内に露出させることができる。

#### 【 0 0 5 1 】

特定の実施形態では、ポストの 1 つの行の 2 つ以上のポスト、又は代替的にはポストの 1 つ若しくは複数の行全体が、封入材主面内の個々の開口部内に露出する上面の少なくとも一部及びエッジ面の少なくとも一部を有することができる。場合によっては、上面全体よりも少なくすることができる上面の少なくとも一部のみが特定の開口部内に露出する。場合によっては、上面全体を特定の開口部内に露出させることができる。特定の場合には、エッジ面の一部のみを特定の開口部内で露出させることができ、場合によっては、エッジ面を、基板の表面 1 0 5 に、又はポストによって接触される導電性素子の表面に露出させることができる。特定の実施形態では、上面全体、及びエッジ面の一部、すなわち、複数のポストのそれぞれのエッジ面全体よりも少ない部分を、封入材主面内の個々の開口部内に露出させることができる。

#### 【 0 0 5 2 】

図 1 7 は、上記の実施形態（図 1 2 又は図 1 3 及び図 1 4 ）の変形形態を示しており、封入材 2 0 1 が、基板 4 0 0 の上向きの表面 4 2 1 において露出する導電性パッド 4 0 2 上に形成される。そのようにして、封入材の露出した表面 4 0 4 の下にパッド 4 0 2 が埋め込まれ、その表面は、一例では、封入材の主面とすることができる。上記の実施形態（図 1 2 及び図 1 3 ）の導電性ポスト 2 2 0 と同様に、パッド 4 0 2 は、異なる電位にある信号及び他の電圧を同時に搬送するために、トレース（図示せず）又は他の導体（図示せず）を介して、第 1 の基板 4 0 0 のボンドパッド 1 2 4 と電気的に接続することができる。封入材を少なくとも部分的に硬化させた後に、その中に開口部 4 0 6 （図 1 8 ）が形成され、その開口部は、露出した表面 4 0 4 から延在し、個々のパッド 4 0 2 を少なくとも部分的に露出させる。次に、各開口部内に導電性結合材料、例えば、スズ、ハンダ又は導電性ペースト等を設け、表面 4 0 4 において露出する導電性塊状物 4 0 8 （図 1 9 ）を形成することができる。そのパッケージの 1 つの変形形態（図 1 9 ）では、表面 4 0 4 において露出する塊状物 4 0 8 の代わりに、銅、金又はその組み合わせのような金属を開口部内のパッド上にめっきして、固体金属ポストを形成することができる。それらのポストを形成した後に、そのアセンブリは、このようにしてめっきされたポストの表面が平坦であり、表面 4 0 4 と同一平面を成すことができるように平坦化することができる。

#### 【 0 0 5 3 】

別の代替形態（図 2 0 ）では、導電性パッド 4 0 2 に封入材を被着する前に、導電性塊状物 4 1 0、例えば、ハンダボールが導電性パッド 4 0 2 と接合される。モールドイング中に、モールドの上側プレート 1 9 2 （図 1 1 ）が導電性塊状物の表面と接触し、上側プレートと接触している導電性塊状物の表面を平坦にするように、導電性塊状物 4 1 0 をモールドによって圧縮することができる。結果として、パッケージ 4 9 0 がモールドから取り外されたときに、導電性塊状物は、主面 4 0 4 において露出する相対的に広く平坦な表面 4 1 2 を有する。

#### 【 0 0 5 4 】

図 2 0 A に示されるような、その変形形態では、高さ  $H_1$  において主面 4 0 5 を有する封入材を形成することができ、その高さは、導電性塊状物 4 1 0、例えば、ハンダボールが上側基板 4 0 0 の上方に延在する高さ  $H_2$  よりも高い。封入材層を形成した後に、レーザアブレーション、機械的ミリング又は他の手段を用いて、導電性塊状物をそれぞれ露出させる開口部 4 1 1 を形成することができる。

#### 【 0 0 5 5 】

上記の実施形態（図 1 5 ～図 2 0 A ）の変形形態では、封入材層内の個々の開口部内に、2 つ以上の導電性ポスト又は導電性塊状物を露出させることができる。図 2 0 A に示される実施形態の変形形態では、導電性塊状物 4 1 0 は各導電性ポストの上面 4 2 7 及びエ

ッジ面 4 2 8 と接触することができ、導電性塊状物は開口部 4 1 1 内に部分的に露出する。

【 0 0 5 6 】

図 2 1 は、それぞれが上記のような複数の超小型電子パッケージ 2 9 0 A、2 9 0 B、2 9 0 C を含む、スタックアセンブリ 5 0 0 を形成するプロセスを示す。第 1 の超小型電子パッケージのハンダボール 2 4 2 A を回路パネル 5 0 2、例えば、軟質又は硬質回路基板又はカード、マザーボード等の端子 5 0 4 と接合することができる。このようにして、信号及び他の電圧を搬送するための電氣的接続が、一方では回路パネル 5 0 2 と、パッケージ 2 9 0 A の超小型電子素子 1 7 0 A 及び層間導電性素子 1 3 8 A との間に設けられる。導電性ポスト 1 2 0 A も、パッド 1 2 4、ワイヤボンダ 2 8 2 及び層間導電性素子 1 3 8 A による電氣的接続を介して、回路パネルのパッド 5 0 4 との間で信号及び他の電圧を搬送し、層間導電性素子は端子 2 4 0 A 及びハンダボール 2 4 2 A との電氣的接続（図示せず）を有する。

10

【 0 0 5 7 】

超小型電子パッケージ 2 9 0 A を回路パネル 5 0 2 と接合した後に、超小型電子パッケージ 2 9 0 B のハンダボール 2 4 2 B を超小型電子パッケージ 2 9 0 A の導電性ポスト 1 2 0 A と接合することができる。図 2 1 は、その上にあるハンダボール 2 4 2 C が超小型電子パッケージ 2 9 0 B の導電性ポスト 1 2 0 B と位置合わせされるように配置される超小型電子パッケージ 2 9 0 C を更に示しており、その後、超小型電子パッケージ 2 9 0 C は超小型電子パッケージ 2 9 0 B と接合される。一変形形態では、その中のパッケージ上のハンダボールをその中の別のパッケージのそれぞれの導電性ポストと接合することによって超小型電子パッケージ 2 9 0 A、2 9 0 B 及び 2 9 0 C のアセンブリを形成することができ、その後、そのようなアセンブリの底部において露出するハンダボール 2 4 2 A を回路パネルの対応するパッド 5 0 4 と接合することができる。

20

【 0 0 5 8 】

図面を参照しながら、以下のように更なる変形形態が図示及び説明されるが、図面は簡略化されており、したがって存在する全ての素子が具体的に図示又は参照されとは限らない。また、各図面において示される全ての素子が、以下に説明されるような各変形形態において必ずしも存在するとは限らないか、又は必要とされとは限らない。本明細書において記述される実施形態に関して、「上側基板」又は「下側基板」は、重力座標系に一致する必要はない。図 2 2 ~ 図 3 2 では、「上側基板」又は「下側基板」と呼ばれる各素子は、個々の基板とすることができるか、又はより大きな、例えば、連続若しくは半連続の基板の分割された部分とすることができる。加えて、各超小型電子パッケージ又はアセンブリ内の上側基板及び下側基板の相対的な位置は、下側基板が個々の図面において示される上側基板の位置にあり、上側基板が各図面の下側基板の位置にあるように反転することができる。

30

【 0 0 5 9 】

このようにして、図 2 2 に示されるように、一実施形態では、基準ワイヤボンダ 5 8 4 は、信号ワイヤボンダ 5 8 2 の経路に隣接し、かつ少なくとも概ね平行に、垂直方向に延在する経路を有することができ、基準ワイヤボンダは、封入材の主面 5 0 4 において露出する基準導電性ポスト 5 2 0 に電氣的に接続される。基準導電性ポストは、例えば、信号ワイヤボンダのインピーダンスを制御する際に基準ワイヤボンダ 5 8 4 と併せて使用するために、グランド又は電源電圧のような基準電位との接続のために利用することができる。図 2 2 に更に示されるように、1つの特定の実施形態では、第 1 の基板 5 5 0 は、複数の金属層 5 5 2 を有することができ、そのうちの少なくとも1つの金属層は、その誘電体素子の厚み内に埋め込むことができる。

40

【 0 0 6 0 】

図 2 3 はその実施形態（図 2 2）の変形形態を示しており、導電性素子 5 3 8、例えば、トレース、パッド等と電氣的に接続される付加的な導電性ポスト 5 2 2 が、下側基板 5 5 0 の第 1 の表面 5 5 4 の上方に突出する。導電性ポスト 5 2 2 は、例えば、1つ又は複

50

数の基準電位、例えば、電源電圧又はグランドを与えるために、１つ又は複数の基準ポスト５２０又は基準導体と電氣的に接続することができる。一例では、ポスト５２０は、冶金学的に接合されるか、又はポスト５２２の対応する隣接面５２３と一体を成す基部５２１を有する。特定の実施形態では、スペーサのような構造が、上側基板と下側基板との間の所望の間隔を保持するためにポスト５２２の代わりをすることができる。代替的には、ヒートスプレッド又は他の熱伝導体が導電性ポスト５２２の代わりをすることができるか、又は導電性ポスト５２２が、スペーサとしても機能することができるか、又は熱伝導機能も有することができる。

#### 【００６１】

図２４は、その実施形態（図２２）の更なる変形形態を示しており、上側又は第２の基板６００がリードフレームであり、リードフレームを形成するときに金属箔を箔押しするか、又は圧印加工し、場合によってはその上に金属をめっきすること等によって、その中にポスト６２０、及びポストから延在するトレース６２２が一体に形成される。そのようなリードフレーム６００は、その後、超小型電子素子６７０の背面６７２に結合することができ、その後、結果として形成されたアセンブリをモールド内に配置し、その後、図１１に関して上記で説明されたように封入材を形成することができる。代替的には、金属箔を箔押し又は圧印加工するのではなく、図１～図４に関して上記で説明されたような層状金属構造から上側基板をパターンニングすることができるが、例外として、パターンニングされた層状金属構造は接着剤を通してチップ６７０の面に接着することができ、すなわち、超小型電子パッケージ内に、その上にパッド及びコンタクトを支持する誘電体基板のような付加的な誘電体素子は不要である。

#### 【００６２】

図２２と同様に、１つ又は複数の基準ポスト６２０Ａ及び１つ又は複数の基準ワイヤボンドが、電力又はグランドのような基準電位を搬送することができる。図２５は更なる変形形態を示しており、図２４の１つ又は複数の基準ポスト６２０Ａをなくすることができる。

#### 【００６３】

図２６は、その実施形態（図１３及び図１４）の変形形態を示しており、超小型電子素子７７０のコンタクト支持面７７１が上向きであり、すなわち、下側基板７００から離れた方を向いている。超小型電子素子７７０のコンタクト７７２、例えば、ボンドパッドは、それらのコンタクトが上側基板７３０の隣接する周縁部７３２を越えて露出するように、超小型電子素子の周縁部７７４に隣接して設けることができる。第１のワイヤボンド７４０が、超小型電子素子のコンタクト７７２を、下側基板上の対応するパッド７４４と電氣的に接続することができる。第２のワイヤボンド７４２が、コンタクト７７２を、上側基板の対応するパッド（図示せず）と電氣的に接続することができる。一実施形態では、１つ又は複数のワイヤボンドが、上側基板及び下側基板のパッドを直接接続することができる。

#### 【００６４】

図２７に示されるような更なる変形形態では、第１の超小型電子素子８７０及び第２の超小型電子素子８８０をそれぞれ、上向きで、すなわち、コンタクト支持面が下側基板８００から離れた方に向くようにして実装することができる。超小型電子素子は、各超小型電子素子上のコンタクト間に延在するワイヤボンド８８２を介して互いに電氣的に接続することができる。付加的なワイヤボンド８８４、８８６が、超小型電子素子を、上側基板８３０及び下側基板８００と電氣的に接続することができる。更なる変形形態では、第３、第４、又は更に多くの数の超小型電子素子を同じようにして超小型電子パッケージ内で実装し、電氣的に接続することができる。

#### 【００６５】

図２７Ａは図２７に示される実施形態の変形形態を示しており、２つの超小型電子素子９７０、９８０がそれぞれ、個々の基板８００、９００にフリップチップと同じようにして実装される。超小型電子素子の背面は図に示されるように合わせて背面結合することが



できる。図 27A に更に示されるように、超小型電子パッケージ内のワイヤボンダ 984 のうちの少なくとも幾つかは、制御されたインピーダンスを有することができる。すなわち、図 27A に示されるように、素子間、例えば、下側基板 800 と上側基板 900 との間で信号を搬送するワイヤボンダ 984 に、信号ワイヤボンダの垂直な経路と平行であり、かつそこから概ね均等な間隔で配置される垂直な経路を有する他のワイヤボンダ 986 を並置することができる。他のワイヤボンダ 986 は、基準電位、例えば、グランド、電源電圧に、又は代替的には、信号ワイヤボンダによって搬送される信号の変化率に比べて非常にゆっくりとしか変化しない電圧に電氣的に接続される。これらの基準ワイヤボンダ 986 は、上側基板 800 及び下側基板 900 のそれぞれに設けられるコンタクトを通して基準電位に電氣的に接続される。

10

#### 【0066】

図 27A に示される実施形態の変形形態では、1つ又は複数の超小型電子素子を基板 800、900 の個々の基板にフリップチップ実装することができ、別の超小型電子素子をそれらの基板のうちの 1つに対して上向きに実装することができ、この超小型電子素子は、1つ又は複数のボンダパッド（図示せず）を通して基板に電氣的に接続される。図 27 に示される実施形態の特定の変形形態では、超小型電子素子（図示せず）を基板 800 にフリップチップ実装することができ、フリップチップ実装された超小型電子素子の背面に超小型電子素子 870 を背面結合することができる。その超小型電子素子 870 は、図 27 に示されるように基板 800 と電氣的に接続することができ、別の超小型電子素子 880 は、図 27 に関して上記で図示及び説明されるように、下側基板 800、上側基板 830 又は超小型電子素子 870 に電氣的に接続することができる。

20

#### 【0067】

図 28 は、その実施形態（図 26）の更なる変形形態を示しており、封入材を形成する前にハンダボール 940 が上側基板上の導電性素子、例えば、パッド（図示せず）と接合されるという点で図 20 の実施形態に類似である。

#### 【0068】

図 29 は、図 26 の実施形態の変形形態を示しており、封入材を形成した後に導電性塊状物 1008 を形成できるという点で、図 19 の実施形態にも類似である。

#### 【0069】

図 30 は、更に別の変形形態を示しており、超小型電子素子 1170 が基板 1100 に実装され、コンタクト支持面 1172 が基板 1100 から離れた方に面している。この実施形態では、上側基板は含まれない。例えば、50 ミクロン～300 ミクロンの高さを有することができる導電性ポスト 1120 を、上記の実施形態（図 1～図 14）に関して記述されたように形成することができる。ポストは、超小型電子素子の面 1172 から離れるように延在することができ、封入材の表面 1102 において露出することができる。一実施形態では、導電性ポストは、同じ譲受人に譲渡された米国特許出願第 12/317,707 号、同第 12/462,208 号、同第 12/286,102 号、同第 12/832,376 号又は米国特許第 7,911,805 号において記述されているように形成することができる（TIMI 3.0-100、TIMI 3.0-101、TESSERA 3.0-585、TESSERA 3.0-609 又は TESSERA 3.0-565）、その開示は引用することにより本明細書の一部をなすものとする。ポスト 1120 は、超小型電子素子 1170 を別のパッケージ又は素子に電氣的に接続するために、かつパッド 1174 と、ワイヤボンダ 1176 と、表面 1172 に沿って延在し、ポスト 1120 をワイヤボンダ 1176 と接続する導電性素子 1178 とを介して、基板 1100 のハンダボール、例えば、ボールグリッドアレイ（BGA）インタフェース 1140 をポスト 1120 に電氣的に接続するために利用することができる。

30

40

#### 【0070】

図 31 は、その実施形態（図 30）の更なる変形形態を示しており、図 30 に示される導電性ポスト 1120 の代わりに、ハンダボールのような導電性塊状物 1220 が設けられる。

50

## 【 0 0 7 1 】

図 3 2 は、下側基板と封入材 1 3 0 0 の表面 1 3 0 2 との間に延在する 1 つ又は複数の付加的な導電性ポスト 1 3 2 0 を有する上記の実施形態（図 2 6）の変形形態を示す。その導電性ポストをハンダボール 1 3 4 0 のうちの 1 つ又は複数と電氣的に接続することができる。一実施形態では、付加的な導電性ポストは、超小型電子素子 1 3 7 0 の周縁部 1 3 7 4 に沿って、すなわち、図 3 2 が描かれた紙面から出入りする方向に延在する隆起体、環状体又はその一部の形をとることができる。一実施形態では、1 つ又は複数の付加的な導電性ポストは、時間とともに変化する信号を搬送することができる。代替的には、1 つ又は複数の付加的な導電性ポスト 1 3 2 0 は、グランド又は電源電圧のような基準電位を搬送することができる。

10

## 【 0 0 7 2 】

図 3 3 は、更なる実施形態によるスタックアセンブリを示しており、上側パッケージの端子 1 4 4 0 B が、図 2 6 に関して上記で図示及び説明されたような構造を有する下側超小型電子パッケージ 1 4 9 0 A のコネクタ、例えば、導電性ポスト 1 4 2 0 A と接合される。図 3 3 は、超小型電子パッケージ 1 4 9 0 A 上のコネクタ 1 4 2 0 A のピッチ、数及び接触面積を別のパッケージ 1 4 9 0 B の対応する B G A インタフェースと合わせるように標準化できること、及び他のパッケージがパッケージ 1 4 9 0 A と同じ構造を有する必要はないことを示す。

## 【 0 0 7 3 】

好ましい実施形態のこれまでの説明は、本発明を制限することではなく、例示することを意図している。本明細書における超小型電子パッケージ及びその中の構造を作製する特定の方法は、2 0 1 0 年 7 月 1 9 日に出願され、本出願人が所有する（commonly owned）「STACKABLE MOLDED MICROELECTRONIC PACKAGES」と題する Belgacem Haba の米国特許出願第 1 2 / 8 3 8 , 9 7 4 号において更に記述されるように実施することができ、その開示は引用することにより本明細書の一部をなすものとする。

20

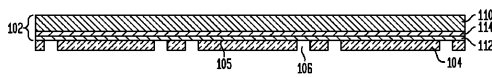
## 【 0 0 7 4 】

上記で検討した特徴のこれらの変形形態及び組み合わせ、並びに他の変形形態及び組み合わせは、特許請求の範囲によって規定されるような本発明から逸脱することなく利用することができるので、好ましい実施形態の上述した説明は、特許請求の範囲によって規定されるような本発明を限定するものではなく説明するものとして受け取られるべきである。

30

【図 1】

FIG. 1



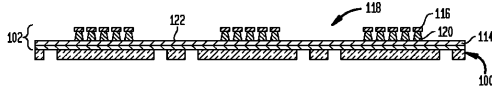
【図 2】

FIG. 2



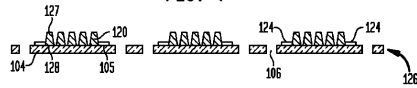
【図 3】

FIG. 3



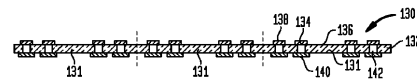
【図 4】

FIG. 4

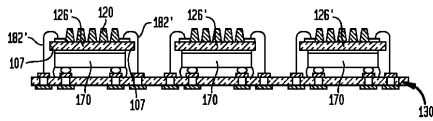


【図 5】

FIG. 5

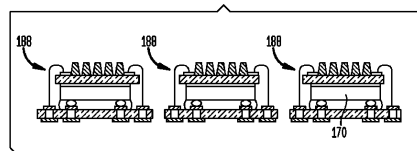


【図 9 A】

FIG. 9A  
184

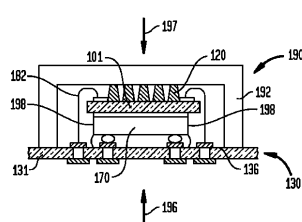
【図 10】

FIG. 10



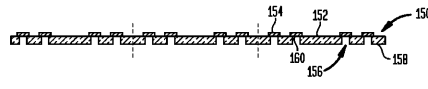
【図 11】

FIG. 11



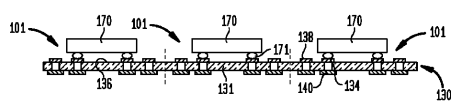
【図 6】

FIG. 6

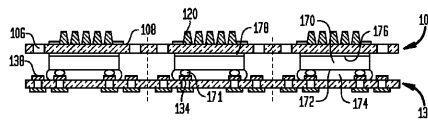


【図 7】

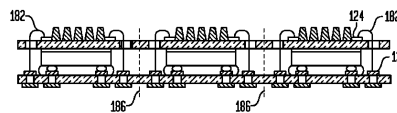
FIG. 7



【図 8】

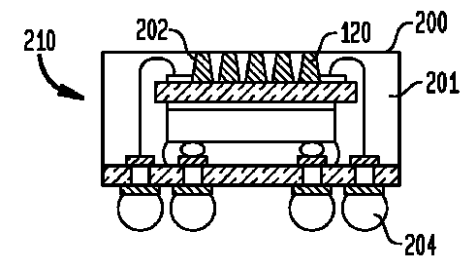
FIG. 8  
180

【図 9】

FIG. 9  
184

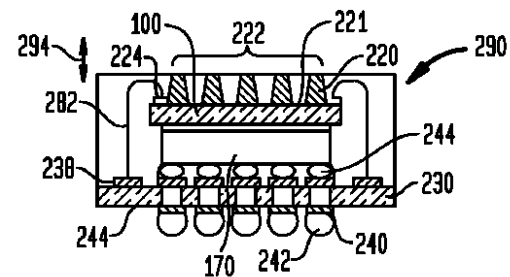
【図 12】

FIG. 12

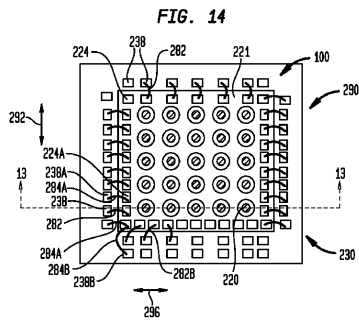


【図 13】

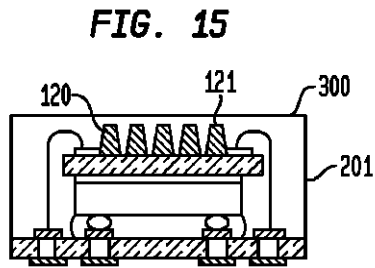
FIG. 13



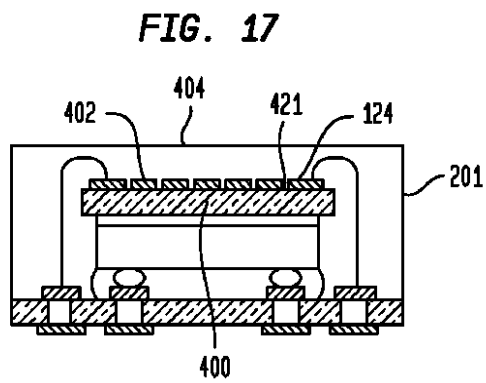
【図 14】



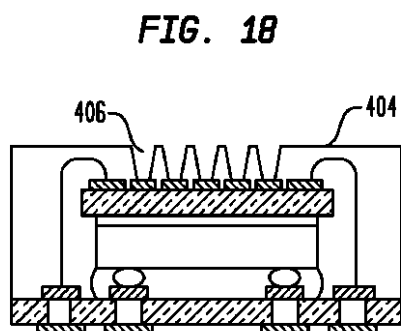
【図 15】



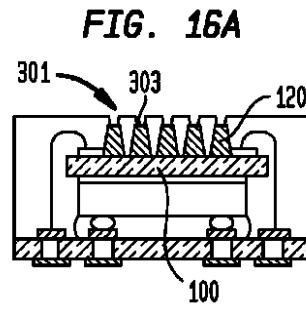
【図 17】



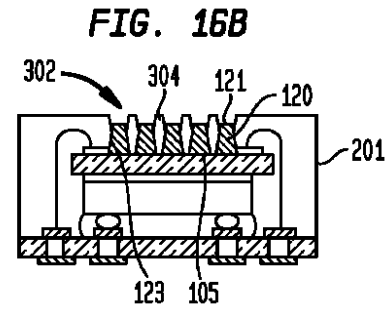
【図 18】



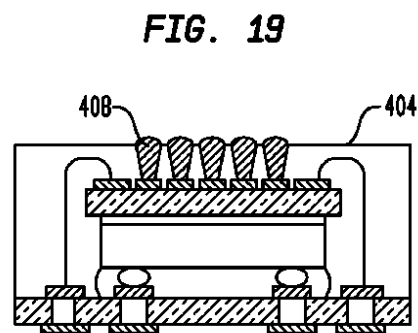
【図 16A】



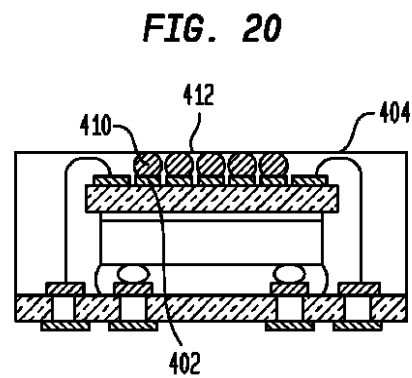
【図 16B】



【図 19】

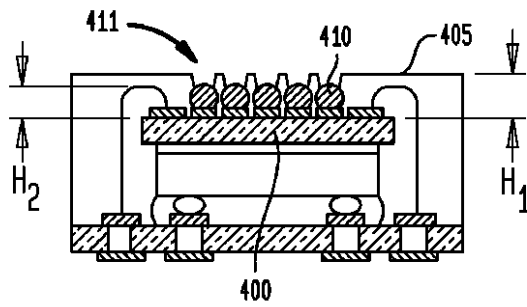


【図 20】



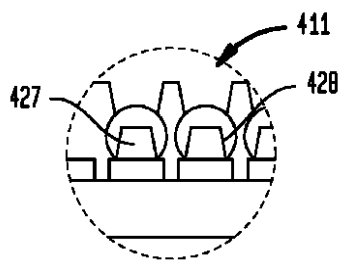
【図20A】

FIG. 20A



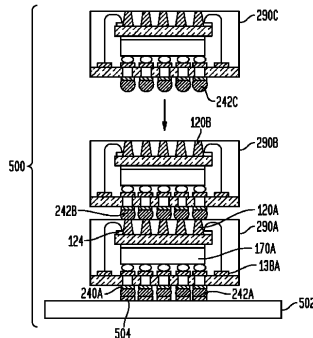
【図20B】

FIG. 20B



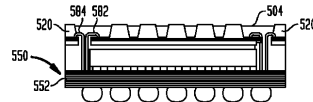
【図21】

FIG. 21



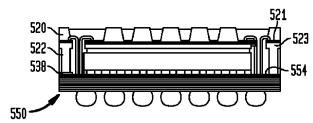
【図22】

FIG. 22



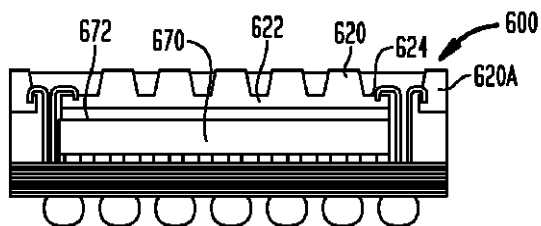
【図23】

FIG. 23



【図24】

FIG. 24



【図25】

FIG. 25

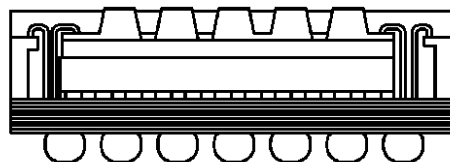
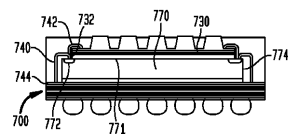
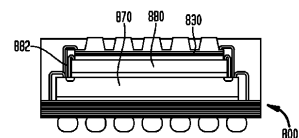


FIG. 26



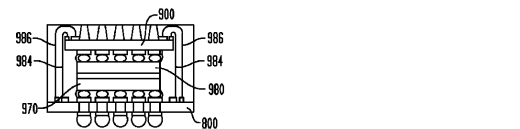
【図27】

FIG. 27



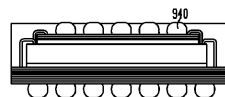
【図27A】

FIG. 27A



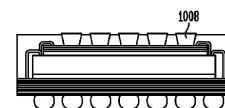
【図28】

FIG. 28



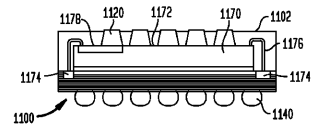
【図29】

FIG. 29

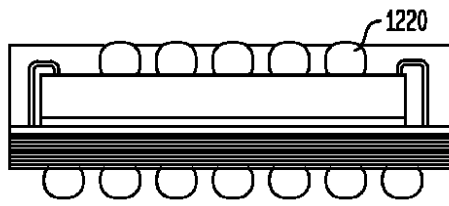


【図30】

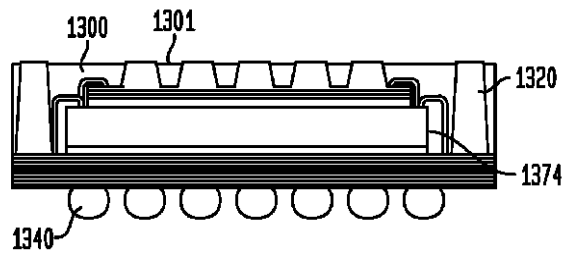
FIG. 30



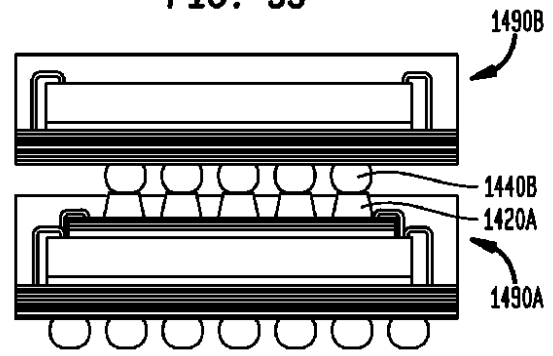
【図 3 1】

**FIG. 31**

【図 3 2】

**FIG. 32**

【図 3 3】

**FIG. 33**

## フロントページの続き

- (74)代理人 100142996  
弁理士 森本 聡二
- (74)代理人 100154298  
弁理士 角田 恭子
- (74)代理人 100166268  
弁理士 田中 祐
- (74)代理人 100170379  
弁理士 徳本 浩一
- (74)代理人 100161001  
弁理士 渡辺 篤司
- (72)発明者 ハーバ, ベルガセム  
アメリカ合衆国カリフォルニア州 9 5 1 3 4 , サン・ノゼ, オーチャード・パークウェイ 3 0 2  
5 , テッセラ, インコーポレイテッド内

審査官 原田 貴志

- (56)参考文献 特開 2 0 0 6 - 3 4 4 9 1 7 ( J P , A )  
特表 2 0 0 9 - 5 0 6 5 5 3 ( J P , A )  
米国特許出願公開第 2 0 0 9 / 0 2 0 6 4 6 1 ( U S , A 1 )  
米国特許出願公開第 2 0 0 9 / 0 2 3 6 7 5 3 ( U S , A 1 )  
特開 2 0 0 7 - 2 0 8 1 5 9 ( J P , A )  
国際公開第 2 0 1 0 / 0 4 1 6 3 0 ( W O , A 1 )  
特開 2 0 0 4 - 3 1 9 8 9 2 ( J P , A )  
特開 2 0 0 4 - 1 7 2 1 5 7 ( J P , A )  
特表 2 0 0 9 - 5 0 8 3 2 4 ( J P , A )  
米国特許出願公開第 2 0 1 0 / 0 0 3 2 8 2 2 ( U S , A 1 )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |           |
|---------|-----------|
| H 0 1 L | 2 3 / 1 2 |
| H 0 1 L | 2 5 / 1 0 |
| H 0 1 L | 2 5 / 1 1 |
| H 0 1 L | 2 5 / 1 8 |