



(12) 发明专利

(10) 授权公告号 CN 102859912 B

(45) 授权公告日 2015. 03. 18

(21) 申请号 201080066338. 7

(22) 申请日 2010. 04. 27

(85) PCT国际申请进入国家阶段日
2012. 10. 19(86) PCT国际申请的申请数据
PCT/EP2010/055613 2010. 04. 27(87) PCT国际申请的公布数据
W02011/134498 EN 2011. 11. 03(73) 专利权人 模式转换系统有限公司
地址 瑞典斯德哥尔摩

(72) 发明人 G·福尔斯贝里

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270

代理人 武晨燕 归莹

(51) Int. Cl.
H04J 3/06(2006. 01)
H04J 3/16(2006. 01)(56) 对比文件
CN 101132246 A, 2008. 02. 27,
CN 1043843 A, 1990. 07. 11,
EP 2051420 A1, 2009. 04. 22,
US 3982077 A, 1976. 09. 21,

审查员 刘洋宏

权利要求书5页 说明书14页 附图6页

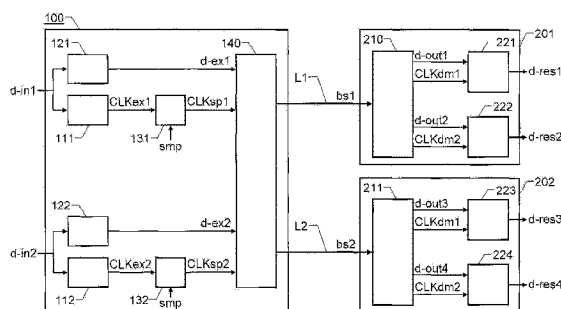
(54) 发明名称

涉及嵌入式时钟信号的复用和解复用的数据传输

(57) 摘要

在数据传输系统中, 第一节点 (100) 接收至少两个输入数据信号 (d-in1、d-in2) 组, 所述至少两个输入数据信号 (d-in1、d-in2) 组包括基于不同同步源的至少两个信号。第一节点 (100) 从所述源中提取各自的时钟信号 (CLKex1、CLKex2), 所述时钟信号 (CLKex1、CLKex2) 表示经嵌入的时钟信号, 对这些信号 (CLKsp1、CLKsp2) 进行采样并且随后根据 TDM 结构进行格式化, 以便传输。经 TDM 格式化的信号作为至少一个比特流 (bs1、bs2) 在传输介质 (L1、L2) 上被发送到至少一个第二节点 (201、202) 中, 其中比特流 (bs1、bs2) 被解复用成至少两个输出数据信号 (d-out1、d-out2、d-out3、d-out4) 组, 各个经解复用的时钟信号 (CLKdm1、CLKdm2) 表示经采样的时钟信号。抖动衰减装置在每一个经解复用的时钟信号 (CLKdm1、CLKdm2) 中将频率抖动的量减少至低于预定水平, 并且因此产生各自的时钟信号, 所述各自的时钟信号具有比经解复用的时钟信号 (CLKdm1、CLKdm2) 的同步质量更优的同步质量。接口模块将每一个数据信号 (d-out1、d-out2、d-out3、d-out4) 及其相关联的时钟信号重新组

合成各自产生的携带时钟的数据信号 (d-res1、d-res2、d-res3、d-res4)。



1. 一种数据传输系统,包括:

第一节点 (100),其被配置为:接收至少两个输入数据信号 (d-in1、d-in2) 组,所述至少两个输入数据信号 (d-in1、d-in2) 组包括至少两个数据信号,所述至少两个数据信号中的每一个数据信号都嵌入有时钟信号;并且根据时分复用 (TDM) 结构对所述至少两个输入数据信号 (d-in1、d-in2) 组进行格式化,以便传输;

传输介质 (L、L1、L2),其被配置为将经 TDM 格式化的信号作为具有行频的比特流 (bs、bs1、bs2) 来发送;以及

第二节点 (200、201、202),其被配置为:接收所述比特流 (bs、bs1、bs2) 并且将所述比特流 (bs、bs1、bs2) 解复用成至少两个输出数据信号 (d-out、d-out1、d-out2) 组,其特征在于,所述至少两个输入数据信号 (d-in1、d-in2) 组包括至少一个第一信号和至少一个第二信号,所述至少一个第一信号是基于与所述至少一个第二信号所基于的同步源不同的同步源的,并且,所述第一节点 (100) 包括:

至少一个时钟提取模块 (111、112),其被配置成从所述至少一个第一信号和所述至少一个第二信号中提取各自的时钟信号 (CLKex1、CLKex2),所述各自的时钟信号 (CLKex1、CLKex2) 表示所述不同的同步源中的每一个同步源,

至少一个采样模块 (131、132),其被配置为基于与所述行频同步的采样频率 (smp) 将经提取出的时钟信号 (CLKex1、CLKex2) 中的每一个时钟信号采样成各自产生的经采样的时钟信号 (CLKsp1、CLKsp2),以及

复用模块 (140),其被配置为将所述产生的经采样的时钟信号 (CLKsp1、CLKsp2) 作为各自分离的信号包含在所述 TMD 结构中;并且,所述第二节点 (200、201、202) 包括:

解复用模块 (210),其被配置为将所接收的比特流 (bs、bs1、bs2) 解复用成至少两个输出数据信号 (d-out、d-out1、d-out2) 组和经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组,所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组表示所述产生的经采样的时钟信号 (CLKsp1、CLKsp2),

至少一个抖动衰减装置 (230、231、232、271、272),其被配置为在所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组中的每一个信号中将频率抖动的量减少至低于预定水平,并且因此产生各自的时钟信号,所述各自的时钟信号具有比所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组中的所述信号的同步质量更优的同步质量,以及

至少一个接口模块 (220、221、222),其被配置为将所述至少两个输出数据信号 (d-out、d-out1、d-out2) 组中的每一个数据信号与其相关联的时钟信号 (CLKstb、CLKstb1、CLKstb2) 重新组合成数据信号组 (d-res、d-res1、d-res2) 中的各自产生的携带时钟的数据信号。

2. 根据权利要求 1 所述的数据传输系统,其中,所述第二节点 (200、201、202) 包括:至少一个窄带抖动衰减装置 (230、231、232),其被配置为在所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组中的每一个信号中将频率抖动的量减少至低于预定水平,并且因此产生各自的稳定时钟信号 (CLKstb、CLKstb1、CLKstb2)。

3. 根据权利要求 2 所述的数据传输系统,其中,所述至少一个窄带抖动衰减装置 (230) 与缓冲模块 (310) 相关联,所述缓冲模块 (310) 被配置为:以由考虑中的所述输出数据信号 (d-out) 相关联的所述经解复用的时钟信号 (CLKdm) 所指定的输入速率连续地接收所

述输出数据信号 (d-out) 的比特,临时地存储所述经解复用的数据信号中的预定数量的比特,并且随后,将所述比特 (bts) 提供给线路适配器模块 (320),所述比特 (bts) 是基于与考虑中的所述输出数据信号 (d-out) 相关联的所述经解复用的时钟信号 (CLKdm) 以由所述稳定时钟信号 (CLKstb) 所指定的最终输出速率来连续地提供的;以及

所述线路适配器模块 (320) 被配置为以所述最终输出速率将所述输出比特 (bts) 连续地转发给输出终端,以因此表示所述产生的携带时钟的数据信号 (d-res)。

4. 根据权利要求 3 所述的数据传输系统,其中,所述至少一个窄带抖动衰减装置 (230、231、232) 中的至少一个窄带抖动衰减装置被集成在所述至少一个接口模块 (220、221、222) 中的至少一个接口模块中。

5. 根据权利要求 1 所述的数据传输系统,其中,所述第二节点 (200) 包括:至少一个宽带抖动衰减模块 (271、272),其被配置为:

接收各自的经解复用的时钟信号 (CLKdm1、CLKdm2);

减少所述经解复用的时钟信号中高于阈值频率的频率抖动,从而产生导致的净化的经解复用的时钟信号 (CLKdm1'、CLKdm2');以及

将所述导致的净化的经解复用的时钟信号 (CLKdm1'、CLKdm2') 转发给所述至少一个窄带抖动衰减装置 (230、231、232)。

6. 根据权利要求 5 所述的数据传输系统,其中,所述至少一个宽带抖动衰减模块 (271、272) 中的至少一个宽带抖动衰减模块包括:锁相环电路,其被配置为减小高于阈值频率的所述频率抖动。

7. 根据权利要求 5 所述的数据传输系统,其中,所述至少一个宽带抖动衰减模块 (271、272) 中的至少一个宽带抖动衰减模块包括:共振电路,其被配置为减小高于阈值频率的所述频率抖动。

8. 根据权利要求 5 所述的数据传输系统,其中,所述至少一个宽带抖动衰减模块 (271、272) 中的至少一个宽带抖动衰减模块包括:时钟再生器,其被配置为:

接收每一个经解复用的时钟信号 (CLKdm1、CLKdm2);

反复地产生各自的平均周期长度值,所述各自的平均周期长度值表示在包括多个时钟周期的平均间隔上的所述经解复用的时钟信号 (CLKdm1、CLKdm2) 的平均周期时间;以及

基于所述平均周期长度值来产生所述净化的经解复用的时钟信号 (CLKdm1'、CLKdm2')。

9. 根据权利要求 1 所述的数据传输系统,其中,所述解复用模块 (210) 被配置为:产生与所述不同的同步源中的每一个同步源有关的读出时钟信号 (CLKo1、CLKo2),所述读出时钟信号 (CLKo1、CLKo2) 包括时钟脉冲串,其中,每一个时钟脉冲串都包含与所述 TDM 结构的每一个帧中所包含的比特的数量相等的多个时钟脉冲,并且所述第二节点 (200) 进一步包括:至少一个缓冲装置 (251、252),其被配置为:

以由所述读出时钟信号 (CLKo1、CLKo2) 所规定的输入速率连续地接收所述输出数据信号 (d-out1、d-out2) 中的比特,

临时地存储所述经解复用的数据信号 (d-out1、d-out2) 中的预定数量的所接收的比特,并且随后

以由所述净化的经解复用的时钟信号 (CLKdm1'、CLKdm2') 所规定的输出速率来连续

地提供所述比特 (bts)。

10. 根据权利要求 1 所述的数据传输系统, 其中, 所述第一节点 (100) 的所述至少一个采样模块 (131、132) 被配置为: 基于采样频率来对经提取出的时钟信号 (CLKex1、CLKex2) 中的每一个时钟信号进行采样, 所述采样频率表示与考虑中的经提取出的时钟信号 (CLKex1、CLKex2) 的频率有关的大于 1 的过采样因子。

11. 根据权利要求 10 所述的数据传输系统, 其中, 所述第一节点 (100) 包括至少一个除法器模块 (151、152), 所述至少一个除法器模块 (151、152) 被配置为: 接收每一个经提取出的时钟信号 (CLKex1、CLKex2), 并且响应于所述每一个经提取出的时钟信号 (CLKex1、CLKex2) 而产生导致的经下变频的经提取出的时钟信号 (CLKex1/F、CLKex2/G), 所述导致的经下变频的经提取出的时钟信号 (CLKex1/F、CLKex2/G) 具有降低的频率, 所述降低的频率表示经提取出的时钟信号 (CLKex1、CLKex2) 的频率的预定分数 (1/F、1/G)。

12. 根据权利要求 11 所述的数据传输系统, 其中, 所述第二节点 (200) 包括至少一个乘法器模块 (261、262), 所述至少一个乘法器模块 (261、262) 被配置为: 在将所述时钟信号提供给所述接口模块 (221、222) 之前, 使用因子乘以每一个经解复用的经采样的时钟信号 (CLK/F、CLK/G) 或者每一个经解复用的经采样的时钟信号 (CLK/F、CLK/G) 的经净化的版本, 所述因子表示所述预定分数 (1/F、1/G) 的倒数 (F、G)。

13. 根据权利要求 1 所述的数据传输系统, 其中:

所述第一节点 (100) 包括: 至少一个数据提取模块 (121、122), 其被配置为提取各自的数据信号 (d-ex1、d-ex2), 所述各自的数据信号 (d-ex1、d-ex2) 表示所述输入数据信号 (d-in1、d-in2) 中的每一个输入数据信号的有效载荷信息, 以及

所述复用模块 (140) 被配置为将经提取出的数据信号 (d-ex1、d-ex2) 组作为各自分离的信号包含在所述 TMD 结构中。

14. 一种数据传输方法, 包括:

在第一节点 (100) 中接收至少两个输入数据信号 (d-in1、d-in2) 组, 所述至少两个输入数据信号 (d-in1、d-in2) 组包括至少两个数据信号, 所述至少两个数据信号中的每一个数据信号都嵌入有时钟信号; 并且根据时分复用 (TDM) 结构来对所述至少两个输入数据信号 (d-in1、d-in2) 组进行格式化, 以便传输;

将经 TDM 格式化的信号作为比特流 (bs、bs1、bs2) 从所述第一节点 (100) 发送到传输介质 (L、L1、L2), 所述比特流 (bs、bs1、bs2) 具有行频;

在第二节点 (200、201、202) 中经由所述传输介质 (L、L1、L2) 接收所述比特流 (bs、bs1、bs2); 以及

在所述第二节点 (200、201、202) 中将所述比特流 (bs、bs1、bs2) 解复用成至少两个输出数据信号 (d-out、d-out1、d-out2) 组;

其特征在于, 所述至少两个输入数据信号 (d-in1、d-in2) 组包括至少一个第一信号和至少一个第二信号, 所述至少一个第一信号是基于与所述至少一个第二信号所基于的同步源不同的同步源的, 并且, 所述方法包括:

在所述第一节点 (100) 中, 从所述至少一个第一信号和所述至少一个第二信号中提取各自的时钟信号 (CLKex1、CLKex2), 所述各自的时钟信号 (CLKex1、CLKex2) 表示所述不同的同步源中的每一个同步源;

在所述第一节点 (100) 中,基于与所述行频同步的采样频率 (smp) 将经提取出的时钟信号 (CLKex1、CLKex2) 中的每一个时钟信号采样成各自产生的经采样的时钟信号 (CLKsp1、CLKsp2) ;

在所述第一节点 (100) 中,将所述产生的经采样的时钟信号 (CLKsp1、CLKsp2) 作为各自分离的信号包含在所述 TMD 结构中 ;

在所述第二节点 (200、201、202) 中,将所接收的比特流 (bs、bs1、bs2) 解复用成至少两个输出数据信号 (d-out、d-out1、d-out2) 组和经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组,所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组表示所述产生的经采样的时钟信号 (CLKsp1、CLKsp2) ;

在所述第二节点 (200、201、202) 中,在所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组中的每一个信号中进行抖动衰减,以将频率抖动的量减少至低于预定水平,并且因此产生各自的时钟信号,所述各自的时钟信号具有比所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组中的所述信号的同步质量更优的同步质量 ;以及

在所述第二节点 (200、201、202) 中,将所述至少两个输出数据信号 (d-out、d-out1、d-out2) 组中的每一个数据信号与其相关联的时钟信号 (CLKstb、CLKstb1、CLKstb2) 重新组合成数据信号组 (d-res、d-res1、d-res2) 中的各自产生的携带时钟的数据信号。

15. 根据权利要求 14 所述的数据传输方法,包括 :在所述第二节点 (200、201、202) 中,在所述经解复用的时钟信号 (CLKdm、CLKdm1、CLKdm2) 组中的每一个信号中在相对窄的频带内进行抖动衰减,以将频率抖动的量减少到低于预定水平,并且因此产生各自的稳定时钟信号 (CLKstb、CLKstb1、CLKstb2) 。

16. 根据权利要求 15 所述的数据传输方法,其中,所述在相对窄的频带内进行抖动衰减包括 :

临时地存储所连续接收到的所述输出数据信号 (d-out) 的比特,所述比特已经以由与考虑中的所述输出数据信号 (d-out) 相关联的所述经解复用的时钟信号 (CLKdm) 所指定的输入速率被接收到 ;并且随后

将所述比特 (bts) 提供给线路适配器模块 (320),所述比特 (bts) 是基于与考虑中的所述输出数据信号 (d-out) 相关联的所述经解复用的时钟信号 (CLKdm) 以由所述稳定时钟信号 (CLKstb) 所指定的最终输出速率来连续地提供的 ;以及

所述线路适配器模块 (320) 被配置为以所述最终输出速率将所述输出比特 (bts) 连续地转发给输出终端,以因此表示所述产生的携带时钟的数据信号 (d-res) 。

17. 根据权利要求 15 所述的数据传输方法,包括在所述第二节点 (200、201、202) 中,通过以下操作来在相对宽的频带内对所述经解复用的时钟信号 (CLKdm1、CLKdm2) 组进行抖动衰减 :

减少所述经解复用的时钟信号 (CLKdm1、CLKdm2) 组中高于阈值频率的频率抖动,从而产生导致的净化的经解复用的时钟信号 (CLKdm1'、CLKdm2') ;以及

将所述导致的净化的经解复用的时钟信号 (CLKdm1'、CLKdm2') 转发给所述至少一个窄带抖动衰减装置 (230、231、232) 。

18. 根据权利要求 17 所述的数据传输方法,其中,所述减少所述经解复用的时钟信号 (CLKdm1、CLKdm2) 中的高于阈值频率的频率抖动包括 :

反复地产生各自的平均周期长度值,所述各自的平均周期长度值表示在包括多个时钟周期的平均间隔上的所述经解复用的时钟信号 (CLKdm1、CLKdm2) 的平均周期时间;以及

基于所述平均周期长度值来产生所述净化的经解复用的时钟信号 (CLKdm1'、CLKdm2')。

19. 根据权利要求 15 所述的数据传输方法,所述解复用包括:

产生与所述不同的同步源中的每一个同步源有关的读出时钟信号 (CLKo1、CLKo2),所述读出时钟信号 (CLKo1、CLKo2) 包括时钟脉冲串,其中,每一个时钟脉冲串包含与所述 TDM 结构的每一个帧中所包含的比特的数量相等的多个时钟脉冲;

以由所述读出时钟信号 (CLKo1、CLKo2) 所规定的输入速率连续地接收所述输出数据信号 (d-out1、d-out2) 中的比特;

临时地存储所述经解复用的数据信号 (d-out1、d-out2) 中的预定数量的所接收的比特,并且随后

以由所述净化的经解复用的时钟信号 (CLKdm1'、CLKdm2') 所规定的输出速率来连续地提供所述比特 (bts)。

20. 根据权利要求 15 所述的数据传输方法,其中,所述在所述第一节点 (100) 中进行采样包括:基于采样频率来对经提取出的时钟信号 (CLKex1、CLKex2) 中的每一个时钟信号进行采样,所述采样频率表示与考虑中的经提取出的时钟信号 (CLKex1、CLKex2) 的频率有关的大于 1 的过采样因子。

21. 根据权利要求 20 所述的数据传输方法,包括:在所述第一节点 (100) 中并且响应于每一个经提取出的时钟信号 (CLKex1、CLKex2),产生导致的经下变频的经提取出的时钟信号 (CLKex1/F、CLKex2/G),所述导致的经下变频的经提取出的时钟信号 (CLKex1/F、CLKex2/G) 具有降低的频率,所述降低的频率表示经提取出的时钟信号 (CLKex1、CLKex2) 的频率的预定分数 (1/F、1/G)。

22. 根据权利要求 21 所述的数据传输方法,包括:在将所述时钟信号提供给接口模块 (221、222) 之前,使用因子乘以每一个经解复用的经采样的时钟信号 (CLK/F、CLK/G) 或者每一个经解复用的经采样的时钟信号 (CLK/F、CLK/G) 的经净化的版本,所述因子表示所述预定分数 (1/F、1/G) 的倒数 (F、G)。

23. 根据权利要求 15 所述的数据传输方法,包括:

在所述第一节点 (100) 中提取各自的数据信号 (d-ex1、d-ex2),所述各自的数据信号 (d-ex1、d-ex2) 表示所述至少两个输入数据信号 (d-in1、d-in2) 组中的每一个数据信号的有效载荷信息;以及

在所述第一节点 (100) 中,将经提取出的数据信号 (d-ex1、d-ex2) 中的每一个数据信号作为各自分离的信号在所述 TMD 结构中进行复用。

涉及嵌入式时钟信号的复用和解复用的数据传输

技术领域

[0001] 概括地说,本申请涉及数据传输,其中,对数字信号进行复用和解复用。更具体地,本申请涉及根据权利要求 1 的主题的一种数据传输系统和根据权利要求 14 的主题的一种方法。本申请还涉及根据权利要求 24 的一种计算机程序和根据权利要求 25 的一种计算机可读介质。

背景技术

[0002] 在同步数字系列 (SDH) 类型的电信系统中,同步信号可以由所谓的 E1 信号 (2.048Mbit/s) 来携带。类似地,在同步光网络 (SONET) 系统中,同步信号可以由所谓的 T1 信号 (1.544Mbit/s) 来携带。在这两种情况下,是信号 E1/T1 (即,分别 2.048MHz 和 1.544MHz) 的固有时钟频率来携带通过这些系统的同步信息。

[0003] 电信系统通常使用原子钟来产生同步信号。这些信号 (例如,E1 类型的) 随后通过网络被传输,并且远在网络中,这些信号能够被馈送到具有无线接口的基站中。在这种情况下,同步信号将控制由基站发送的无线频率,以便于与例如手机进行通信。因此,即便非常小的时钟频率波动也可能导致显著的性能问题。为了避免这类问题,同步信号的漂移 (wander) 一定要小于预定的限度,例如,标准 ITU-T G.823 和 ITU-T G.813 中所规定的。

[0004] 典型地,每一个移动运营商在其网络中分配单独的时钟信号。所谓的回程 (backhaul) 运营商可以为两个或多个移动运营商提供网络资源。这意味着,在给定的物理网络中,来源于不同时钟源的信号可能不得不共存。此外,多个移动运营商有时可以共享特定的基站站点 (site)。这样的站点是一个地点,例如一座塔,在这座塔处,可以安装多个基站。当一个回程运营商经由一个基站 (或小区) 站点来为多个运营商提供服务时,可能出现站点共享情形。这里,回程运营商的技术问题是尽可能有效率地将不同的同步信号连同业务信号一起发送给小区站点处的各个移动运营商。

[0005] 我们假设使用 E1 信号。那么,每一个移动运营商使用他自己的原子钟来在他的系统中生成所有的 E1 信号。由于这些 E1 信号都来源于相同的源 (大部分情况下,是原子钟),因此来自给定移动运营商的一组 E1 信号可以称为特定的同步组。

[0006] 例如,155.52Mbps 的 STM-1 信号可以携带多达 63 个 E1 信号,并且随后,所有的这些 E1 信号将属于相同的同步组。针对这个同步组的原子钟控制与比特率 (即 155.52MHz) 相对应的频率。由于 155.52MHz 频率来源于准确的时钟,因此 155.52MHz 频率是非常准确的。E1 信号的固有频率将是 2.048MHz,并且因为 2.048MHz 正好是 $16 \times 155.52 / 1215 = 2.048\text{MHz}$,因此该频率也将是非常准确的。这意味着,如果例如 155.52MHz 乘以 16 (例如,利用锁相环 (PLL)) 并且除以 1215,那么将生成 2.048MHz 的准确的时钟频率。或者,通过利用所谓的分数除法,可以直接从 155.52MHz 生成频率 2.048MHz。

[0007] 尽管如此,已经证明通过普通介质很难高同步质量 / 相位精度地将两个或多个数据或时钟信号在多个格式上进行传输。如果信号具有相同的标称频率 (但是,这些信号相对于彼此显示有微小的频率偏移),这尤其如此。特别地,此处解复用过程中会遇到困难,

其中漂移一定要足够小,例如以满足给定的电信标准(比如 ITU-T G.813)的要求。术语“漂移(wander)”被定义为低频抖动,通常高达 10Hz。

[0008] 在传输单个信号时,可利用所谓的低因子过采样来保存相位信息。这里,利用低因子过采样被理解为大于 1 但是通常小于 2 的因子。US3,819,853、US4,920,545 和 US6,009,109 示出了这种类型的不同方案。不幸的是,就这些方法而言,没有一种方法能够用来处理上述问题。

[0009] 在现有技术中,该问题已经通过在以太网数据流中嵌入必要的同步信号而得以避免。因此,在接收机侧重构原始信号,并且因此通过分组的使用来模拟所谓的电路连接已经成为可能。这种策略通常被称为“伪线(Pseudo Wire)”或高精度时间同步协议 IEEE 1588V.2。

[0010] US4,873,684 示出了一种用于对具有不同频率的信号进行复用、传输以及解复用的系统。这里,使用参考采样信号,参考采样信号是通过将等于或大于所发送的信号中最大频率的频率乘以所发送信号的数量而得到的。在被复用成时分格式之前,基于参考采样信号来对每一个待发送的信号进行采样。任意的空时隙由虚假信号填充。因此,频率要求可能变得极端,并且存在大量带宽资源被浪费的风险。

[0011] US 2008/0025346 描述了一种用于同步并且复用异步信号的方案。这里,针对输入的异步信号,实施所谓的帧相位吸收。因此,生成同步信号,向这些同步信号分配指针值,这些指针值描述了异步属性。随后,通过将指针值改变指针传输部分这样的处理,对同步信号进行复用。

[0012] US 2002/0018493 公开了一种数字信号传输系统,其中,使用时分复用(TDM)操作将多个数据信号嵌入到载波信号中。这里,通过填充位置(stufflocations),在数据信号和载波信号之间进行速率匹配。待填充的数据和用于再分配的管理信息被嵌入到载波信号超帧的路径层开销中。

[0013] US 6,888,826 公开了一种方案,该方案允许多个时钟信号共享处理资源。这里,指针存储在 FIFO 缓存器中,这反过来使得对系统时钟和各个引出线时钟信号之间的定时差进行补偿成为可能,因此能够在接收侧上再生时钟信号。

[0014] US 2005/0078683 描述了一种用于经由普通介质传输一个或多个有效载荷流数据信号和辅助数据信号的数据传输系统。该辅助数据信号被组织为数据分组,并且传输数据格式器将这些分组格式化流数据信号格式。之后,将信号与有效载荷流数据信号复用成比特流,以用于传输。

发明内容

[0015] 本申请的目的在于解决上述问题并且提供一种有效且可靠的装置,所述装置用于对被至少两个不同的时钟源所控制的多个信号进行复用、发送以及解复用。

[0016] 根据本申请的一个方面,该目的通过正如开头所描述的数据传输系统被实现,其中,所述至少两个输入数据信号组包括至少一个第一信号和至少一个第二信号。这里,所述至少一个第一信号基于一个同步源,所述同步源不同于所述至少一个第二信号所基于的同步源。此外,所述第一节点包括:至少一个时钟提取模块、至少一个采样模块以及复用模块。所述至少一个时钟提取模块被配置成从所述至少一个第一信号和所述至少一个第二

信号中提取各自的时钟信号,所述各自的时钟信号表示所述不同的同步源中的每一个同步源。所述至少一个采样模块被配置为将经提取出的时钟信号中的每一个时钟信号采样成各自产生的 (resulting) 经采样的时钟信号。该采样基于采样频率,所述采样频率与用于将导致的比特流在传输介质上传输到所述第二节点中的行频同步。所述复用模块被配置为将所述产生的经采样的时钟信号作为各自分离的信号包含在 TMD 结构中。所述第二节点包括:解复用模块、至少一个抖动衰减装置以及至少一个接口模块。所述解复用模块被配置为将所接收的比特流解复用成至少两个输出数据信号组和经解复用的时钟信号组,所述经解复用的时钟信号组表示所述产生的经采样的时钟信号。所述至少一个抖动衰减装置被配置为在所述经解复用的时钟信号组中的每一个信号中将频率抖动的量减少至低于预定水平,并且因此产生各自的时钟信号,所述各自的时钟信号具有比所述经解复用的时钟信号组中的所述信号的同步质量更优的同步质量。所述至少一个接口模块被配置为将所述至少两个输出数据信号组中的每一个数据信号与其相关联的时钟信号重新组合成各自产生的携带时钟的数据信号。

[0017] 该设计是有利的,因为在对以具有相同标称频率(但是在该标称频率附近稍微不同的漂移)的不同的同步源为基础的多个数据信号进行传输时,它同样能够保持非常高的定时精度。

[0018] 根据本申请的这个方面的一个优选的实施例,所述第二节点包括:至少一个窄带抖动衰减装置,其被配置为在所述经解复用的时钟信号组中的每一个信号中将频率抖动的量减少至低于预定水平,并且因此产生各自的稳定时钟信号。

[0019] 优选地,所述至少一个窄带抖动衰减装置包括缓冲模块。该模块被配置为:以由与考虑中的所述输出数据信号相关联的所述经解复用的时钟信号所指定的输入速率连续地接收所述输出数据信号的比特。所述缓冲模块临时地存储所述经解复用的数据信号中的预定数量的比特,并且随后,该模块将所述比特提供给线路适配器模块(line adapter module)。所述比特以由锁相环所指定的最终输出速率来连续地提供,所述锁相环反过来被与考虑中的所述输出信号相关联的所述稳定时钟信号控制,其中,所述稳定时钟信号反过来是基于所述经解复用的时钟信号。所述线路适配器模块被配置为从所述第二节点以所述最终输出速率将所述输出比特连续地转发给输出终端,以因此表示所述产生的携带时钟的数据信号。通过这个简单的布置,在所述产生的携带时钟的数据信号中的任意频率偏差能够被保持足够低,以满足任意现有的电信标准中的漂移(wander)要求。

[0020] 根据本申请的这方面的另一个优选的实施例,所述第二节点包括至少一个窄带抖动衰减装置,其被配置为在所述经解复用的时钟信号组中的每一个信号中将频率抖动的量减少至低于预定水平,并且因此产生各自的稳定时钟信号。优选地,所述至少一个窄带抖动衰减装置中的至少一个窄带抖动衰减装置被集成在所述至少一个接口模块中的至少一个接口模块中。这是有利的,因为它提供了一个有效率的设计和电路使用。

[0021] 根据本申请的这方面的又一个优选的实施例,所述第二节点包括至少一个宽带抖动衰减模块。每一个这样的模块被配置为:接收各自的经解复用的时钟信号;并且减少所述经解复用的时钟信号中高于阈值频率的频率抖动,从而产生导致的净化的(cleaned)经解复用的时钟信号。此后,所述宽带抖动衰减模块被配置为将所述导致的净化的经解复用的时钟信号转发给所述至少一个窄带抖动衰减装置。因此,具有相对宽的带宽的抖动防止

被缩混 (mixed down) 并且随后到达所述至少一个接口模块。

[0022] 根据本申请的这方面的再一个优选的实施例,所述至少一个宽带抖动衰减模块中的至少一个宽带抖动衰减模块包括:锁相环电路和/或共振电路,其被配置为减小高于阈值频率的所述频率抖动。因此,能够以直接的方式防止宽带抖动的传播。

[0023] 根据本申请的这方面的一个进一步优选的实施例,所述至少一个宽带抖动衰减模块中的至少一个宽带抖动衰减模块包括时钟再生器 (clock regenerator)。该单元被配置为:接收每一个经解复用的时钟信号;并且反复地产生各自的平均周期长度值,所述各自的平均周期长度值表示在包括多个时钟周期的平均间隔上的所述经解复用的时钟信号的平均周期时间。所述时钟再生器被进一步配置为基于所述平均周期长度值产生所述净化的经解复用的时钟信号。从而,可获得高鲁棒的时钟信号。进一步,该设计是有利的,因为所述时钟再生器能够根据所需的芯片区域(例如在 FPGA(场可编程门阵列)中)很有效率地被实施。

[0024] 根据本申请的这方面的另一个优选的实施例,所述解复用模块被配置为:产生与所述不同的同步源中的每一个同步源有关的读出时钟信号。所述读出时钟信号包括时钟脉冲串,其中,每一个时钟脉冲串包含与所述 TDM 结构的每一个帧中所包含的比特的数量相等的多个时钟脉冲。所述第二节点进一步包括至少一个缓冲装置,其被配置为:以由所述读出时钟信号所规定的输入速率连续地接收所述输出数据信号中的比特,临时地存储所述经解复用的数据信号中的预定数量的所接收的比特,并且随后,以由所述净化的经解复用的时钟信号所规定的输出速率来连续地提供所述比特。因此,所述接口模块被配置有助于生成所述产生的携带时钟的数据信号的高质量的基础。

[0025] 根据本申请的这方面的又一个优选的实施例,所述第一节点的所述至少一个采样模块被配置为:基于采样频率来对经提取出的时钟信号中的每一个时钟信号进行采样,所述采样频率表示与考虑中的经提取出的时钟信号的频率有关的过采样因子。所述过采样因子至少大于 1,并且优选地大于 1.25。进一步优选地,所述过采样因子大约为 1.5 至 1.75。因此,数据以及时钟信号中的抖动能够被处理,并且同时传输介质的带宽被节约。

[0026] 根据本申请的这方面的再一个进一步优选的实施例,所述第一节点包括:至少一个除法器模块,所述至少一个除法器模块被配置为:接收每一个经提取出的时钟信号,并且响应于所述每一个提取出的时钟信号,产生产生的经下变频的经提取出的时钟信号,所述产生的经下变频的经提取出的时钟信号具有与经提取出的时钟信号的频率有关的降低的频率 (reduced frequency)。这里,所述降低的频率表示经提取出的时钟信号的频率的预定分数。所述预定分数可以是 $1/2$,使得所述产生的经下变频的经提取出的时钟信号变成所谓的半时钟。但是在技术上,根据本申请,任何其他的分数是可能的。无论如何,所述除法器模块进一步放宽了传输介质的带宽要求。

[0027] 根据本申请的这方面的另一个优选的实施例,以及如果所述第一节点包括至少一个除法器模块,那么所述第二节点包括至少一个乘法器模块。该模块被配置为:在将时钟信号提供给所述接口模块之前,使用因子乘以每一个经解复用的经采样的时钟信号或者每一个经解复用的经采样的时钟信号的所述净化的版本,所述因子表示上述预定分数的倒数。因此,可再现提取出的时钟信号。

[0028] 根据本申请的这方面的又一个优选的实施例,所述第一节点包括:至少一个数据

提取模块,其被配置为提取各自的数据信号,所述各自的数据信号表示所述输入数据信号中的每一个输入数据信号的有效载荷信息(payload information)。所述复用模块进一步被配置为将经提取出的数据信号中的每一个数据信号作为各自分离的信号包含在所述 TMD 结构中。因此,所述 TMD 结构包含经提取出的数据信号和经采样的时钟信号。

[0029] 根据本申请的另一个方面,所述目的通过起初所描述的方法来实现,其中,至少两个输入数据信号组包括至少一个第一信号和至少一个第二信号。这里,所述至少一个第一信号是基于与所述至少一个第二信号所基于的同步源不同的同步源的。所述方法进一步包括以下步骤:在所述第一节点中,从所述至少一个第一信号和所述至少一个第二信号中提取各自的时钟信号,所述各自的时钟信号表示所述不同的同步源中的每一个同步源;在所述第一节点中,基于与行频同步的采样频率将经提取出的时钟信号中的每一个时钟信号采样成各自的产生的经采样的时钟信号;在所述第一节点中,将所述产生的经采样的时钟信号中的每一个时钟信号作为各自分离的信号复用 in 所述 TMD 结构中;在所述第二节点中,将所接收的比特流解复用成至少两个输出数据信号组和经解复用的时钟信号组,所述经解复用的时钟信号组表示所述产生的经采样的时钟信号;在所述第二节点中,在所述经解复用的时钟信号组中的每一个信号中进行抖动衰减,以将频率抖动的量减少至低于预定水平并且产生各自的时钟信号,所述各自的时钟信号具有比所述经解复用的时钟信号组中的所述信号的同步质量更优的同步质量;以及在所述第二节点中,将所述至少两个输出数据信号组中的每一个数据信号与其相关联的稳定时钟信号重新组合成各自产生的携带时钟的数据信号。本申请及其优选的实施例的优势从以上讨论并结合所提出的数据传输系统是明显的。

[0030] 根据本申请的其他方面,所述目的通过计算机程序来实现,所述计算机程序是能够直接被装载在计算机的内存中的并且包括软件,所述软件适合于当所述程序在计算机上被运行时实现以上所提出的方法。

[0031] 根据本申请的另一个方面,所述目的通过计算机可读介质来实现,所述计算机可读介质具有在其上所记录的程序,其中,所述程序是为了当所述程序被装载到计算机中时控制计算机来执行以上所提出的方法。

[0032] 从以下的描述和所述权利要求书可见,本申请的其他优势、有利特征和应用将是显而易见的。

附图说明

[0033] 现在通过优选的实施例,本申请被更紧密地被说明,所述优选的实施例作为实例并且结合附图被公开。

[0034] 图 1 为节点配置的示意性框图,本申请对于所述节点配置是适用的;

[0035] 图 2a 为根据本申请的第一实施例的数据传输系统的框图;

[0036] 图 2b 为根据本申请的第二实施例的数据传输系统的框图;

[0037] 图 2c 示例了进一步结合本申请的某些特征的图 1 中的节点配置;

[0038] 图 3 为根据本申请的一个实施例的接口模块的框图;

[0039] 图 4 示例了在所提出的发送器节点中实施的一般方法的流程图;以及

[0040] 图 5 示例了在所提出的接收器节点中实施的一般方法的流程图。

具体实施方式

[0041] 我们首先参见图 1, 其示出了本申请对其适用的节点配置的框图。

[0042] 为了表示清楚起见, 图 1 仅示出了分别经由第一传输线 L1 和第二传输线 L2 从第一节点 100 到两个第二节点 201 和 202 的数据业务和同步传输。然而, 在实际的系统中, 数据业务通常还在相反方向上流动。但是, 正常情况下, 仅需要在一个方向上发送精确的同步信号, 此处以从第一节点 100 到第二节点 201 和 202 作为示例。如果第一节点 100 是所谓的中心节点 (hub node), 并且第二节点 201 和 202 是移动通信系统中的接入节点, 尤其是如此, 其中, 这些接入节点可以表示不同小区站点处的设备。进一步, 应当明白的是, 尽管图 1 仅示出了两个接入节点, 但是在实际的系统中, 大量的接入节点 (例如 8 个) 可以连接到一个中心节点上。

[0043] 在图 1 中, 输入数据信号组由 STM-1 信号 STM-1A、STM-1B、STM-1C 和 STM-1D 以及吉比特以太网信号 GBE-A、GBE-B、GBE-C 和 GBE-D 来表示。但是, 本申请不局限于这些信号格式。相反, 也可以将许多其他不同类型的信号从第一节点发送到一个或多个第二节点 201 和 202。第一和第二传输线 L1 和 L2 分别可以包括对各种小区站点进行互联的光缆。在这种情况下, 针对这种应用, 每根传输线 L1 和 L2 通常利用单个波长。因此, 一个波长可以传输多个不同的同步信号, 根据以前已知的方案, 这是不可能的。

[0044] 在大多数情况下, 每一个移动运营商提供他们自己的原子钟信号, 以作为用于他们各自的电信系统的基站的同步源。

[0045] 在图 1 中, 我们可以假设第一移动运营商使用 STM-1A 信号来在他的系统中提供同步, 第二移动运营商利用 STM-1B 信号来在他的系统中提供同步, 第三移动运营商利用 STM-1C 信号来在他的系统中提供同步, 并且第四移动运营商利用 STM-1D 信号来在他的系统中提供同步。

[0046] STM-1A 信号转而可以包含多达 63 个 E1 信号, 例如称为 E1-A1 到 E1-A63。结果, 在图 1 中, E1 信号 E1-A1、E1-A2、E1-A3 和 E1-A4 来源于 STM-1 信号 STM-1A, 并且因此这些信号都基于这里具有频率 2.048MHz 的第一同步源。

[0047] 类似地, E1 信号 E1-B1 来源于第二移动运营商的 STM-1 信号 STM-1B, 其基于具有频率 2.048MHz 的第二同步源; E1 信号 E1-C1 来源于第三移动运营商的 STM-1 信号 STM-1C, 其基于具有频率 2.048MHz 的第三同步源; 并且 E1 信号 E1-D1 和 E1-D2 来源于第二移动运营商的 STM-1 信号 STM-1D, 其基于具有频率 2.048MHz 的第四同步源。

[0048] 在图 1 中的实例中, 来源于 STM-1 信号的 E1 信号终止于第二节点 201 和 202 处。然而, 通过网络管理系统的帮助, 固有 E1 信号可以以任意组合从中心节点被分配到接入节点。

[0049] 图 2a 为根据本申请的第一实施例的数据传输系统的框图。

[0050] 该系统包括第一节点 100、第二节点 200 以及将第一和第二节点 100 和 200 互连的传输介质 L。

[0051] 第一节点 100 被配置为接收输入数据信号 d-in1 和 d-in2, 并且根据 TDM 结构对所述信号或每一个信号组中的至少一个子集进行格式化, 以便传输。所述输入数据信号 d-in1 和 d-in2 组包括至少两个数据信号, 所述至少两个数据信号中的每一个数据信号都嵌入有

时钟信号。具体地,所述输入数据信号 d-in1 和 d-in2 组包括至少一个第一信号和至少一个第二信号,其中,所述至少一个第一信号是基于与所述至少一个第二信号所基于的同步源不同的同步源的。

[0052] 传输介质 L 被配置为将经 TDM 格式化的信号作为比特流 bs 进行传输。所述比特流 bs 转而具有行频,所述行频适合于经 TDM 格式化的信号的带宽需求。

[0053] 比特流 bs 可以具有 2.5Gbps 的比特率。这对于将以下信号从第一节点 100 传输到单个的第二节点 200 而言是足够的:基于两个不同的同步源的输入数据信号,其中,每一个同步源被采样成 3.125Mbps 的导致的经采样的时钟信号;16 个 E1 信号,每个 E1 信号具有 2.048Mbps 的比特率;两个 GBE 信号,每一个 GBE 信号具有 1015.625Mbps (64B/65B 编码) 的比特率加上高达 429.732Mbps 的开销数据。这里,64B/65B 编码意味着一种格式,其中 64 比特被编码成 65 比特,并且因此从 $(64B/65B) \times 1000$ 导出数字 1015.625。

[0054] 进一步地,表示同步源中的每一个同步源的比特流可以被看成是各自的几乎无抖动的 3.125Mbps 数据流,或者各自的 2.048Mbps 数据流 (101010 类型的),其具有与过采样频率的周期相对应的相对大的峰-峰抖动。这意味着峰-峰抖动变成 320ns。由于 3.125Mbps 比特流 bs 具有与行频完美同步的时钟频率,发送 TDM 帧中的这些比特是琐碎的任务,在每一个帧中,TDM 帧具有每帧相同数量的比特。

[0055] 然而,行频不被同步到 2.048MHz 频率。因此,如果使用包括 E1 信号的 TDM 结构,那么由于行频和 E1 信号的频率 2.048MHz 之间的频率偏移,每 E1 和每帧的比特数必须改变。但是,这可以由第一节点 100 中的复用模块 140 通过将关于每一帧中所包含的比特数量的信息包含在该帧中来处理。

[0056] 随后,产生的比特流在传输介质 L (例如,光缆) 上进行传输。这里,比特率可以是 2.5Gbps (即 2500Mbps),这是适合的,因为频率 3.125MHz 可以由 $2500/800 = 3.125$ 来产生。

[0057] 第二节点 200 被配置为接收比特流 bs 并且将所述比特流复用成两个输出数据信号 d-out1 和 d-out2 组。

[0058] 第一节点 100 分别包括至少一个时钟提取模块 111 和 112、至少一个采样模块 131 和 132、以及复用模块 140。优选地,第一节点 100 还包括至少一个数据提取模块 121 和 122。

[0059] 至少一个数据提取模块 121 和 122 被配置为提取各自的数据信号 (d-ex1 和 d-ex2) 组,各自的数据信号 (d-ex1 和 d-ex2) 组表示输入数据信号 d-in1 和 d-in2 组中的每一个组中的有效载荷信息。

[0060] 复用模块 140 被配置为将经提取出的数据信号 d-ex1 和 d-ex2 组中的每一个信号作为各自分离的信号包含在 TMD 结构中。

[0061] 每一个时钟提取模块 111 和 112 被配置为从至少一个第一信号和至少一个第二信号中提取各自的时钟信号 CLKex1 和 CLKex2,所述各自的时钟信号 CLKex1 和 CLKex2 表示所述不同的同步源中的每一个同步源。

[0062] 至少一个采样模块 131 和 132 被配置为将经提取出的时钟信号 CLKex1 和 CLKex2 中的每一个时钟信号采样成各自产生的经采样的时钟信号 CLKsp1 和 CLKsp2。这里,采样是基于与所述行频同步的采样频率 smp 的。优选地,至少一个采样模块 131 和 132 被配置为基于采样频率分别对提取出的时钟信号 CLKex1 和 CLKex2 进行分别采样,所述采样频率表示与考虑中的经提取出的时钟信号 CLKex1 和 CLKex2 的频率有关的大于 1 的过采样因子。

进一步优选地,过采样因子大于 1.25,并且最优选地大约为 1.5 至 1.75。尽管如此,它是有优势的,如果表示过采样因子的商 Y/X 不具有小的分母部分(例如, $3/2$ 或 $4/3$),这可以导致经提取出的时钟信号 CLKex1 和 CLKex2 的边缘不均匀地分布,并且因此导致不正确的相位表示。因此,像 1.52 和 1.77 的过采样因子分别比 1.5(即 $3/2$) 和 1.75(即 $7/4$) 更好。通过选择适合的过采样因子,可以处理经提取出的数据信号 d-ex1 和 d-ex2 组中的信号以及经提取出的时钟信号 CLKex1 和 CLKex2 中的抖动程度。同时,传输介质 L 的带宽得以有效地利用。

[0063] 由此而论,值得一提的是,频率 f_{CLK} Hz 的时钟对应于具有以比特率 $2f_{CLK}$ bps 无穷尽的 01010 模式的数据信号。因此,当对时钟信号进行采样时,过采样因子 OF 被确定为采样频率 f_{smp} 和与待采样时钟信号等同的数据信号的速率之间的比,即 $OF = f_{smp}/(2f_{CLK})$ 。

[0064] 复用模块 140 还被配置为将产生的经采样的时钟信号 CLKsp1 和 CLKsp2 中的每一个时钟信号作为各自分离的信号包含在 TMD 结构中。

[0065] 第二节点 200 包括:解复用模块 210、至少一个抖动衰减装置(例如,由图 2a 中的窄带抖动衰减装置 231 和 232 表示)以及至少一个接口模块 221 和 222。

[0066] 解复用模块 210 被配置为将所接收的比特流 bs 解复用成输出数据信号 d-out1 和 d-out2 组,以及表示产生的经采样的时钟信号 CLKsp1 和 CLKsp2 的经解复用的时钟信号 CLKdm1 和 CLKdm2 组。这里,每一个输出数据信号 d-out1 和 d-out2 组通常包括多个数据信号,例如 8 个;并且经解复用的时钟信号 CLKdm1 和 CLKdm2 组表示时钟信号的数量,所述时钟信号的数量等于包含在输入数据信号 d-in1 和 d-in2 组中的同步源的数量。

[0067] 至少一个窄带抖动衰减装置 231 和 232 被配置为在经解复用的时钟信号 CLKdm1 和 CLKdm2 组中的每一个信号中将频率抖动的量减少至低于预定水平。因此,结果是,产生各自的稳定时钟信号 CLKstb1 和 CLKstb2。优选地,至少一个窄带抖动衰减装置 231 和 232 中的至少一个窄带抖动衰减装置与各自的数据馈送模块 241 和 242 相关联,并且与其一起被集成在至少一个接口模块 221 和 222 中的至少一个接口模块中。也就是,这提供了有效率的整体设计和电路使用。下面将参见图 3 介绍有关接口模块的进一步细节。

[0068] 至少一个接口模块 221 和 222 被配置成将输出数据信号 d-out1 和 d-out2 组中的每一个数据信号分别与其相关联的稳定时钟信号 CLKstb1 和 CLKstb2 分别重新组合成数据信号组 d-res1 和 d-res2 中的各自产生的携带时钟的数据信号。

[0069] 图 2b 为根据本申请的第二实施例的数据传输系统的框图。在图 2b 中,具有与图 2a 中出现的附图标记一样的所有的单元、信号和值分别表示相同的单元、信号和值(正如参见图 2a 在以上所描述的),因此不再在下面重复。

[0070] 根据本申请的一个优选的实施例,第二节点 200 包括至少一个宽带抖动衰减模块。在图 2b 中所示的实施例中,两个宽带抖动衰减模块 271 和 272 分别包含在第二节点 200 中。

[0071] 每一个模块 271 和 272 被配置为接收各自的经解复用的时钟信号 CLKdm1 和 CLKdm2 组,减少所述经解复用的时钟信号中高于阈值频率的频率抖动,并且因此分别产生导致的净化的经解复用的时钟信号 CLKdm1' 和 CLKdm2'。随后,宽带抖动衰减模块 271 和 272 分别将导致的净化的经解复用的时钟信号 CLKdm1' 和 CLKdm2' 转发给至少一个窄带抖动衰减装置 231 和 232(参见图 2a),这在图 2b 中分别假定为分别被集成在接口模块 221 和

222 中。

[0072] 宽带抖动衰减模块 271 和 272 的重要目的是为了减小被缩混 (mixed down) 成临界频谱的任何抖动的的影响。相对未知的问题涉及这样一个事实：频率除法器（例如，第一节点 100 中的除法器模块 151 和 152 中的每一个除法器模块）除了减小产生的信号的频率外，还缩混抖动或相位调制。如果，例如 2.048MHz 的时钟频率被连接到除以 64 的除法器，那么众所周知的，输出频率变成 32kHz（即 2.048MHz/64）。鲜为人知的是，在相同的实例中，如果使用 32001Hz 的信号来对 2.048MHz 的信号进行相位调制，那么除法器的输出将具有仅 1Hz 的抖动（或相位调制）。该信号转而可能很好地位于 PLL 带宽之内，这使得将考虑中的信号分量滤除掉非常困难。类似地，31999Hz 的抖动将同样在除法器的输出端处产生 1Hz 的抖动。

[0073] 申请人已经进行了仿真和测量，这表明在以上实例中，如果高频抖动具有 32kHz、64kHz、96kHz、128kHz 等的频率，那么高频抖动将被缩混至低频基带抖动中。这些仿真和测量已经进一步表明这种缩混导致大量的不希望有的漂移，这在传输像经采样的时钟信号 CLKsp1 和 CLKsp2 之类的同步信号时是无法接受的。

[0074] 例如，如果不进行预滤波，那么由于混缩而产生的所导致的信号中的漂移可以在 -15ppm 至 15ppm 的间隔内导致大于 5ns 的偏移。为了减小该影响，所应用的预滤波器将根据以下表达式具有显著的频率抖动衰减：

$$[0075] \quad M \times \frac{f}{N}$$

[0076] 其中， $M = 1, 2, 3, 4, \dots$

[0077] f = 源信号频率

[0078] 因此，对于 $N = 64$ 和 $f = 2.048\text{MHz}$ ，在 32kHz、64kHz、96kHz 等处应该有显著的抖动衰减。使用这种预滤波，将会防止高频抖动混缩成低频抖动或漂移。宽带抖动衰减模块 271 和 272 因此具有这种功能。模块 271 和 272 能够通过不同的技术被实现。根据本申请的实施例，这些模块 271 和 272（或时钟预滤波器）可以包括 PLL、共振电路或所谓的时钟再生器。

[0079] 具体地，所述至少一个宽带抖动衰减模块 271 和 272 中的至少一个宽带抖动衰减模块可以包括 PLL 电路，所述 PLL 电路被配置为减少高于阈值频率的频率抖动。

[0080] 可选地或者作为补充，所述至少一个宽带抖动衰减模块 271 和 272 中的至少一个宽带抖动衰减模块可以包括共振电路，所述共振电路被配置为减少高于阈值频率的频率抖动。

[0081] 作为又一个可替换实施例或补充，所述至少一个宽带抖动衰减模块 271 和 272 中的至少一个宽带抖动衰减模块可以包括新型的时钟再生器。这个单元被配制成：接收每一个经解复用的时钟信号 CLKdm1 和 CLKdm2；反复地产生各自的平均周期长度值，所述在各自的平均周期长度值表示包括多个时钟周期的平均间隔上的经解复用的时钟信号 CLKdm1 和 CLKdm2 的平均周期时间；以及基于所述平均周期长度值来产生净化的经解复用的时钟信号 CLKdm1' 和 CLKdm2'。该平均导致大于阈值频率的频率抖动分别在信号 CLKdm1' 和 CLKdm2' 中被减小。

[0082] 为了阐明所提出的新型的时钟再生器的工作原理，我们参见下面的表 1。表 1 通过

一个十进制值的示例示出了如何在输入时钟信号 CLK_{in} 的四个周期的滚动平均间隔上确定平均周期长度值 PL_{avg} , 以及如何基于平均周期长度值 PL_{avg} 产生稳定的输出时钟信号 CLK_{out} 。应当注意的是, 在这里, 选择四个周期的平均间隔, 只是为了提供说明性的示例。在实际的实现方法中, 优选地, 使用更长的间隔, 例如, 表示输入时钟信号 CLK_{in} 的 128 个周期。

[0083] 表 1 的第 2 列表示输入时钟信号 CLK_{in} 的周期值。可以看出, 这里的输入时钟信号 CLK_{in} 在开始的 4 行期间 (即, 对应于 8 个周期的采样时钟) 具有十进制值 8 的周期长度。随后, 在第 5 行和第 11 行之间, 周期长度增加到十进制值 14; 最后, 自第 12 行起, 周期长度下降到十进制值 4。进一步, 应当注意的是, 不同于在本示例中, 对于输入时钟信号 CLK_{in} 的每一个周期, 大约有 10 个采样时钟周期, 在实际实现方式中, 优选地, 应当对采样时钟频率进行选择, 以使得对于输入时钟信号 CLK_{in} 的每一个周期, 大约有 100 个采样时钟周期。

[0084] 表 1 的第 3 列示出了四个周期长度值 PL 的滚动和。注意到, 我们假设在计算中存在一行的延时。当周期长度值 PL 从 8 变成 14 时, 这例如在第 5 行上变得明显, 并且滚动和首先在第 6 行变化。

[0085] 表 1 的第 4 列示出了所谓修正的滚动和。这里, 第一校正出现在第 7 行上, 其中, 增加了来自第 7 列中的前一行 (即第 6 行) 的误差项。第 7 列的误差项对计算出的平均周期长度 PL_{cavg} 和平均周期长度值 PL_{avg} 之间的任何误差都进行了补偿, 并且参见第 7 列在下面进一步进行讨论。

[0086] 表 1 的第 5 列示出了通过将第 4 列的值除以 4 得到的修正的滚动和的平均值, 在这里, 4 是周期长度值 PL 的数量, 对这些周期长度值 PL 进行平均以确定平均周期长度值 PL_{avg} 。

[0087] 表 1 的第 6 列示出了第 5 列向下取整所得到的值。请注意, 第 6 列中的数对应于输出时钟信号 CLK_{out} 的周期长度值, 并且这些周期长度值转而可以被看成是输入时钟信号 CLK_{in} 的周期长度值 PL 的经低通滤波的版本。

[0088] 表 1 的第 7 列在每一行都表示误差项, 这个误差项是通过从第 6 列中的值减去第 5 列中的值, 并且随后将这个值乘以 4 (即, 表示平均间隔) 所得到的。

[0089] 输入时钟信号 CLK_{in} 的每一个循环所起始的各自的时间点是通过将第 2 列中的周期长度值 PL 进行累加得到的。表 1 的第 8 列表示了这些时间点, 其同样对应于自时间零点以后所接收的采样时钟 CLK_{smp1} 的时钟脉冲的数量。

[0090] 第 9 列具体地示出了对于输出时钟信号 CLK_{out} 的脉冲的时间点。第 8 列中的值已经通过对第 2 列中直到给定的行中的数进行累加来得到。

[0091] 注意到在第 5 行, 第 9 列的输出数是 40, 而第 8 列的输入数是 46 (即, 更大的数)。这是所谓的非因果行为的一个实例, 其不可能在现实系统中发生。这个现象背后的问题是: 为创建输出时钟信号 CLK_{out} 的脉冲所需要的信息在时间点 $t = 40$ 处是不会得到的, 直到在时间点 $t = 46$ 处。

[0092] 该非因果行为通过以下的事实来解释: 输入时钟信号 CLK_{in} 的频率在第 5 行处减小, 而输入周期长度值 PL 从 8 增加到 14。为了消除非因果行为, 在要产生输出时钟信号 CLK_{out} 的脉冲时, 在计算出的时间点 (calculated points time) 上加上足够大的偏移数。这里, 我们已经选取了 15 的偏移, 这在表 1 的第 10 列中表示出。可以看出, 一些输入时间点 (第 8 列) 与一些输出时间点 (第 10 列) 是相等的。这意味着系统处于非因果行为的边缘。因此, 在这里, 15 确实是最小可能性的偏移值。

[0093] 优选地,偏移数(相对大的)被增加到针对于输出时钟信号 CLK_{out} 的最初计算出的时间点上。因此,由较低频率、抖动和相位调制所导致的非因果行为可以通过时钟再生器来处理。

[0094] 在第 10 和第 9 列的第一行中,很明显,输出时钟信号 CLK_{out} 的脉冲是在时钟再生器“知道”这个考虑中的时钟脉冲将被产生的时间点之后的 15 个采样时钟脉冲之后所创建的。

[0095] 这意味着,只要输入时钟信号 CLK_{in} 具有周期长度 8,对 15 的非因果行为(即,直到第 4 行)就存在裕度。但是,当频率减小使得周期长度变成 14 时,裕度已经减小到 0。

[0096]

列	2	3	4	5	6	7	8	9	10
行	输入周期长度 PL	滚动和	修正的滚动和	修正的滚动和的平均值	向下取整的输出	REV	输入时间	输出时间	输出时间+偏移
1	8	32	32	8	8	0	8	8	23
2	8	32	32	8	8	0	16	16	31
3	8	32	32	8	8	0	24	24	39
4	8	32	32	8	8	0	32	32	47
5	14	32	32	8	8	0	46	40	55
6	14	38	38	9.5	9	2	60	49	64
7	14	44	46	11.5	11	2	74	60	75
8	14	50	52	13	13	0	88	73	88
9	14	56	56	14	14	0	102	87	102
10	14	56	56	14	14	0	116	101	116
11	14	56	56	14	14	0	130	115	130
12	4	56	56	14	14	0	134	129	144
13	4	46	46	11.5	11	2	138	140	155
14	4	36	38	9.5	9	2	142	149	164
15	4	26	28	7	7	0	146	156	171
16	4	16	16	4	4	0	150	160	175
17	4	16	16	4	4	0	154	164	179
18	4	16	16	4	4	0	158	168	183
19	4	16	16	4	4	0	162	172	187
20	4	16	16	4	4	0	166	176	191

[0097] 表 1

[0098] 根据本申请的一个优选的实施例,复用模块 210 被配置为产生与不同的同步源中的每一个同步源有关的读出时钟信号 CLK_{o1} 和 CLK_{o2} 。每一个读出时钟信号 CLK_{o1} 和 CLK_{o2} 都包括时钟脉冲串,其中每一个时钟脉冲串都包含与 TDM 结构的每一个帧中所包含的比特的数量相等的多个时钟脉冲。

[0099] 在该实施例中,第二节点 200 进一步包括至少一个缓冲装置 251 和 252。每一个缓冲装置 251 和 252 都被配置为:以由适合的读出时钟信号 CLK_{o1} 和 CLK_{o2} 所规定的输入速率分别连续地接收输出数据信号 $d-out1$ 和 $d-out2$ 中的比特。所述缓冲装置 251 和 252 临时地存储经解复用的数据信号 $d-out1$ 和 $d-out2$ 中的预定数量的所接收的比特,并且随后以由分别来自宽带抖动衰减模块 271 和 272 的净化的经解复用的时钟信号 CLK_{dm1}' 和

CLKdm2' 所规定的输出速率连续地提供这些比特。

[0100] 根据本申请的另一个优选的实施例,第一节点 100 包括至少一个除法器模块。图 2b 示出了两个这样的模块,分别为除法器模块 151 和除法器模块 152,其被配置为:接收每一个经提取出的时钟信号 CLKex1 和 CLKex2,并且响应于所述每一个经提取出的时钟信号 CLKex1 和 CLKex2,分别产生导致的经下变频的经提取出的时钟信号 CLKex1/F 和 CLKex2/G。所述导致的经下变频的经提取出的时钟信号 CLKex1/F 和 CLKex2/G 具有降低的频率,所述降低的频率表示经提取出的时钟信号 CLKex1 和 CLKex2 的频率的预定分数 1/F 和 1/G。

[0101] 预定分数可以是 1/2。在这种情况下,第一节点 100 产生所谓的半时钟,这意味着作为对例如 2.048MHz 的信号之替代之外,1.024MHz 的信号通过系统进行传输。自然地,由此节约了带宽。注意到,半时钟同样对应于具有数据模式 101010 等的 2.048Mbps 比特流。还应该注意到,根据本申请,同样可以使用其他的预定分数 1/F 和 1/G,例如 1/3 或 1/4。

[0102] 在任何情况下,如果第一节点 100 包括至少一个除法器模块 151 和 / 或 152,那么第二节点 200 一定包括至少一个相应的乘法器模块 261 和 / 或 262,所述至少一个相应的乘法器模块 261 和 / 或 262 被配置为在将时钟信号分别提供给接口模块 221 和 222 之前,使用表示因子乘以每一个经解复用的经采样的时钟信号 CLK/F 和 CLK/G,所述因子分别表示所述预定分数 1/F 和 1/G 的倒数 F 和 G。

[0103] 尽管如此,处理链中乘法器模块 261 和 262 与宽带抖动衰减模块 271 和 272 之间的具体顺序是无关的。这意味着乘法器模块 261 和 262 可以同样好地分别对净化的经解复用的时钟信号 CLKdm1' /F 和 CLKdm2' /G(图 2b 中未示出)进行操作。

[0104] 图 2c 进一步参考本申请的某些特征示出了图 1 中的节点配置。然而,与图 1 相反,为了清晰地表示,图 2c 中没有示出表示 GBE 信号的信号。尽管如此,在图 2c 中,具有与还在图 2a 和 / 或图 2b 中出现的附图标记一样的所有的单元、信号和值分别表示相同的单元、信号和值(正如参见图 2a 和 / 或图 2b 在以上所描述的),因此不再在下面重复。

[0105] 与图 1 中示出的示例类似,在图 2c 中,第一节点 100 经由第一传输线 L1 和第二传输线 L2 连接到两个第二节点 201 和 202。我们进一步假设输入数据信号 d-in1 和 d-in2 组包括基于两个不同的同步源的信号,并且来自这些组中的每一个组的这些信号被发送到第二节点 201 和 202 中的每一个节点上。这里,导致的携带时钟的信号被表示为 d-res1 和 d-res3 以及 d-res2 和 d-res4。因此,表示两个同步源的经采样的时钟信号 CLKsp1 和 CLKsp2 一定被包含在经由第一传输线 L1 发送的第一比特流 bs1 以及经由第二传输线 L2 发送的第二比特流 bs2 中。此外,第二节点 201 和 202 一定包括各自的接口模块 221、222、223 和 224,所述各自的接口模块 221、222、223 和 224 用于将数据信号组 d-out1、d-out2、d-out3 和 d-out4 中的每一个输出数据信号与相关的经解复用的时钟信号 CLKdm1 和 CLKdm2 进行重新组合。

[0106] 现在转到图 3,我们看到了根据本申请的一个实施例的接口模块 220 的框图(参见图 2a 和图 2b 中的模块 221 和 222 以及图 2c 中的模块 221-224)。在该实施例中,窄带抖动衰减装置 230 与数据馈送模块 240 一起被集成在接口模块 220 中。窄带抖动衰减装置 230 包括 PPL 电路 331、332、340、350 和 360;并且数据馈送模块 240 包括缓冲模块 310 和线路适配器模块 320。

[0107] 缓冲模块 310 被配置为:以由与考虑中的输出数据信号组 d-out 相关联的经解复

用的时钟信号 CLKdm 所指定的输入速率连续地接收输出数据信号组 d-out 的比特。缓冲模块 310 临时地存储所述经解复用的数据信号中的预定数量的比特,并且随后,将所述比特 bts 提供给线路适配器模块 320。这里,所述比特 bts 以由与考虑中的输出数据信号组 d-out 相关联的稳定时钟信号 CLKstb 所指定的最终输出速率被连续地提供。

[0108] 所述稳定时钟信号 CLKstb 转而由窄带抖动衰减装置 230 生成。具体地,其中的第一除法器模块 331 接收经解复用的时钟信号 CLKdm,并且第二除法器模块 332 接收稳定时钟信号 CLKstb。第一除法器模块 331 和第二除法器模块 332 两者将其各自的输入信号 CLKdm 和 CLKstb 除以适当的因子 N,以在降低的频率下产生导致的信号。相位比较器 340 接收降低的频率信号,并且响应于所述降低的频率信号,产生一个输入到回路滤波器 350。回路滤波器 350 转而控制生成稳定时钟信号 CLKstb 的压控振荡器 360。因此,存储在缓冲模块 310 中的数据比特以由所指定的最终输出速率被提供,稳定时钟信号 CLKstb 转而基于与输出数据信号组 d-out 相关联的经解复用的时钟信号。

[0109] 线路适配器模块 320 被配置为连续地转发数据比特 bts,所述数据比特 bts 以所述最终输出速率从缓冲模块 310 被输出到输出终端。因此,在输出终端上的信号表示来自第二节点的导致的携带时钟的数据信号 d-res。

[0110] 总之,我们现在将参见图 4 和图 5 中的流程图来描述根据本申请的复用、发送和解复用数据信号的一般方法。这里,图 4 示出了发射机侧上的流程,图 5 示例了接收机侧上的流程。

[0111] 在图 4 中,初始步骤 410 接收至少两个输入数据信号组。所述输入数据信号组包括至少两个数据信号,所述至少两个数据信号中的每一个数据信号都嵌入有时钟信号。具体地,输入数据信号组包括至少一个第一信号和至少一个第二信号,其中所述至少一个第一信号是基于与所述至少一个第二信号所基于的同步源不同的同步源的。随后,步骤 420 从输入信号中提取表示不同同步源中的每一个同步源的各自的时钟信号。接下来,步骤 430 基于采样频率将提取出的时钟信号采样成各自的产生的经采样的时钟信号。所述采样频率转而与用于以比特序列(参见下面的步骤 450)形式发送信号的行频同步。其后,步骤 440 根据 TDM 结构对经采样的时钟信号连同提取出的数据信号进行格式化,以便传输,经提取出的数据信号也已经从输入数据信号组中被提取出。然后,步骤 450 将经 TDM 格式化的信号作为比特流在传输介质上进行发送。最后,流程再次回环到步骤 410。自然地,在实际实现中,数据是被连续地接收的,并且从而所有的步骤 410 至 450 被同时执行,然而关于不同的数据片。

[0112] 在图 5 中,初始步骤 510 经由传输介质接收比特流。所述比特流具有行频并且表示经 TDM 格式化的信号,所述经 TDM 格式化的信号包括经提取出的数据信号以及表示至少一个第一信号和至少一个第二信号的经采样的时钟信号,其中所述至少一个第一信号是基于与所述至少一个第二信号所基于的同步源不同的同步源的。随后,步骤 520 将比特流解复用成至少两个输出数据信号组和表示导致的经采样的时钟信号的经解复用的时钟信号组。接下来,步骤 530 对经解复用的时钟信号组中的每一个信号进行抖动衰减,以将频率抖动量减小到低于预定水平。因此,产生各自的时钟信号,其具有优于经解复用的时钟信号组中的信号的同步质量的同步质量。随后,步骤 540 将输出数据信号组中的每一个数据信号与其相关联的时钟信号重新组合成各自的产生的携带时钟的数据信号,并且最终流程再次

回环到步骤 510。类似于以上所述,在实际实现中,数据比特被连续地接收,并且从而所有的步骤 510 至 540 被同时执行,然而关于不同的数据片。

[0113] 以上参照图 4 和图 5 所描述的所有的步骤以及步骤的任何子序列可以通过程序化的计算机装置来控制。而且,尽管以上参照附图所描述的本申请的实施例包括计算机装置和在计算机装置中被执行的进程,但是本申请还延伸到适合于将本申请付诸于实践的计算机程序,尤其是载体上或载体中的计算机程序。该程序可以以源代码、目标代码、中间源代码和目标代码(例如,经部分编译的形式)的形式存在或者以适合于在根据本申请的流程的实现中使用的任何其他形式存在。该程序可以是操作系统的一部分或者是单独的应用程序。例如,所述载体可以包括存储介质(例如,闪存)、ROM(例如 DVD、CD、EPROM、EEPROM)或磁记录介质(例如,软盘或硬盘)。进一步地,所述载体可以是可传输的载体(比如电信号或光信号),其可经由电缆或光缆或者通过无线电广播设备或其他装置被传播。当所述程序被嵌入到一个能够通过光缆或者其他设备或装置被直接传播的信号中时,所述载体可以被这样的光缆或者设备或装置代替。可选地,所述载体可以是嵌入有所述程序的集成电路,所述集成电路适合于执行相关流程或者在相关流程的实现中使用。

[0114] 术语“comprises/comprising”(包括)在本申请中被使用时被采用来指定阐明的特征、完整性(integers)、步骤或部件。但是,该术语并不排除一个或多个其他特征、完整性、步骤、部件或其组的存在或添加。

[0115] 本申请中对任何现有技术的提及不是并且不应该被看成是承认或任何建议,即,所提及的现有技术构成澳大利亚或任何其他国家中的公知常识的一部分。

[0116] 本申请不局限于附图中所描述的实施例,但可以在权利要求书的范围内随意地被改变。

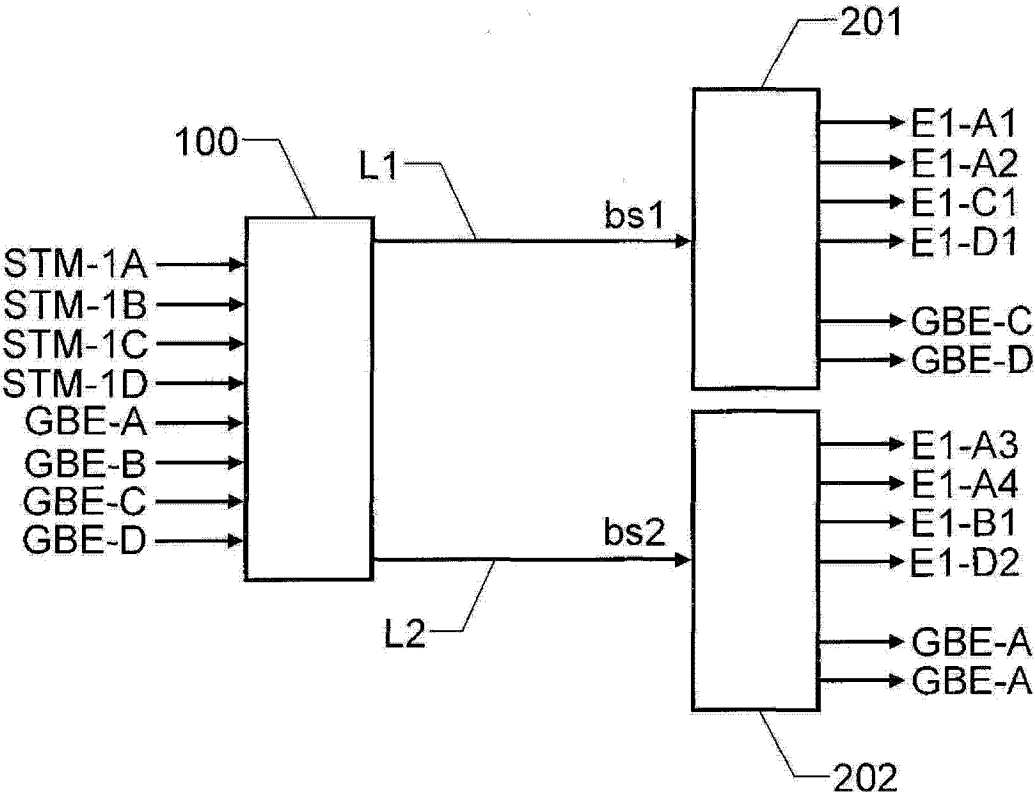


图 1

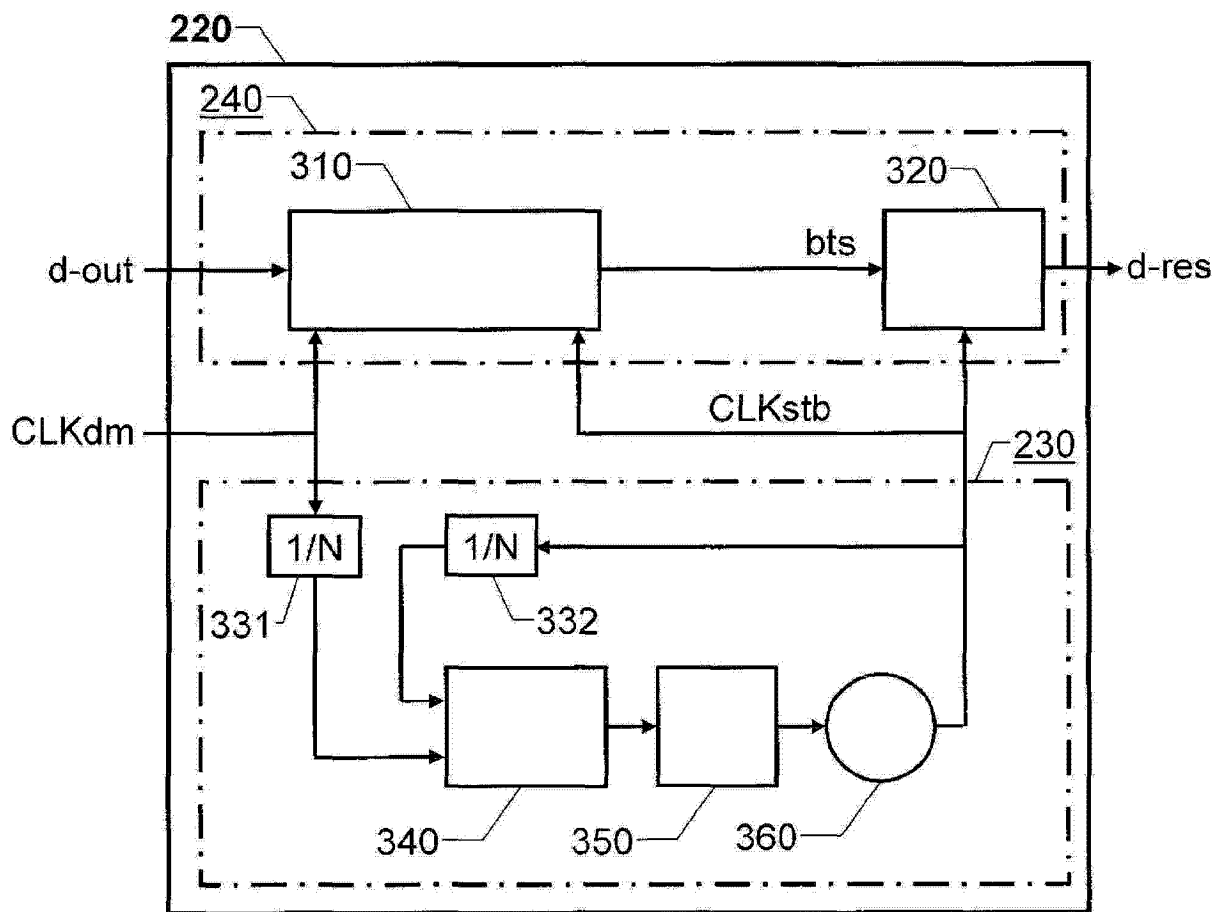


图 3

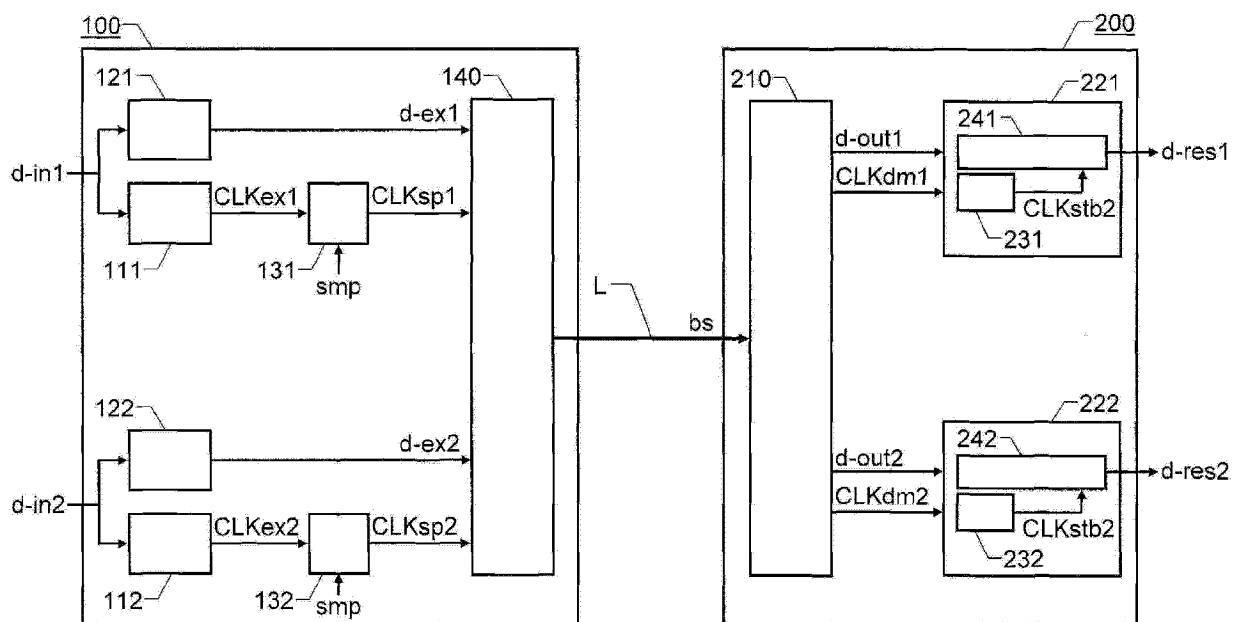


图 2a

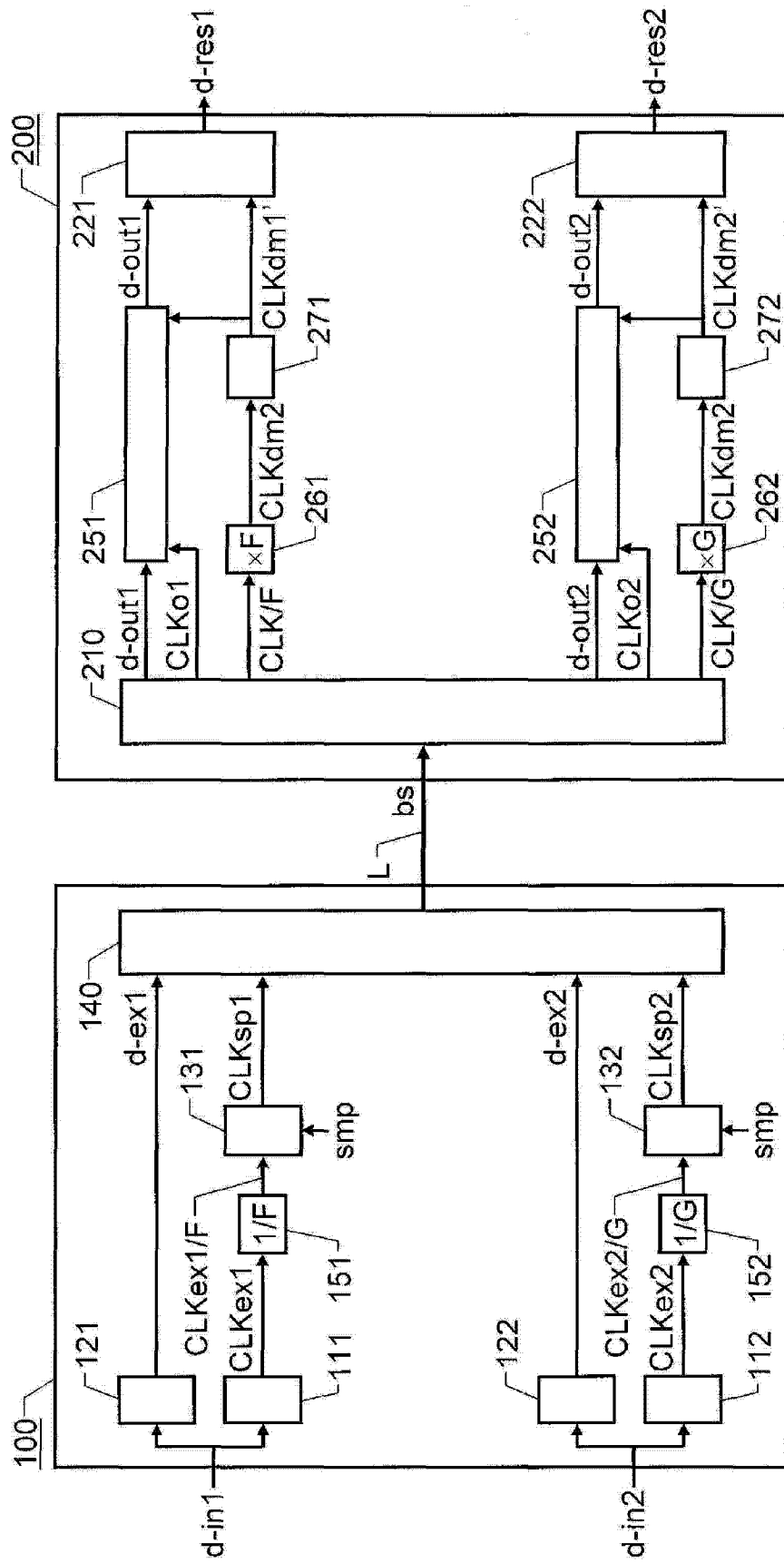


图 2b

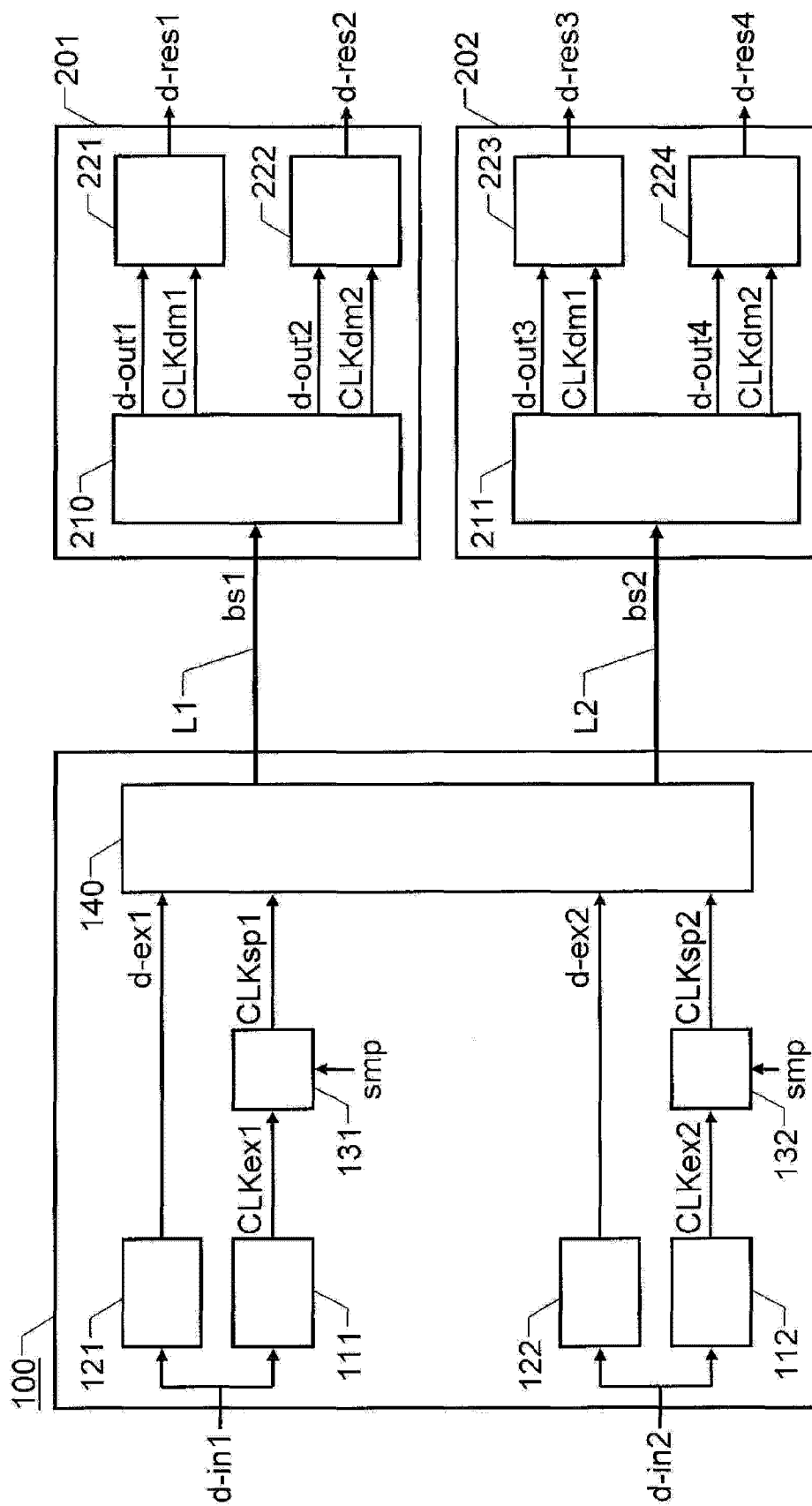


图 2c

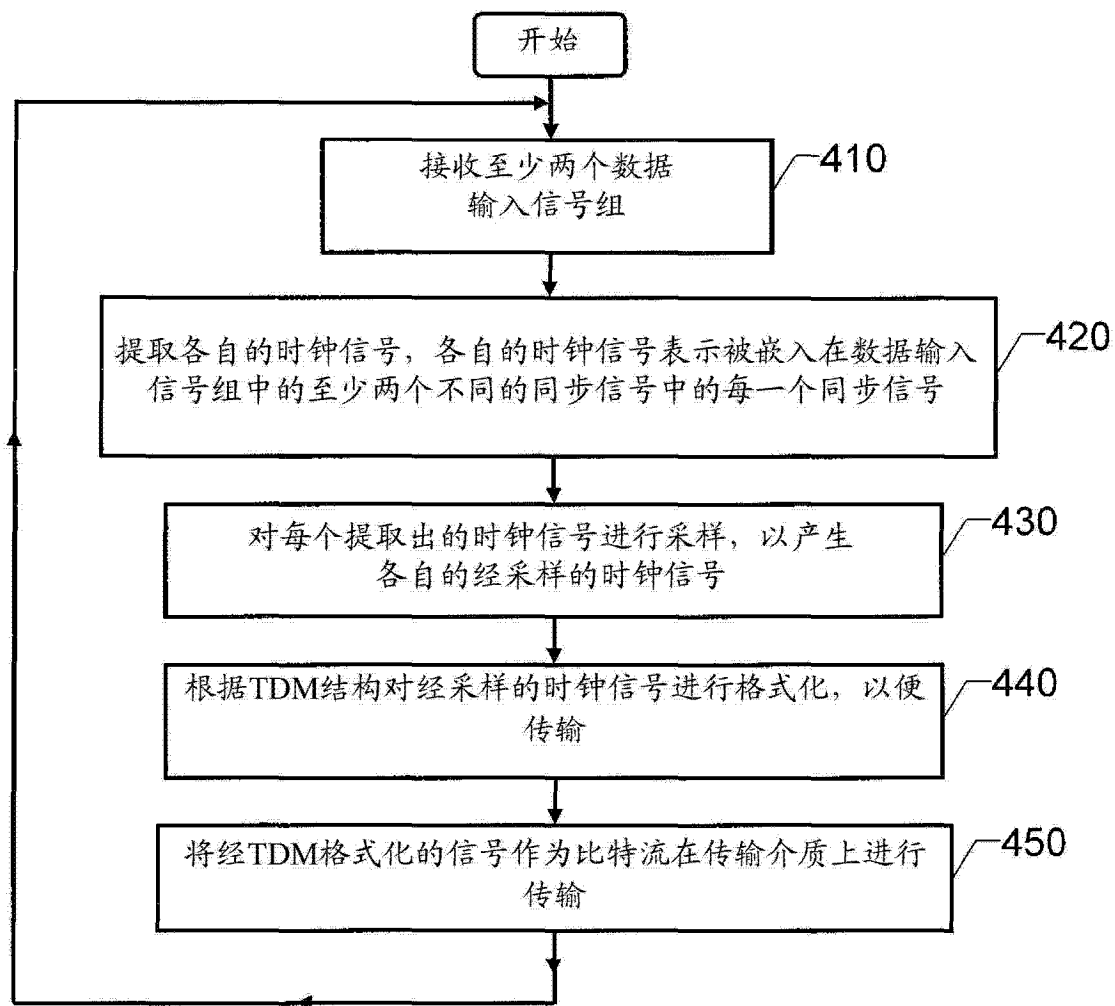


图 4

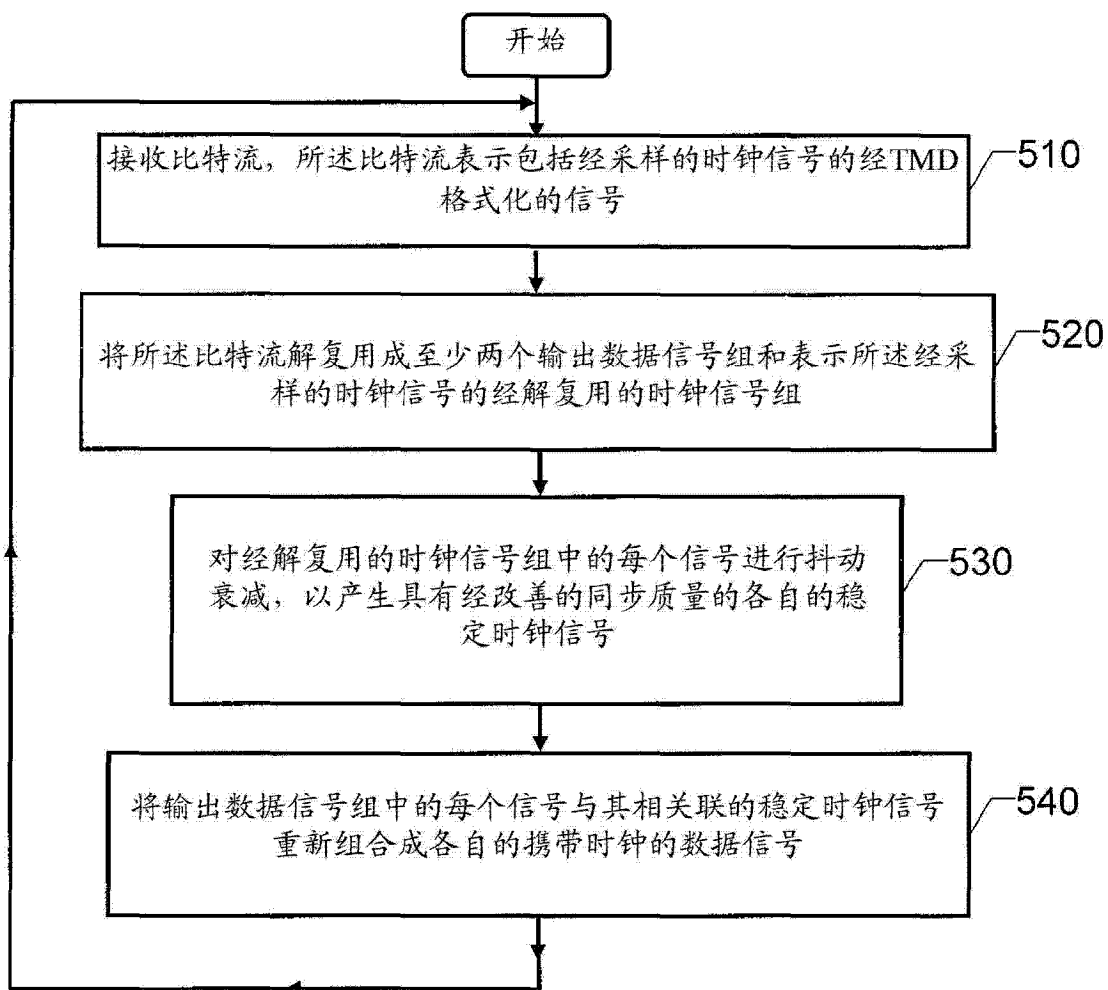


图 5