(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118696613 A
(43)申请公布日 2024.09.24

(21)申请号 202380021630.4

(22)申请日 2023.02.06

(30)优先权数据
2022-023698 2022.02.18 JP

(85)PCT国际申请进入国家阶段日
2024.08.13

(86)PCT国际申请的申请数据
PCT/IB2023/051025 2023.02.06

(87)PCT国际申请的公布数据
WO2023/156875 JA 2023.08.24

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县

(72)发明人 山崎舜平 大贯达也 国武宽司

(74)专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 陈力奕 宋俊寅

(51)Int.Cl.
H10B 12/00(2006.01)
H01L 21/28(2006.01)
H01L 29/417(2006.01)
H01L 29/786(2006.01)
H10B 99/00(2006.01)

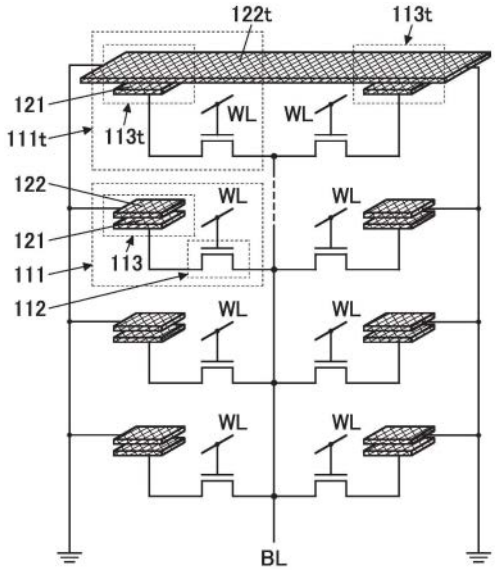
权利要求书2页 说明书48页 附图45页

(54)发明名称

存储装置

(57)摘要

提供一种可以实现微型化或高集成化的半导体装置。存储装置包括第一晶体管、第二晶体管、第一电容器及第二电容器。第一电容器包括第一电极及第二电极。第二电容器包括第一电极及第三电极。第一晶体管的源极和漏极中的一个与第二电极电连接,第二晶体管的源极和漏极中的一个与第三电极电连接,第一电极具有与第二电极、第三电极、第一晶体管及第二晶体管重叠的部分且被供应固定电位或接地电位。



CN 118696613 A

1.一种存储装置,包括:

第一晶体管;

第二晶体管;

第一电容器;以及

第二电容器,

其中,所述第一电容器包括第一电极及第二电极,

所述第二电容器包括所述第一电极及第三电极,

所述第一晶体管的源极和漏极中的一个与所述第二电极电连接,

所述第二晶体管的源极和漏极中的一个与所述第三电极电连接,

并且,所述第一电极具有与所述第二电极、所述第三电极、所述第一晶体管及所述第二晶体管重叠的部分且被供应固定电位或接地电位。

2.根据权利要求1所述的存储装置,

其中所述第一电极具有位于所述第一晶体管的上方的部分及位于所述第一晶体管的侧方的部分。

3.根据权利要求1或2所述的存储装置,还包括:

连接电极,

其中所述第一晶体管的源极和漏极中的另一个与所述连接电极电连接,

并且所述第二晶体管的源极和漏极中的另一个与所述连接电极电连接。

4.根据权利要求3所述的存储装置,

其中所述第一晶体管的所述源极和漏极中的另一个包括第一导电层,

所述第二晶体管的所述源极和漏极中的另一个包括第二导电层,

并且所述连接电极具有与所述第一导电层的顶面接触的部分、与所述第一导电层的侧面接触的部分、与所述第二导电层的顶面接触的部分及与所述第二导电层的侧面接触的部分。

5.根据权利要求3所述的存储装置,还包括:

第三晶体管及第三电容器,

其中所述第三晶体管及所述第三电容器位于所述第一晶体管的下方,

所述第三电容器包括第四电极及第五电极,

所述第四电极被供应接地电位或固定电位,

并且所述第三晶体管的源极和漏极中的一个与所述第五电极电连接且所述第三晶体管的源极和漏极中的另一个与所述连接电极电连接。

6.根据权利要求5所述的存储装置,

其中所述第三晶体管的所述源极和漏极中的另一个包括第三导电层,

并且所述连接电极具有与所述第三导电层的顶面接触的部分及与所述第三导电层的侧面接触的部分。

7.根据权利要求5所述的存储装置,

其中所述第一电极具有位于所述第三晶体管的侧方的部分。

8.根据权利要求7所述的存储装置,

其中所述第四电极与所述第一电极电连接。

9.根据权利要求5所述的存储装置，
其中所述第一晶体管包括半导体层及栅电极，
所述第四电极具有位于所述第一晶体管的下方的部分，
并且所述栅电极具有隔着所述半导体层与所述第四电极重叠的部分。
10.根据权利要求1或2所述的存储装置，
其中所述第一电极及所述第二电极都具有平板形状。
11.根据权利要求1或2所述的存储装置，
其中所述第二电极的顶面具有凹状的部分，
并且所述第一电极具有嵌合于所述第二电极的顶面的凸状的部分。

存储装置

技术领域

[0001] 本发明的一个方式涉及一种晶体管、半导体装置、存储装置以及电子设备。此外，本发明的一个方式涉及一种半导体装置的制造方法。此外，本发明的一个方式涉及一种半导体晶片及模块。

[0002] 注意，在本说明书等中，半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外，半导体电路、运算装置、存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置、电子设备等有时包括半导体装置。

背景技术

[0003] 近年来，已对半导体装置进行开发，LSI、CPU、存储器等主要用于半导体装置。CPU是包括将半导体晶片加工来形成芯片而成的半导体集成电路(至少包括晶体管及存储器)且形成有作为连接端子的电极的半导体元件的集合体。

[0004] LSI、CPU、存储器等的半导体电路(IC芯片)被安装在电路板上，例如安装在印刷线路板上，并被用作各种电子设备的构件之一。

[0005] 此外，通过使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到注目。该晶体管被广泛地应用于集成电路(IC)、图像显示装置(简单地记载为显示装置)等电子设备。作为可以应用于晶体管的半导体薄膜，硅类半导体材料被广泛地周知。作为其他材料，氧化物半导体受到关注。

[0006] 另外，已知使用氧化物半导体的晶体管的泄漏电流在非导通状态下极小。例如，专利文献1公开了应用使用氧化物半导体的晶体管的泄漏电流小的特性的低功耗CPU等。另外，例如，专利文献2公开了利用使用氧化物半导体的晶体管的泄漏电流小的特性实现存储内容的长期保持的存储装置等。

[0007] 近年来，随着电子设备的小型化和轻量化，对集成电路的进一步高密度化的要求提高。此外，有提高包括集成电路的半导体装置的生产率的需求。例如，专利文献3及非专利文献1公开了一种技术，其中通过层叠使用氧化物半导体膜的第一晶体管和使用氧化物半导体膜的第二晶体管，重叠地设置多个存储单元，由此提高集成电路的密度。

[先行技术文献]

[专利文献]

[0008] [专利文献1]日本专利申请公开第2012-257187号公报

[专利文献2]日本专利申请公开第2011-151383号公报

[专利文献3]国际公开第2021/053473号

[非专利文献]

[0009] [非专利文献1]M.Oota et.al,“3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”,IEDM Tech.Dig.,2019,pp.50-53

发明内容

发明所要解决的技术问题

[0010] 本发明的一个方式的目的之一是提供一种可以实现微型化或高集成化的半导体装置。另外,本发明的一个方式的目的之一是提供一种工作速度快的半导体装置。另外,本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。另外,本发明的一个方式的目的之一是提供一种晶体管的电特性不均匀小的半导体装置。另外,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。另外,本发明的一个方式的目的之一是提供一种通态电流大的半导体装置。另外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置。另外,本发明的一个方式的目的之一是提供一种新颖半导体装置。另外,本发明的一个方式的目的之一是提供一种减少工序数的半导体装置的制造方法。另外,本发明的一个方式的目的之一是提供一种包括新颖半导体装置的存储装置。

[0011] 注意,这些目的的记载并不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。注意,可以从说明书、附图、权利要求书等的记载抽出上述以外的目的。

解决技术问题的手段

[0012] 本发明的一个方式是一种存储装置,该存储装置包括第一晶体管、第二晶体管、第一电容器及第二电容器。第一电容器包括第一电极及第二电极。第二电容器包括第一电极及第三电极。第一晶体管的源极和漏极中的一个与第二电极电连接,第二晶体管的源极和漏极中的一个与第三电极电连接,第一电极具有与第二电极、第三电极、第一晶体管及第二晶体管重叠的部分且被供应固定电位或接地电位。

[0013] 另外,在上述结构中,第一电极优选具有位于第一晶体管的上方的部分及位于第一晶体管的侧方的部分。

[0014] 另外,上述任意个存储装置优选还包括连接电极。此时,优选的是,第一晶体管的源极和漏极中的另一个与连接电极电连接,第二晶体管的源极和漏极中的另一个与连接电极电连接。

[0015] 另外,在上述结构中,第一晶体管的源极和漏极中的另一个优选包括第一导电层。第二晶体管的源极和漏极中的另一个优选包括第二导电层。此时,连接电极优选具有与第一导电层的顶面接触的部分、与第一导电层的侧面接触的部分、与第二导电层的顶面接触的部分及与第二导电层的侧面接触的部分。

[0016] 另外,上述存储装置优选还包括第三晶体管及第三电容器。此时,第三晶体管及第三电容器位于第一晶体管的下方。此外,第三电容器包括第四电极及第五电极,第四电极被供应接地电位或固定电位。优选的是,第三晶体管的源极和漏极中的一个与第五电极电连接且第三晶体管的源极和漏极中的另一个与连接电极电连接。

[0017] 另外,在上述结构中,第三晶体管的源极和漏极中的另一个优选包括第三导电层。此时,连接电极优选具有与第三导电层的顶面接触的部分及与第三导电层的侧面接触的部分。

[0018] 另外,在上述结构中,第一电极优选具有位于第三晶体管的侧方的部分。

[0019] 另外,在上述结构中,第四电极优选与第一电极电连接。

[0020] 另外,在上述结构中,第一晶体管优选包括半导体层及栅电极。此时,第四电极具

有位于第一晶体管的下方的部分。并且,栅电极优选具有隔着半导体层与第四电极重叠的部分。

[0021] 另外,在上述结构中,第一电极及第二电极优选都具有平板形状。

[0022] 另外,在上述结构中,优选的是,第二电极的顶面具有凹状的部分,第一电极具有嵌合于第二电极的顶面的凸状的部分。

发明效果

[0023] 根据本发明的一个方式可以提供一种可以实现微型化或高集成化的半导体装置。另外,可以提供一种工作速度快的半导体装置。另外,可以提供一种可靠性高的半导体装置。另外,可以提供一种晶体管的电特性不均匀小的半导体装置。另外,可以提供一种具有良好的电特性的半导体装置。另外,可以提供一种通态电流大的半导体装置。另外,可以提供一种功耗低的半导体装置。另外,可以提供一种新颖半导体装置。另外,可以提供一种减少工序数的半导体装置的制造方法。另外,可以提供一种包括新颖半导体装置的存储装置。

[0024] 注意,这些效果的记载并不妨碍其他效果的存在。注意,本发明的一个方式并不需要具有所有上述效果。注意,可以从说明书、附图、权利要求书等的记载抽出上述以外的效果。

附图简要说明

[0025] 图1A及图1B是示出存储装置的结构例子的图。

图2A及图2B是示出存储装置的结构例子的图。

图3是示出存储装置的结构例子的图。

图4是示出存储装置的结构例子的图。

图5是示出存储装置的结构例子的图。

图6A至图6D是示出存储装置的结构例子的电路图。

图7A是本发明的一个方式的半导体装置的俯视图。图7B至图7D是本发明的一个方式的半导体装置的截面图。

图8是用来说明根据本发明的一个方式的存储装置的结构的电路图。

图9A至图9C是本发明的一个方式的半导体装置的截面图。

图10A及图10B是本发明的一个方式的半导体装置的截面图。

图11A及图11B是本发明的一个方式的半导体装置的截面图。

图12A至图12C是本发明的一个方式的半导体装置的截面图。

图13A是本发明的一个方式的半导体装置的截面图。图13B是本发明的一个方式的半导体装置的俯视图。

图14A是本发明的一个方式的半导体装置的俯视图。图14B至图14D是本发明的一个方式的半导体装置的截面图。

图15A是本发明的一个方式的半导体装置的俯视图。图15B至图15D是本发明的一个方式的半导体装置的截面图。

图16A是本发明的一个方式的半导体装置的截面图。图16B是本发明的一个方式的半导体装置的俯视图。

图17A及图17B是根据本发明的一个方式的半导体装置的截面图。

图18是根据本发明的一个方式的半导体装置的截面图。

图19是根据本发明的一个方式的半导体装置的截面图。

图20是说明存储装置的结构例子的方框图。

图21A及图21B是说明存储装置的结构例子的示意图及电路图。

图22A及图22B是说明存储装置的结构例子的示意图。

图23是说明存储装置的结构例子的电路图。

图24是说明存储装置的结构例子的时序图。

图25A及图25B是用来说明根据本发明的一个方式的存储装置的结构的布局图。

图26是示出根据本发明的一个方式的存储装置的结构的截面图。

图27是示出根据本发明的一个方式的存储装置的结构的截面图。

图28是用来说明根据本发明的一个方式的存储装置的结构的布局图。

图29A及图29B是根据本发明的一个方式的半导体装置的示意图。

图30A及图30B是说明电子构件的一个例子的图。

图31A至图31E是根据本发明的一个方式的存储装置的示意图。

图32A至图32H是示出根据本发明的一个方式的电子设备的图。

图33是示出太空设备的一个例子的图。

实施发明的方式

[0026] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0027] 在附图中,为显而易见,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,在实际的制造工序中,有时由于蚀刻等处理而层或抗蚀剂掩模等被非意图性地减薄,但是为了便于理解有时不反映于附图中。另外,在附图中,有时在不同的附图之间共同使用相同的符号来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加符号。

[0028] 此外,在本说明书等中,为了方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0029] 在本说明书等中,为方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书中所说明的词句,根据情况可以适当地换词句。

[0030] 另外,在本说明书等中,可以互相调换“膜”、“层”和“体”。例如,有时可以将“导电层”变换为“导电膜”或“导电体”,将“绝缘层”变换为“绝缘膜”或“绝缘体”。

[0031] (实施方式1)

在本实施方式中,说明本发明的一个方式的存储装置。本发明的一个方式涉及一种包括多个包括晶体管及电容器的存储单元的存储装置。

[0032] 图1A是本发明的一个方式的存储装置110的立体示意图。

[0033] 存储装置110在衬底130上包括多个存储单元111。存储单元111在横向、纵深方向

及高度方向上以三维周期性地排列。各存储单元111至少包括晶体管112及电容器113。

[0034] 衬底130除了驱动存储单元111所需要的驱动电路、读出电路(包括读出放大器)及电源电路以外还可以包括控制电路、逻辑电路及存储电路等各种电路或外部连接端子。作为衬底130,例如优选使用硅衬底等单晶半导体衬底或SOI衬底。

[0035] 在图1A中,可以将位于相同的层的多个存储单元111统称为存储单元阵列120。图1A示出层叠5层以上的存储单元阵列120的例子,但是也可以为单层或两层以上且四层以下。有时将层叠有存储单元阵列120的结构,即包括以三维排列的所有存储单元的结构称为三维存储单元阵列或叠层存储单元阵列。

[0036] 在此,位于最上方的存储单元111t分别包括电容器113t。电容器113t的一个端子与电极122t电连接。电极122t与多个存储单元111t的每一个的电容器113t电连接。

[0037] 电极122t以覆盖存储装置110所包括的多个存储单元111的方式设置。换言之,电极122t以覆盖三维存储单元阵列的顶面的方式设置。另外,电极122t优选被供应固定电位或接地电位。由此,电极122t被用作能够遮断从外部输入的电噪声并从该噪声保护存储装置110的保护膜(也称为静电遮蔽膜)。通过具有这种电极122t,可以实现可靠性高的存储装置110。

[0038] 在此,电极122t优选构成电容器113t的一部分。图1B是示出存储装置110的一部分的示意图。

[0039] 存储单元111所包括的电容器113包括电极121及电极122。电极121与晶体管112的源极和漏极中的一个电连接。电极122被供应固定电位或接地电位(在此为接地电位)。晶体管112的栅极与用作选择信号线(也称为字线)的布线WL电连接,晶体管112的源极和漏极中的另一个与用作数据线(也称为位线)的布线BL电连接。

[0040] 在相同的层(存储单元阵列120)中,一个布线BL与配置为左右对称的一对存储单元111连接。因此,存储单元阵列120的叠层数的2倍的存储单元111连接于一个布线BL。

[0041] 在位于最上面的存储单元111t中,电容器113t包括电极121及电极122t。电极122t兼作至少两个电容器113t中的一个电极。另外,电极122t以覆盖各晶体管112、布线WL及布线BL的方式设置。

[0042] 另外,电极122t优选不仅设置在三维存储单元阵列的上方,而且还设置在侧方。图2A及图2B示出电极122t的形状不同的例子。

[0043] 在图2A中,以覆盖层叠有多个存储单元阵列120的三维存储单元阵列的顶面及侧面的方式设置有电极122t。在此,存储单元阵列120的叠层数越多,三维存储单元阵列的纵横比(横向或纵深方向上的高度与长度的比例)越大,因此从顶面及侧面都容易受到来自外部的电噪声的影响。因此,优选以覆盖三维存储单元阵列的侧面的方式设置电极122t。

[0044] 注意,为了便于说明,在图2A及图2B中以切口示出电极122t的一部分,但是电极122t优选以覆盖三维存储单元阵列的底面以外的所有面的方式设置。就是说,电极122t优选以覆盖三维存储单元阵列的整个侧面及顶面的方式设置。

[0045] 再者,电极122t的侧部优选到达衬底130。此时,电极122t的一部分优选与设置在衬底130上的布线电连接。由此,可以从衬底130对电极122t直接供应固定电位或接地电位。

[0046] 另外,如图2B所示,优选的是,各存储单元的电容器113的电极122与电极122t电连接,并且通过电极122t被供应固定电位或接地电位(在此为接地电位)。由此,不需要用来从

衬底130对电极122供应电位的连接电极(也称为通孔),所以可以使制造工序简化,可以缩小芯片面积。

[0047] 接着,对本发明的一个方式的存储装置的更具体的例子进行说明。

[0048] 图3示出存储装置的截面示意图。图3示出作为一个例子层叠五个存储单元阵列120时的截面。

[0049] 晶体管112包括半导体层131、栅极绝缘层132、栅电极133及一对电极(电极134a、电极134b)。关于可以用于存储装置的晶体管,将在后面的实施方式中进行详细说明。

[0050] 另外,在高度方向上层叠有与层叠的各晶体管112电连接的多个导电层136。导电层136的叠层体可以称为贯通电极、连接电极、插头等。导电层136与各晶体管的电极134a电连接。另外,位于最下方的导电层136与设置在衬底130上的布线138电连接。在图3中,在高度方向上相邻的两个导电层136之间设置有对与电极121相同的导电膜进行加工来获得的导电层137。换言之,导电层136与导电层137交替连接。

[0051] 晶体管112的电极134b与电容器113或电容器113t的电极121电连接。

[0052] 电容器113包括电极121、电极122以及位于它们之间的用作介电质的绝缘层123。另外,电容器113t包括电极121、电极122t及绝缘层123t。各存储单元111t的电容器113t共同使用绝缘层123t及电极122t。电容器113及电容器113t构成所谓的平行板型电容器。绝缘层123t及电极122t分别具有与电极121重叠的部分、与晶体管112重叠的部分、与导电层136重叠的部分。

[0053] 在此,通过以与位于其上部的存储单元的晶体管112的半导体层131重叠的方式设置电极122,也可以兼作该晶体管112的第二栅电极(背栅电极)。由于电极122被供应固定电位或接地电位,所以通过将这种电极用于晶体管112的背栅极,可以实现晶体管112的阈值电压等电特性的稳定化。

[0054] 另外,图3的右侧示出电极122t覆盖三维存储单元阵列的侧面的情况。电极122t与设置在衬底130上的布线139电连接。布线139例如是被供应接地电位或固定电位的布线。

[0055] 图4示出电容器113及电容器113t的结构与图3不同的例子。

[0056] 以到达晶体管112的电极134b的方式在层间绝缘膜中设置有开口部,沿着该开口部的侧壁及电极134b的顶面层叠地设置有电极121及绝缘层123(或绝缘层123t)。此外,以填充该开口部的方式在绝缘层123(或绝缘层123t)上设置有电极122(或电极122t)。换言之,电极121的顶面具有凹状的部分,电极122具有嵌合于电极121的顶面的凸状的部分。具有这种结构的电容器113及电容器113t可以被称为沟槽型电容器或沟槽电容器。沟槽电容与平行板型电容相比可以增大单位面积的电容值,因此适合于省面积化及高集成化。

[0057] 另外,图4示出在纵方向(高度方向)上相邻的导电层136彼此直接连接的例子。

[0058] 图5示出电极122兼用作晶体管112的背栅极时的结构。电极122具有与其上部的晶体管112所包括的半导体层131重叠的部分。另外,图5示出在最下方的存储单元阵列120的晶体管112中设置有用作背栅极的导电层135的例子。与电极122同样,导电层135被供应固定电位或接地电位。

[0059] 此外,图5示出贯通电极由一个导电层136形成的例子。换言之,具有以贯穿存储单元阵列的叠层体的方式设置有到达布线138的开口,并且导电层136埋入在该开口内部的结构。通过采用这种结构,可以减少贯通电极的形成工序,所以是优选的。

[0060] 接着,说明可用于本发明的一个方式的存储装置的存储单元的结构。

[0061] 图6A、图6B及图6C都示出左右对称地连接两个存储单元的电路图。

[0062] 图6A示出一个存储单元包括一个晶体管112及一个电容器113时的例子。存储单元与布线BL、布线WL及布线CL连接。布线BL被用作位线,布线WL被用作字线。布线CL被供应固定电位或接地电位。

[0063] 在图6A中,晶体管112的栅极与布线WL电连接,晶体管112的源极和漏极中的一个与布线BL电连接,晶体管112的源极和漏极中的另一个与电容器113的一个电极电连接。此外,电容器113的另一个电极与布线CL电连接。

[0064] 图6B具有对图6A的各存储单元追加两个晶体管(晶体管114、晶体管115)的结构。图6B所示的存储单元与布线BL、布线WWL、布线PL、布线SL、布线RWL及布线RL连接。布线WWL及布线RWL被用作字线。布线RL和布线SL中的一个与读出电路电连接,另一个被供应固定电位或信号。布线PL被供应固定电位或接地电位。

[0065] 晶体管112的栅极与布线WWL电连接,晶体管112的源极和漏极中的一个与布线BL电连接,晶体管112的源极和漏极中的另一个与电容器113的一个电极及晶体管114的栅极电连接。电容器113的另一个电极与布线PL电连接。晶体管114的源极和漏极中的一个与布线SL电连接,晶体管114的源极和漏极中的另一个与晶体管115的源极和漏极中的一个电连接。晶体管115的栅极与布线RWL连接,晶体管115的源极和漏极中的另一个与布线RL电连接。

[0066] 注意,在采用图6B所示的结构的情况下,如果不需要则可以不设置晶体管115。此时,晶体管114的源极和漏极中的另一个可以与布线RL电连接。在不设置晶体管115的情况下,在不进行读出的存储单元中,控制供应到布线PL的电位,以不使晶体管114成为导通状态即可。

[0067] 图6C是图6B的变形例子。在图6C中,布线BL兼作布线RL。也就是说,晶体管115的源极和漏极中的另一个与布线BL电连接。通过采用这种结构,可以减少布线数,从而可以实现高集成化。

[0068] 在此,图6A至图6C所示的各晶体管可以使用包括背栅极的晶体管。图6D示出包括背栅极的晶体管。背栅极可以被供应固定电位或接地电位,可以被供应用来控制晶体管的阈值电压的信号,也可以被供应与栅极相同的信号。

[0069] 在本发明的一个方式的存储装置中,设置有覆盖存储单元阵列的被供应固定电位的导电膜,因此可以抑制来自外部的电噪声的影响所导致的数据变化等,由此可以实现可靠性高的存储装置。此外,通过使存储单元所包括的电容元件的电极兼用作该导电膜,可以在抑制成本上升的同时实现可靠性高的存储装置。另外,当通过层叠多个存储单元阵列来追求单位面积的单元个数的增大时,即使叠层结构的纵横比高,也可以由该导电膜覆盖其侧面,因此可以实现兼具高集成度及高可靠性的存储装置。

[0070] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0071] (实施方式2)

在本实施方式中,参照图7A至图13说明本发明的一个方式的半导体装置的一个例子。本发明的一个方式的半导体装置包括晶体管及电容元件并被用作存储装置。

[0072] <半导体装置的结构例子>

参照图7说明包括晶体管及电容元件的半导体装置的结构。图7A至图7D所示的半导体层包括晶体管200a、晶体管200b、电容元件250a及电容元件250b。图7A是该半导体装置的俯视图,图7B至图7D是该半导体装置的截面图。图7B是沿着图7A中的点划线A1-A2的部分的截面图。此外,图7C是沿着图7A中的点划线A3-A4的部分的截面图。另外,图7D是沿着图7A中的点划线A5-A6的部分的截面图。注意,在图7A的俯视图中,为了明确起见,省略一部分构成要素。

[0073] 另外,图7A等所示的X方向平行于晶体管200a及晶体管200b的沟道长度方向,Y方向平行于沟道宽度方向。X方向、Y方向及Z方向彼此垂直。

[0074] 本发明的一个方式的半导体装置包括衬底(未图示)上的绝缘体214、绝缘体214上的晶体管200a、晶体管200b、电容元件250a及电容元件250b、设置在晶体管200a及晶体管200b中的绝缘体275上的绝缘体280、绝缘体280上的绝缘体282、电容元件250a上、电容元件250b上及绝缘体282上的绝缘体285以及导电体240(导电体240a及导电体240b)。绝缘体214、绝缘体280、绝缘体282及绝缘体285被用作层间膜。如图7B所示,晶体管200a、晶体管200b、电容元件250a及电容元件250b以其至少一部分嵌入绝缘体280中的方式配置。

[0075] 在此,晶体管200a及晶体管200b都包括用作半导体层的氧化物230、用作第一栅(也称为顶栅)电极的导电体260、用作第二栅(也称为背栅)电极的导电体205、用作源电极和漏电极中的一个的导电体242a以及用作源电极和漏电极中的另一个的导电体242b。另外,包括用作第一栅极绝缘体的绝缘体253及绝缘体254。另外,包括用作第二栅极绝缘体的绝缘体222及绝缘体224。此外,有时将栅极绝缘体称为栅极绝缘层或栅极绝缘膜。

[0076] 注意,晶体管200a和晶体管200b具有相同结构,因此以下在说明晶体管200a和晶体管200b之间共同的内容时省略附上符号而记为晶体管200进行说明。电容元件250a及电容元件250b也同样地有时记为电容元件250进行说明。

[0077] 第一栅电极及第一栅极绝缘膜配置在形成于绝缘体280及绝缘体275中的开口258中。换言之,导电体260、绝缘体254及绝缘体253配置在开口258中。

[0078] 电容元件250都包括用作下部电极的导电体156、用作电介质的绝缘体153以及用作上部电极的导电体160。换言之,电容元件250都构成MIM(Metal-Insulator-Metal:金属-绝缘体-金属)电容器。

[0079] 电容元件250的上部电极、电介质及下部电极的一部分配置在形成于绝缘体282、绝缘体280及绝缘体275中的开口158中。换言之,导电体160、绝缘体153及导电体156配置在开口158中。

[0080] 半导体装置包括与晶体管200电连接的用作插头(也可以称为连接电极)的导电体240(导电体240a及导电体240b)。导电体240配置在形成于绝缘体280等中的开口206中。导电体240具有与导电体242a的顶面的一部分及侧面的一部分接触的区域。

[0081] 另外,半导体装置包括衬底(未图示)和绝缘体214之间的绝缘体210及导电体209。导电体209以嵌入绝缘体210中的方式配置。导电体209具有与导电体240接触的区域。

[0082] 另外,半导体装置也可以包括绝缘体210及导电体209与绝缘体214之间的绝缘体212。

[0083] 可以将图7A等所示的半导体装置用作存储装置的存储单元。此时,导电体240有时

电连接到读出放大器。在此,电容元件250以其至少一部分与晶体管200中的导电体242b重叠的方式设置。因此,在从平面看时,可以在没有大幅增加占有面积的情况下设置电容元件250,因此可以实现半导体装置的微型化或高集成化。

[0084] 此外,半导体装置具有以图7A所示的点划线A7-A8为对称轴的轴对称的结构。这里,导电体242a兼作晶体管200a及晶体管200b的各源电极和漏电极中的一个。如此,通过作为两个晶体管、两个电容器以及插头的连接关系采用上述结构,可以提供一种可以实现微型化或高集成化的半导体装置。

[0085] 图8示出将半导体装置用作存储装置时的电路图。可以将包括一个晶体管200及一个电容元件250的结构用作存储装置的存储单元。

[0086] 如图8所示,可以将图7A至图7D所示的半导体装置换称为由两个存储单元构成的存储装置。图8中的晶体管Tra、晶体管Trb、电容元件Ca及电容元件Cb分别对应于图7A等中的晶体管200a、晶体管200b、电容元件250a及电容元件250b。

[0087] 在图8中,晶体管Tra的源极和漏极中的一个与布线BL连接,晶体管Tra的源极和漏极中的另一个与电容元件Ca的一个电极连接。电容元件Ca的另一个电极与布线PL连接。晶体管Trb及电容器Cb也是同样的。

[0088] [晶体管200]

晶体管200包括绝缘体214上的绝缘体216、以嵌入绝缘体216中的方式配置的导电体205(导电体205a及导电体205b)、绝缘体216上及导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的氧化物230a、氧化物230a上的氧化物230b、氧化物230b上的导电体242a(导电体242a1及导电体242a2)及导电体242b(导电体242b1及导电体242b2)、氧化物230b上的绝缘体253、绝缘体253上的绝缘体254、位于绝缘体254上并与氧化物230b的一部分重叠的导电体260(导电体260a及导电体260b)、以及配置在绝缘体222上、绝缘体224上、氧化物230a上、氧化物230b上、导电体242a上及导电体242b上的绝缘体275。

[0089] 注意,在本说明书等中,有时将氧化物230a和氧化物230b统称为氧化物230。另外,有时将导电体242a和导电体242b统称为导电体242。

[0090] 绝缘体280及绝缘体275中设置有到达氧化物230b的开口258。此外,开口258中设置有绝缘体253、绝缘体254及导电体260。此外,在晶体管200的沟道长度方向上,导电体242a与导电体242b之间设置有导电体260、绝缘体253及绝缘体254。绝缘体254具有与导电体260的侧面接触的区域及与导电体260的底面接触的区域。

[0091] 氧化物230优选包括绝缘体224上的氧化物230a及氧化物230a上的氧化物230b。当在氧化物230b之下设置有氧化物230a时,可以抑制杂质从形成在氧化物230a下方的结构物扩散到氧化物230b。

[0092] 注意,在晶体管200中氧化物230具有氧化物230a及氧化物230b的两层叠层结构,但是本发明不局限于此。例如,氧化物230可以具有氧化物230b的单层结构或三层以上的叠层结构,也可以具有氧化物230a及氧化物230b分别具有叠层的结构。

[0093] 氧化物230的与导电体260重叠的区域的至少一部分被用作沟道形成区域。图9A示出图7B中的沟道形成区域附近的放大图。如图9A及图7C所示,可以将开口258视为具有如下形状:在以绝缘体222为底面且以绝缘体280及绝缘体275为侧面的开口中,由绝缘体224及氧化物230构成的结构体的一部分凸出的形状。

[0094] 如图9A及图7C所示,以与开口258的底面及内壁(也称为侧壁)接触的方式设置有绝缘体253。因此,绝缘体253与绝缘体222的顶面、绝缘体224的侧面、氧化物230a的侧面、氧化物230b的顶面及侧面、导电体242a及导电体242b的侧面、绝缘体275的侧面、绝缘体280的侧面以及绝缘体254的底面各自的至少一部分接触。

[0095] 如图9A所示,开口258的沟道长度方向的宽度与导电体242a和导电体242b之间的距离大致一致。因此,在氧化物230b的与开口258的沟道长度方向的宽度重叠的区域形成沟道形成区域。这里,导电体242a与导电体242b之间的距离例如优选为60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上。如此,通过晶体管200的沟道形成区域采用非常微小的结构,晶体管200的通态电流增大,因此可以提高频率特性。另外,在设置多个晶体管200时,可以实现小面积化及高密度化。注意,不局限于上述距离,导电体242a与导电体242b之间的距离也可以为60nm以上。

[0096] 此外,通过使晶体管200微型化可以提高高频特性。具体而言,可以提高截止频率。当栅极长度在于上述范围内时,例如在室温环境下,晶体管的截止频率可以为50GHz以上或100GHz以上。

[0097] 注意,图9A示出开口258的侧壁大致垂直于绝缘体222的顶面的结构,但是本发明不局限于此。如图9B所示,开口258的侧壁也可以呈锥形形状。当开口258的侧壁呈锥形形状时,后面的工序中的绝缘体253等的覆盖性得到提高,可以减少空洞等缺陷。

[0098] 在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面倾斜地设置的形状。例如,优选具有倾斜的侧面和衬底面所形成的角度(以下,有时被称为锥角)小于90°的区域。注意,构成要素的侧面及衬底面不一定必须完全平坦,也可以是具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0099] 如图9C所示,在晶体管200的沟道长度方向的截面中,导电体242a和导电体242b之间的距离L2也可以比开口258的宽度小。在此,开口258的宽度对应于图9C所示的绝缘体280和绝缘体253的导电体242a一侧的界面与绝缘体280和绝缘体253的导电体242b一侧的界面之间的距离L1。通过采用这种结构,可以实现导电体242a和导电体242b之间的距离L2非常微小的结构(例如为60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下,且为1nm以上或5nm以上)。另外,因为导电体260具有距离L1大于距离L2的区域,所以可以抑制位于距离L1的区域的导电体260的导电性下降,而可以将导电体260用作布线。

[0100] 另外,如图9C所示,在晶体管200的沟道长度方向的截面中,开口258中的绝缘体280所具有的开口的宽度等于距离L1,开口258中的绝缘体275所具有的开口的宽度等于距离L2。

[0101] 如图9C及图7C所示,可以将开口258视为具有如下形状:在以绝缘体222为底面且以绝缘体280为侧面的开口中,由绝缘体224、氧化物230、导电体242及绝缘体275构成的结构体的一部分凸出的形状。并且,可以视为在由绝缘体224、氧化物230、导电体242及绝缘体275构成的结构体中,夹在导电体242a和导电体242b之间的氧化物230的区域露出。

[0102] 如图9C及图7C所示,以与开口258的底面及内壁(也称为侧壁)接触的方式设置有绝缘体253。因此,绝缘体253与绝缘体222的顶面、绝缘体224的侧面、氧化物230a的侧面、氧化物230b的顶面及侧面、导电体242a及导电体242b的侧面、绝缘体275的侧面、绝缘体280的侧面以及绝缘体254的底面各自的至少一部分接触。另外,绝缘体253上层叠有绝缘体254及

导电体260。因此,以覆盖其一部分凸出在开口258中的导电体242及绝缘体275的方式设置有绝缘体253、绝缘体254及导电体260。

[0103] 沟道形成区域形成在氧化物230b的距离L2的区域中。因此,晶体管200的沟道形成区域具有非常微小的结构。由此,晶体管200的通态电流增大,可以提高频率特性。

[0104] 如图9A所示,氧化物230b具有用作晶体管200的沟道形成区域的区域230bc及以夹着区域230bc的方式设置并用作源极区域或漏极区域的区域230ba及区域230bb。区域230bc的至少一部分与导电体260重叠。区域230ba与导电体242a重叠,区域230bb与导电体242b重叠。

[0105] 与区域230ba及区域230bb相比,其氧空位少或杂质浓度低,所以区域230bc是载流子浓度低的高电阻区域。因此,区域230bc可以说是i型(本征)或实质上i型。

[0106] 此外,区域230ba及区域230bb是与区域230bc相比载流子浓度更高且电阻更低的n型区域。例如,区域230ba及区域230bb是如下区域:由于氧空位多或者氢、氮、金属元素等杂质的浓度高,因此载流子浓度提高,所以被低电阻化。

[0107] 在此,如图9A所示,导电体242a和导电体242b的彼此相对的侧面优选大致垂直于氧化物230b的顶面。因此,可以减少在区域230ba与区域230bc之间以及区域230bb与区域230bc之间形成偏置区域(所谓的Loff区域)。

[0108] 由此,可以提高晶体管200的频率特性来提高根据本发明的一个方式的半导体装置的工作速度。例如,当将根据本发明的一个方式的半导体装置用作存储装置的存储单元时,可以提高写入速度及读出速度。

[0109] 用作沟道形成区域的区域230bc的载流子浓度优选为$1\times10^{18}cm^{-3}$以下,更优选低于$1\times10^{17}cm^{-3}$,进一步优选低于$1\times10^{16}cm^{-3}$,更进一步优选低于$1\times10^{13}cm^{-3}$,还进一步优选低于$1\times10^{12}cm^{-3}$。对用作沟道形成区域的区域230bc的载流子浓度的下限值没有特别的限定,例如,可以将其设定为$1\times10^{-9}cm^{-3}$。

[0110] 此外,也可以在区域230bc与区域230ba或区域230bb之间形成载流子浓度等于或低于区域230ba及区域230bb的载流子浓度且等于或高于区域230bc的载流子浓度的区域。换言之,该区域被用作区域230bc与区域230ba或区域230bb的接合区域。该接合区域的氢浓度有时等于或低于区域230ba及区域230bb的氢浓度且等于或高于区域230bc的氢浓度。此外,该接合区域中的氧空位有时等于或少于区域230ba及区域230bb中的氧空位且等于或多于区域230bc中的氧空位。

[0111] 注意,图9A示出区域230ba、区域230bb及区域230bc形成在氧化物230b中的例子,但是本发明不局限于此。例如,上述各区域也可以形成在氧化物230b和氧化物230a中。

[0112] 在氧化物230中,有时难以明确地检测出各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化,也可以在各区域中逐渐地变化。就是说,越接近沟道形成区域,金属元素和氢及氮等杂质元素的浓度越低即可。

[0113] 优选在晶体管200中将用作半导体的金属氧化物(以下,也称为氧化物半导体)用于具有沟道形成区域的氧化物230(氧化物230a及氧化物230b)。

[0114] 用作半导体的金属氧化物的带隙优选为2eV以上,更优选为2.5eV以上。通过使用带隙较宽的金属氧化物,可以减少晶体管的关态电流。

[0115] 作为氧化物230,例如优选使用铟氧化物、镓氧化物及锌氧化物等金属氧化物。另

外,作为氧化物230,例如优选使用包含选自铟、元素M和锌中的两个或三个的金属氧化物。元素M是选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁中的一种或多种。尤其是,元素M优选为选自铝、镓、钇和锡中的一种或多种。注意,有时将包含铟、元素M及锌的金属氧化物记载为In-M-Zn氧化物。

[0116] 氧化物230优选具有化学组成互不相同的多个氧化物层的叠层结构。例如,优选的是,用于氧化物230a的金属氧化物中的相对于In的元素M的原子个数比大于用于氧化物230b的金属氧化物中的相对于In的元素M的原子个数比。通过采用这样的结构,可以抑制杂质及氧从形成在氧化物230a的下方的结构物扩散到氧化物230b。

[0117] 在此,优选的是,用于氧化物230b的金属氧化物中的相对于元素M的In的原子个数比大于用于氧化物230a的金属氧化物中的相对于元素M的In的原子个数比。通过采用该结构,晶体管200可以得到大通态电流以及高频率特性。

[0118] 此外,当氧化物230a及氧化物230b除了氧以外还包含共同元素作为主要成分时,可以降低氧化物230a与氧化物230b的界面的缺陷态密度。因此,界面散射对载流子传导带来的影响减少,从而晶体管200可以得到大通态电流及高频率特性。

[0119] 具体而言,作为氧化物230a,使用In:M:Zn=1:3:4[原子个数比]或其附近的组成、In:M:Zn=1:3:2[原子个数比]或其附近的组成或者In:M:Zn=1:1:0.5[原子个数比]或其附近的组成的金属氧化物,即可。此外,作为氧化物230b,使用In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:1.2[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或者In:M:Zn=4:2:3[原子个数比]或其附近的组成的金属氧化物,即可。注意,附近的组成包括所希望的原子个数比的±30%的范围。此外,作为元素M优选使用镓。此外,当作为氧化物230设置氧化物230b的单层时,作为氧化物230b也可以使用可用于氧化物230a的金属氧化物。

[0120] 此外,氧化物230a可以使用相对于元素M的In的原子个数比大于氧化物230b的金属氧化物,氧化物230b可以使用相对于In的元素M的原子个数比大于氧化物230a的金属氧化物。通过采用这种结构可以提高可靠性。

[0121] 此外,在通过溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0122] 氧化物230b优选具有结晶性。尤其是,优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为氧化物230b。

[0123] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0124] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性高。

[0125] 此外,当作为氧化物230b使用CAAC-OS等具有结晶性的氧化物时,可以抑制源电极或漏电极从氧化物230b抽出氧。因此,即使进行热处理也可以抑制氧从氧化物230b抽出,所以晶体管200对制造工序中的高温度(所谓热积存:thermal budget)也很稳定。

[0126] 在使用氧化物半导体的晶体管中,当氧化物半导体的沟道形成区域中存在杂质及氧空位时,电特性容易变动而可能使可靠性下降。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为V_0H)而可能会产生成为载流子的电子。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及V_0H。换言之,优选的是,氧化物半导体中的形成沟道的区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0127] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及V_0H。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管200的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧量在衬底面内有不均匀时,包括晶体管的半导体装置特性发生不均匀。此外,在从该绝缘体供应给氧化物半导体的氧扩散到栅电极、源电极及漏电极等导电体时,有时该导电体被氧化,这导致导电性的损失,因此对晶体管的电特性及可靠性带来负面影响。

[0128] 因此,优选的是,在氧化物半导体中,被用作沟道形成区域的区域230bc的载流子浓度得到降低且被i型化或实质上被i型化。另一方面,优选的是,用作源极区域或漏极区域的区域230ba及区域230bb的载流子浓度高且被n型化。就是说,优选降低氧化物半导体的区域230bc中的氧空位及V_0H。另外,优选的是,防止区域230ba及区域230bb被供应过多的氧以及防止区域230ba及区域230bb的V_0H之量被过度降低。另外,优选采用抑制导电体260、导电体242a及导电体242b等的导电率下降的结构。例如,优选采用抑制导电体260、导电体242a及导电体242b等的氧化的结构。注意,氧化物半导体中的氢有可能形成V_0H,所以为了降低V_0H之量需要降低氢浓度。

[0129] 为了降低区域230bc的氢浓度,绝缘体253优选具有俘获氢并固定氢的功能。如图9A等所示,绝缘体253具有与氧化物230b的区域230bc接触的区域。通过采用该结构,可以降低氧化物230b的区域230bc中的氢浓度。因此,可以降低区域230bc中的V_0H而区域230bc被i型化或实质上的i型化。

[0130] 作为具有俘获氢并固定氢的功能的绝缘体,可以举出具有非晶结构的金属氧化物。例如,优选使用氧化镁或者包含铝和铪中的一方或双方的氧化物等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。就是说,可以说具有非晶结构的金属氧化物的俘获或固定氢的能力高。

[0131] 尤其是,作为绝缘体253,优选使用包含铝和铪中的一方或双方的氧化物,更优选使用具有非晶结构并包含铝和铪中的一方或双方的氧化物,进一步优选使用具有非晶结构的氧化铪。在本实施方式中,作为绝缘体253,使用氧化铪。此时,绝缘体253成为至少包含氧及铪的绝缘体。另外,该氧化铪具有非晶结构。此时,绝缘体253具有非晶结构。

[0132] 注意,可用于绝缘体253的绝缘体不局限于上述氢阻挡绝缘体。该绝缘体也可以使用氧化硅或氧氮化硅等的对热具有稳定性的绝缘体。例如,作为绝缘体253也可以使用包括氧化铝膜和氧化铝膜上的氧化硅膜或氧氮化硅膜的叠层膜。此外,例如,作为绝缘体253也可以使用包括氧化铝膜、氧化铝膜上的氧化硅膜或氧氮化硅膜以及氧化硅膜或氧氮化硅膜上的氧化铪膜的叠层膜。

[0133] 再者,为了抑制导电体242a、导电体242b及导电体260的氧化,优选在导电体242a、导电体242b及导电体260的每一个附近设置氧阻挡绝缘体。在本实施方式所说明的半导体装置中,该绝缘体例如为绝缘体253、绝缘体254及绝缘体275。

[0134] 此外,在本说明书等中,阻挡绝缘体是指具有阻挡性的绝缘体。在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0135] 作为氧阻挡绝缘体,可以举出包含铝和铪中的一方或双方的氧化物、氧化镁、氧化镓、铟镓锌氧化物、氮化硅及氮氧化硅等。另外,作为包含铝和铪中的一方或双方的氧化物,可以举出氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。例如,作为绝缘体253、绝缘体254及绝缘体275采用上述氧阻挡绝缘体的单层或叠层即可。

[0136] 作为绝缘体253优选使用至少比绝缘体280不容易使氧透过的膜。绝缘体253具有与导电体242a的侧面及导电体242b的侧面接触的区域,所以可以抑制氧化膜形成在这些侧面。因此,可以抑制晶体管200的通态电流的下降或场效应迁移率的下降。

[0137] 另外,绝缘体253以与氧化物230b的顶面及侧面、氧化物230a的侧面、绝缘体224的侧面及绝缘体222的顶面接触的方式设置,所以可以抑制因热处理等而氧从氧化物230b的区域230bc脱离,从而可以减少区域230bc中的氧空位。此外,即使绝缘体280包含过多的氧,也可以抑制该氧过度供应到氧化物230a及氧化物230b而导致晶体管200的通态电流的下降或场效应迁移率的下降。

[0138] 作为绝缘体254优选使用至少比绝缘体280不容易使氧透过的膜。绝缘体254设置在氧化物230的区域230bc与导电体260之间及绝缘体280与导电体260之间,可以抑制包含在氧化物230的区域230bc中的氧扩散到导电体260而在氧化物230的区域230bc中形成氧空位。此外,绝缘体254设置在绝缘体280与导电体260之间,可以抑制包含在氧化物230及绝缘体280中的氧扩散到导电体260而导致导电体260的氧化。例如,作为绝缘体254优选使用氮化硅。

[0139] 作为绝缘体275优选使用至少比绝缘体280不容易使氧透过的膜。绝缘体275设置在绝缘体280与导电体242a及导电体242b之间,可以抑制包含在绝缘体280中的氧扩散到导电体242a及导电体242b。因此,可以抑制导致导电体242a及导电体242b被氧化使得电阻率增大而晶体管200的通态电流减少。例如,作为绝缘体275优选使用氮化硅。

[0140] 为了抑制区域230ba及区域230bb中的氢浓度降低,优选在区域230ba的附近及区域230bb的附近设置氢阻挡绝缘体。例如,作为绝缘体275使用氢阻挡绝缘体。作为氢阻挡绝缘体,可以举出氧化铝、氧化铪、氧化钽等氧化物以及氮化硅等氮化物。例如,作为绝缘体275采用上述氢阻挡绝缘体的单层或叠层即可。

[0141] 绝缘体275以与区域230ba的侧面及区域230bb的侧面接触的方式配置。此外,绝缘体275配置在区域230ba的侧面及区域230bb的侧面与绝缘体253之间。由此,可以抑制区域230ba及区域230bb的氢向外部扩散,从而可以抑制区域230ba及区域230bb的氢浓度下降。因此,区域230ba及区域230bb可以被n型化。

[0142] 通过采用上述结构,用作沟道形成区域的区域230bc可以被i型化或实质上被i型化且用作源极区域或漏极区域的区域230ba及区域230bb可以被n型化,可以提供一种具有

良好的电特性的半导体装置。即便使半导体装置微型化或高集成化也可以使其具有良好的电特性。

[0143] 绝缘体253被用作栅极绝缘体的一部分。如图7B所示,绝缘体253以与绝缘体275的侧面以及绝缘体280的侧面接触的方式设置。

[0144] 绝缘体253与绝缘体254及导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管200的微型化,绝缘体253的厚度优选小。绝缘体253的厚度为0.1nm以上且5.0nm以下,优选为0.5nm以上且5.0nm以下,更优选为1.0nm以上且小于5.0nm,进一步优选为1.0nm以上且3.0nm以下。此时,绝缘体253的至少一部分是上述厚度的区域即可。

[0145] 为了如上所述地减小绝缘体253的厚度,优选利用原子层沉积(ALD:Atomic Layer Deposition)法进行沉积。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中,通过利用等离子体可以在更低温下进行沉积,所以有时是优选的。

[0146] ALD法可以按层沉积原子,从而有能够沉积极薄的膜、能够对纵横比高的结构进行沉积、能够以针孔等的缺陷少的方式进行沉积、能够进行覆盖性优良的沉积及能够在低温下进行沉积等特征。因此,可以在形成于绝缘体280等中的开口的侧面以及导电体242的侧端部等以上述较小的厚度且高覆盖性沉积绝缘体253。

[0147] ALD法中使用的前驱物有时包含碳等。因此,利用ALD法形成的膜有时与利用其它的沉积方法形成的膜相比包含更多的碳作为杂质。此外,杂质的定量可以利用二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)、X射线光电子能谱(XPS:X-ray Photoelectron Spectroscopy)或俄歇电子能谱(AES:Auger Electron Spectroscopy)进行。

[0148] 注意,绝缘体253的厚度不局限于上述厚度。例如,在包括绝缘体253具有氧化铝膜、氧化铝膜上的氧化硅膜以及氧化硅膜上的氧化铪膜的叠层结构的情况等时,绝缘体253的厚度也可以在0.1nm以上且30nm以下左右的范围内适当地设定。

[0149] 绝缘体254被用作栅极绝缘体的一部分。绝缘体254优选具有氢阻挡性。由此,可以防止包含在导电体260中的氢等杂质扩散到氧化物230b。

[0150] 绝缘体254需要与绝缘体253及导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管200的微型化,绝缘体254的厚度优选小。绝缘体254的厚度为0.1nm以上且5.0nm以下,优选为0.5nm以上且3.0nm以下,更优选为1.0nm以上且3.0nm以下。此时,绝缘体254的至少一部分是上述厚度的区域即可。

[0151] 例如,作为绝缘体254使用利用PEALD法沉积的氮化硅即可。

[0152] 此外,通过作为绝缘体253使用氧化铪等具有抑制氢等杂质及氧的透过的功能的绝缘体,绝缘体253可以兼具绝缘体254所具有的功能。在此情况下,通过采用不设置绝缘体254的结构,可以使半导体装置的制造工序简化,可以实现生产率的提高。

[0153] 绝缘体275以覆盖绝缘体222、绝缘体224、氧化物230a、氧化物230b、导电体242的方式设置。绝缘体275可以具有与绝缘体222的顶面、绝缘体224的侧面、氧化物230a的侧面、氧化物230b的侧面、导电体242a的顶面及侧面、导电体242b的顶面及侧面接触的区域。

[0154] 作为导电体242a、导电体242b及导电体260,优选使用不容易氧化的导电材料或者氧不容易扩散的导电材料。例如可以举出包含氮的导电材料及包含氧的导电材料等。由此,

可以抑制导电体242a、导电体242b及导电体260的导电率降低。

[0155] 导电体242和导电体260中的一方或双方也可以具有叠层结构。例如,如图7B所示,导电体242a和导电体242b也可以都采用两层的叠层结构。此时,作为与氧化物230b接触的层(导电体242a1及导电体242b1),优选使用不容易氧化的导电材料或氧不容易扩散的导电材料。此外,例如,如图7B所示,在导电体260具有导电体260a和导电体260b的叠层结构时,作为导电体260a,优选使用不容易氧化的导电材料或氧不容易扩散的导电材料。

[0156] 此外,优选以在氧化物230b上设置导电体242a及导电体242b的状态在含氧气氛下进行微波处理。由此,可以减少区域230bc中的氧空位及V_OH。在此,微波处理例如是指使用包括利用微波产生高密度等离子体的电源的装置的处理。

[0157] 通过等离子体及微波等的作用,可以使区域230bc的V_OH分开为氧空位及氢,可以从区域230bc去除该氢且由氧填补该氧空位。由此,可以降低区域230bc中的氢浓度、氧空位及V_OH而降低载流子浓度。

[0158] 此时,微波处理的作用被导电体242a及导电体242b遮蔽而不到达区域230ba及区域230bb,因此在区域230ba及区域230bb中不发生V_OH的减少以及过多的氧的供应而可以防止载流子浓度的降低。

[0159] 另外,该微波处理优选在沉积将成为绝缘体253的绝缘膜之后进行。如此,通过经由绝缘体253在含氧气氛下进行微波处理,可以对区域230bc高效地注入氧。另外,通过以与导电体242的侧面及区域230bc的表面接触的方式配置绝缘体253,因此可以抑制导电体242的侧面的氧化。

[0160] 另外,作为注入到区域230bc中的氧,有氧原子、氧分子、氧离子及氧自由基(也称为O自由基,包含不成对电子的原子、分子或者离子)等各种形态。尤其优选为氧自由基。另外,由于可以提高绝缘体253的膜品质,晶体管200的可靠性得到提高。

[0161] 如图7C所示,在晶体管200的沟道宽度方向的截面中,也可以在氧化物230b的侧面与氧化物230b的顶面之间具有弯曲面。

[0162] 上述弯曲面的曲率半径优选大于0nm且小于与导电体242重叠的区域的氧化物230b的厚度或者小于不具有上述弯曲面的区域的一半长度。例如,上述弯曲面的曲率半径大于0nm且为20nm以下,优选为1nm以上且15nm以下,更优选为2nm以上且10nm以下。通过采用上述形状,可以提高绝缘体253、绝缘体254及导电体260的向氧化物230b的覆盖性。

[0163] 此外,在晶体管200的制造工序中,优选在氧化物230的表面露出的状态下进行热处理。该热处理例如可以以100℃以上且600℃以下,更优选以350℃以上且550℃以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,热处理优选在氧气氛下进行。由此,对氧化物230供应氧,从而可以减少氧空位。热处理也可以在减压状态下进行。此外,也可以在氮气体或惰性气体的气氛下进行热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。此外,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理,然后连续地在氮气体或惰性气体的气氛下进行热处理。

[0164] 另外,氧化物230所包含的铟有时集中地分布在氧化物230和绝缘体253的界面及其附近。因此,氧化物230的表面附近具有接近铟氧化物的原子个数比或者接近In-Zn氧化物的原子个数比。在如此氧化物230,尤其是氧化物230b的表面附近的铟的原子个数比较大

时,可以提高晶体管200的场效应迁移率。

[0165] 另外,优选的是,具有抑制氢混入晶体管200的结构。例如,优选以包围晶体管200的方式设置具有抑制水、氢等杂质的扩散的功能的绝缘体212及绝缘体282。

[0166] 绝缘体212可以抑制氢从绝缘体212的下方扩散到晶体管200。作为绝缘体212使用上述可用作绝缘体275的绝缘体即可。

[0167] 绝缘体212、绝缘体214和绝缘体282中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外,优选使用具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0168] 作为绝缘体212、绝缘体214及绝缘体282,例如可以使用氧化铝、氧化镁、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体212,优选使用氢阻挡性更高的氮化硅等。此外,例如,作为绝缘体214及绝缘体282,优选使用俘获氢并固定氢的性能高的氧化铝或氧化镁等。如此,优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体212、绝缘体214及绝缘体282围绕晶体管200的结构。

[0169] 在此,作为绝缘体212、绝缘体214及绝缘体282,优选使用具有非晶结构的氧化物。例如,优选使用AlO_x(x是大于0的任意数)或MgO_y(y是大于0的任意数)等金属氧化物。上述具有非晶结构的金属氧化物由于有时具有氧原子具有悬空键而由该悬空键俘获或固定氢的性质,所以可以俘获或固定存在于晶体管200的周围的氢,尤其是包含在晶体管200的沟道形成区域中的氢。

[0170] 此外,绝缘体212、绝缘体214及绝缘体282优选具有非晶结构,但是也可以在其一部分形成多晶结构的区域。此外,也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如,也可以具有非晶结构的层上形成有多晶结构的层的叠层结构。

[0171] 绝缘体212、绝缘体214及绝缘体282的沉积例如可以利用溅射法进行。溅射法不需要作为沉积气体使用包含氢的分子,所以可以降低绝缘体212、绝缘体214及绝缘体282的氢浓度。作为沉积方法,除了溅射法以外还可以适当地使用化学气相沉积(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、ALD法等。

[0172] 此外,有时优选降低绝缘体212的电阻率。例如,通过使绝缘体212的电阻率约为$1\times10^{13}\Omega$cm,在半导体装置的制造工序的利用等离子体等的处理中,有时绝缘体212可以缓和导电体205、导电体242、导电体260或导电体240的电荷积聚(charge up)。绝缘体212的电阻率优选为$1\times10^{10}\Omega$cm以上且$1\times10^{15}\Omega$cm以下。

[0173] 此外,绝缘体216、绝缘体280及绝缘体285的介电常数优选比绝缘体214低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体216、绝缘体280及绝缘体285,适当地使用氧化硅、氧氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等即可。

[0174] 导电体205以与氧化物230及导电体260重叠的方式配置。在此,导电体205优选以嵌入形成在绝缘体216的开口中的方式设置。此外,导电体205的一部分有时嵌入绝缘体214中。

[0175] 导电体205包括导电体205a及导电体205b。导电体205a以与该开口的底面及侧壁

接触的方式设置。导电体205b以嵌入形成在导电体205a的凹部中的方式设置。在此,导电体205b的顶面的高度与导电体205a的顶面的高度及绝缘体216的顶面的高度大致一致。

[0176] 在此,作为导电体205a优选使用氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质不容易扩散的导电材料。或者,优选使用氧(例如,氧原子和氧分子等中的至少一个)不容易扩散的导电材料。

[0177] 通过作为导电体205a使用氢不容易扩散的导电材料,可以防止含在导电体205b中的氢等杂质通过绝缘体216及绝缘体224等扩散到氧化物230。此外,通过作为导电体205a使用氧不容易扩散的导电材料,可以抑制导电体205b被氧化而导电率下降。作为氧不容易扩散的导电材料,例如优选使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。因此,作为导电体205a使用单层或叠层的上述导电材料即可。例如,作为导电体205a使用氮化钛即可。

[0178] 此外,导电体205b优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体205b可以使用钨。

[0179] 在将导电体205用作第二栅电极的情况下,通过独立地改变施加到导电体205的电位而不使其与施加到导电体260的电位联动,可以控制晶体管200的阈值电压(Vth)。尤其是,通过对导电体205施加负电位,可以进一步增大晶体管200的Vth而减少关态电流。

[0180] 在此,绝缘体216的厚度与导电体205的厚度大致相同。绝缘体216的厚度优选在导电体205的设计(电阻值)允许的范围内尽量薄。绝缘体216越薄膜中的氢等杂质的绝对量越少,所以是优选的。

[0181] 另外,如图7A所示,导电体205优选延伸到氧化物230a及氧化物230b的沟道宽度方向的端部的外侧的区域且与导电体260隔着绝缘体重叠。由此,可以由用作第一栅电极的导电体260的电场和用作第二栅电极的导电体205的电场电围绕氧化物230的沟道形成区域。

[0182] 在本说明书等中,将至少由第一栅电极的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel(S-channel)结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。另一方面,可以将在本说明书等中公开的S-channel结构视为Fin型结构的一种。另外,在本说明书等中,Fin型结构是指以至少包围沟道的两个面以上(具体而言,两个面、三个面或四个面等)的方式配置栅电极的结构。通过采用Fin型结构及S-channel结构,可以提高对短沟道效应的耐性,换言之可以实现不容易发生短沟道效应的晶体管。

[0183] S-channel结构是电围绕沟道形成区域的结构,所以也可以说该结构在实质上与GAA(Gate All Around:全环绕栅极)结构或LGAA(Lateral Gate All Around:横向全环绕栅极)结构相同。通过采用这种结构,可以将形成在氧化物230与栅极绝缘体的界面或其附近的沟道形成区域设置在氧化物230的整个块体。因此,可以期待晶体管的通态电流或晶体管的场效应迁移率的提高。

[0184] 注意,但是本发明的一个方式的半导体装置不局限于此。例如,作为可用于本发明的一个方式的晶体管的结构,也可以采用选自平面型结构、Fin型结构和GAA结构中的任一个或多个。

[0185] 此外,如图7C所示,将导电体205延伸来用作布线。但是,本发明不局限于此,也可以在导电体205下设置用作布线的导电体。此外,不一定需要在每一个晶体管中设置一个导电体205。例如,多个晶体管可以共同使用导电体205。

[0186] 注意,示出在晶体管200中作为导电体205层叠有导电体205a及导电体205b的结构,但是本发明不局限于此。例如,导电体205可以具有单层结构,也可以具有三层以上的叠层结构。

[0187] 绝缘体222中优选氢(例如,氢原子和氢分子等中的至少一个)不容易扩散。此外,绝缘体222中优选氧(例如,氧原子和氧分子等中的至少一个)不容易扩散。例如,与绝缘体224相比,绝缘体222中优选氢和氧中的一方或双方更不容易扩散。

[0188] 绝缘体222优选包含作为绝缘材料的铝和铪中的一方或双方的氧化物。例如,优选使用氧化铝、氧化铪、铝酸铪等。或者,优选使用包含铪及锆的氧化物(铪锆氧化物)。当使用这种材料时,绝缘体222被用作抑制氧从氧化物230释放到衬底一侧及氢等杂质从晶体管200的周围部扩散到氧化物230的层。

[0189] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。或者,也可以对上述绝缘体进行氮化处理。另外,绝缘体222可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0190] 此外,绝缘体222例如也可以使用氧化铝、氧化铪、氧化钽、氧化锆、铪锆氧化物等所谓的high-k材料。由此可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,作为绝缘体222有时可以使用锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)、(Ba,Sr)TiO_3(BST)等介电常数高的物质。

[0191] 作为与氧化物230接触的绝缘体224,例如适当地使用氧化硅、氧氮化硅等即可。

[0192] 此外,绝缘体222及绝缘体224也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。此外,如图7B等所示,绝缘体224也可以形成为岛状且与氧化物230a重叠。在此情况下,绝缘体275与绝缘体224的侧面及绝缘体222的顶面接触。注意,在本说明书等中,岛状是指以同一工序形成并使用同一材料的两个以上的层物理分离的状态。

[0193] 作为导电体242(导电体242a及导电体242b)例如优选使用氮化钽、氮化钛、氮化钼、氮化钨、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用氮化钽。此外,例如也可以使用氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0194] 注意,尤其是,当作为导电体242a及导电体242b使用包含钽的氮化物时,包含在氧化物230b等中的氢容易扩散到导电体242a或导电体242b,所以是优选的。该扩散的氢有时与导电体242a或导电体242b所包含的氮键合。也就是说,有时包含在氧化物230b等中的氢被导电体242a或导电体242b吸取。

[0195] 此外,优选在导电体242的侧面与导电体242的顶面之间不形成弯曲面。通过使导电体242不具有该弯曲面,如图7D等所示,可以增大沟道宽度方向的截面上的导电体242的截面积。从而,增大导电体242的导电率,由此可以增大晶体管200的通态电流。

[0196] 另外,如图7A所示,导电体242a在晶体管200a和晶体管200b之间的区域中具有开口。另外,以与该开口重叠的方式设置有导电体240。在晶体管200的俯视中,该开口的大小优选小于导电体240的大小。通过采用该结构,可以形成导电体242a和导电体240接触的区域。由此,使导电体242a和导电体240电连接。

[0197] 注意,在图7A所示的存储单元中示出晶体管200a和晶体管200b的导电体242a成为一体的结构,但本发明不局限于此。例如,也可以采用使晶体管200a的导电体242a和晶体管200b的导电体242a分离的结构。通过采用这种结构,可以将导电体242的Y方向的宽度设定为最小线宽度,由此可以实现半导体装置的高集成化。此时,晶体管200a的导电体242a的顶面的一部分及侧面的一部分与导电体240接触且晶体管200b的导电体242a的顶面的一部分及侧面的一部分与导电体240接触。通过采用这种结构,用作插头的导电体240、晶体管200a及晶体管200b电连接。

[0198] 另外,当在导电体242a(导电体242b)与氧化物230b接触的状态下进行热处理时,与导电体242a(导电体242b)重叠的区域的氧化物230b中有时载流子浓度增加而薄层电阻降低。因此,可以使与导电体242a(导电体242b)重叠的区域的氧化物230b自对准地低电阻化。

[0199] 在图7A至图7D所示的半导体装置中,导电体242具有两层的叠层结构。具体而言,导电体242a包括导电体242a1以及导电体242a1上的导电体242a2。同样地,导电体242b包括导电体242b1以及导电体242b1上的导电体242b2。此时,将导电体242a1及导电体242b1配置在与氧化物230b接触一侧。

[0200] 导电体242a1和导电体242a2分别可以使用与导电体242b1和导电体242b2相同的材料及工序形成,后面对此进行详细的说明。

[0201] 注意,下面有时将导电体242a1和导电体242b1统称为导电体242的下层。另外,有时将导电体242a2和导电体242b2统称为导电体242的上层。

[0202] 导电体242的下层优选由不易氧化的导电材料构成。由此,可以抑制导电体242的导电率下降。此外,导电体242的下层也可以具有容易吸取(提取)氢的特性。由此,氧化物230所包括的氢扩散到导电体242的下层,可以减少氧化物230的氢浓度。因此,可以使晶体管200具有稳定的电特性。

[0203] 另外,导电体242的上层的导电性优选比导电体242的下层高。例如,使导电体242的上层的厚度大于导电体242的下层的厚度即可。导电体242的上层的至少一部分具有导电性高于导电体242的下层的区域即可。或者,导电体242的上层优选由电阻率比导电体242的下层低的导电材料构成。由此,可以制造布线延迟得到抑制的半导体装置。

[0204] 另外,导电体242的上层也可以具有容易吸取氢的特性。由此,被导电体242的下层吸取的氢还扩散到导电体242的上层,而可以进一步降低氧化物230中的氢浓度。因此,可以使晶体管200具有稳定的电特性。

[0205] 当导电体242具有两层的叠层结构时,也可以使导电体242的下层及上层的构成元素、化学组成和沉积条件中的一个或多个不同。

[0206] 例如,作为导电体242的下层可以使用氮化钽或氮化钛,作为导电体242的上层可以使用钨。通过采用该结构,可以抑制导电体242的下层氧化而导致导电体242的导电率下降。另外,通过采用该结构,可以由具有氧阻挡性的绝缘体275以及具有不易氧化的特性的导电体242的下层围绕导电体242的上层。因此,可以抑制导电体242的上层的氧化,而可以制造抑制布线延迟的半导体装置。另外,通过作为导电体242的上层使用钨,可以将导电体242用作布线。

[0207] 或者,例如,作为导电体242的下层也可以使用氮化钽,作为导电体242的上层也可

以使用氮化钛。氮化钛的导电性比氮化钽高,因此可以降低与以接触于导电体242的顶面的方式设置的导电体240的接触电阻

[0208] 另外,示出了作为导电体242的下层及导电体242的上层使用互不相同的导电材料的例子,但本发明不局限于此。导电体242的下层及上层也可以使用构成元素相同且化学组成不同的导电材料。此时,通过以不暴露于大气环境的方式连续沉积导电体242的下层和上层,可以防止来自大气环境的杂质或水分附着于导电体242的下层表面,由此可以保持导电体242的下层与导电体242的上层的界面附近的清洁。

[0209] 此外,优选的是,作为导电体242的下层使用相对于钽的氮的原子个数比高的氮化钽,作为导电体242的上层使用相对于钽的氮的原子个数比低的氮化钽。例如,作为导电体242的下层,使用如下氮化钽:相对于钽的氮的原子个数比为1.0以上且2.0以下,优选为1.1以上且1.8以下,更优选为1.2以上且1.5以下。例如,作为导电体242的上层,使用如下氮化钽:相对于钽的氮的原子个数比为0.3以上且1.5以下,优选为0.5以上且1.3以下,更优选为0.6以上且1.0以下。

[0210] 通过提高相对于钽的氮的原子个数比,可以提高氮化钽的耐氧化性且抑制氧扩散到氮化钽中。作为导电体242的下层,优选使用这种氮化钽。由此,可以防止氧化层形成在导电体242的下层与氧化物230之间,或者可以减小氧化层的厚度。

[0211] 此外,通过降低相对于钽的氮的原子个数比,可以降低氮化钽的电阻率。因此,作为导电体242的上层,优选使用相对于钽的氮的原子个数比低的氮化钽。由此,可以制造布线延迟得到抑制的半导体装置。

[0212] 注意,在导电体242的上层和下层使用构成元素相同的材料的情况下,有时难以明确地检测出上层与下层的边界。

[0213] 注意,示出在晶体管200中导电体242具有两层的叠层结构,但是本发明不局限于此。例如,导电体242可以具有单层结构,也可以具有三层以上的叠层结构。在结构体具有叠层结构的情况下,有时按形成顺序赋予序数以进行区别。

[0214] 另外,导电体260以其顶面的高度与绝缘体254的最上部、绝缘体253的最上部及绝缘体280的顶面的高度大致一致的方式配置。

[0215] 被用作第一栅电极的导电体260包括导电体260a以及导电体260a上的导电体260b。导电体260a以包围导电体260b的底面及侧面的方式配置。虽然在图7B及图7C中导电体260具有导电体260a和导电体260b的两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0216] 作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。或者,优选使用具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能的导电材料。

[0217] 此外,当导电体260a具有抑制氧扩散的功能时,可以抑制绝缘体280等所包含的氧使导电体260b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。

[0218] 另外,导电体260以嵌入延伸在沟道宽度方向上的开口258中的方式形成,导电体260也在沟道宽度方向上延伸地设置。由此,当设置多个晶体管200时,也可以将导电体260用作布线。另外,此时,绝缘体253及绝缘体254也与导电体260一起延伸地设置。

[0219] 此外,由于导电体260还被用作布线,所以优选使用导电性高的导电体。例如,导电体260b可以使用钨、铜或铝为主要成分的导电材料。此外,导电体260b可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0220] 此外,以嵌入形成于绝缘体280等中的开口258中的方式自对准地形成导电体260。通过如此形成导电体260,可以在导电体242a和导电体242b之间的区域中无需对准并确实地配置导电体260。

[0221] 此外,如图7C所示,在晶体管200的沟道宽度方向上,以绝缘体222的底面为基准时的不与氧化物230b重叠的区域的导电体260的底面的高度优选比氧化物230b的底面的高度低。通过采用用作栅电极的导电体260隔着绝缘体253等覆盖氧化物230b的沟道形成区域的侧面及顶面的结构,使导电体260的电场容易作用于氧化物230b的沟道形成区域整体。由此,可以提高晶体管200的通态电流及频率特性。以绝缘体222的底面为基准时的不与氧化物230a及氧化物230b重叠的区域的导电体260的底面的高度与氧化物230b的底面的高度之差为0nm以上且100nm以下,优选为3nm以上且50nm以下,更优选为5nm以上且20nm以下。

[0222] 绝缘体280设置在绝缘体275上,设置有绝缘体253、绝缘体254及导电体260的区域中形成有开口258。此外,绝缘体280的顶面也可以被平坦化。

[0223] 优选的是,用作层间膜的绝缘体280的介电常数低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。绝缘体280例如优选使用与绝缘体216同样的材料形成。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。特别是,因为氧化硅、氧氮化硅、具有空孔的氧化硅等材料容易形成包含通过加热脱离的氧的区域,所以是特别优选的。

[0224] 绝缘体280中的水、氢等杂质浓度优选得到降低。例如,作为绝缘体280适当地使用氧化硅、氧氮化硅等包含硅的氧化物即可。

[0225] 绝缘体282以接触于导电体260、绝缘体253、绝缘体254及绝缘体280的各顶面的至少一部分的方式配置。绝缘体282被用作抑制水、氢等杂质从上方向绝缘体280扩散的阻挡绝缘膜。

[0226] 在作为绝缘体282使用氧化铝的情况下,优选通过溅射法沉积。尤其是,更优选在含氧气体气氛下使用铝靶材通过脉冲DC溅射法沉积氧化铝。由此,可以使膜厚分布更均匀而提高溅射速率及膜品质。在此,也可以对衬底施加RF功率。可以根据对衬底施加的RF功率的大小控制注入到绝缘体282的下层中的氧量。例如,RF功率越小注入到绝缘体282的下层中的氧量就越少,即使绝缘体282较薄该氧量也容易饱和。另外,RF功率越大注入到绝缘体282的下层中的氧量就越多。

[0227] 在图7A至图7D等中,示出绝缘体282具有单层的结构,但是本发明不局限于此,也可以采用两层以上的叠层结构。例如,绝缘体282也可以采用两层叠层结构。

[0228] 以上是晶体管200的说明。

[0229] [电容元件250]

图10A是图7B所示的电容元件250及其附近的放大图,图10B是图7D所示的电容元件250及其附近的放大图。

[0230] 电容元件250包括导电体156、绝缘体153以及导电体160(导电体160a及导电体160b)。导电体156被用作电容元件250的一对电极中的一个(也称为下部电极),导电体160

被用作电容元件250的一对电极中的另一个(也称为上部电极),绝缘体153被用作电容元件250的电介质。

[0231] 导电体156、绝缘体153、导电体160a及导电体160b的至少一部分配置在设置于绝缘体275、绝缘体280及绝缘体282中的开口158中。导电体156设置在导电体242b上,绝缘体153设置在导电体156上,导电体160a设置在绝缘体153上,导电体160b设置在导电体160a上。

[0232] 导电体156沿着形成于绝缘体275、绝缘体280及绝缘体282中的开口158配置。导电体156的顶面的一部分的高度优选比绝缘体282的顶面的高度高。此外,导电体156的底面与导电体242b的顶面接触。导电体156优选利用ALD法或CVD法等覆盖性良好的沉积法沉积,使用可用于导电体205、导电体260或导电体242的导电体即可。例如,通过作为导电体156使用与导电体242b相同的导电材料,可以降低导电体156和导电体242b的接触电阻。例如,作为导电体156可以使用利用ALD法沉积的氮化钛或氮化钽。

[0233] 绝缘体153以覆盖导电体156及绝缘体282的一部分的方式配置。绝缘体153优选使用高介电常数(high-k)材料(相对介电常数较高的材料)。绝缘体153优选通过ALD法或CVD法等覆盖性高的沉积方法沉积。例如可以使用包含选自铝、铪、锆和镓等金属元素中的一种以上的氧化物、氧氮化物、氮氧化物或氮化物。此外,上述也可以包含硅。

[0234] 例如,作为高介电常数(high-k)材料的绝缘体,可以使用氧化铝、氧化铪、氧化锆、包含铝及铪的氧化物、包含铝及铪的氧氮化物、包含硅及铪的氧化物、包含硅及铪的氧氮化物、包含硅及锆的氧化物、包含硅及锆的氧氮化物、包含铪及锆的氧化物、包含铪及锆的氧氮化物等。

[0235] 此外,优选层叠使用由上述材料形成的绝缘膜,优选使用高介电常数(high-k)材料及其介电强度比该高介电常数(high-k)材料大的材料的叠层结构。例如,可以使用如下绝缘膜:依次层叠氧化锆、氧化铝、氧化锆的绝缘膜;依次层叠氧化锆、氧化铝、氧化锆、氧化铝的绝缘膜;依次层叠铪锆氧化物、氧化铝、铪锆氧化物、氧化铝的绝缘膜。通过使用介电强度较大的绝缘体的叠层,可以抑制电容元件250的静电破坏。

[0236] 导电体160以嵌入形成于绝缘体275、绝缘体280及绝缘体282中的开口158中的方式配置。导电体160优选使用ALD法或CVD法等沉积,也可以使用可用于导电体205或导电体260的导电体。例如,作为导电体160a,可以使用利用ALD法沉积的氮化钛,作为导电体160b可以使用利用CVD法沉积的钨。此外,当钨的相对于绝缘体153的密接性充分高时,作为导电体160也可以使用利用CVD法沉积的钨的单层膜。

[0237] 开口158以到达导电体242b的方式设置。也就是说,可以说开口158具有与导电体242b重叠的区域。导电体242b为晶体管200的源电极和漏电极中的另一个,通过与设置于开口158中的导电体156的底面接触,可以使晶体管200与电容元件250电连接。

[0238] 优选的是,在从平面看时开口158与氧化物230的距离近。通过采用这种结构,可以缩减包括电容元件250及晶体管200的存储单元的占有面积。此外,在从平面看时开口158的形状可以为四角形、四角形以外的多角形状、其角部呈弯曲的多角形状或包括椭圆的圆形形状。

[0239] 如图10A及图10B所示,以与开口158的底面及内壁接触的方式设置有导电体156。因此,导电体156与绝缘体275、绝缘体280及绝缘体282的侧面、导电体242b1的侧面、导电体

242b2的侧面及顶面以及绝缘体222的顶面接触。此外,以与导电体156的顶面接触的方式设置有绝缘体153,以与绝缘体153的顶面接触的方式设置有导电体160a,以与导电体160a的顶面接触的方式设置有导电体160b。

[0240] 通过使电容元件250具有上述结构,如图10A及图10B所示,可以形成在开口158的底面及侧面以隔着绝缘体153使导电体156与导电体160对置的方式配置的电容元件250。因此,通过使开口158的深度(也可以说绝缘体280的厚度)变深,可以增大电容元件250的静电电容。如此,通过增大单位面积的电容元件250的静电电容,可以使存储装置的读出工作稳定。

[0241] 如图10A所示,导电体156的一部分、绝缘体153的一部分及导电体160的一部分以从开口158露出的方式设置。换言之,导电体156的一部分、绝缘体153的一部分及导电体160的一部分形成于导电体260的顶面的上方或绝缘体282的顶面的上方。

[0242] 导电体156的一部分及绝缘体153的一部分与绝缘体282的顶面接触。也就是说,导电体156的侧端部被绝缘体153覆盖。再者,导电体160优选具有隔着绝缘体153与绝缘体282重叠的区域。在此,如图10A所示,导电体160的侧端部与绝缘体153的侧端部大致对齐。通过采用这种结构,可以由绝缘体153使导电体160与导电体156分离,因此可以抑制导电体160与导电体156的短路。

[0243] 此外,也可以将导电体160的绝缘体282的上方的部分引绕成布线状。例如,如图7D所示,可以将导电体160延伸设置在晶体管200的沟道宽度方向上。由此,当设置多个晶体管200及电容元件250时,也可以将导电体160用作布线。另外,此时,绝缘体153也可以与导电体160一起延伸设置。

[0244] 电容元件250也可以具有如图11A及图11B所示那样的结构。这里,图11A是对应图7B中的电容元件250的放大图,图11B是对应图7D中的电容元件250的放大图。

[0245] 电容元件250也可以具有如图11A及图11B所示那样导电体156的最上部与绝缘体282的顶面大致对齐的结构。

[0246] 电容元件250也可以具有如图11A及图11B所示那样绝缘体153的一部分从导电体160露出的结构。

[0247] 电容元件250也可以具有如图11B所示那样在沟道宽度方向的截面中导电体242b的一部分从导电体156露出的结构。

[0248] 电容元件250也可以具有如图12A及图12B所示那样的结构。这里,图12A是对应图7B中的电容元件250的放大图,图12B是对应图7D中的电容元件250的放大图。

[0249] 电容元件250如图12A所示那样也可以在开口158中在导电体242b下形成有绝缘体224、氧化物230a及氧化物230b。此时,如图12B所示,导电体156优选以与绝缘体224的侧面、氧化物230a的侧面、氧化物230b的侧面及导电体242的侧面接触的方式设置。由此,由于电容元件250沿着绝缘体224的侧面、氧化物230a的侧面、氧化物230b的侧面及导电体242的侧面形成,所以可以增大电容元件250的静电电容。

[0250] 或者,电容元件250例如也可以具有图12C所示的形状。具体而言,与图11A所示的结构同样地,开口158的一部分与导电体242b重叠,与图12A所示的结构同样地,开口158的其他部分与导电体242b、氧化物230b、氧化物230a及绝缘体224重叠。

[0251] 图10A至图12C示出开口158的侧壁大致垂直于绝缘体222的顶面的结构,但是本发

明不局限于此。开口158的侧壁也可以呈锥形形状。当开口158的侧壁呈锥形形状时,后面工序中的绝缘体153等的覆盖性得到提高,可以减少空洞等缺陷。

[0252] 以上是电容元件250的说明。

[0253] [贯通电极的结构例子]

导电体240以与形成在绝缘体285、绝缘体280、绝缘体275、导电体242a、绝缘体216及绝缘体212中的开口206的内壁接触的方式设置。另外,导电体240具有与导电体209的顶面接触的区域。另外,也可以说导电体242a的一部分凸出到开口206内。

[0254] 导电体240被用作电连接开关、晶体管、电容器、电感器、电阻器及二极管等电路元件、布线、电极或端子与晶体管200的插头或布线。导电体240可以被称为贯通电极。

[0255] 导电体240优选具有导电体240a和导电体240b的叠层结构(两层结构)。例如,如图7B所示,作为导电体240可以采用如下结构:以与上述开口的内壁接触的方式设置有导电体240a,并且其内侧设置有导电体240b。就是说,导电体240a配置在绝缘体285、绝缘体280、绝缘体275、导电体242a、绝缘体216及绝缘体212附近。

[0256] 这里,导电体240a优选利用ALD法等覆盖性良好的沉积法沉积。通过如此沉积,导电体240a的大概形状与开口206的内壁所形成的形状大致一致。注意,在图7B等中,导电体240a的厚度均匀,但是有时被导电体242a遮蔽的部分等具有厚度较薄的部分或没有沉积的部分。

[0257] 作为导电体240a优选使用具有抑制水、氢等杂质的透过的功能的导电材料。例如,也可以以单层或叠层使用钽、氮化钽、钛、氮化钛、钌或氧化钌等。此外,可以抑制包含在绝缘体282的上方的层中的水、氢等杂质通过导电体240混入到氧化物230。

[0258] 此外,由于导电体240还被用作布线,所以优选使用导电性高的导电体。例如,导电体240b可以使用钨、铜或铝为主要成分的导电材料。

[0259] 例如,优选的是,作为导电体240a使用氮化钛,作为导电体240b使用钨。此时,导电体240a为包含钛及氮的导电体,导电体240b为包含钨的导电体。

[0260] 注意,在晶体管200中,作为导电体240采用导电体240a和导电体240b的两层结构,但是本发明不局限于此。例如,导电体240也可以具有单层结构或三层以上的多层结构。在具有多层结构时,有时按形成顺序赋予序数以进行区别。另外,虽然在图7B中未图示,但是导电体240的顶面的高度有时比绝缘体285的顶面的高度高。

[0261] 图13A是示出导电体240接触的区域及其附近的放大图。如图13A所示,导电体240配置在绝缘体285、绝缘体280、绝缘体275、导电体242a、绝缘体216及绝缘体212中的开口206内。另外,设置在绝缘体212与绝缘体216间的绝缘体214具有开口206a。另外,设置在绝缘体216与绝缘体275间的绝缘体222具有开口206b。另外,设置在绝缘体280与绝缘体285间的绝缘体282具有开口206c。另外,在图13A所示的截面图中,将开口206的宽度记作宽度W1,将开口206a的宽度记作宽度W3a,将开口206b的宽度记作宽度W3b,并且将开口206c的宽度记作宽度W3c。

[0262] 在此,图13B是对应于图13A的平面图。如图13B所示,优选的是,从平面看时开口206与开口206a的至少一部分、开口206b的至少一部分及开口206c的至少一部分重叠。另外,如图13B所示,优选的是,从平面看时开口206配置在开口206a的内侧、开口206b的内侧及开口206c的内侧。在此情况下,如图13A所示,宽度W1小于宽度W3a、宽度W3b及宽度W3c。由

此,与绝缘体214、绝缘体222及绝缘体282的侧面相比,绝缘体212、绝缘体216、绝缘体275、绝缘体280及绝缘体285的侧面向导电体240一侧凸出。

[0263] 通过使开口206具有上述结构,可以以不蚀刻绝缘体214、绝缘体222及绝缘体282的方式形成开口206。如上所述,绝缘体214、绝缘体222及绝缘体282例如为由氧化铝或氧化铪等所谓的难蚀刻材料构成的绝缘层。在上述由难蚀刻材料构成的绝缘层夹在形成开口206的区域时,由难蚀刻材料构成的绝缘层的蚀刻速率与其他绝缘层的蚀刻速率之差变大,因此开口206有可能具有异常形状。

[0264] 在本实施方式中,以与形成开口206的区域重叠的方式在绝缘体214、绝缘体222及绝缘体282中分别形成开口206a、开口206b及开口206c。由此,在形成开口206时不需要蚀刻由难蚀刻材料构成的绝缘层,所以可以以高成品率制造开口206而提高存储装置的生产率。另外,优选的是,开口206的侧壁可以大致垂直于衬底面或导电体209的顶面等。由此,可以减小开口206的占有面积而减少每一个存储单元的占有面积,所以可以增大存储装置的单位面积的存储容量。

[0265] 另外,如图13A所示,有时以与绝缘体282的开口206c重叠的方式在绝缘体280的顶面形成凹部。另外,有时以嵌入开口206c及该凹部中的方式形成绝缘体285。在此情况下,在绝缘体282与导电体240间形成绝缘体285。

[0266] 另外,如图13A所示,在A1-A2方向上导电体240包括具有宽度W1的区域及具有宽度W2的区域。宽度W1对应于与开口206的侧壁接触的导电体240的宽度。此外,宽度W2对应于导电体242a中的开口的宽度。此外,如上所述,在将导电体242a分开地设置在晶体管200a一侧和晶体管200b一侧时,宽度W2对应于晶体管200a一侧的导电体242a和晶体管200b一侧的导电体242a的距离。

[0267] 如图13A所示,宽度W1优选比宽度W2大。在该结构中,导电体240至少与导电体242a的顶面的一部分及侧面的一部分接触。因此,可以增大导电体240和导电体242a的接触区域的面积。在此,如图13A所示,在开口206中导电体242a的侧面比绝缘体280及绝缘体275的侧面凸出。在本说明书等中,有时将导电体240和导电体242a的接触称为顶侧接触。

[0268] 如图13A所示,导电体240也可以与导电体242a的底面的一部分接触。通过采用该结构,可以进一步增大导电体240和导电体242a的接触区域的面积。在此,如图13A所示,在开口206中,导电体242a的侧面比绝缘体216的侧面凸出。

[0269] 如上所述,通过增大导电体240与导电体242a的接触面积,可以降低接触电阻。由此,可以实现根据本发明的存储装置的工作速度的提高、功耗的降低。

[0270] 另外,如上所述,当在绝缘体216的顶面形成重叠于开口206b的凹部时,以嵌入该凹部中的方式形成导电体242a1及导电体242a2。此时,导电体242a1接触于氧化物230b的顶面及侧面、氧化物230a的侧面、绝缘体224的侧面、绝缘体222的侧面以及绝缘体216的凹部的顶面及侧面。

[0271] 导电体209被用作开关、晶体管、电容器、电感器、电阻器及二极管等电路元件的一部分、布线、电极或端子。

[0272] 另外,绝缘体210被用作层间膜。作为绝缘体210,使用上述可用于绝缘体214、绝缘体216等的绝缘体即可。

[0273] 以上是有关贯通电极的说明。

[0274] 〈半导体装置的构成材料〉

以下,说明可用于半导体装置的构成材料。

[0275] 〈〈衬底〉〉

作为形成晶体管200的衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅、锗为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如SOI(Silicon On Insulator:绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包括金属氮化物的衬底、包括金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电阻器、开关元件、发光元件、存储元件等。

[0276] 〈〈绝缘体〉〉

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0277] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等的问题。通过作为用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面,通过将相对介电常数较低的材料用于用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0278] 作为相对介电常数较高的绝缘体,可以举出氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物或者含有硅及铪的氮化物等。

[0279] 作为相对介电常数较低的绝缘体,可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0280] 此外,通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制氢等杂质及氧的透过的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0281] 此外,被用作栅极绝缘体的绝缘体优选为具有包含通过加热脱离的氧的区域的绝缘体。例如,通过采用具有包含通过加热脱离的氧的区域的氧化硅或者氧氮化硅接触于氧化物230的结构,可以填补氧化物230所包含的氧空位。

[0282] 〈〈导电体〉〉

作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝

的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0283] 尤其是,作为被用作栅电极的导电体,优选使用包含含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,可以使用氮化钛、氮化钽等包含氮的导电材料。此外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获被形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0284] <<金属氧化物>>

作为氧化物230,优选使用被用作半导体的金属氧化物(氧化物半导体)。下面,对可用于根据本发明的氧化物230的金属氧化物进行说明。

[0285] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。此外,除此之外,优选还包含铝、镓、钇、锡等。此外,也可以包含选自硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁和钴等中的一种或多种。

[0286] 在此考虑金属氧化物为包含铟、元素M及锌的In-M-Zn氧化物的情况。注意,元素M为铝、镓、钇或锡。作为可以应用于元素M的其他元素,有硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁、钴等。注意,作为元素M有时也可以组合多个上述元素。尤其是,元素M优选为选自镓、铝、钇和锡中的一种或多种。

[0287] 尤其是,作为晶体管的半导体层,优选使用包含铟(In)、镓(Ga)及锌(Zn)的氧化物(也记载为IGZO)。或者,作为晶体管的半导体层,也可以使用包含铟(In)、铝(Al)及锌(Zn)的氧化物(也记载为IAZO)。或者,作为半导体层,也可以使用包含铟(In)、铝(Al)、镓(Ga)及锌(Zn)的氧化物(IAGZO或IGAZO)。

[0288] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0289] 以下,作为金属氧化物的一个例子说明包含铟(In)、镓(Ga)及锌(Zn)的氧化物。注意,有时将包含铟(In)、镓(Ga)及锌(Zn)的氧化物称为In-Ga-Zn氧化物。

[0290] <结晶结构的分类>

作为氧化物半导体的结晶结构,可以举出非晶(包括completely amorphous)、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、单晶(single crystal)及多晶(poly crystal)等。

[0291] <<氧化物半导体的结构>>

此外,在着眼于氧化物半导体的结构的情况下,有时氧化物半导体的分类与上述不同。例如,氧化物半导体可以分为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶

氧化物半导体等。

[0292] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0293] [CAAC-OS]

CAAC-OS是具有多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0294] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶也称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。

[0295] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0296] <包括氧化物半导体的晶体管>

接着,说明将上述氧化物半导体用于晶体管的情况。

[0297] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。

[0298] 优选将载流子浓度低的氧化物半导体用于晶体管。例如,氧化物半导体的载流子浓度可以为$1\times10^{17}cm^{-3}$以下,优选为$1\times10^{15}cm^{-3}$以下,更优选为$1\times10^{13}cm^{-3}$以下,进一步优选为$1\times10^{11}cm^{-3}$以下,更进一步优选低于$1\times10^{10}cm^{-3}$,且为$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,降低氧化物半导体膜中的杂质浓度以降低缺陷态密度即可。

[0299] <<其他半导体材料>>

能够用于氧化物230的半导体材料不局限于上述金属氧化物。作为氧化物230,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将硅等单个元素的半导体、砷化镓等化合物半导体、被用作半导体的层状物质(也称为原子层物质、二维材料等)等用于半导体材料。特别是,优选将用作半导体的层状物质用于半导体材料。

[0300] 在此,在本说明书等中,层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键及离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性,即,具有高二维导电性。通过将用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0301] 作为层状物质,有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。

此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、鉝。此外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0302] 作为氧化物230,例如优选使用用作半导体的过渡金属硫族化物。作为能够用作氧化物230的过渡金属硫族化物,具体地可以举出硫化钼(典型的是MoS_2)、硒化钼(典型的是$MoSe_2$)、碲化钼(典型的是$MoTe_2$)、硫化钨(典型的是WS_2)、硒化钨(典型的是WSe_2)、碲化钨(典型的是WTe_2)、硫化铪(典型的是HfS_2)、硒化铪(典型的是$HfSe_2$)、硫化锆(典型的是ZrS_2)、硒化锆(典型的是$ZrSe_2$)等。通过将上述过渡金属硫族化物用于氧化物230,可以提供一种通态电流大的半导体装置。

[0303] <半导体装置的变形例子>

以下,使用图14A至图16B说明本发明的一个方式的半导体装置的一个例子。

[0304] 图14A至图14D所示的半导体装置是图7A至图7D所示的半导体装置的变形例子。图14A至图14D所示的半导体装置的与图7A至图7D所示的半导体装置的不同之处在于包括绝缘体283及绝缘体221。

[0305] 绝缘体283设置在绝缘体282和绝缘体285之间。此时,导电体156的一部分及绝缘体153的一部分与绝缘体283的顶面接触。作为绝缘体283,优选使用上述氢不容易扩散的绝缘体。

[0306] 在夹在绝缘体212与绝缘体283的区域内设置与绝缘体280接触且具有俘获氢等杂质的功能的绝缘体282。由此可以俘获包含在绝缘体280等中的氢等杂质而将该区域内的氢量为一定的值。尤其是,绝缘体282优选使用具有非晶结构的氧化铝。

[0307] 在此,优选的是,除了绝缘体282以外,还在绝缘体283中形成开口206c。

[0308] 注意,图14A至图14D示出在晶体管200中设置单层的绝缘体283的结构,但是本发明不局限于此。例如,绝缘体283也可以具有两层以上的叠层结构。

[0309] 绝缘体221设置在绝缘体216及导电体205与绝缘体222之间。绝缘体221优选不容易扩散氢。由此,可以抑制氢从绝缘体221的下方扩散到晶体管200。注意,绝缘体221也可以兼作绝缘体212,而不设置绝缘体212。作为绝缘体221,使用上述可用于绝缘体275的绝缘体即可。

[0310] 在此,有时在绝缘体221中形成与形成在绝缘体222中的开口206b重叠的开口。另外,在绝缘体221的厚度较厚时,有时形成与形成在绝缘体222中的开口206b重叠的凹部。

[0311] 另外,如图14B及图14C所示,导电体205也可以具有导电体205a、导电体205b及导电体205c的三层的叠层结构。

[0312] 与导电体205a同样,导电体205c中优选氢不容易扩散。由此,可以由导电体205a及导电体205c包围导电体205b,可以防止含在导电体205b中的氢等杂质通过绝缘体216及绝缘体224等扩散到氧化物230。此外,可以抑制导电体205b被氧化。

[0313] 图15A至图15D所示的半导体装置是图7A至图7D所示的半导体装置的变形例子。另外,图16A是放大图15B所示的导电体240附近的截面图,图16B是对应于图16A的平面图。图15及图16所示的半导体装置与图7A至图7D所示的半导体装置不同之处在于:前者在绝缘体214中具有开口206d;前者在绝缘体222中具有开口206e;以及前者在绝缘体282中具有开口206f。另外,在图16A所示的截面图中,将开口206d的宽度记作宽度W3d,将开口206e的宽度记作宽度W3e,并且将开口206f的宽度记作宽度W3f。

[0314] 如图16B所示,优选的是,从平面看时开口206d、开口206e及开口206f配置在开口206的内侧。在此情况下,如图16A所示,宽度W3d、宽度W3e及宽度W3f小于宽度W1。因此,与绝缘体212、绝缘体216、绝缘体275、绝缘体280及绝缘体285的侧面相比,绝缘体214、绝缘体222及绝缘体282的侧面向导电体240一侧凸出。

[0315] 根据本发明的一个方式可以提供一种新颖晶体管。另外,可以提供一种可以实现微型化或高集成化的半导体装置。此外,可以提供一种频率特性良好的半导体装置。另外,可以提供一种工作速度快的半导体装置。另外,可以提供一种晶体管特性的不均匀小的半导体装置。另外,可以提供一种具有良好的电特性的半导体装置。另外,可以提供一种可靠性高的半导体装置。另外,可以提供一种通态电流大的半导体装置。另外,可以提供一种场效应迁移率高的半导体装置。另外,可以提供一种功耗低的半导体装置。

[0316] 可以将本实施方式所示的包括晶体管200及电容元件250的半导体装置用作存储装置的存储单元。晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管(以下,有时被称为OS晶体管)。因为晶体管200的关态电流小,所以通过将其用于存储装置,可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频率极低,所以可以充分降低存储装置的功耗。另外,由于晶体管200的频率特性高,所以可以进行高速的存储装置的读出及写入。

[0317] 另外,通过将可用作存储单元的包括晶体管200及电容元件250的半导体装置配置为矩阵状,可以构成存储单元阵列。作为存储单元阵列的一个例子,图17A示出在A1-A2方向上排列多个上述存储单元的例子。

[0318] 图17A示出相邻的电容元件250a的导电体160与电容元件250b的导电体160分离的结构,但本发明不局限于此。例如,如图17B所示,也可以使相邻的电容元件250a的导电体160与电容元件250b的导电体160形成为一体。此时,也可以使相邻的电容元件250a的绝缘体153与电容元件250b的绝缘体153形成为一体。

[0319] 另外,作为上述存储单元,除了平面结构以外,还可以采用叠层结构。图18示出层叠多个包括上述存储单元的层的结构的截面图。此时,可以说存储装置具有如下结构:包括多个包括存储单元的层,该存储单元包括晶体管200及电容元件250,多个该层被层叠。或者,可以说存储装置具有如下结构:包括多个至少包括两个存储单元的层,多个该层被层叠。在此,有时将含有晶体管200a及电容元件250a的存储单元称为第一存储单元,将含有晶体管200b及电容元件250b的存储单元称为第二存储单元。

[0320] 另外,在图18中,接触于绝缘体210及导电体209的包括存储单元的层设置有绝缘体212,但是该层上的层不设置有绝缘体212。注意,不局限于此,包括存储单元的所有层也可以都设置有绝缘体212。

[0321] 注意,在图18中层叠多个包括存储单元的层,但是不局限于此。例如,也可以层叠多个包括图17A或图17B所示的存储单元阵列的层。此时,可以说存储装置包括多个包括存储单元阵列的层,该存储单元阵列设置有包括晶体管200及电容元件250的存储单元,多个该层被层叠。

[0322] 如图18所示,存储装置所包括的多个层都具有开口206。具体而言,存储装置所包括的多个层都具有第一存储单元和第二存储单元之间的开口206。更具体而言,存储装置所包括的多个层都具有晶体管200a和晶体管200b之间的开口206。另外,多个层所具有的各开

口206具有重叠的区域。因为多个层所具有的各开口206具有重叠的区域,所以可以同时形成多个层所具有的各开口206。因此,可以简化存储装置的制造工序来提高生产率。

[0323] 此外,在位于最上部的存储单元阵列中,在电容元件250a与电容元件250b之间共同设置有绝缘体153、导电体160a及导电体160b。另外,绝缘体153、导电体160a及导电体160b都具有与位于它们下方的晶体管200a、晶体管200b、电容元件250a及电容元件250b重叠的区域。

[0324] 另外,在图18所示的存储装置中,下侧的包括存储单元的层中的绝缘体285和上侧的包括存储单元的层中的绝缘体216间设置绝缘体214,但是本发明不局限于此。例如,如图19所示,也可以采用如下结构:在下侧的包括存储单元的层中的绝缘体285和上侧的包括存储单元的层中的绝缘体216间不设置绝缘体214,并且下侧的包括存储单元的层中的绝缘体285与上侧的包括存储单元的层中的绝缘体216接触。通过采用上述结构,在包括存储单元的层的每一个的制造工序中,不需要进行绝缘体214的沉积及开口206a的形成。因此,可以简化存储装置的制造工序而提高生产率。

[0325] 注意,在图19所示的存储装置中,下侧的包括存储单元的层中的绝缘体285及上侧的包括存储单元的层中的绝缘体216分别使用不同绝缘体,但是本发明不局限于此。例如,也可以采用如下结构:下侧的包括存储单元的层中的绝缘体285和上侧的包括存储单元的层中的绝缘体216为一体。

[0326] 另外,在图19所示的存储装置中,接触于绝缘体210及导电体209的包括存储单元的层也不设置有绝缘体214及绝缘体212,但是本发明不局限于此。例如,图19所示的存储装置也可以采用如下结构:只在接触于绝缘体210及导电体209的包括存储单元的层中与图18同样地设置绝缘体214及绝缘体212。通过采用上述结构,可以抑制杂质等从包括绝缘体210及导电体209的层的下方向包括存储单元的层扩散。

[0327] 如图18及图19所示,通过层叠多个存储单元,可以集成地配置单元而无需增大存储单元阵列的占有面积。就是说,可以构成3D存储单元阵列。

[0328] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0329] (实施方式3)

在本实施方式中,说明将上述实施方式中说明的半导体装置用作存储单元的存储装置的结构例子。在本实施方式中说明存储装置的结构例子,其中包括层叠的存储单元的层之间设置有包括具有放大保持在存储单元中的数据电位并将其输出的功能的功能电路的层。

[0330] [存储装置的结构例子]

图20是示出根据本发明的一个方式的存储装置300的结构例子的方框图。图20所示的存储装置300包括驱动电路21及存储器阵列20。存储器阵列20包括具有多个存储单元10及多个功能电路51的功能层50。

[0331] 图20示出存储器阵列20包括配置为m行n列(m及n为2以上的整数)的矩阵状的多个存储单元10的例子。此外,作为一个例子按每个用作位线的布线BL设置功能电路51。图20示出包括对应n个布线BL设置的多个功能电路51的例子。

[0332] 在图20中,将第1行第1列存储单元10表示为存储单元10[1,1],将第m行第n列存储

单元10表示为存储单元10[m,n]。另外,在本实施方式等中,有时记作“i行”来表示任意行。另外,有时记作“j列”来表示任意列。因此,i为1以上且m以下的整数,j为1以上且n以下的整数。另外,在本实施方式等中,将第i行第j列存储单元10表示为存储单元10[i,j]。在本实施方式等中,当表示为“i+α”(α为正整数或负整数)时,“i+α”不小于1且不大于m。同样,当表示为“j+α”时,“j+α”不小于1且不大于n。

[0333] 另外,存储器阵列20包括延伸在行方向上的m个布线WL、延伸在行方向上的m个布线PL以及延伸在列方向上的n个布线BL。在本实施方式等中,将第一个(第1行)设置的布线WL表示为布线WL[1],将第m个(第m行)设置的布线WL表示为布线WL[m]。同样地,将第一个(第1行)设置的布线PL表示为布线PL[1],将第m个(第m行)设置的布线PL表示为布线PL[m]。同样地,将第一个(第1列)设置的布线BL表示为布线BL[1],将第n个(第n列)设置的布线BL表示为布线BL[n]。

[0334] 设置在第i行的多个存储单元10与第i行布线WL(布线WL[i])和第i行布线PL(布线PL[i])电连接。设置在第j列的多个存储单元10与第j列布线BL(布线BL[j])电连接。

[0335] 存储器阵列20可以使用DOSRAM(注册商标)(Dynamic Oxide Semiconductor Random Access Memory)。DOSRAM是包括1T(晶体管)1C(电容器)型存储单元的RAM,且是存取晶体管为OS晶体管的存储器。OS晶体管在关闭状态下流过源极和漏极之间的电流,即泄漏电流极小。在DOSRAM中,通过关闭存取晶体管(使其处于非导通状态),可以长时间保持根据保持在电容器中的数据的电荷。因此,与使用在沟道形成区域中包含硅的晶体管(以下,也被称为“Si晶体管”)构成的DRAM相比,DOSRAM的刷新工作的频率可以更低。其结果是,可以实现低功耗化。

[0336] 存储单元10如实施方式1等所说明那样通过层叠配置OS晶体管,可以层叠设置存储单元10。例如在图20所示的存储器阵列20中可以层叠设置多个存储器阵列20[1]至20[m]。通过将存储器阵列20所包括的存储器阵列20[1]至20[m]配置在垂直于设置有驱动电路21的衬底表面的方向上,可以提高存储单元10的存储器密度。此外,存储器阵列20可以在垂直方向上反复使用相同的制造工序制造。存储装置300可以降低存储器阵列20的制造成本。

[0337] 布线BL被用作进行数据的写入及读出的位线。布线WL被用作控制用作开关的存取晶体管的开启或关闭(导通状态或非导通状态)的字线。布线PL除了作为连接到电容器的恒电位线的功能以外还具有向作为存取晶体管的OS晶体管的背栅极传输背栅极电位的功能。作为传输背栅极电位的布线,可以另行设置布线CL(未图示)。

[0338] 存储器阵列20[1]至20[m]分别包括的存储单元10通过布线BL与功能电路51连接。布线BL可以配置在垂直于设置有驱动电路21的衬底表面的方向上。通过将从存储器阵列20[1]至20[m]所包括的存储单元10延伸设置的布线BL设置在垂直于衬底表面的方向上,可以缩短存储器阵列20与功能电路51之间的布线的长度。因此,由于可以缩短连接于位线的两个电路之间的信号传输距离且可以大幅度降低位线的电阻及寄生电容,所以可以降低功耗及信号延迟。此外,即使降低存储单元10所包括的电容器的电容也可以进行工作。

[0339] 功能电路51具有放大保持在存储单元10中的数据电位并将其通过后述的布线GBL(未图示)输出到驱动电路21所包括的读出放大器46的功能。通过采用该结构,可以在读出数据时将布线BL的微小的电位差放大。布线GBL与布线BL同样地可以配置在垂直于设置有

驱动电路21的衬底表面的方向上。通过将从存储器阵列20[1]至20[m]所包括的存储单元10延伸设置的布线BL及布线GBL设置在垂直于衬底表面的方向上,可以缩短功能电路51与读出放大器46之间的布线的长度。因此,由于可以缩短连接于布线GBL的两个电路之间的信号传输距离且大幅度降低布线GBL的电阻及寄生电容,所以可以降低功耗及信号延迟。

[0340] 布线BL以与存储单元10所包括的晶体管的半导体层接触的方式设置。或者布线BL以与存储单元10所包括的晶体管的半导体层的用作源极或漏极的区域接触的方式设置。或者布线BL以与接触于存储单元10所包括的晶体管的半导体层的用作源极或漏极的区域的导电体接触的方式设置。也就是说,布线BL可以说是使存储器阵列20的各层中的存储单元10所包括的晶体管的源极和漏极中的一个与功能电路51在垂直方向上电连接的布线。

[0341] 存储器阵列20可以重叠设置在驱动电路21上。通过重叠设置驱动电路21和存储器阵列20,可以缩短驱动电路21和存储器阵列20之间的信号传输距离。因此,驱动电路21和存储器阵列20之间的电阻及寄生电容得到降低,可以实现功耗及信号延迟的降低。另外,可以实现存储装置300的小型化。

[0342] 通过与DOSRAM的存储单元10所包括的晶体管同样地由OS晶体管构成功能电路51,可以与存储器阵列20[1]至20[m]同样地将功能电路51自由地配置在使用Si晶体管的电路上等,由此可以容易地进行集成化。通过采用由功能电路51放大信号的结构可以使后级的电路的读出放大器46等的电路小型化,从而可以实现存储装置300的小型化。

[0343] 驱动电路21包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电路41、控制电路32(Control Circuit)及电压生成电路33。

[0344] 在存储装置300中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0345] 此外,信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0346] 控制电路32为具有控制存储装置300的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置300的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0347] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0348] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。此外,外围电路41是输出用来控制功能电路51的各种信号的电路。外围电路41包括行译码器42(Row Decoder)、列译码器44(Column Decoder)、行驱动器43(Row Driver)、列驱动器45(Column Driver)、输入电路47(Input Cir.)、输出电路48(Output Cir.)及读出放大器46(Sense Amplifier)。

[0349] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指

定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择由行译码器42指定的布线WL的功能。列驱动器45具有如下功能:将数据写入到存储单元10的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。

[0350] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入到存储单元10的数据(Din)。由列驱动器45从存储单元10读出的数据(Dout)被输出至输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置300的外部的功能。从输出电路48输出的数据为信号RDA。

[0351] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置300的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开启/关闭,利用信号PON2控制PSW23的开启/关闭。在图20中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0352] 存储器阵列20包括存储器阵列20[1]至20[m](m为2以上的整数)及功能层50,可以在驱动电路21上重叠设置多个层的存储器阵列20。通过重叠设置多个层的存储器阵列20,可以提高存储单元10的存储器密度。图21A是示出在驱动电路21上重叠设置5层(m=5)的存储器阵列20[1]至20[5]及功能层50的情况的存储装置300的立体图。

[0353] 在图21A中,将设置在第一层中的存储器阵列20记作存储器阵列20[1],将设置在第二层中的存储器阵列20记作存储器阵列20[2],将设置在第五层中的存储器阵列20记作存储器阵列20[5]。图21A示出延伸设置在X方向上的布线WL、布线PL及布线CL以及延伸设置在Z方向(垂直于设置有驱动电路的衬底表面的方向)上的布线BL。注意,为了使附图更易懂,省略存储器阵列20的每一个所包括的布线WL及布线PL的一部分的记载。

[0354] 图21B示出说明图21A所示的连接于布线BL的功能电路51及连接于布线BL的存储器阵列20[1]至20[5]所包括的存储单元10的结构例子的示意图。此外,图21B示出设置在功能电路51与驱动电路21之间的布线GBL。另外,将一个布线BL与多个存储单元(存储单元10)电连接的结构也称为“存储器串(memory string)”。注意,在附图中,为了提高易见度,有时用粗线示出布线GBL。

[0355] 图21B示出连接于布线BL的存储单元10的电路结构的一个例子。存储单元10包括晶体管11及电容器12。关于晶体管11、电容器12及各布线(BL及WL等),例如有时将布线BL[1]及布线WL[1]称为布线BL及布线WL等。

[0356] 在存储单元10中,晶体管11的源极和漏极中的一个与布线BL连接。晶体管11的源极和漏极中的另一个与电容器12的一个电极连接。电容器12的另一个电极与布线PL连接。晶体管11的栅极与布线WL连接。晶体管11的背栅极与布线CL连接。

[0357] 布线PL是供应用来保持电容器12的电位的恒电位的布线。布线CL是供应用来控制晶体管11的阈值电压的恒电位的布线。布线PL与布线CL的电位也可以相等。此时,通过连接两个布线,可以减少连接于存储单元10的布线数。

[0358] 图21B所示的布线GBL以电连接驱动电路21与功能层50之间的方式设置。图22A示出以功能电路51以及存储器阵列20[1]至20[m]为重复单位70的存储装置300的示意图。虽然图22A中示出一个布线GBL,但也可以根据功能层50中的功能电路51的数量适当地设置布线GBL。

[0359] 布线GBL以与功能电路51所包括的晶体管的半导体层接触的方式设置。或者,布线GBL以与功能电路51所包括的晶体管的半导体层的用作源极或漏极的区域接触的方式设置。或者,布线GBL以与接触于功能电路51所包括的晶体管的半导体层的用作源极或漏极的区域的导电体接触的方式设置。也就是说,布线GBL可以说是使功能层50的功能电路51所包括的晶体管的源极和漏极中的一个与驱动电路21在垂直方向上电连接的布线。

[0360] 此外,也可以具有层叠包括功能电路51及存储器阵列20[1]至20[m]的重复单位70的结构。本发明的一个方式的存储装置300A如图22B所示可以包括重复单位70[1]至70[p](p为2以上的整数)。布线GBL与重复单位70所包括的功能层50连接。根据功能电路51的个数适当地设置布线GBL即可。

[0361] 在本发明的一个方式中,在层叠设置OS晶体管的同时将被用作位线的布线配置在垂直于设置有驱动电路21的衬底表面的方向上。通过在垂直于衬底表面的方向上设置从存储器阵列20延伸设置的用作位线的布线,可以缩短存储器阵列20与驱动电路21之间的布线的长度。因此,可以大幅度降低位线的寄生电容。

[0362] 本发明的一个方式在设置有存储器阵列20的层中包括功能层50,该功能层50包括具有放大保持在存储单元10中的数据电位并将其输出的功能的功能电路51。通过采用该结构,可以将读出数据时用作位线的布线BL的微小的电位差放大而可以驱动驱动电路21所包括的读出放大器46。由于可以使读出放大器等的电路小型化,所以可以实现存储装置300的小型化。此外,即使降低存储单元10所包括的电容器12的电容也可以进行工作。

[0363] [存储器阵列20及功能电路51的结构例子]

参照图23说明图20至图22所说明的功能电路51的结构例子以及存储器阵列20及驱动电路21所包括的读出放大器46的结构例子。图23示出驱动电路21,该驱动电路21连接于布线GBL(GBL_A、GBL_B),该布线GBL(GBL_A、GBL_B)连接于功能电路51(51_A、51_B),且该功能电路51(51_A、51_B)连接于与不同的布线BL(BL_A、BL_B)连接的存储单元10(10_A、10_B)。作为图23所示的驱动电路21,除了读出放大器46以外还示出预充电电路71_A、预充电电路71_B、开关电路72_A、开关电路72_B及写入读出电路73。

[0364] 作为功能电路51_A、51_B示出晶体管52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b。图23所示的晶体管52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b与存储单元10所包括的晶体管11同样地是OS晶体管。包括功能电路51的功能层50可以与存储器阵列20[1]至20[m]同样地层叠设置。

[0365] 布线BL_A及BL_B与晶体管52_a、52_b的栅极连接。布线GBL_A及GBL_B与晶体管53_a、53_b、54_a、54_b的源极和漏极中的一个连接。与布线BL_A及BL_B同样地,布线GBL_A及GBL_B设置在垂直方向上并与驱动电路21所包括的晶体管连接。如图23所示,晶体管53_a、53_b、54_a、54_b、55_a、55_b的栅极被供应控制信号WE、RE、MUX。

[0366] 构成图23所示的读出放大器46、预充电电路71_A及预充电电路71_B的晶体管81_1至81_6及82_1至82_4由Si晶体管构成。构成开关电路72_A及开关电路72_B的开关83_A至83_D也可以由Si晶体管构成。晶体管53_a、53_b、54_a、54_b的源极和漏极中的一个与构成预充电电路71_A、预充电电路71_B、读出放大器46、开关电路72_A的晶体管或开关连接。

[0367] 预充电电路71_A包括n沟道型的晶体管81_1至81_3。预充电电路71_A是根据供应给预充电线PCL1的预充电信号将布线BL_A及BL_B预充电至相当于VDD与VSS之间的电位

VDD/2的中间电位VPC的电路。

[0368] 预充电电路71_B包括n沟道型的晶体管81_4至81_6。预充电电路71_B是根据供应给预充电线PCL2的预充电信号将布线GBL_A及布线GBL_B预充电至相当于VDD与VSS之间的电位VDD/2的中间电位VPC的电路。

[0369] 读出放大器46包括连接于布线VHH或布线VLL的p沟道型的晶体管82_1、82_2及n沟道型的晶体管82_3、82_4。布线VHH或布线VLL是具有供应VDD或VSS的功能的布线。晶体管82_1至82_4是构成反相器环路的晶体管。通过选择存储单元10_A、10_B而布线BL_A及布线BL_B被预充电的电位变化,根据该变化将布线GBL_A及布线GBL_B的电位设定为高电源电位VDD或低电源电位VSS。布线GBL_A及布线GBL_B的电位可以经过开关83_C及开关83_D及写入读出电路73输出到外部。布线BL_A及布线BL_B以及布线GBL_A及布线GBL_B相当于位线对。写入读出电路73根据信号EN_data被控制数据信号的写入。

[0370] 开关电路72_A是控制读出放大器46与布线GBL_A及布线GBL_B之间的导通状态的电路。开关电路72_A通过控制切换信号CSEL1可以切换开启或关闭。在开关83_A及83_B为n沟道晶体管的情况下,在切换信号CSEL1为高电平时开启,而在切换信号CSEL1为低电平时关闭。开关电路72_B是控制写入读出电路73与连接于读出放大器46的位线对之间的导通状态的电路。开关电路72_B通过控制切换信号CSEL2可以切换开启或关闭。开关83_C及83_D可以具有与开关83_A及83_B同样的结构。

[0371] 如图23所示,存储装置300可以具有通过设置在最短距离的垂直方向上的布线BL及布线GBL使存储单元10、功能电路51与读出放大器46连接的结构。包括构成功能电路51的晶体管的功能层50增加,但通过降低布线BL的负载,可以缩短写入时间且可以易于读出数据。

[0372] 如图23所示,功能电路51_A、51_B所包括的各晶体管根据控制信号WE、RE及控制信号MUX控制。各晶体管可以根据控制信号及选择信号将布线BL的电位经过布线GBL输出到驱动电路21。功能电路51_A、51_B可以被用作由OS晶体管构成的读出放大器。通过采用该结构,可以在读出时将布线BL的微小的电位差放大,可以驱动使用Si晶体管的读出放大器46。

[0373] [存储单元20、功能电路51及读出放大器46的工作例子]

图24示出说明图23所示的电路图的工作的时序图。在图24所示的时序图中,期间T11对应于写入工作的期间、期间T12对应于布线BL的预充电工作的期间、期间T13对应于布线GBL的预充电工作的期间、期间T14对应于电荷共享(charge sharing)工作的期间、期间T15对应于读出待机工作的期间、期间T16对应于读出工作的期间。

[0374] 在期间T11中,使连接于要写入数据信号的存储单元10所包括的晶体管11的栅极的布线WL的电位成为高电平。此时,使控制信号WE及信号EN_data成为高电平,并且将数据信号经过布线GBL及布线BL写入到存储单元。

[0375] 在期间T12中,为了对布线BL进行预充电,在控制信号WE成为高电平的状态下,使预充电线PCL1成为高电平。布线BL预充电至预充电电位。在期间T12中,优选使对读出放大器46供应电源电压的布线VHH或布线VLL都成为VDD/2而抑制起因于贯穿电流的功耗。

[0376] 在期间T13中,为了对布线GBL进行预充电,使预充电线PCL2成为高电平。布线GBL预充电至预充电电位。在期间T13中,通过使布线VHH及布线VLL的电位都成为VDD,可以对负载大的布线GBL短时间内进行预充电。

[0377] 在期间T14中,为了进行使保持在存储单元10中的电荷及对布线BL预充电了的电荷平衡化的电荷共享,使布线WL的电位成为高电平。在期间T14中,优选使对读出放大器46供应电源电压的布线VHH或布线VLL的电位都成为VDD/2而抑制起因于贯穿电流的功耗。

[0378] 在期间T15中,使控制信号RE及控制信号MUX成为高电平。根据布线BL的电位,电流流过晶体管52,并且根据该电流量,布线GBL的电位变动。通过使切换信号CSEL1成为低电平来防止布线GBL的电位的变动不受到读出放大器46的影响。布线VHH或布线VLL与期间T14中的布线VHH或布线VLL同样。

[0379] 在期间T16中,通过使切换信号CSEL1成为高电平,利用连接于读出放大器46的位线对将布线GBL的电位的变动放大,来读出写入到存储单元的数据信号。

[0380] [存储单元阵列的配置例子]

图25A是说明以上说明的存储单元10中的各布线及半导体层的配置例子的布局图。图25A示出在X方向上延伸设置的布线WL及布线PL、半导体层11a及半导体层11b、导电层13、导电层14a及导电层14b、导电层15a及导电层15b以及在Z方向上延伸设置的布线BL。图25A所示的半导体层11a及半导体层11b的每一个以与一个布线WL交叉的方式设置,导电层14a及导电层14b的每一个以与一个布线PL重叠的方式设置,半导体层11a及半导体层11b通过导电层13与一个布线BL连接,由此配置两个存储单元10。此外,半导体层11a通过导电层15a与导电层14a电连接。此外,半导体层11b通过导电层15b与导电层14b电连接。

[0381] 注意,为了容易理解发明,有时将包括半导体层11a的存储单元10记载为存储单元10a,将包括半导体层11b的存储单元10记载为存储单元10b以便区别两个存储单元10。

[0382] 在存储单元10a中,在半导体层11a上重叠设置布线WL及导电层13,在与半导体层11a电连接的导电层14a上重叠设置布线PL。在布线WL与半导体层11a重叠的区域设置晶体管Tra。在布线PL与导电层14a重叠的区域设置电容器Ca。导电层13是连接晶体管Tra与布线BL的导电层。同样地,在存储单元10b中,在半导体层11b上重叠设置布线WL及导电层13,在与半导体层11b电连接的导电层14b上重叠设置布线PL。在布线WL与半导体层11b重叠的区域设置晶体管Trb。在布线PL与导电层14b重叠的区域设置电容器Cb。导电层13是连接晶体管Trb与布线BL的导电层。

[0383] 晶体管Tra、晶体管Trb、电容器Ca及电容器Cb分别对应于实施方式1中说明的晶体管200a、晶体管200b、电容元件250a及电容元件250b。此外,半导体层11a及半导体层11b对应于实施方式1中说明的氧化物230。此外,导电层13对应于实施方式1中说明的导电体242a。此外,导电层15a及导电层15b对应于实施方式1中说明的导电体242b。另外,导电层14a及导电层14b对应于实施方式1中说明的导电体156。此外,布线WL及布线PL分别对应于实施方式1中说明的导电体260及导电体160。因此,在存储单元10中,截面图的详细说明与实施方式1中的说明同样,因此参照上述说明。

[0384] 当层叠包括图25A所示的存储单元10的存储器阵列20时,优选采用上层的布线PL和下层的布线PL重叠设置的结构以及上层的布线WL和下层的布线WL重叠设置的结构。就是说,重叠设置的两层的存储器阵列20的布局图优选具有重叠的结构。通过采用该结构,可以简化存储装置的制造工序来提高生产率。

[0385] 注意,在图25A中,在Y方向上延伸设置的半导体层11a、半导体层11b、导电层13、导电层15a及导电层15b与布线WL及布线PL成直角交叉,但是不局限于此。例如,如图25B所示,

也可以将在Y方向上延伸设置的半导体层11a的一个端部及半导体层11b的一个端部向X方向倾斜配置且半导体层11a、半导体层11b、导电层13、导电层15a及导电层15b与布线WL及布线PL交叉。通过采用该结构,可以进一步提高存储单元10的存储器密度。

[0386] 在此,图26示出一种截面图,其中将包括图25A所示的点划线A1-A2的截断面扩展到存储器阵列20[1]至存储器阵列20[5],在各存储单元阵列中设置以上实施方式所示的晶体管200及电容元件250。

[0387] 在图26中,晶体管200a和电容元件250a的组合对应于存储单元10a,晶体管200b和电容元件250b的组合对应于存储单元10b。另外,导电体260对应于布线WL,导电体160对应于布线PL。另外,氧化物230对应于半导体层11a及半导体层11b。

[0388] 如图26所示,以与下层的电容元件250a的导电体160上重叠的方式设置有上层的电容元件250a的导电体160,以与下层的晶体管200a的导电体260上重叠的方式设置有上层的晶体管200a的导电体260。

[0389] 另外,在存储单元阵列20[5]中,电容元件250a与电容元件250b之间共同设置有绝缘体153、导电体160a及导电体160b。另外,绝缘体153、导电体160a及导电体160b都具有与位于它们下方的晶体管200a、晶体管200b、电容元件250a及电容元件250b重叠的区域。

[0390] 另外,如图27所示,也可以在设置于存储器阵列20[1]下的驱动电路21中设置晶体管310。

[0391] 晶体管310设置在衬底311上,并包括用作栅极的导电体316、用作栅极绝缘体的绝缘体315、由衬底311的一部分构成的半导体区域313、以及用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管310可以是p沟道型或n沟道型。

[0392] 在此,在图27所示的晶体管310中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316也可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管310也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式设置有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸形状的半导体膜。

[0393] 在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。

[0394] 例如,在晶体管310上,作为层间膜依次层叠设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外,与电容元件250、晶体管200或导电体240电连接的导电体328及导电体330等嵌入绝缘体320、绝缘体322、绝缘体324及绝缘体326中。此外,导电体328及导电体330被用作插头或布线。

[0395] 如图22A及图22B等所示,多个存储器阵列20下设置有功能层50。在图27中存储器阵列20[1]与驱动电路21之间设置有功能层50。

[0396] 图27示出设置在功能层50中的构成多个功能电路51的晶体管200c、200d、200e。在此,晶体管200c、200d、200e具有与上述实施方式所示的晶体管200同样的结构。

[0397] 功能层50的绝缘体280上设置有绝缘体208,形成于绝缘体208中的开口设置有导电体207。作为绝缘体208可以设置与绝缘体210同样的绝缘体,作为导电体207可以设置与导电体209同样的导电体。

[0398] 导电体207的底面以与晶体管200c的导电体160的顶面接触的方式设置。此外,导电体207的顶面以与导电体209的底面接触的方式设置。通过采用这种结构,可以使相当于用作位线的布线BL的导电体240与相当于晶体管52的晶体管200c的栅极电连接。

[0399] 图28示出将存储单元10排列为矩阵状而形成存储器阵列20的布局的一个例子。图28中的符号对应于图7B等所示的符号。在最小加工尺寸为20nm时,图28中的存储单元10的尺寸可以为45nm×125nm。存储单元10的占有面积为0.0054μm^2,因此根据本实施方式的存储装置的存储单元10的密度可以为185cell/μm^2。

[0400] 如上所述,通过层叠设置多个存储单元阵列与驱动电路,可以实现存储装置的高集成化及存储容量的大容量化。

[0401] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0402] (实施方式4)

在本实施方式中,参照图29A和图29B说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0403] 如图29A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0404] 在芯片1200上设置有凸块(未图示),该凸块如图29B所示那样与封装基板1201的第一面连接。此外,在封装基板1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0405] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。由此,可以实现DRAM1221的低功耗化、高速化及大容量化。

[0406] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述DOSRAM应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0407] 此外,因为在同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0408] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0409] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0410] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia

Interface:高清晰度多媒体接口)(注册商标)等。

[0411] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0412] 上述电路(系统)可以经同一制造工艺形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工艺,可以以低成本制造芯片1200。

[0413] 可以将包括设置有具有GPU1212的芯片1200的封装基板1201、DRAM1221以及闪存1222的母板1203称为GPU模块1204。

[0414] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外,GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块1204用作AI系统模块。

[0415] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式、其他实施例等适当地组合而实施。

[0416] (实施方式5)

本实施方式示出组装有上述实施方式所示的存储装置等的电子构件及电子设备的一个例子。通过将上述实施方式所示的存储装置用于以下电子构件及电子设备,可以实现电子构件及电子设备的低功耗化及高速化。

[0417] <电子构件>

首先,参照图30A和图30B对组装有存储装置720的电子构件的例子进行说明。

[0418] 图30A示出电子构件700及安装有电子构件700的基板(电路板704)的立体图。图30A所示的电子构件700在模子711内包括存储装置720。在图30A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置720。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0419] 存储装置720包括驱动电路层721及存储电路层722。

[0420] 图30B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装基板732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置720。

[0421] 电子构件730示出将存储装置720用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以使用CPU、GPU、FPGA等集成电路(半导体装置)。

[0422] 封装基板732可以使用陶瓷衬底、塑料衬底、玻璃环氧衬底等。插板731可以使用硅插板、树脂插板等。

[0423] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有使设置于插板731上的集成电路与设置于封装基板732上的电极电连接的功能。因此,有时将插板也称为“再分布衬底(redistribution

substrate)”或“中间衬底”。此外,有时在插板731中设置贯通电极且使用该贯通电极使集成电路与封装基板732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0424] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0425] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0426] 此外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0427] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使存储装置720与半导体装置735的高度一致。

[0428] 为了将电子构件730安装在其他基板上,也可以在封装基板732的底部设置电极733。图30B示出用焊球形成电极733的例子。通过在封装基板732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装基板732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0429] 电子构件730可以通过各种安装方法安装在其他基板上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0430] 以上,本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法、其他实施方式所示的结构、方法等适当地组合而实施。

[0431] (实施方式6)

在本实施方式中,说明使用上述实施方式所示的存储装置的存储装置的应用例子。上述实施方式所示的存储装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存储装置。通过将上述实施方式所示的存储装置用于上述电子设备的存储装置,可以实现电子设备的低功耗化及高速化。注意,在此,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的存储装置应用于存储卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图31A至图31E示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的存储装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0432] 图31A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及基板1104。基板1104被容纳在外壳1101中。例如,基板1104上安装有存储器芯片1105

及控制器芯片1106。可以将上述实施方式所示的存储装置组装于存储器芯片1105等。

[0433] 图31B是SD卡的外观示意图,图31C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及基板1113。基板1113被容纳在外壳1111中。例如,基板1113上安装有存储器芯片1114及控制器芯片1115。通过在基板1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于基板1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的存储装置组装于存储器芯片1114等。

[0434] 图31D是SSD的外观示意图,图31E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及基板1153。基板1153被容纳在外壳1151中。例如,基板1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在基板1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的存储装置组装于存储器芯片1154等。

[0435] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式、其他实施例等适当地组合而实施。

[0436] (实施方式7)

根据本发明的一个方式的存储装置可以用于CPU、GPU等处理器或芯片。通过将这种CPU、GPU等处理器或芯片用于电子设备,可以实现电子设备的低功耗化及高速化。图32A至图32H示出具备使用该存储装置的CPU、GPU等处理器或芯片的电子设备的具体例子。

[0437] <电子设备及系统>

根据本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子,例如除了电视装置、用于台式或笔记本式信息终端等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、电子书阅读器、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外,通过将根据本发明的一个方式的GPU或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0438] 本发明的一个方式的电子设备也可以包括天线。通过使用天线接收信号,可以在显示部上显示影像或信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0439] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0440] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图片、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图32A至图32H示出电子设备的例子。

[0441] [信息终端]

图32A示出信息终端之一的移动电话机(智能手机)。信息终端5100包括外壳5101及显示部5102,作为输入接口在显示部5102中具备触摸面板,并且在外壳5101上设置有按

钮。

[0442] 通过将本发明的一个方式的芯片应用于信息终端5100,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别会话来将该会话的内容显示在显示部5102上的应用程序、识别由使用者输入到显示部5102所具备的触摸面板的文字或图形等来将该文字或该图形等显示在显示部5102上的应用程序、执行指纹或声纹等的生物识别的应用程序等。

[0443] 图32B示出笔记本式信息终端5200。笔记本式信息终端5200包括信息终端主体5201、显示部5202及键盘5203。

[0444] 与上述信息终端5100同样,通过将本发明的一个方式的芯片应用于笔记本式信息终端5200,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用笔记本式信息终端5200,可以研发新颖人工智能。

[0445] 注意,在上述例子中,图32A及图32B分别示出智能手机及笔记本式信息终端作为电子设备的例子,但是也可以应用智能手机及笔记本式信息终端以外的信息终端。作为智能手机及笔记本式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、台式信息终端、工作站等。

[0446] [游戏机]

图32C示出作为游戏机的一个例子的便携式游戏机5300。便携式游戏机5300包括外壳5301、外壳5302、外壳5303、显示部5304、连接部5305及操作键5306等。可以将外壳5302及外壳5303从外壳5301拆卸。通过将设在外壳5301中的连接部5305安装到其他外壳(未图示),可以将输出到显示部5304的影像输出到其他视频显示设备(未图示)。此时,外壳5302及外壳5303分别可以被用作操作部。由此,多个游戏玩者可以同时玩游戏。可以将上述实施方式所示的芯片嵌入到设置在外壳5301、外壳5302及外壳5303的衬底的芯片等。

[0447] 另外,图32D示出游戏机之一的固定式游戏机5400。固定式游戏机5400以无线或有线连接有控制器5402。

[0448] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300及固定式游戏机5400等游戏机,可以实现低功耗的游戏机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0449] 再者,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300,可以实现具备人工智能的便携式游戏机5300。

[0450] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的,但是通过将人工智能应用于便携式游戏机5300,可以实现不局限于游戏的程序的表现。例如,可以实现游戏玩者提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行变化等的表现。

[0451] 此外,当使用便携式游戏机5300玩需要多个游戏玩者的游戏时,可以利用人工智能构成拟人的游戏玩者,由此可以将人工智能的游戏玩者当作对手,一个人也可以玩多个人玩的游戏。

[0452] 虽然图32C及图32D示出便携式游戏机及固定式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式

的GPU或芯片的游戏机,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0453] [大型计算机]

可以将本发明的一个方式的GPU或芯片应用于大型计算机。

[0454] 图32E示出作为大型计算机的一个例子的超级计算机5500。图32F示出超级计算机5500所包括的机架(rack-mount)式计算机5502。

[0455] 超级计算机5500包括机架5501及多个机架式计算机5502。注意,多个计算机5502容纳在机架5501中。另外,计算机5502设有多个基板5504,在该基板上可以安装上述实施方式所说明的GPU或芯片。

[0456] 超级计算机5500主要是适合于科学计算的大型计算机。科学计算需要以高速进行庞大的运算,因此功耗大且芯片的发热高。通过将本发明的一个方式的GPU或芯片应用于超级计算机5500,可以实现低功耗的超级计算机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路及模块带来的负面影响。

[0457] 在图32E及图32F中,作为大型计算机的一个例子示出超级计算机,然而应用本发明的一个方式的GPU或芯片的大型计算机不局限于此。作为应用本发明的一个方式的GPU或芯片的大型计算机,例如可以举出提供服务的计算机(服务器)、大型通用计算机(主机)等。

[0458] [移动体]

本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0459] 图32G是示出移动体的一个例子的汽车内部的前挡风玻璃周边的图。图32G示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0460] 通过显示速度表、转速计、行驶距离、燃料表、排档状态、空调的设定等,显示面板5701至显示面板5703可以提供各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等,可以提高设计性。显示面板5701至显示面板5703还可以用作照明装置。

[0461] 通过将由设置在汽车的摄像装置(未图示)拍摄的影像显示在显示面板5704上,可以弥补被支柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车外侧的摄像装置拍摄的影像,可以弥补死角,从而可以提高安全性。此外,通过显示弥补看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704还可以用作照明装置。

[0462] 因为可以将本发明的一个方式的GPU或芯片用作人工智能的构成要素,例如可以将该芯片用于汽车的自动驾驶系统。该芯片可以用于进行导航、危险预测等的系统。此外,也可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0463] 虽然在上述例子中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的芯片,以提供利用人工智能的系统。

[0464] [电器产品]

图32H示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外

壳5801、冷藏室门5802及冷冻室门5803等。

[0465] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0466] 作为电器产品的一个例子说明了电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0467] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他的电子设备的记载适当地组合而实施。

[0468] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式、其他实施例等适当地组合而实施。

[0469] (实施方式8)

本发明的一个方式的半导体装置包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。在本实施方式中,使用图33说明将本发明的一个方式的半导体装置应用于太空设备的情况的具体例子。

[0470] 在图33中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图33示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层。

[0471] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及γ射线为代表的电磁波(电磁辐射线);以及以α射线、β射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0472] 在阳光照射到太阳能电池板6802时生成人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0473] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0474] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,作为控制装置6807优选使用包括本发明的一个方式的OS晶体管的半导体装置。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。因此,OS晶体管在有可能入射辐射线的环境下也可靠性高且可以适当地使用。

[0475] 另外,人造卫星6800可以包括传感器。例如,通过包括可见光传感器,人造卫星

6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0476] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[符号说明]

[0477] 10:存储单元、11a:半导体层、11b:半导体层、11:晶体管、12:电容元件、13:导电层、14a:导电层、14b:导电层、15a:导电层、15b:导电层、20:存储器阵列、21:驱动电路、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:外围电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、50:功能层、51_A:功能电路、51_B:功能电路、51:功能电路、52_a:晶体管、52_b:晶体管、52:晶体管、53_a:晶体管、53_b:晶体管、54_a:晶体管、54_b:晶体管、55_a:晶体管、55_b:晶体管、70:重复单位、71_A:预充电电路、71_B:预充电电路、72_A:开关电路、72_B:开关电路、73:写入读出电路、81_1:晶体管、81_3:晶体管、81_4:晶体管、81_6:晶体管、82_1:晶体管、82_2:晶体管、82_3:晶体管、82_4:晶体管、83_A:开关、83_B:开关、83_C:开关、83_D:开关、110:存储装置、111t:存储单元、111:存储单元、112:晶体管、113t:电容器、113:电容器、114:晶体管、115:晶体管、120:存储单元阵列、121:电极、122t:电极、122:电极、123t:绝缘层、123:绝缘层、130:衬底、131:半导体层、132:栅极绝缘层、133:栅电极、134a:电极、134b:电极、135:导电层、136:导电层、137:导电层、138:布线、139:布线、153:绝缘体、156:导电体、158:开口、160a:导电体、160b:导电体、160:导电体、200a:晶体管、200b:晶体管、200c:晶体管、200d:晶体管、200e:晶体管、200:晶体管、205a:导电体、205b:导电体、205c:导电体、205:导电体、206a:开口、206b:开口、206c:开口、206d:开口、206e:开口、206f:开口、206:开口、207:导电体、208:绝缘体、209:导电体、210:绝缘体、212:绝缘体、214:绝缘体、216:绝缘体、221:绝缘体、222:绝缘体、224:绝缘体、230a:氧化物、230b:氧化物、230ba:区域、230bb:区域、230bc:区域、230:氧化物、240a:导电体、240b:导电体、240:导电体、242a:导电体、242b:导电体、242:导电体、250a:电容元件、250b:电容元件、250:电容元件、253:绝缘体、254:绝缘体、258:开口、260a:导电体、260b:导电体、260:导电体、275:绝缘体、280:绝缘体、282:绝缘体、283:绝缘体、285:绝缘体、300A:存储装置、300:存储装置、310:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、700:电子构件、702:印刷电路板、704:电路板、711:模子、712:连接盘、713:电极焊盘、714:引线、720:存储装置、721:驱动电路层、722:存储电路层、730:电子构件、731:插板、732:封装基板、733:电极、735:半导体装置、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:衬底、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:基板、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:基板、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1200:芯片、1201:封装基板、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储控制器、1215:接口、1216:网络电路、1221:DRAM、1222:闪存、5100:信息终端、5101:外壳、5102:

显示部、5200:笔记本式信息终端、5201:主体、5202:显示部、5203:键盘、5300:便携式游戏机、5301:外壳、5302:外壳、5303:外壳、5304:显示部、5305:连接部、5306:操作键、5400:固定式游戏机、5402:控制器、5500:超级计算机、5501:机架、5502:计算机、5504:衬底、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置。

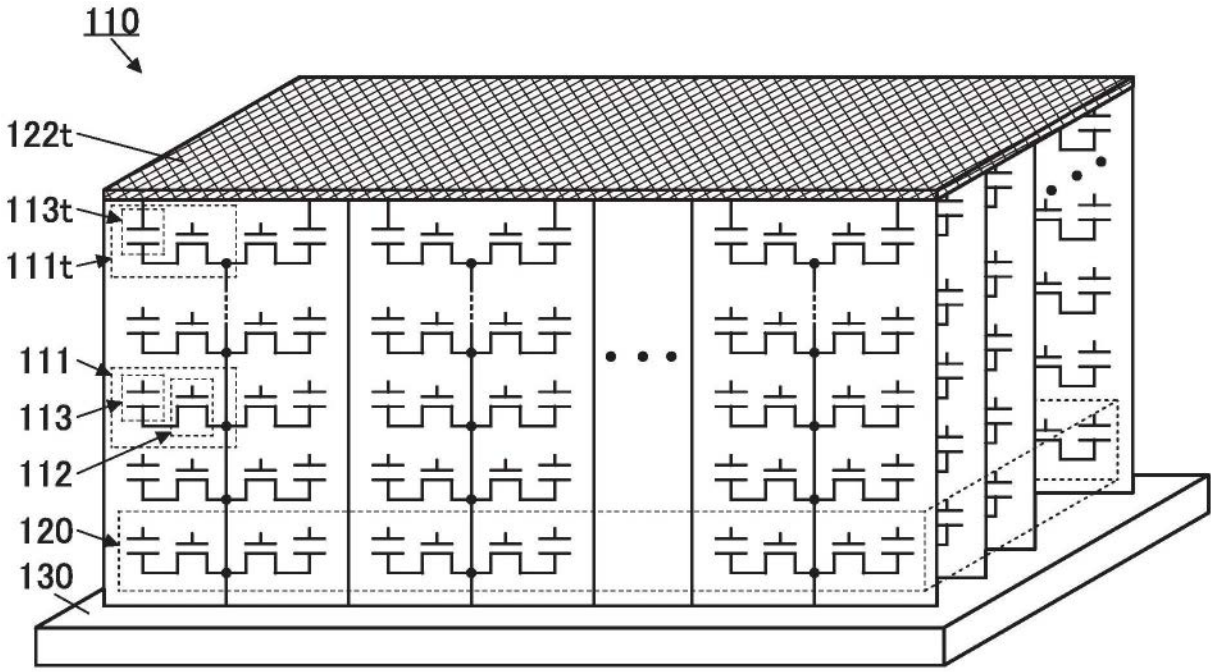


图1A

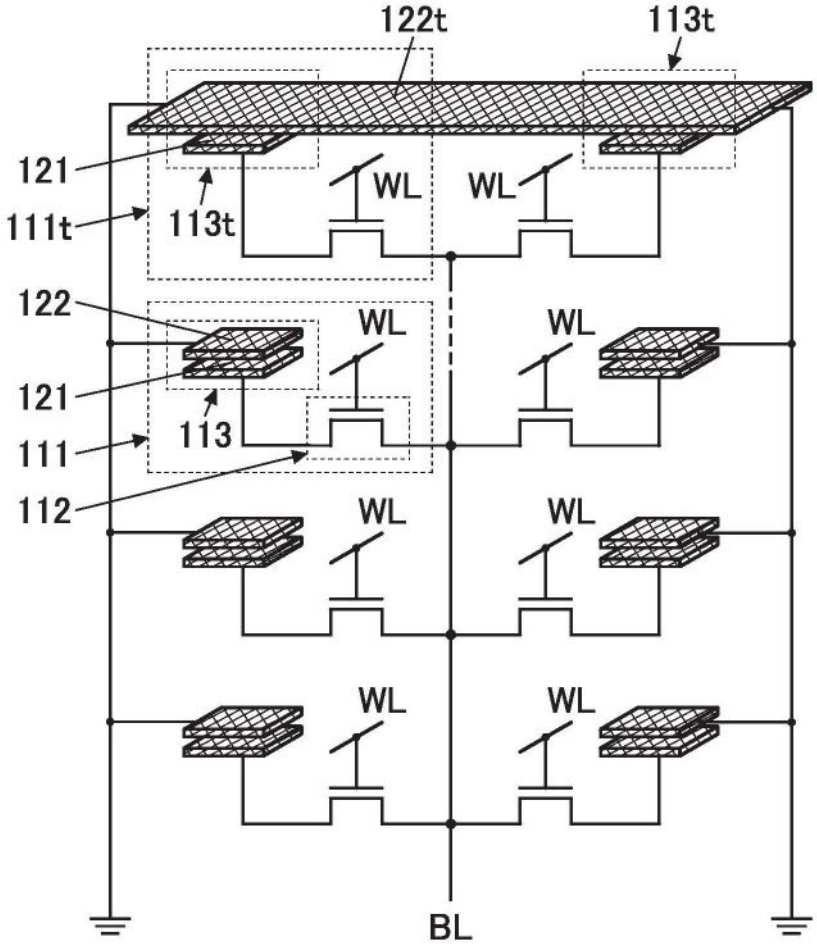

122t
113t
121
111t
113t
WL
WL
122
121
113
111
112
WL
WL
WL
WL
WL
WL
BL

图1B

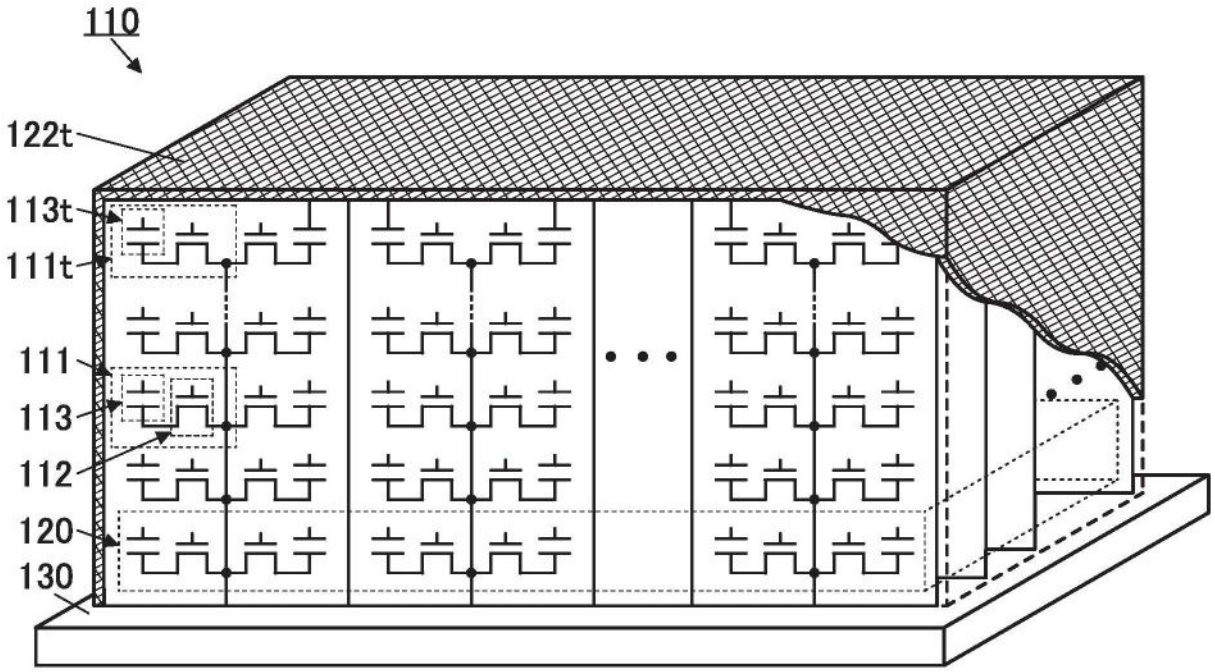


图2A

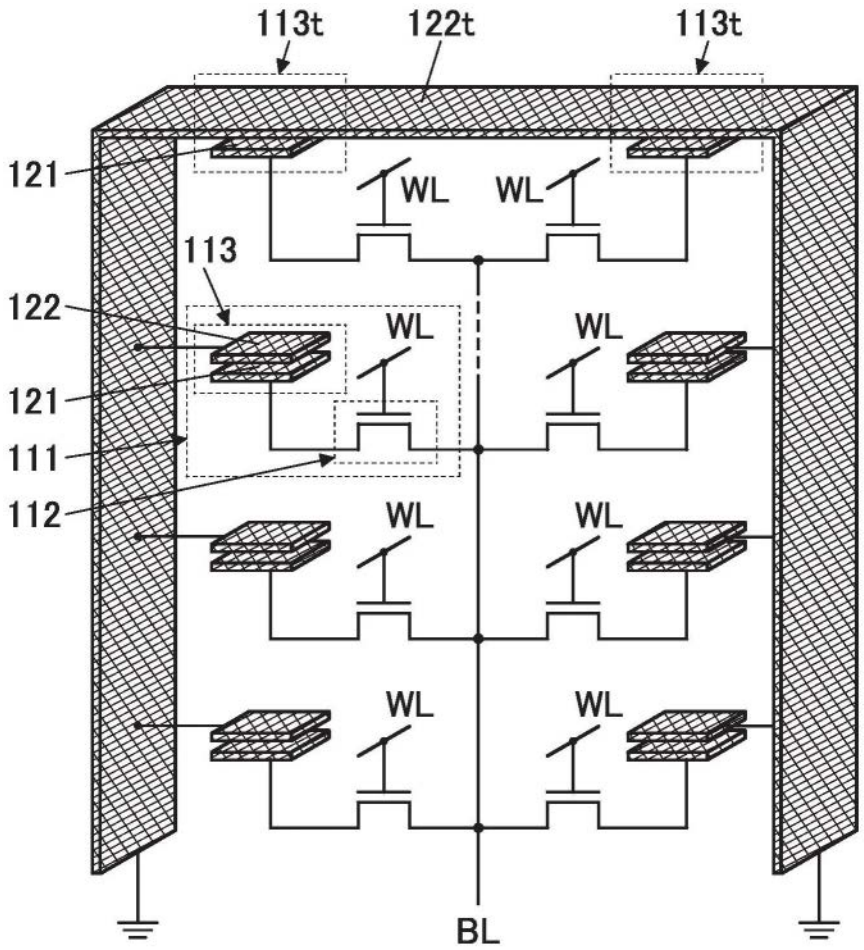


图2B

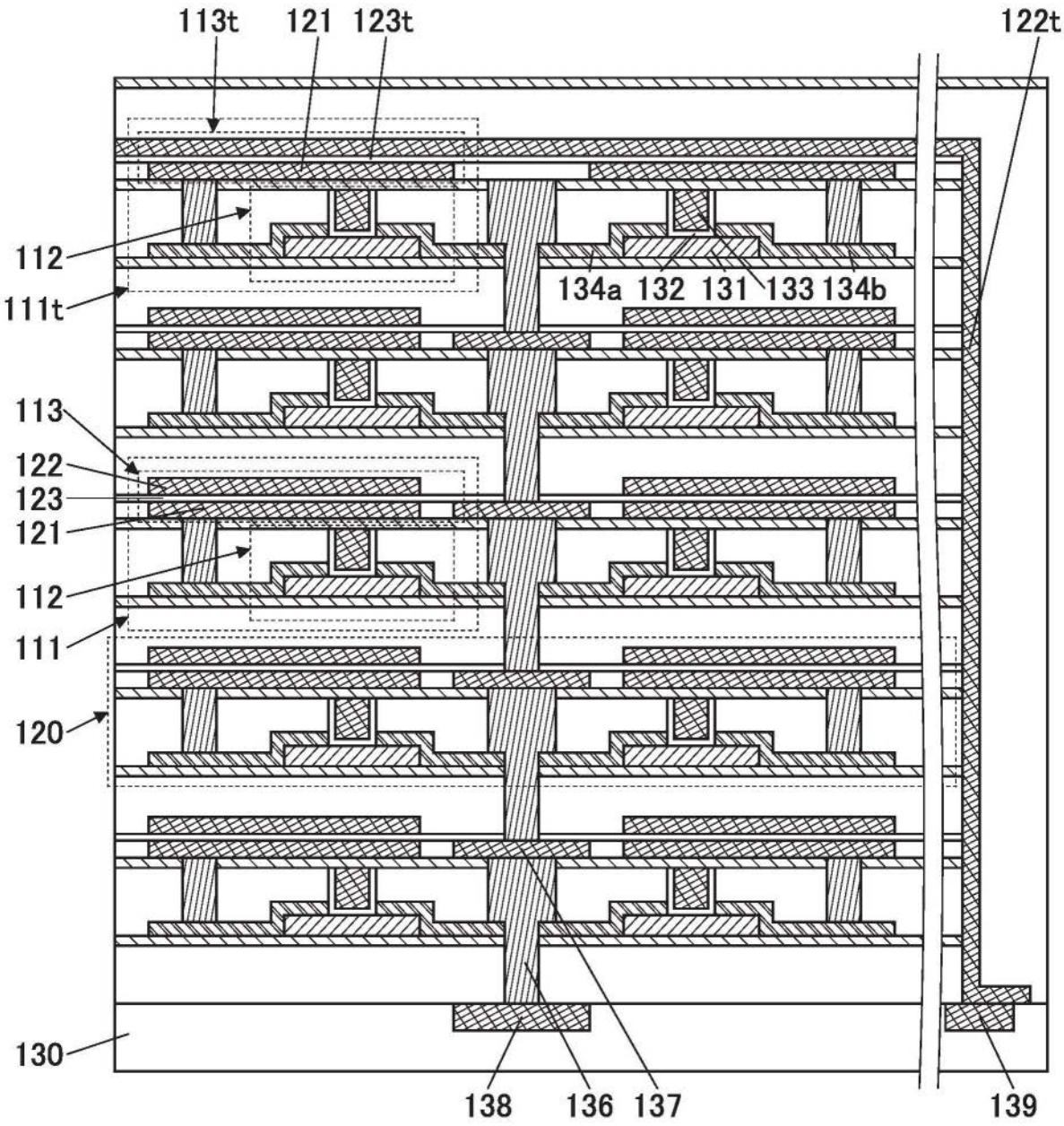

113t
121
123t
122t
112
111t
134a
132
131
133
134b
113
122
123
121
112
111
120
130
138
136
137
139

图3

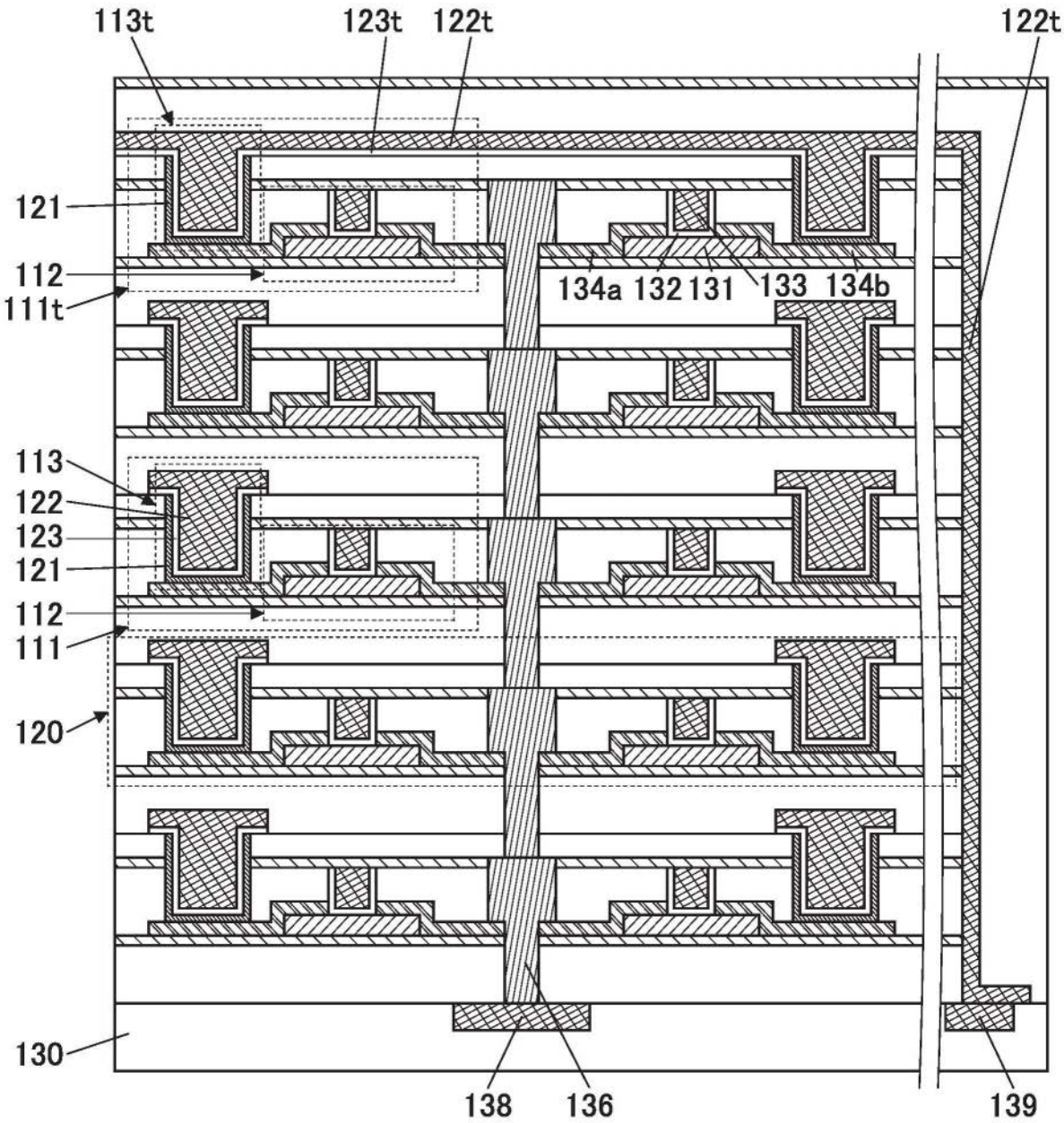

113t
123t
122t
122t
121
112
111t
134a
132
131
133
134b
113
122
123
121
112
111
120
130
138
136
139

图4

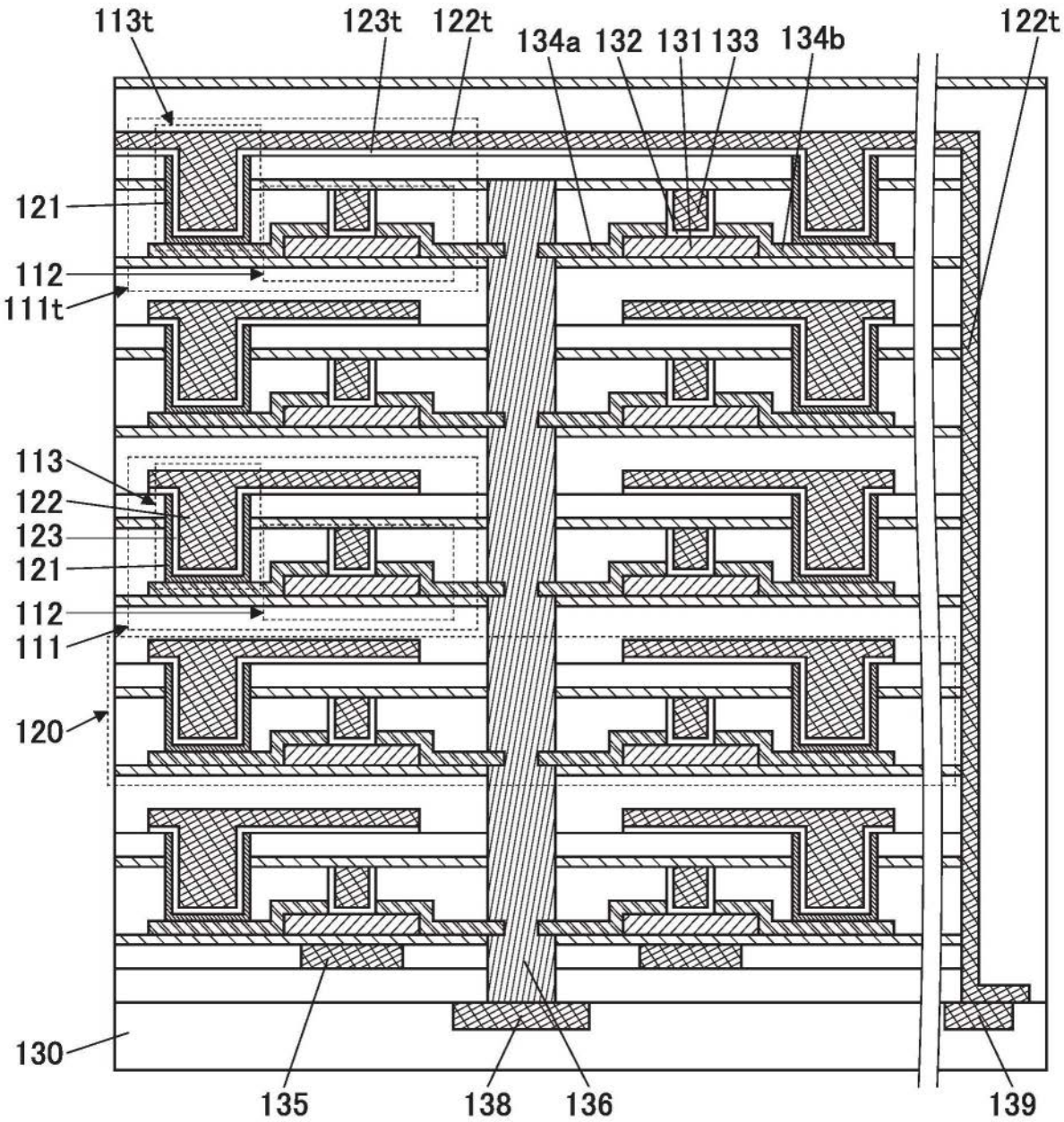

113t
123t
122t
134a
132
131
133
134b
122t
121
112
111t
113
122
123
121
112
111
120
130
135
138
136
139

图5

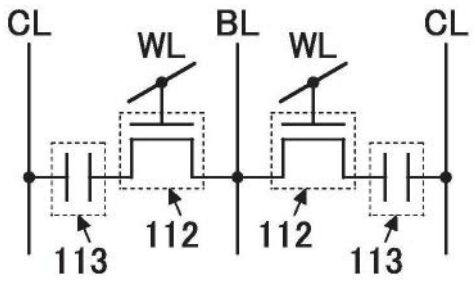

CL
WL
BL
WL
CL
113
112
112
113

图6A

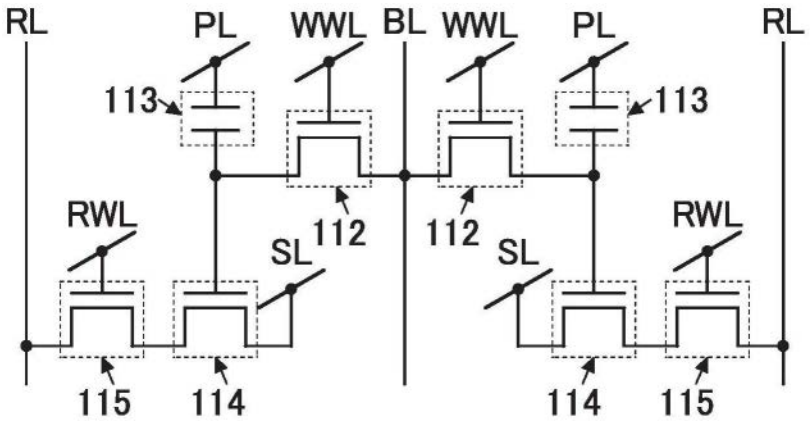

RL
PL
WWL
BL
WWL
PL
RL
113
113
RWL
112
112
RWL
SL
SL
115
114
114
115

图6B

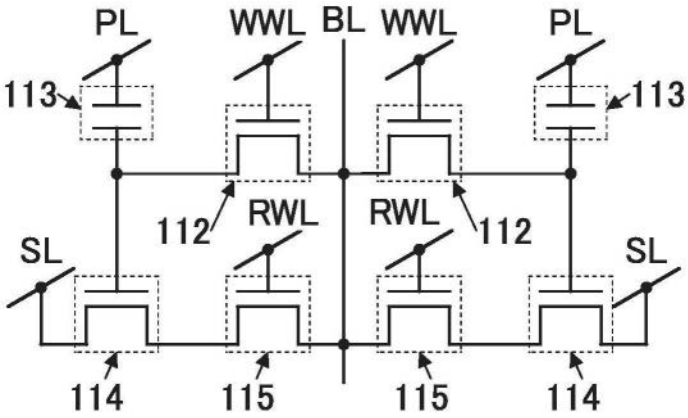

PL
WWL
BL
WWL
PL
113
113
112
RWL
RWL
112
SL
SL
114
115
115
114

图6C

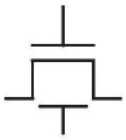


图6D

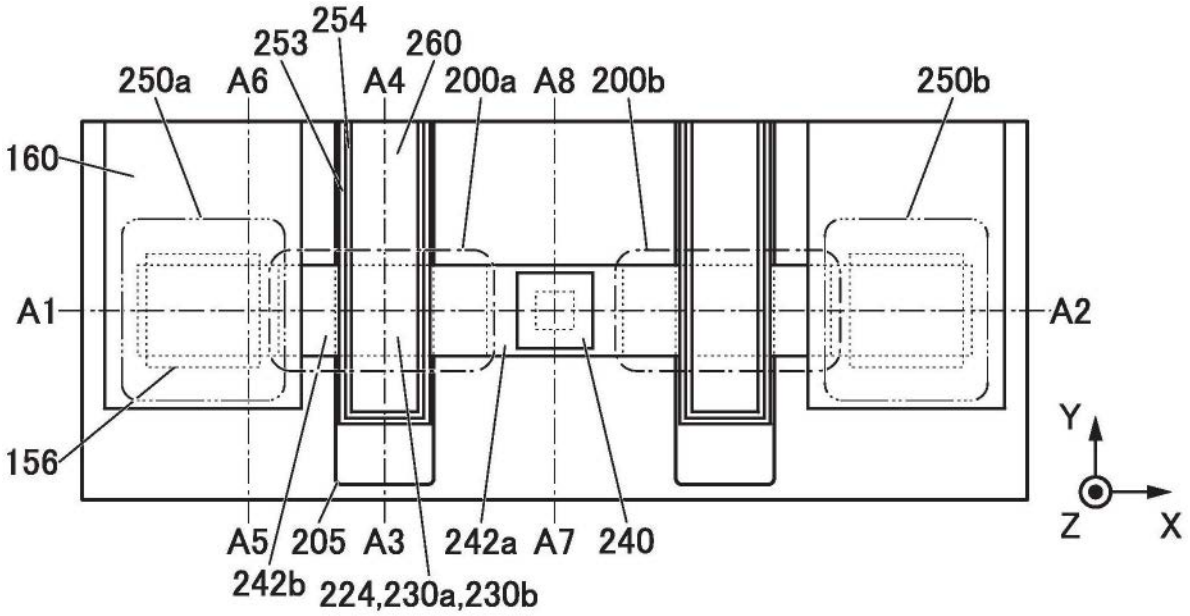

254
253
260
250a
A6
A4
200a
A8
200b
250b
160
A1
A2
156
Y
Z
X
A5
205
A3
242a
A7
240
242b
224,230a,230b

图7A

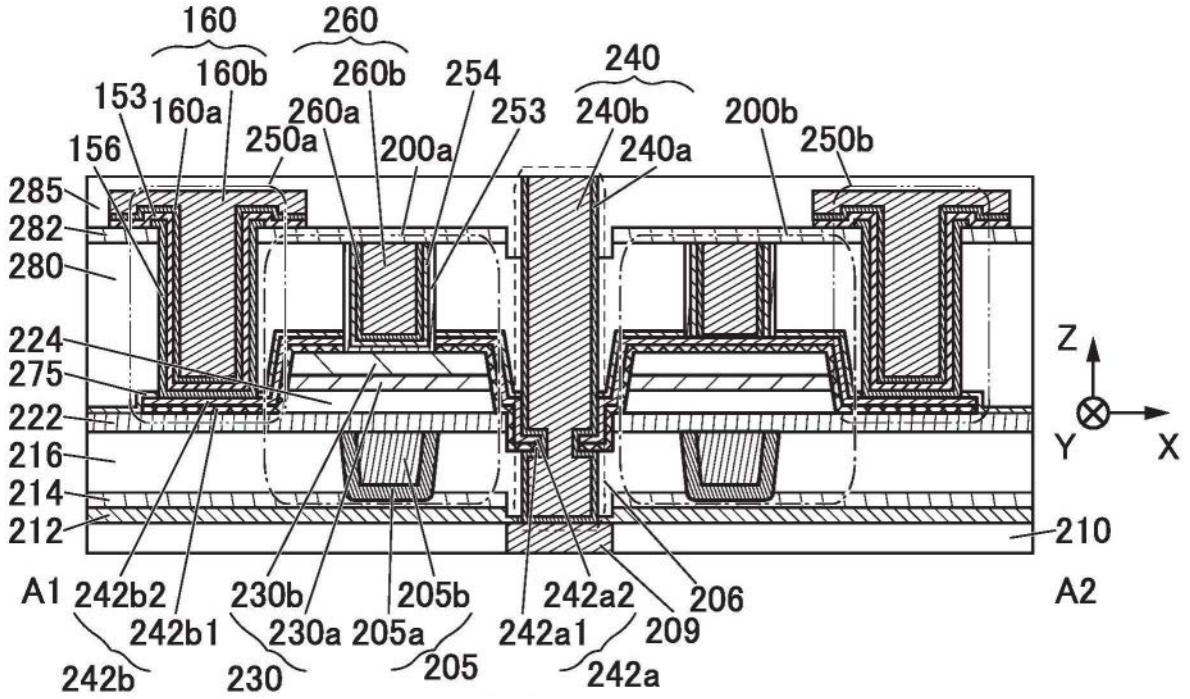

160
260
160b
260b
254
240
153
160a
260a
253
240b
200b
250a
200a
240a
250b
156
285
282
280
224
275
222
216
214
212
Z
Y
X
210
A1
242b2
230b
205b
242a2
206
A2
242b1
230a
205a
242a1
209
242b
230
205
242a

图7B

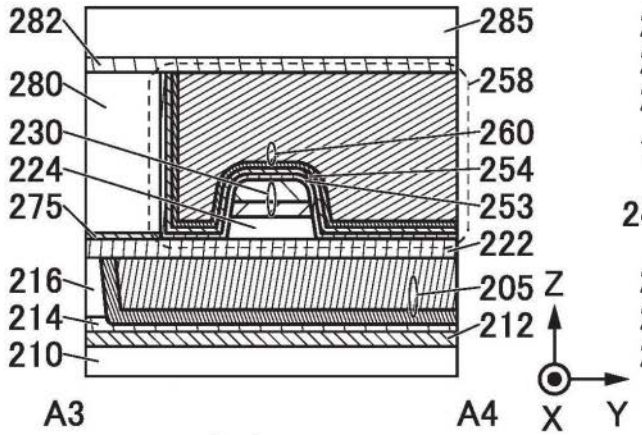

282
285
280
258
230
260
224
254
275
253
222
216
205
214
212
210
A3
A4
Z
X
Y

图7C

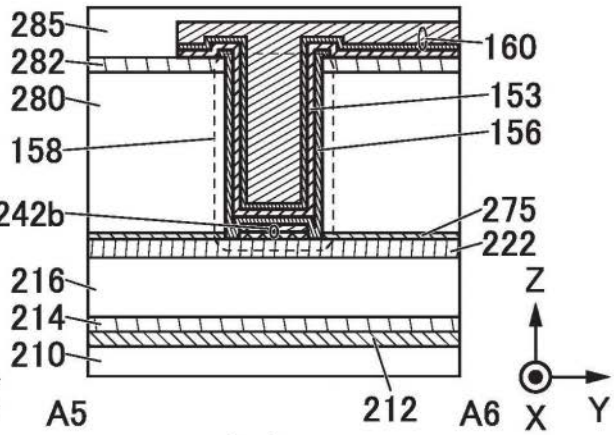

285
160
282
280
153
158
156
242b
275
222
216
214
210
212
A5
A6
Z
X
Y

图7D

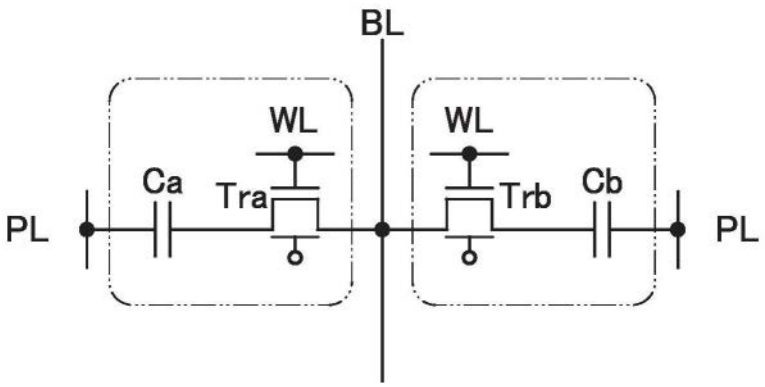

BL
WL
WL
Ca
Tra
Trb
Cb
PL
PL

图8

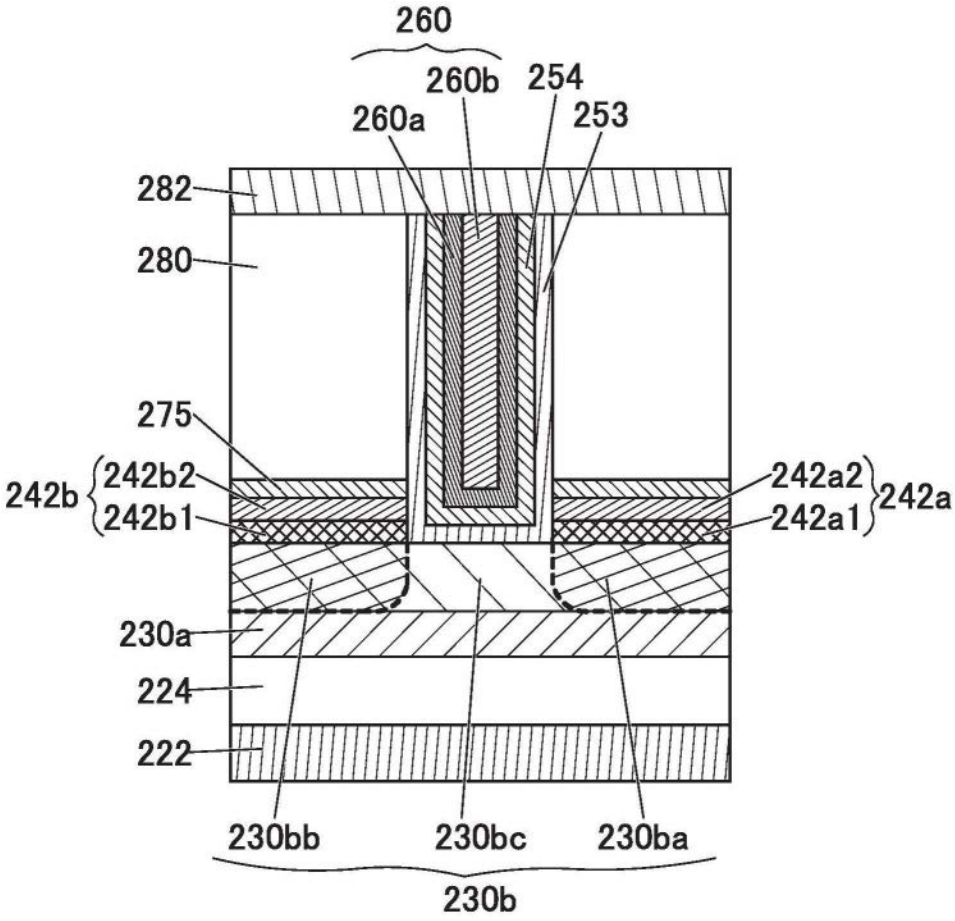

260
260b
254
260a
253
282
280
275
242b
242b2
242b1
242a2
242a1
242a
230a
224
222
230bb
230bc
230ba
230b

图9A

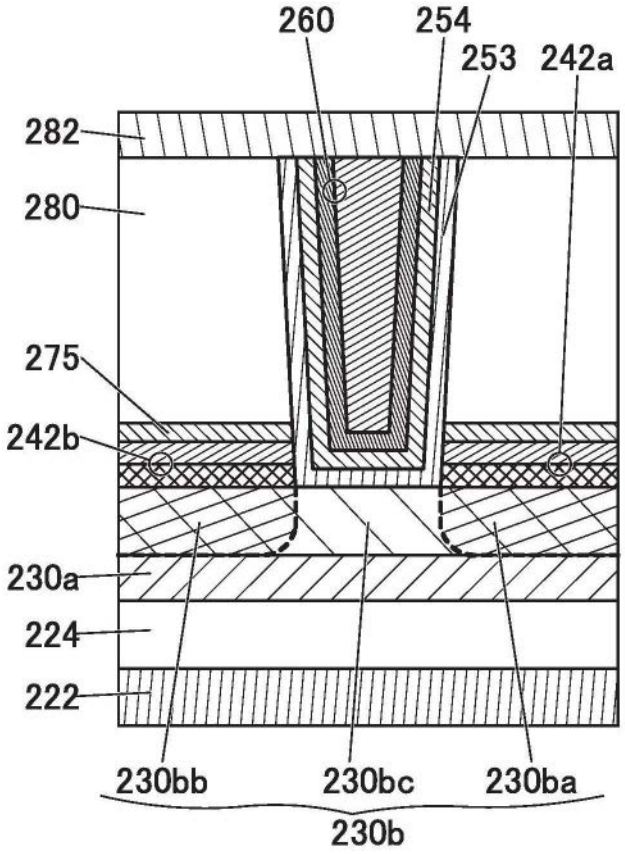

260
254
253
242a
282
280
275
242b
230a
224
222
230bb
230bc
230ba
230b

图9B

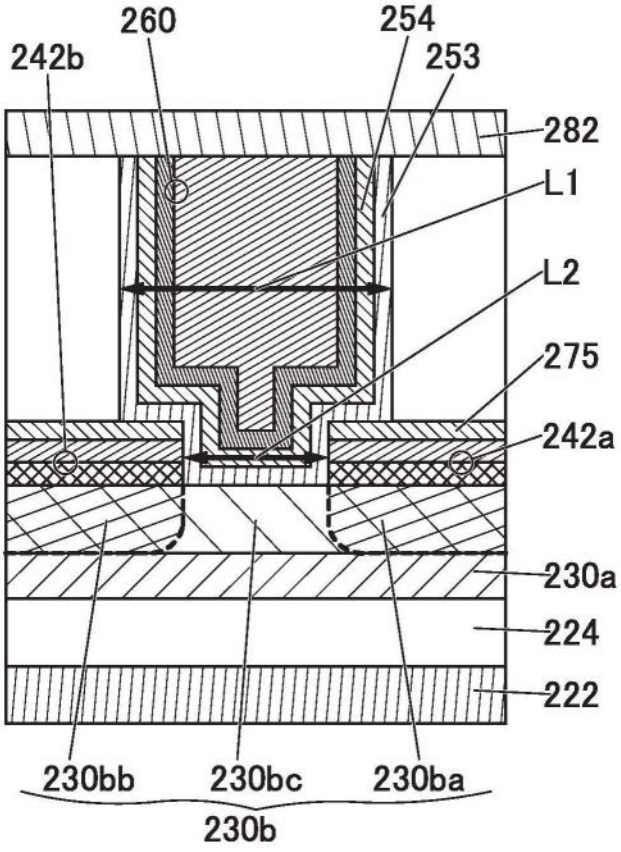

260
254
242b
253
282
L1
L2
275
242a
230a
224
222
230bb
230bc
230ba
230b

图9C

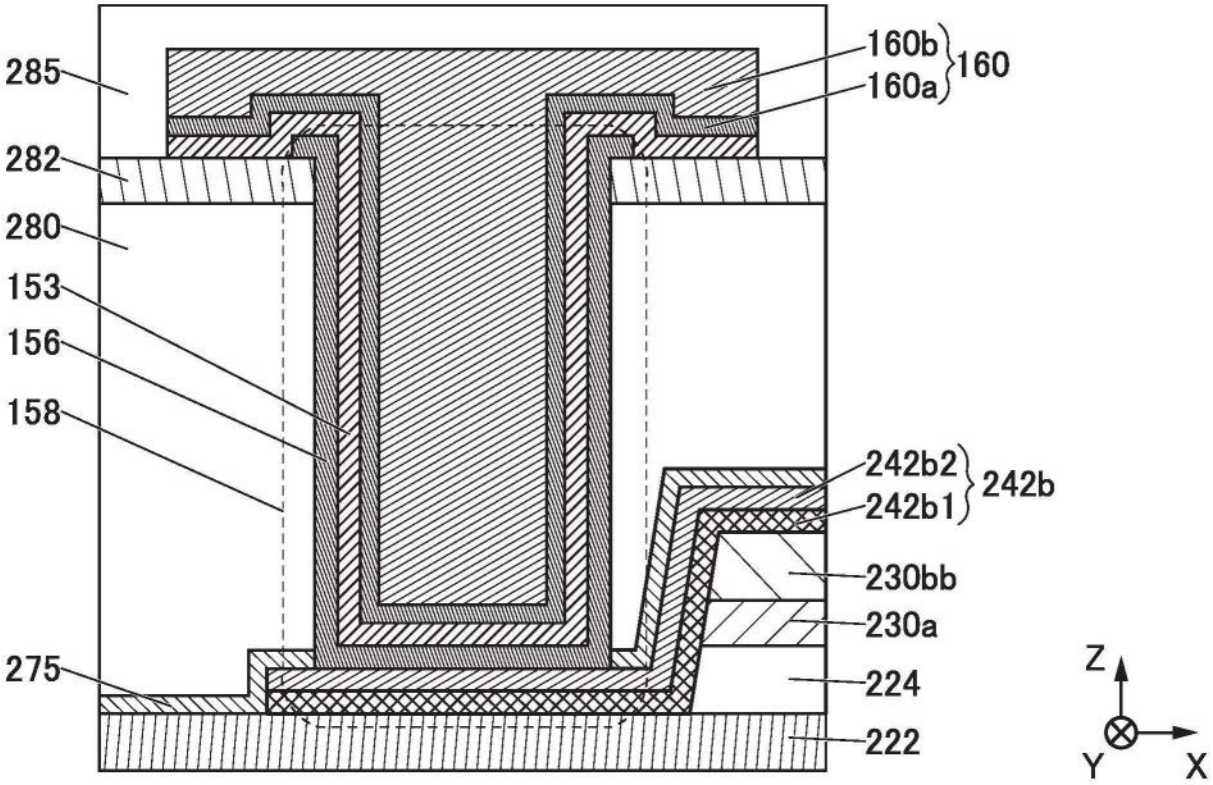

285
282
280
153
156
158
275
160b
160a
160
242b2
242b1
242b
230bb
230a
224
222
Z
Y
X

图10A

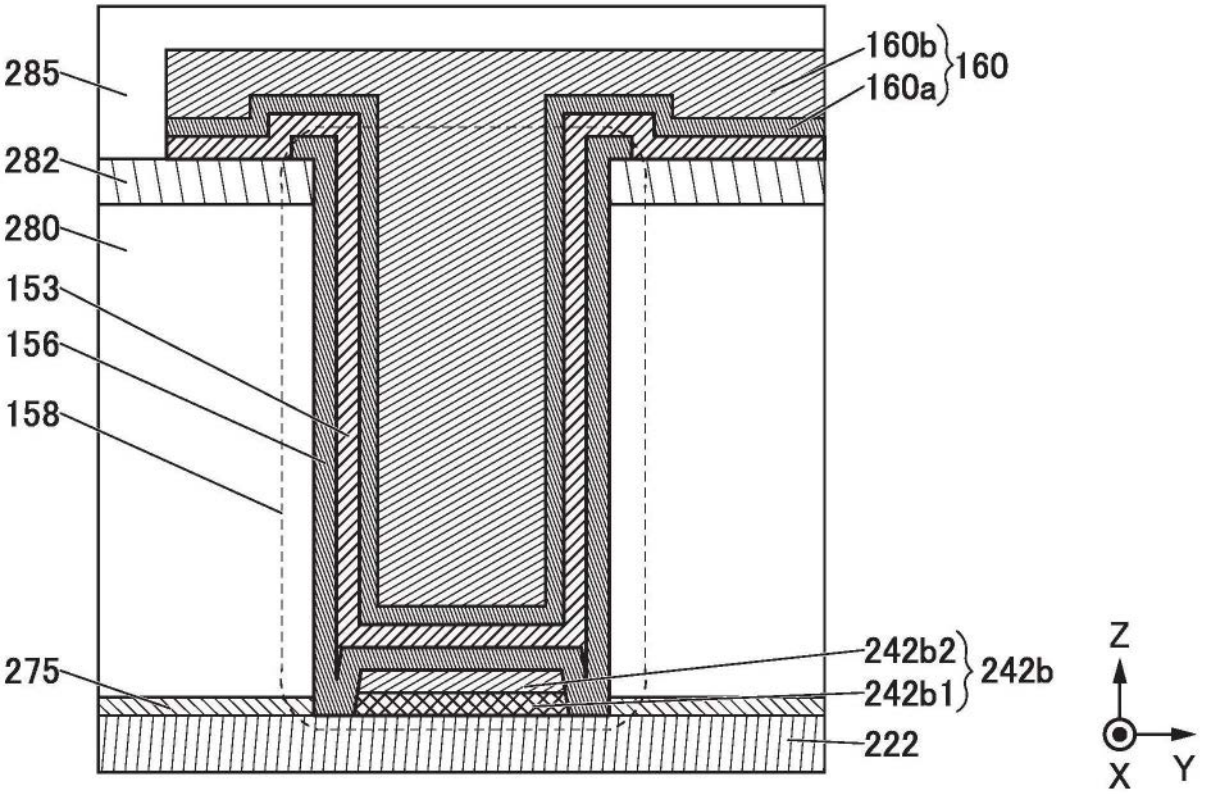

285
282
280
153
156
158
275
160b
160a
160
242b2
242b1
242b
222
Z
X
Y

图10B

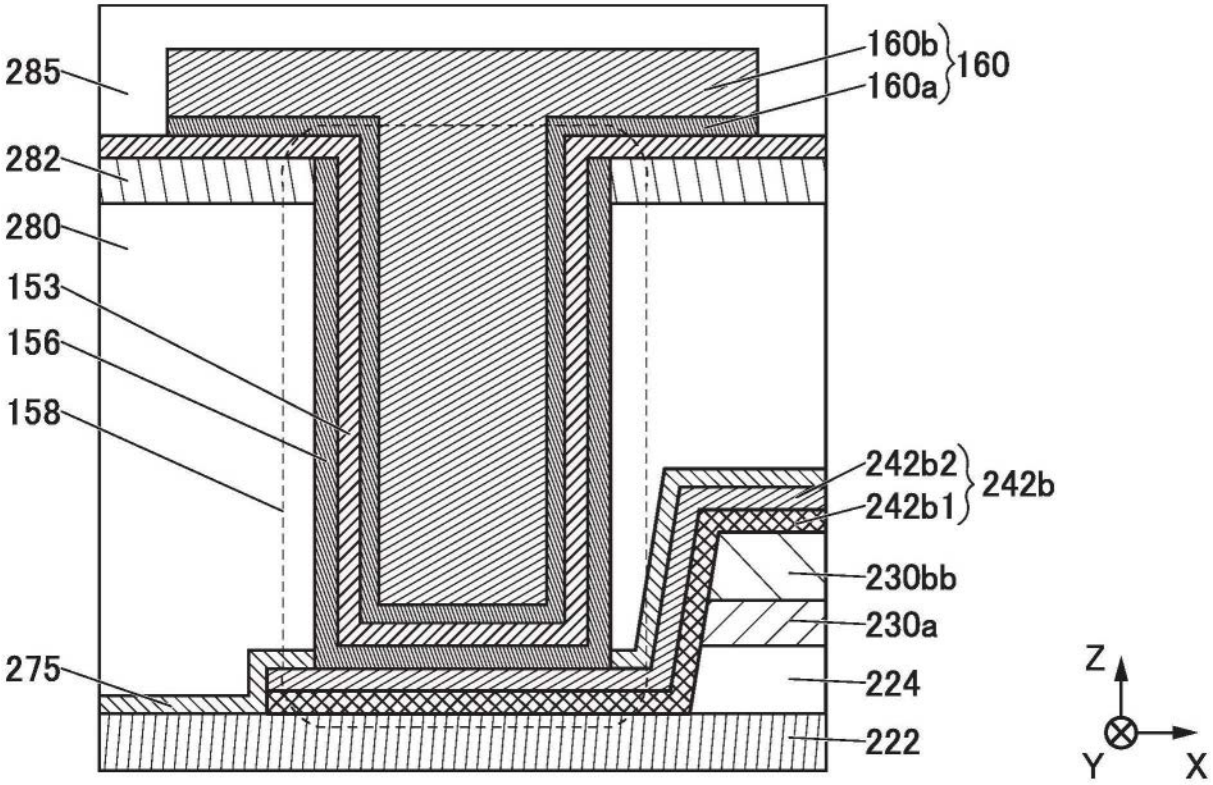

285
282
280
153
156
158
275
160b
160a
160
242b2
242b1
242b
230bb
230a
224
222
Z
Y
X

图11A

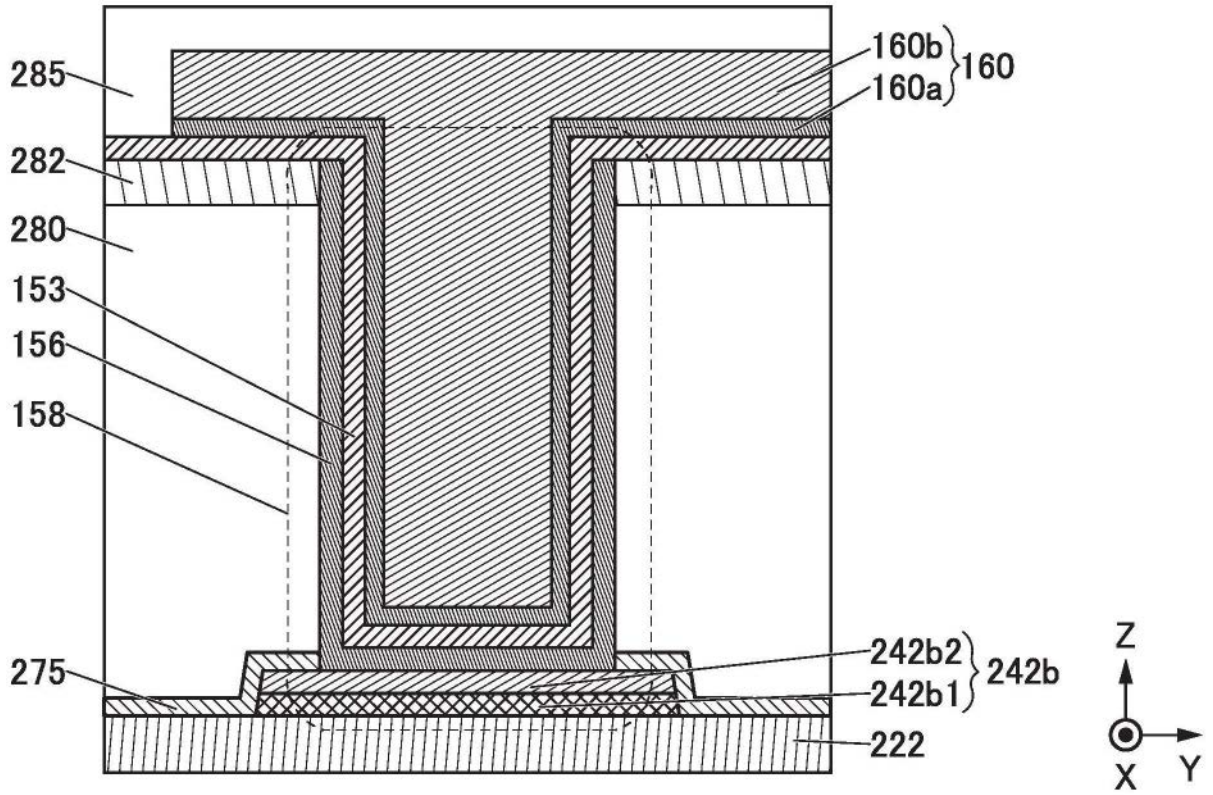

285
282
280
153
156
158
275
160b
160a
160
242b2
242b1
242b
222
Z
X
Y

图11B

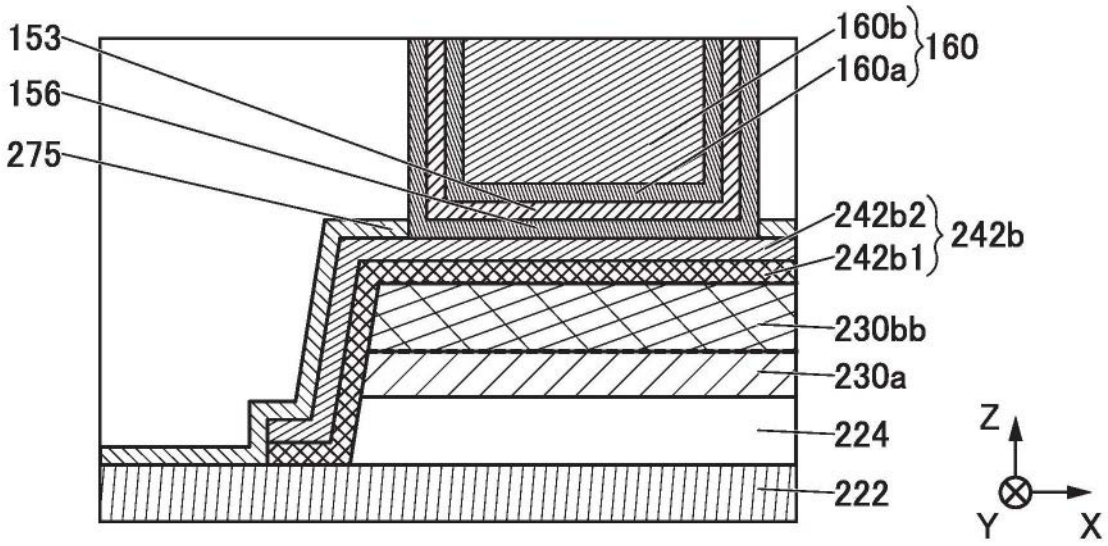

153
156
275
160b
160a
160
242b2
242b1
242b
230bb
230a
224
222
Z
Y
X

图12A

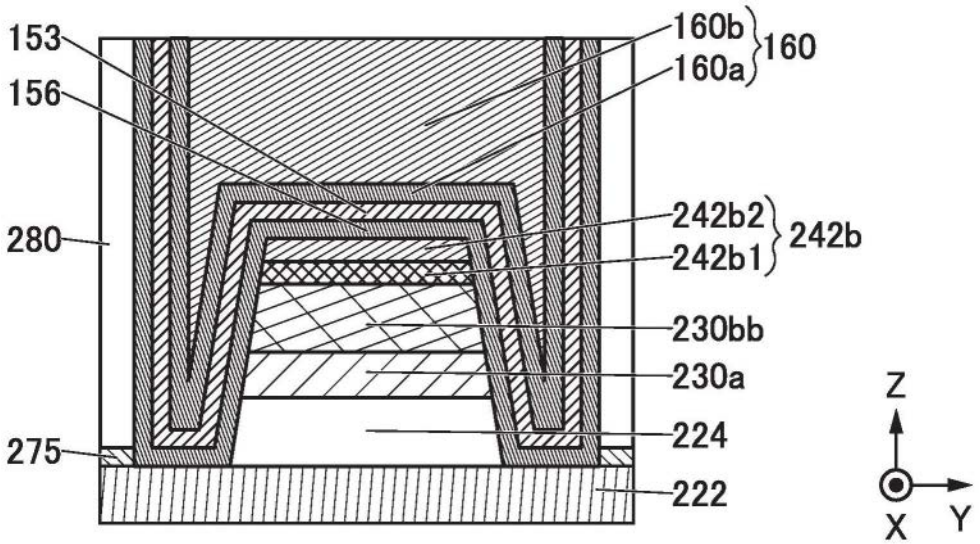

153
156
280
275
160b
160a
160
242b2
242b1
242b
230bb
230a
224
222
Z
X
Y

图12B

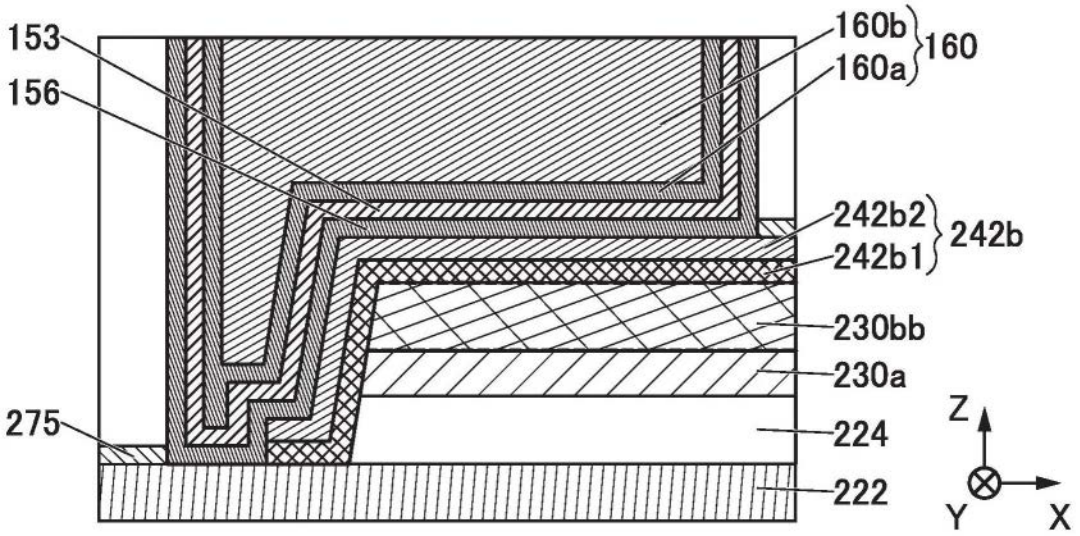

153
156
275
160b
160a
160
242b2
242b1
242b
230bb
230a
224
222
Z
Y
X

图12C

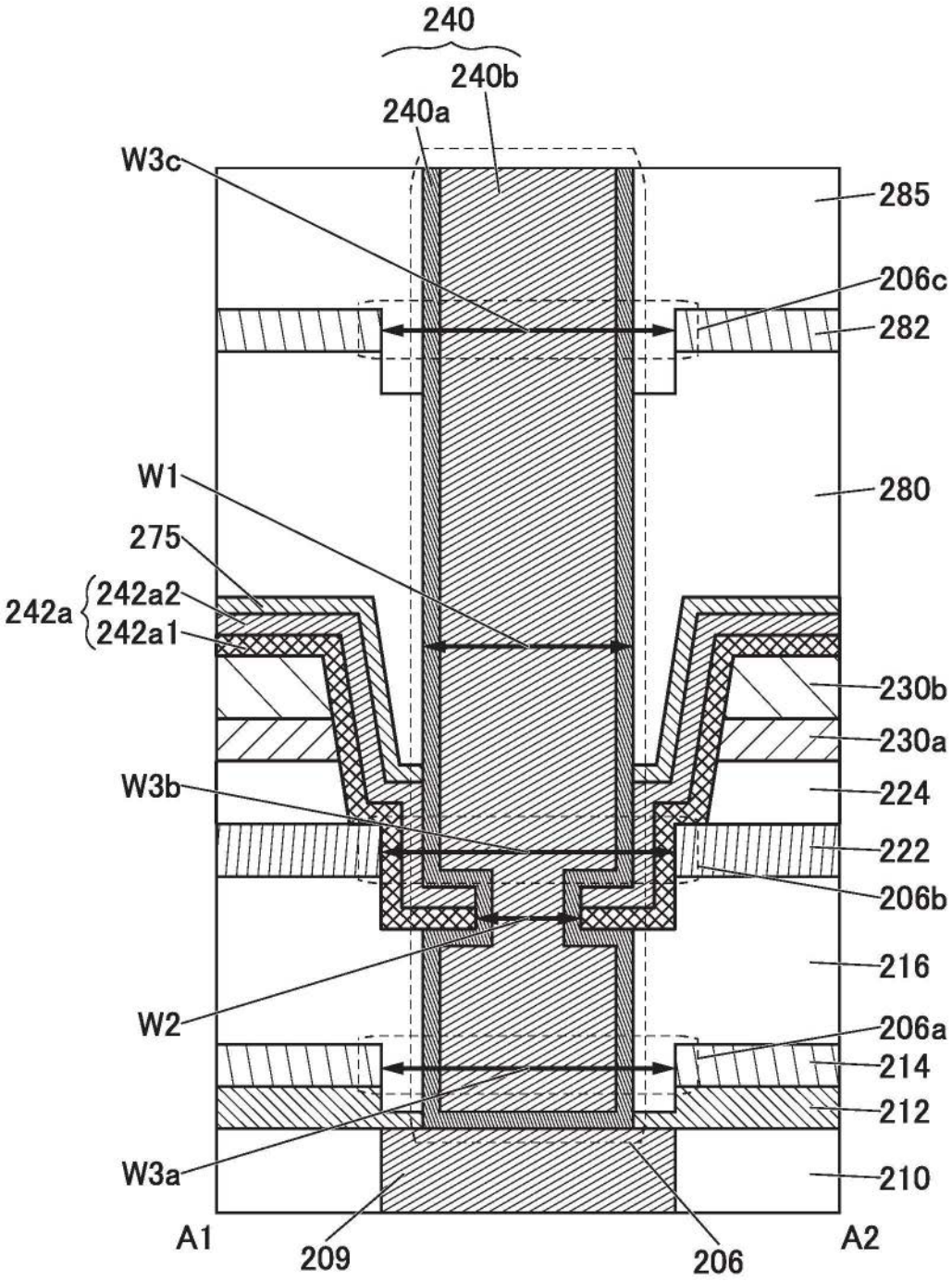

240
240b
240a
W3c
285
206c
282
W1
280
275
242a
242a2
242a1
230b
230a
W3b
224
222
206b
216
W2
206a
214
212
W3a
210
A1
209
206
A2

图13A

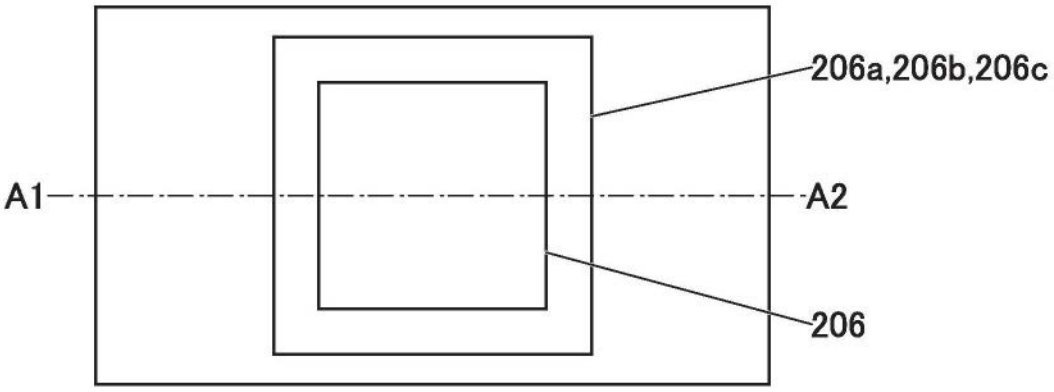

206a,206b,206c
A1
A2
206

图13B

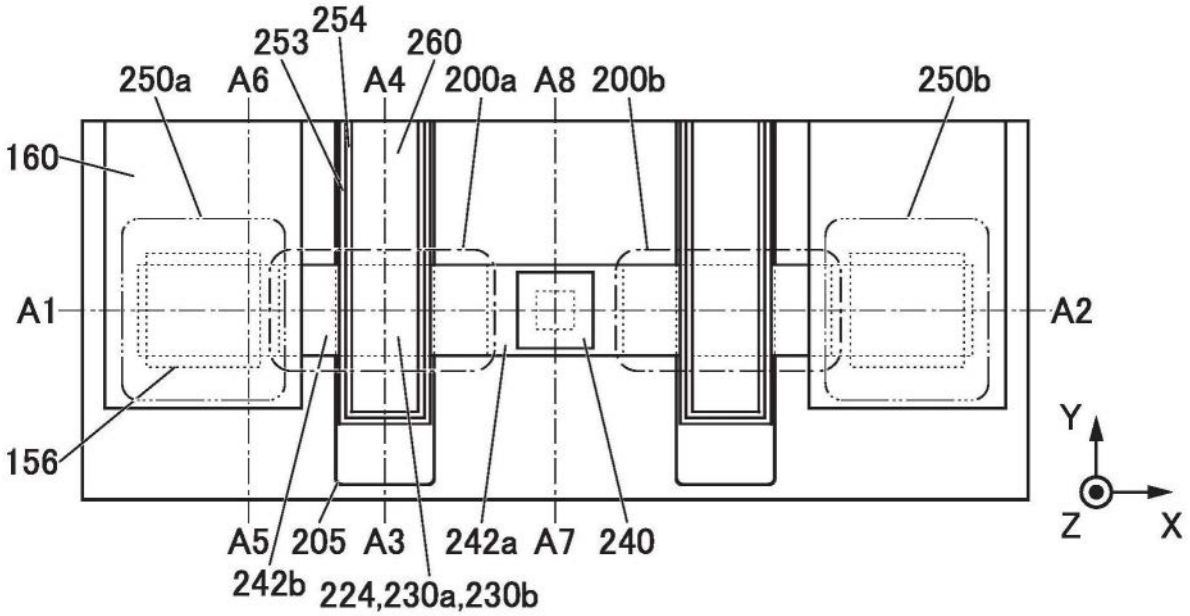

254
253
260
250a
A6
A4
200a
A8
200b
250b
160
A1
A2
156
Y
Z
X
A5
205
A3
242a
A7
240
242b
224,230a,230b

图14A

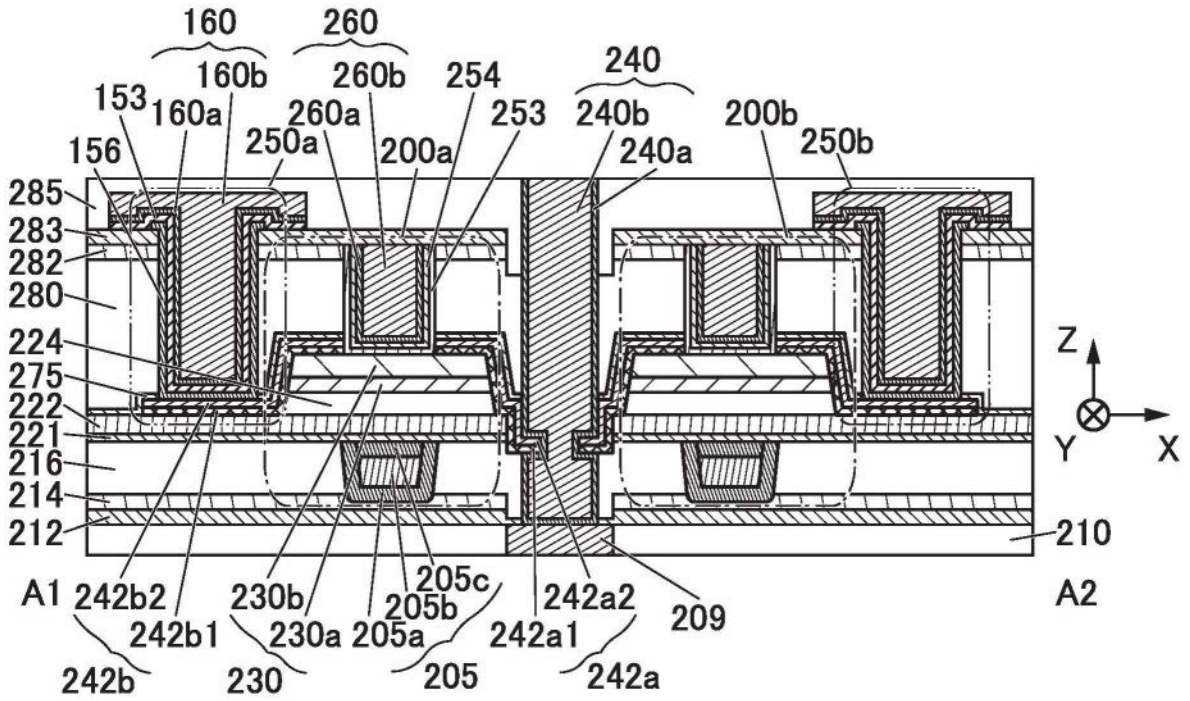


图14B

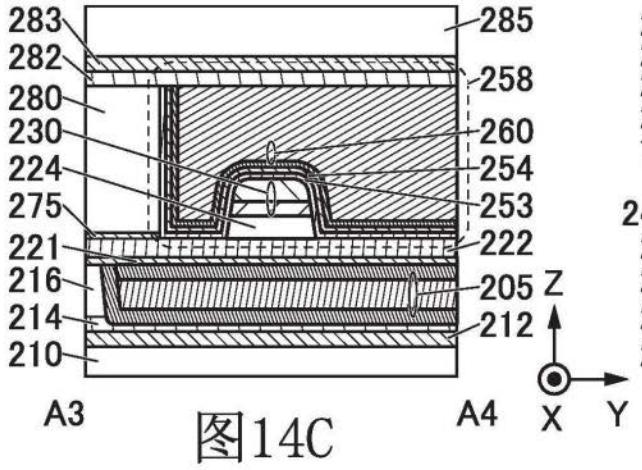


图14C

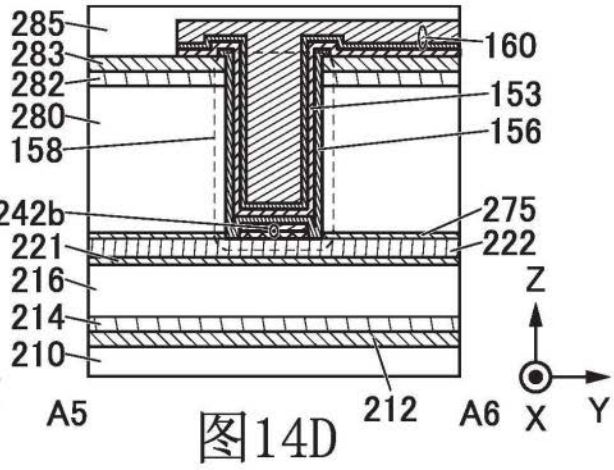


图14D

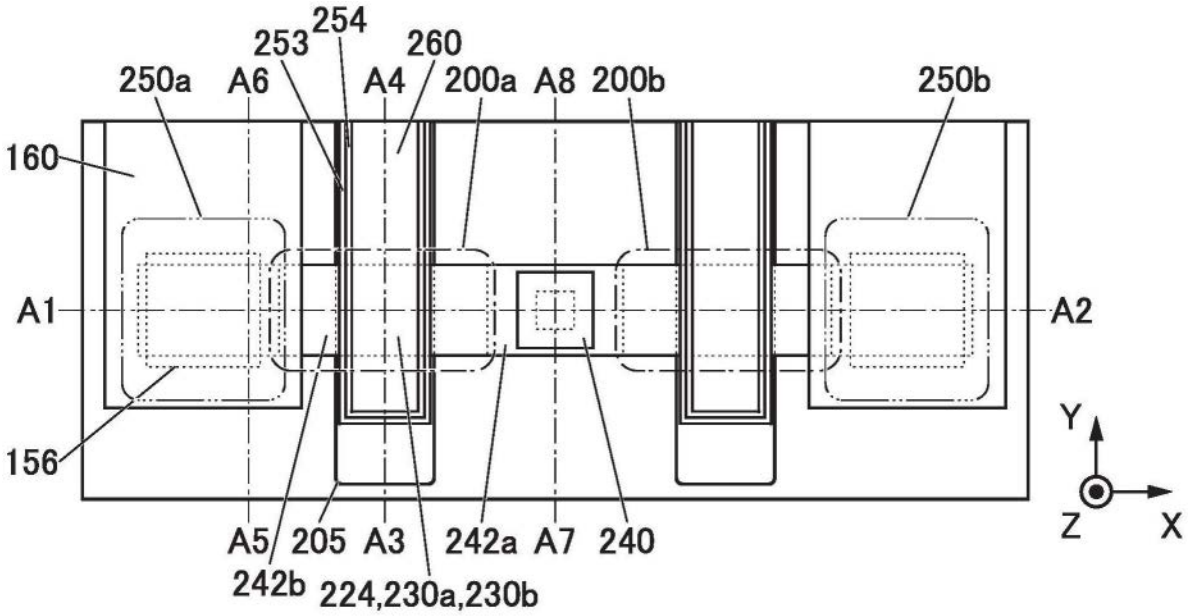

254
253
260
250a
A6
A4
200a
A8
200b
250b
160
A1
A2
156
Y
Z
X
A5
205
A3
242a
A7
240
242b
224,230a,230b

图15A

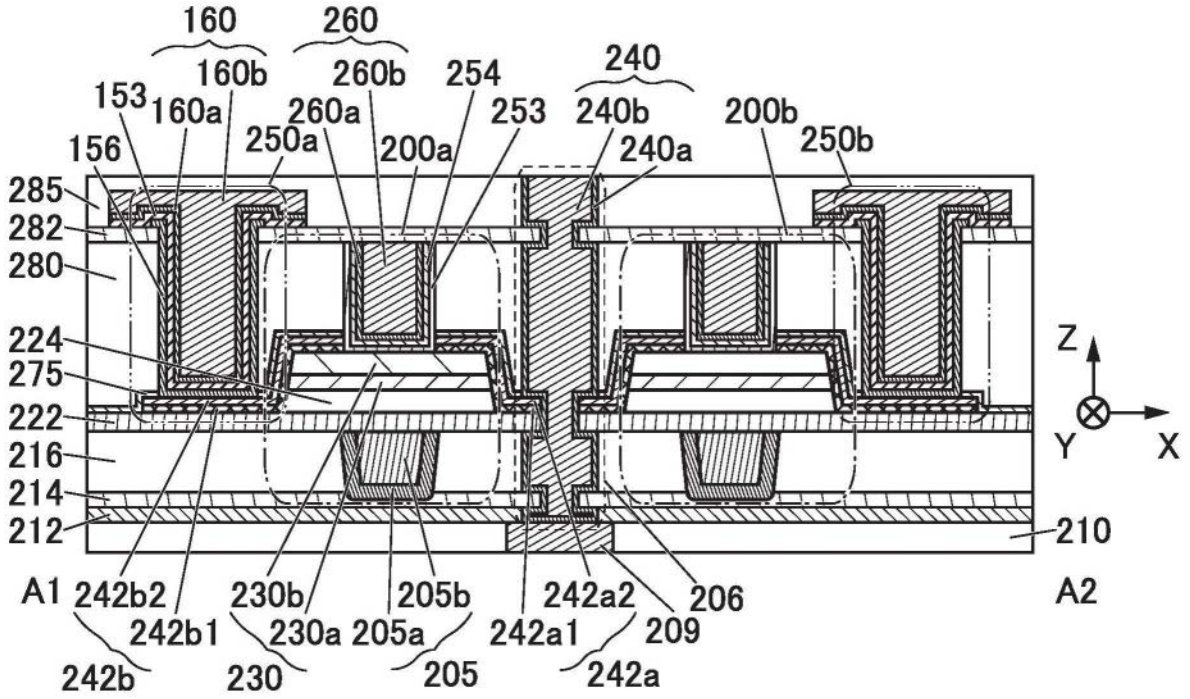

160
260
160b
260b
254
240
153
160a
260a
253
240b
200b
250a
200a
240a
250b
156
285
282
280
224
275
222
216
214
212
Z
Y
X
210
A1
242b2
230b
205b
242a2
206
A2
242b1
230a
205a
242a1
209
242b
230
205
242a

图15B

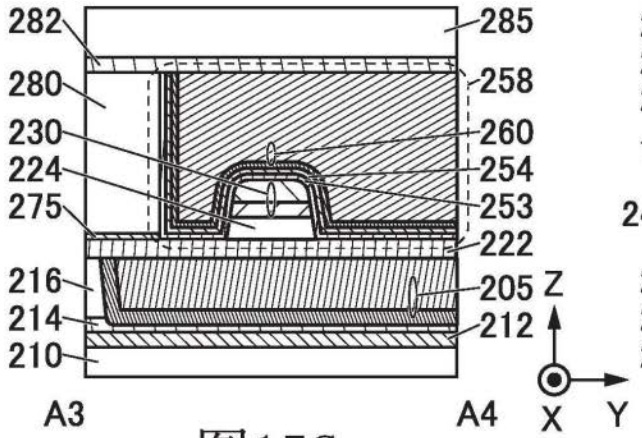

282
285
280
258
230
260
224
254
275
253
222
216
205
214
212
210
A3
A4
Z
X
Y

图15C

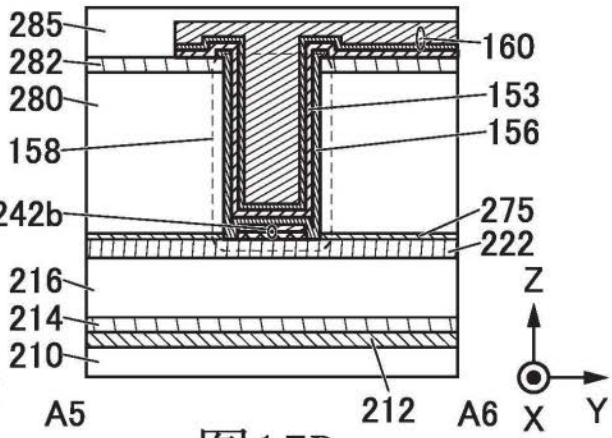

285
160
282
280
153
158
156
242b
275
222
216
214
210
212
A5
A6
Z
X
Y

图15D

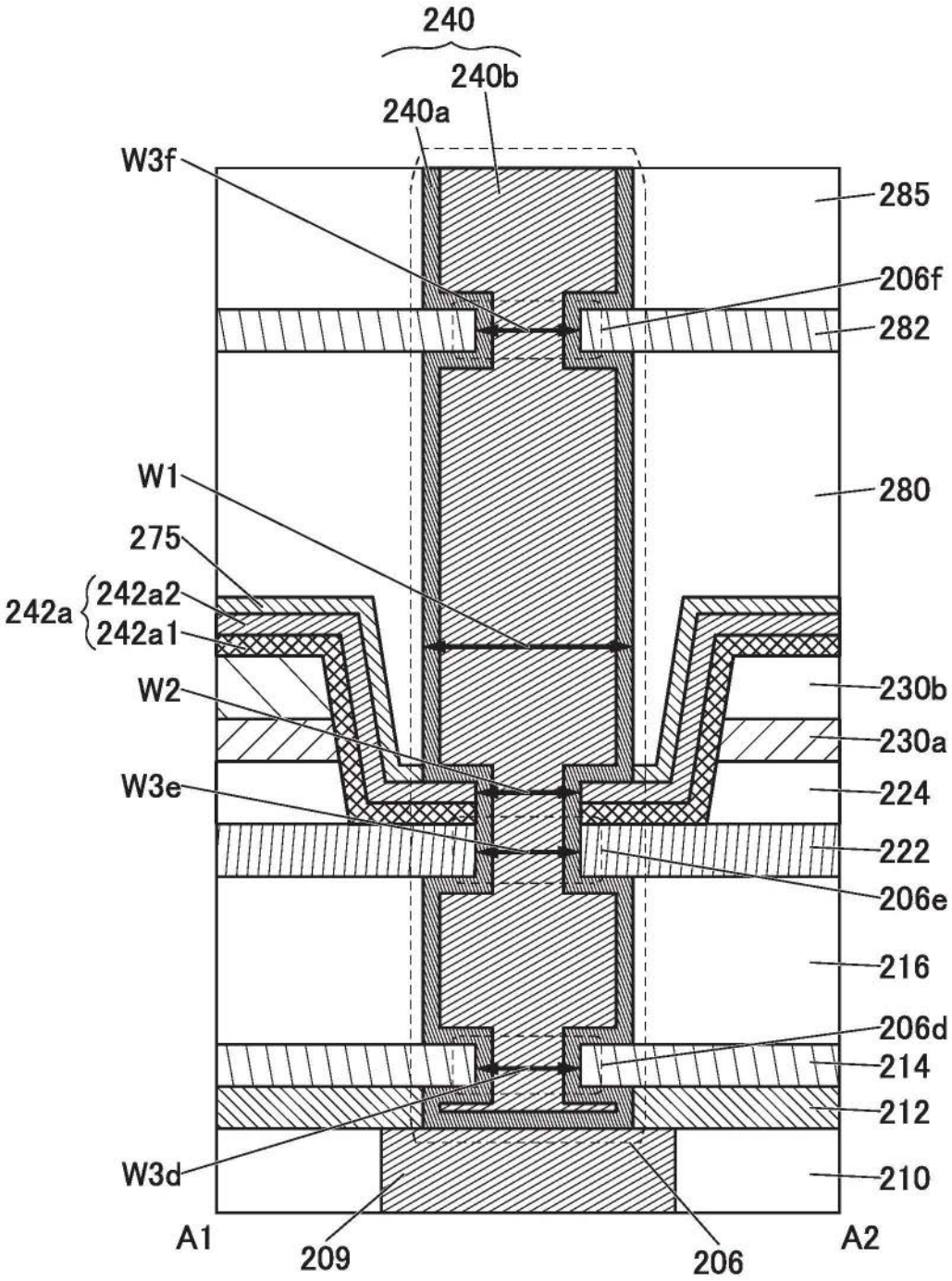

240
240b
240a
W3f
285
206f
282
W1
280
275
242a
242a2
242a1
W2
230b
230a
W3e
224
222
206e
216
206d
214
212
W3d
210
A1
209
206
A2

图16A

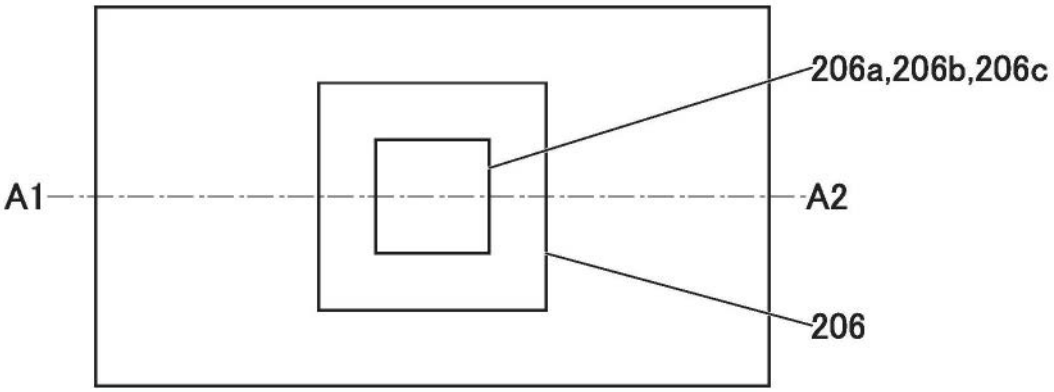


图16B

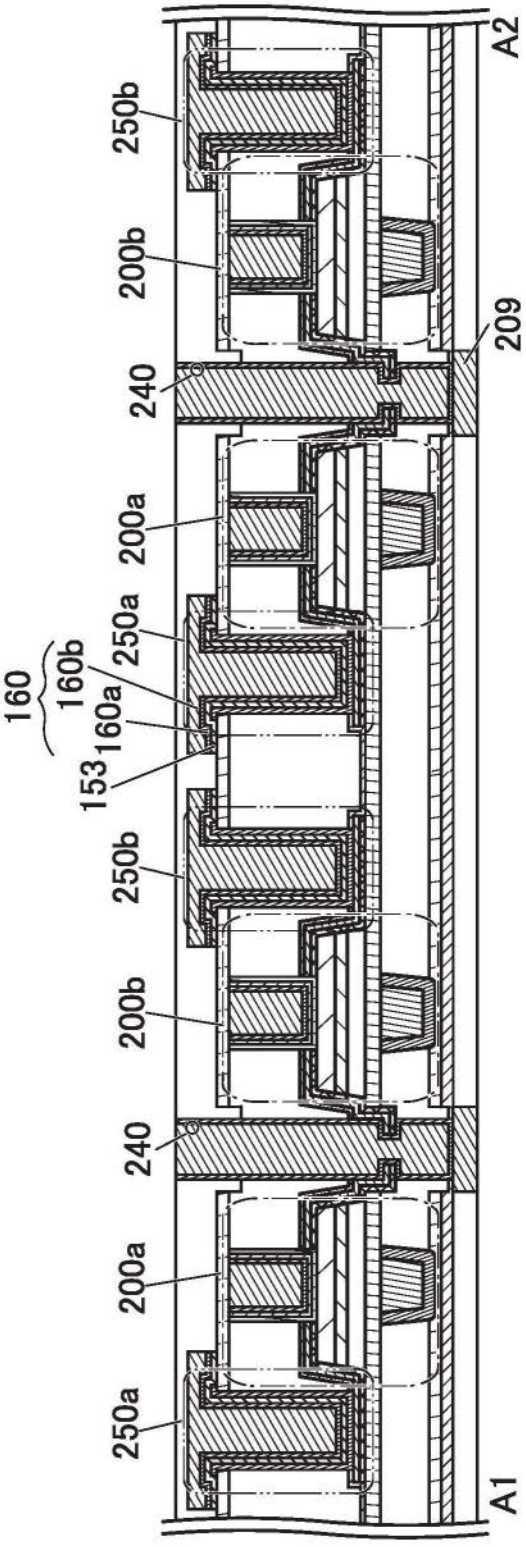

A2
250b
200b
209
240
200a
250a
160
160b
160a
153
250b
200b
240
200a
250a
A1

图17A

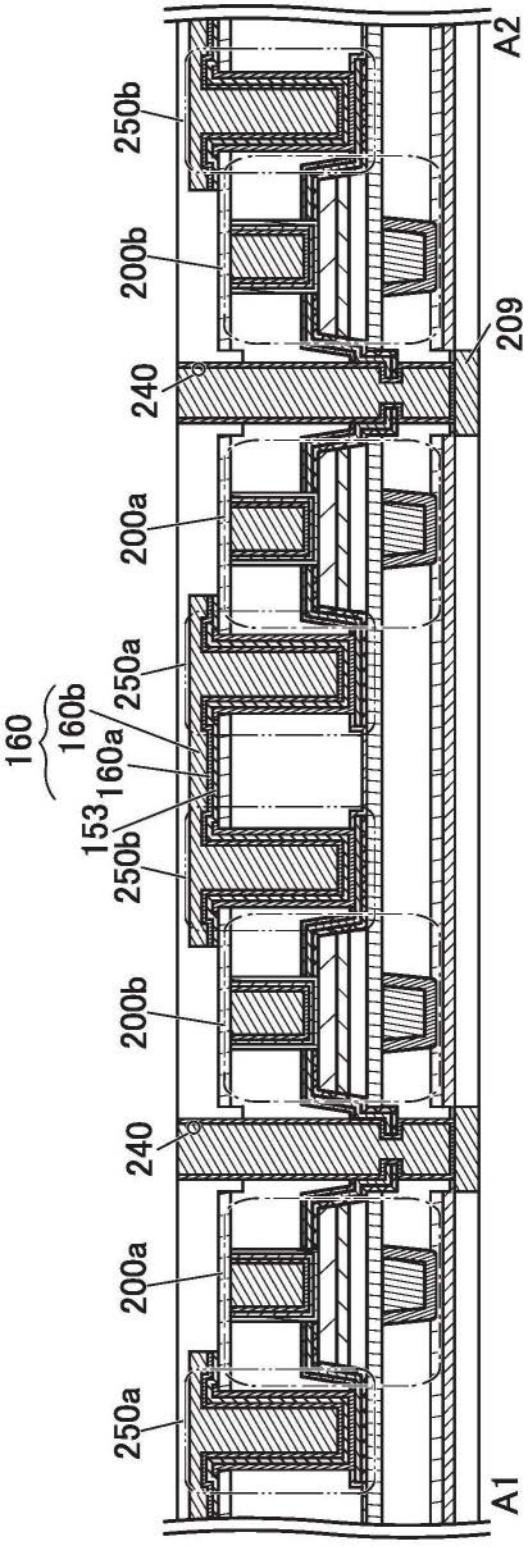

A2
250b
200b
209
240
200a
250a
160
160b
160a
153
250b
200b
240
200a
250a
A1

图17B

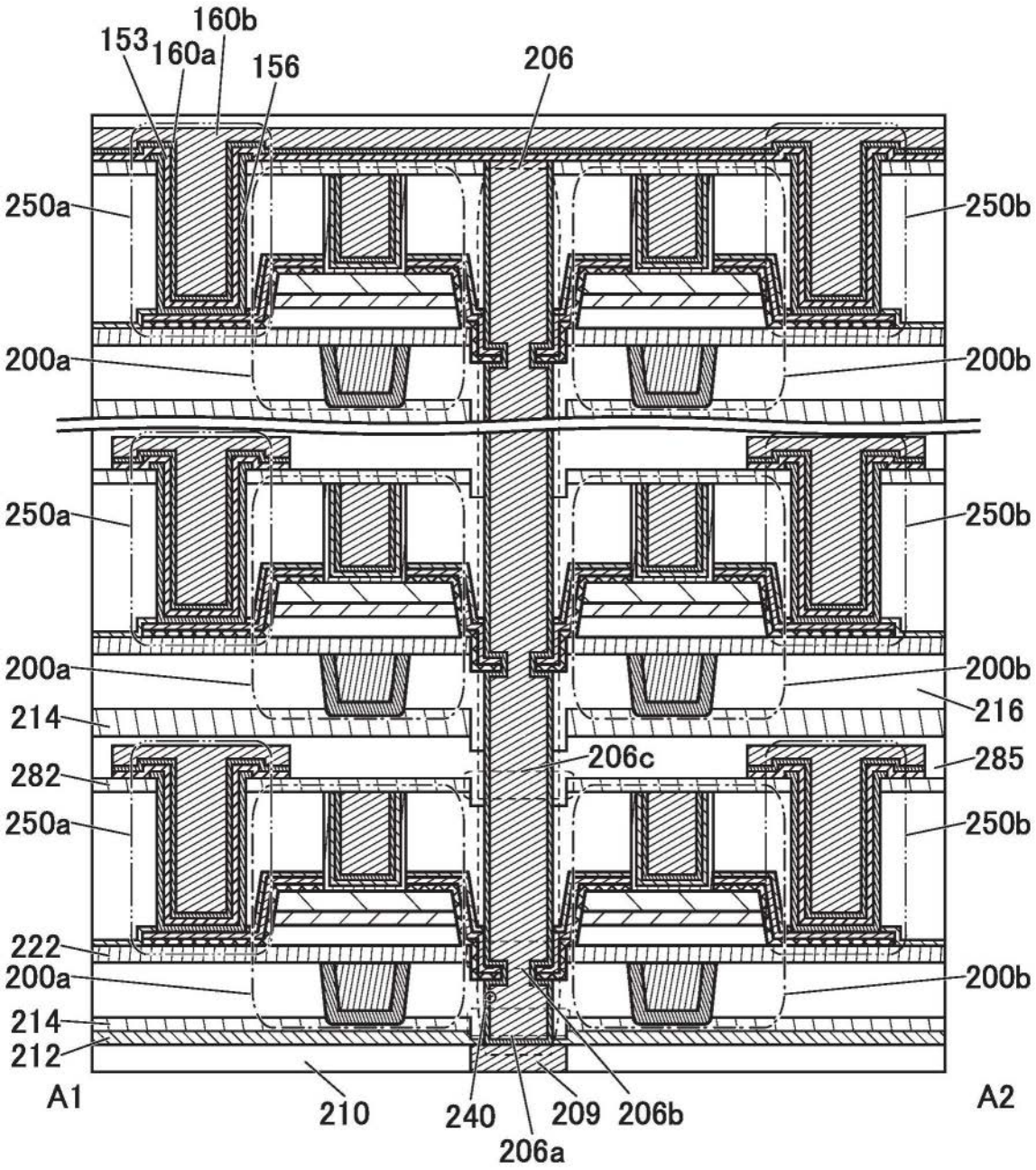

153
160a
160b
156
206
250a
250b
200a
200b
214
216
282
285
206c
222
212
A1
A2
210
240
209
206b
206a

图18

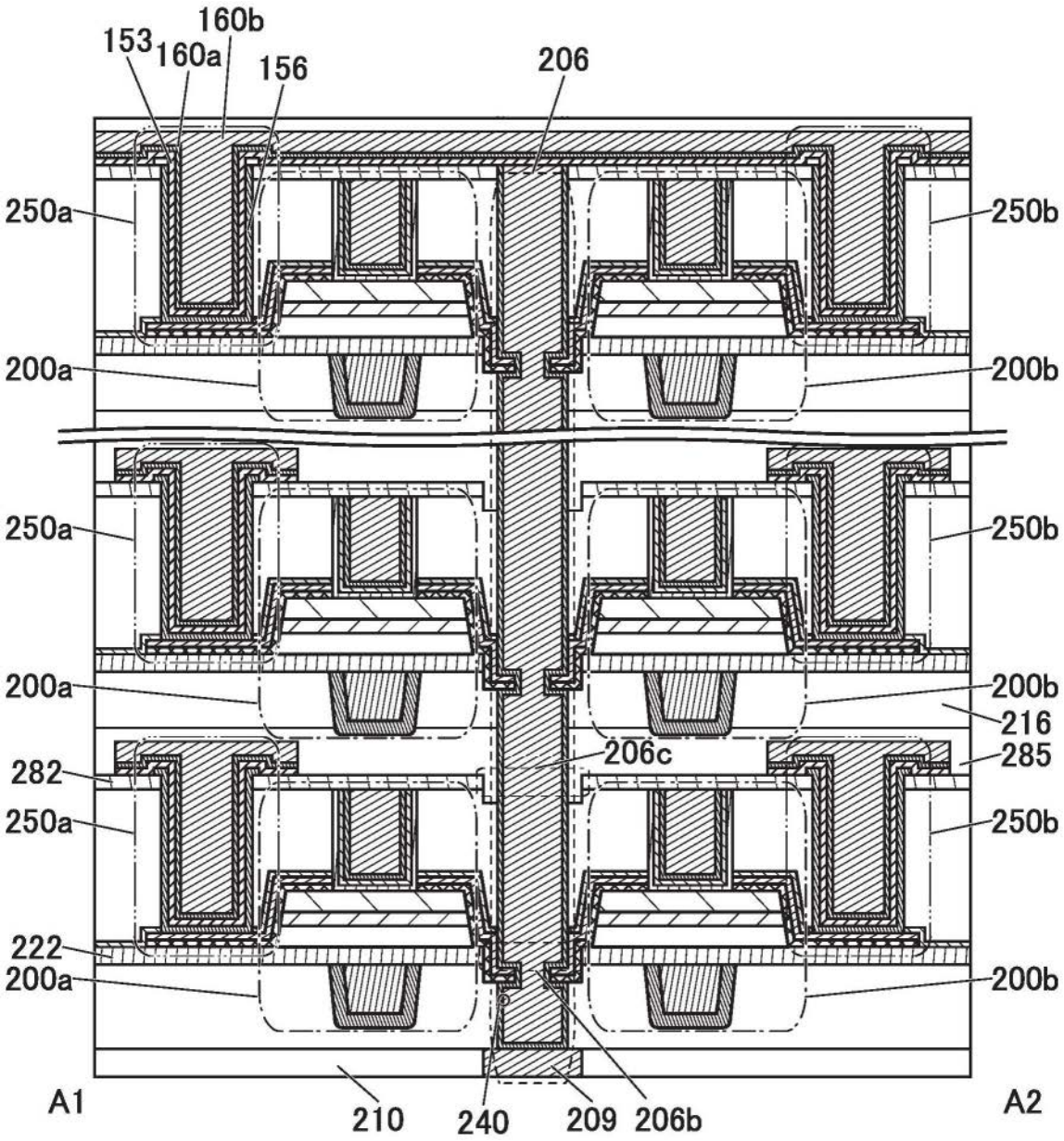

153
160a
160b
156
206
250a
250b
200a
200b
250a
250b
200a
200b
216
282
206c
285
250a
250b
222
200a
200b
A1
210
240
209
206b
A2

图19

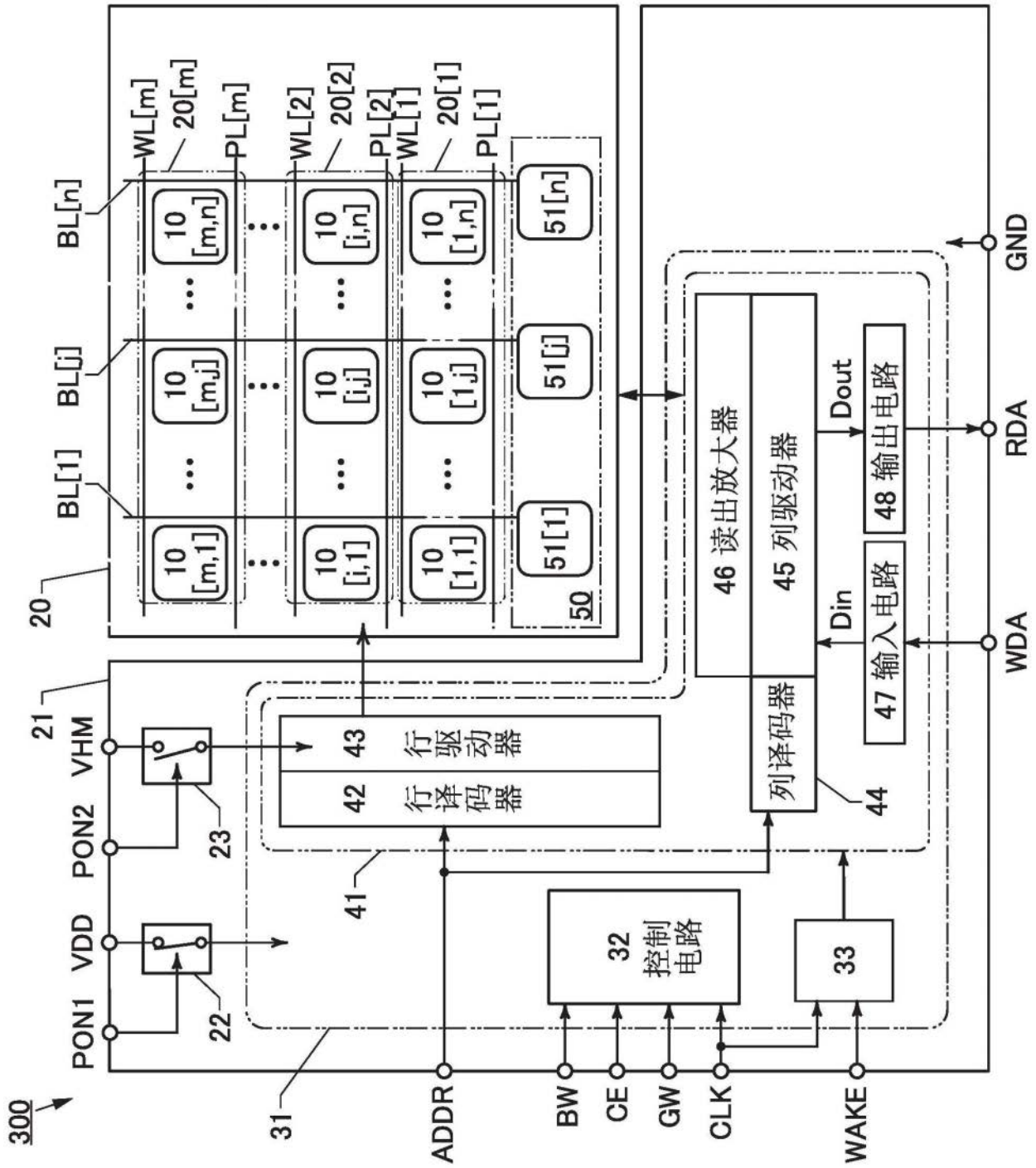

300
20
21
22
23
31
41
50
BL[n]
BL[j]
BL[1]
WL[m]
WL[2]
WL[1]
PL[m]
PL[2]
PL[1]
20[m]
20[2]
20[1]
10 [m,n]
10 [m,j]
10 [m,1]
10 [i,n]
10 [i,j]
10 [i,1]
10 [1,n]
10 [1,j]
10 [1,1]
51[n]
51[j]
51[1]
VHM
PON2
VDD
PON1
42 行译码器
43 行驱动器
44
45 列驱动器
46 读出放大器
47 输入电路
48 输出电路
列译码器
Dout
Din
32 控制电路
33
ADDR
BW
CE
GW
CLK
WAKE
GND
RDA
WDA

图20

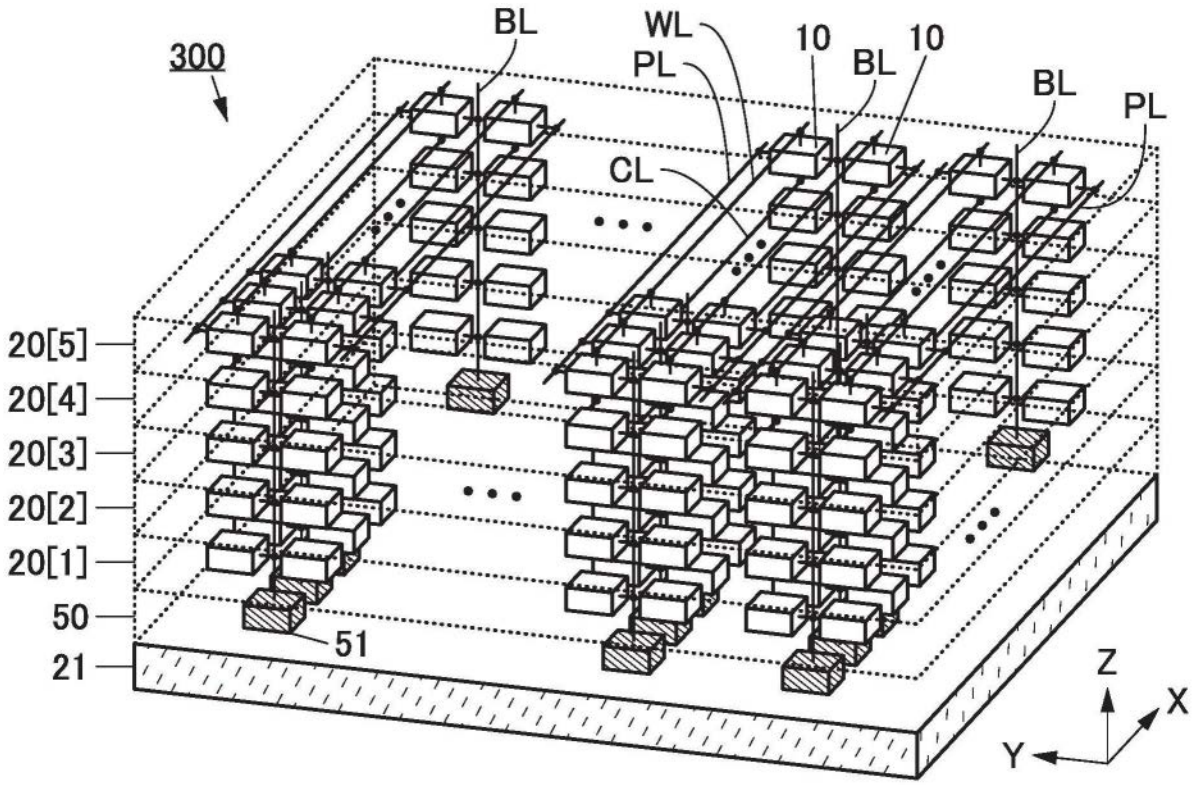


图21A

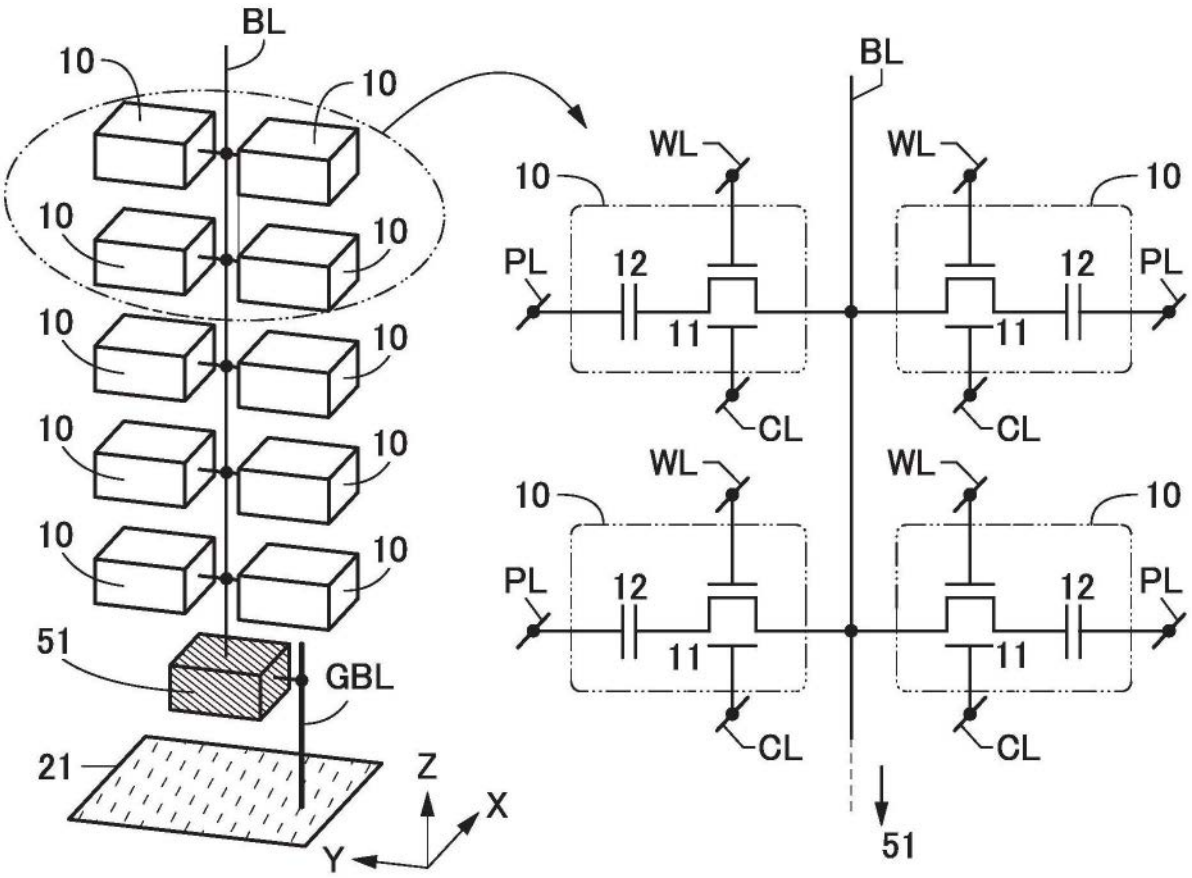

BL
10
10
10
10
10
10
10
10
10
10
51
GBL
21
Z
X
Y
BL
WL
WL
10
10
PL
12
12
PL
11
11
CL
CL
WL
WL
10
10
PL
12
12
PL
11
11
CL
CL
51

图21B

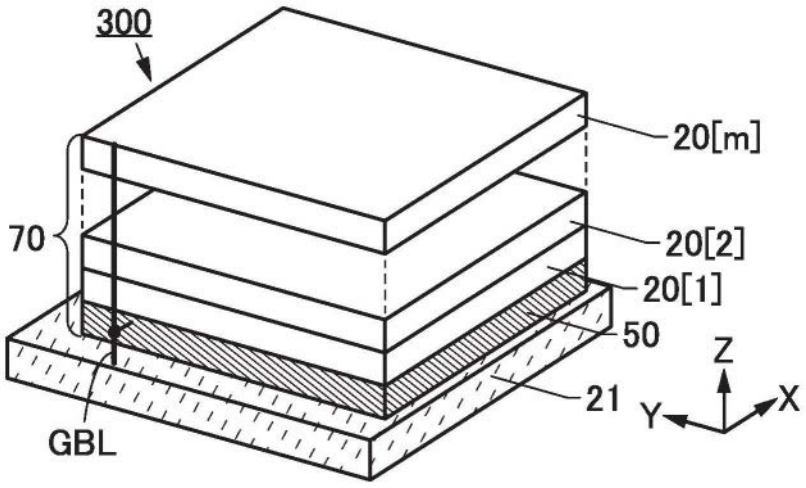

300
20[m]
70
20[2]
20[1]
50
Z
21
Y
X
GBL

图22A

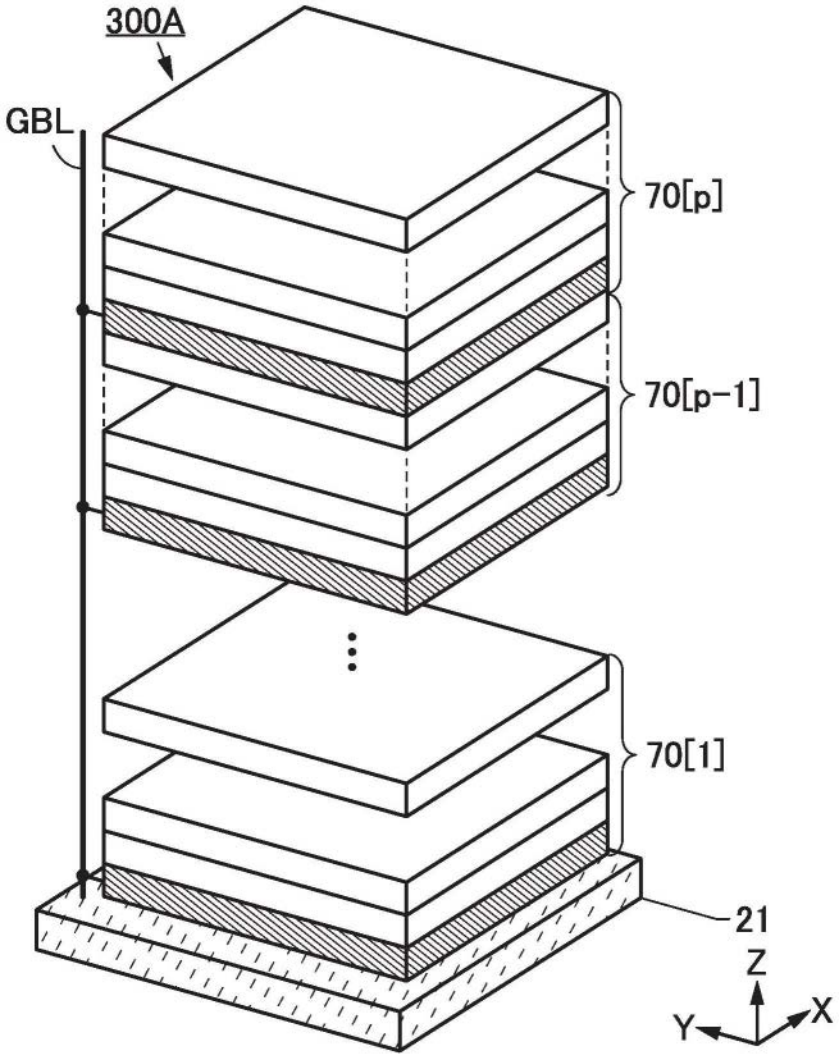


图22B

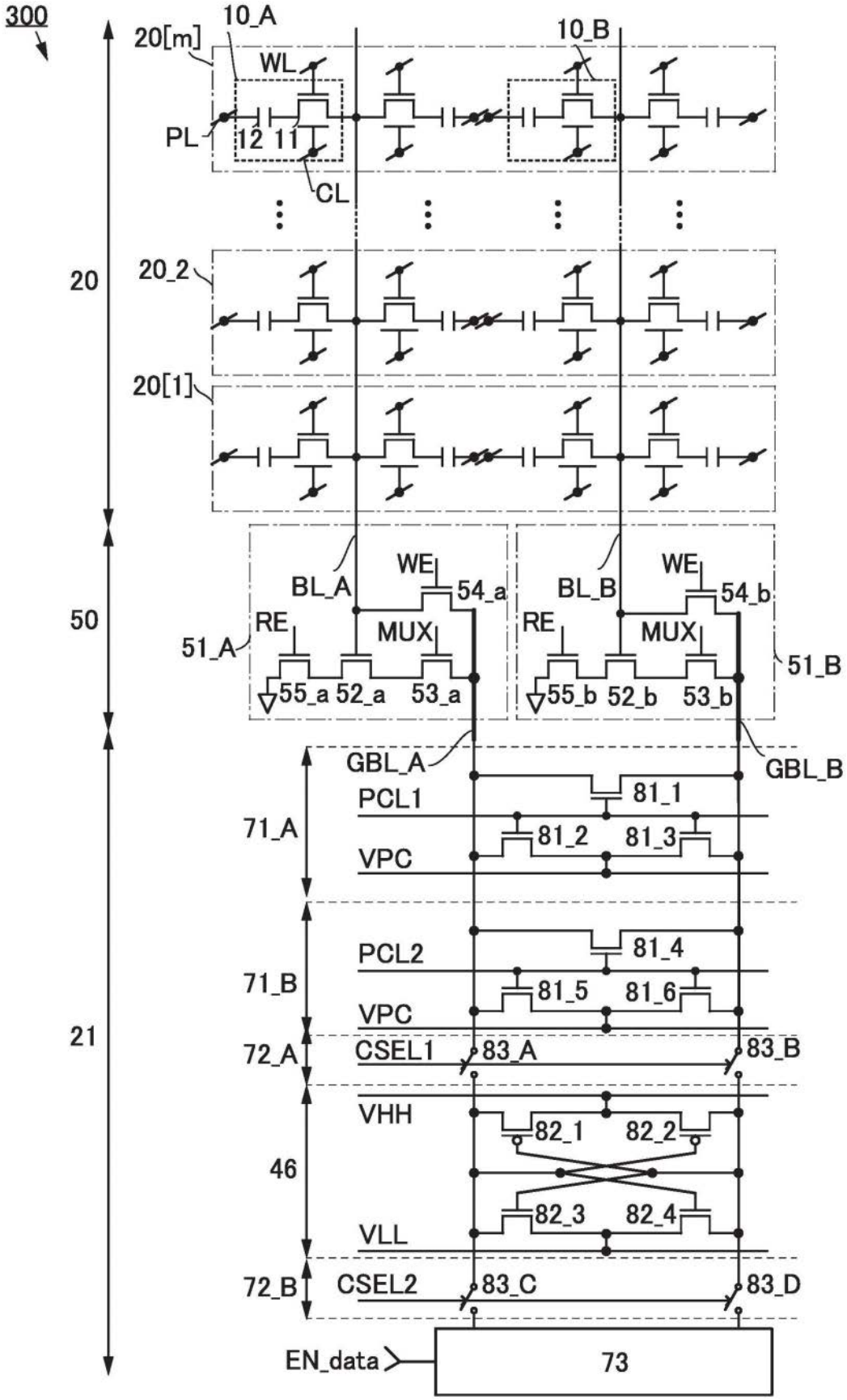

300
10_A
10_B
20[m]
WL
PL
12
11
CL
20
20_2
20[1]
50
BL_A
WE
54_a
BL_B
WE
54_b
RE
MUX
51_A
51_B
55_a
52_a
53_a
55_b
52_b
53_b
GBL_A
GBL_B
71_A
PCL1
81_1
81_2
81_3
VPC
71_B
PCL2
81_4
81_5
81_6
VPC
21
72_A
CSEL1
83_A
83_B
VHH
82_1
82_2
46
82_3
82_4
VLL
72_B
CSEL2
83_C
83_D
EN_data
73

图23

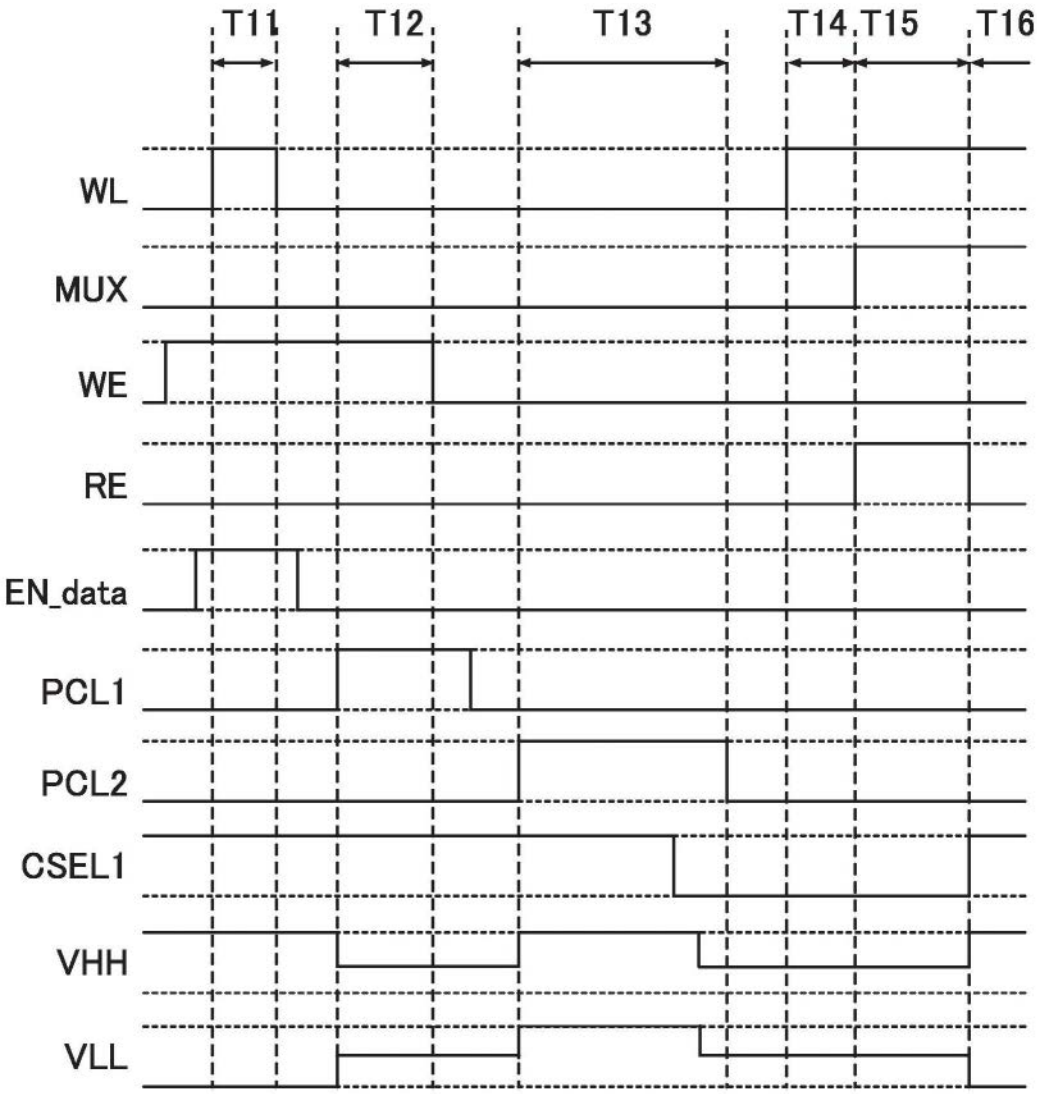

T11
T12
T13
T14
T15
T16
WL
MUX
WE
RE
EN_data
PCL1
PCL2
CSEL1
VHH
VLL

图24

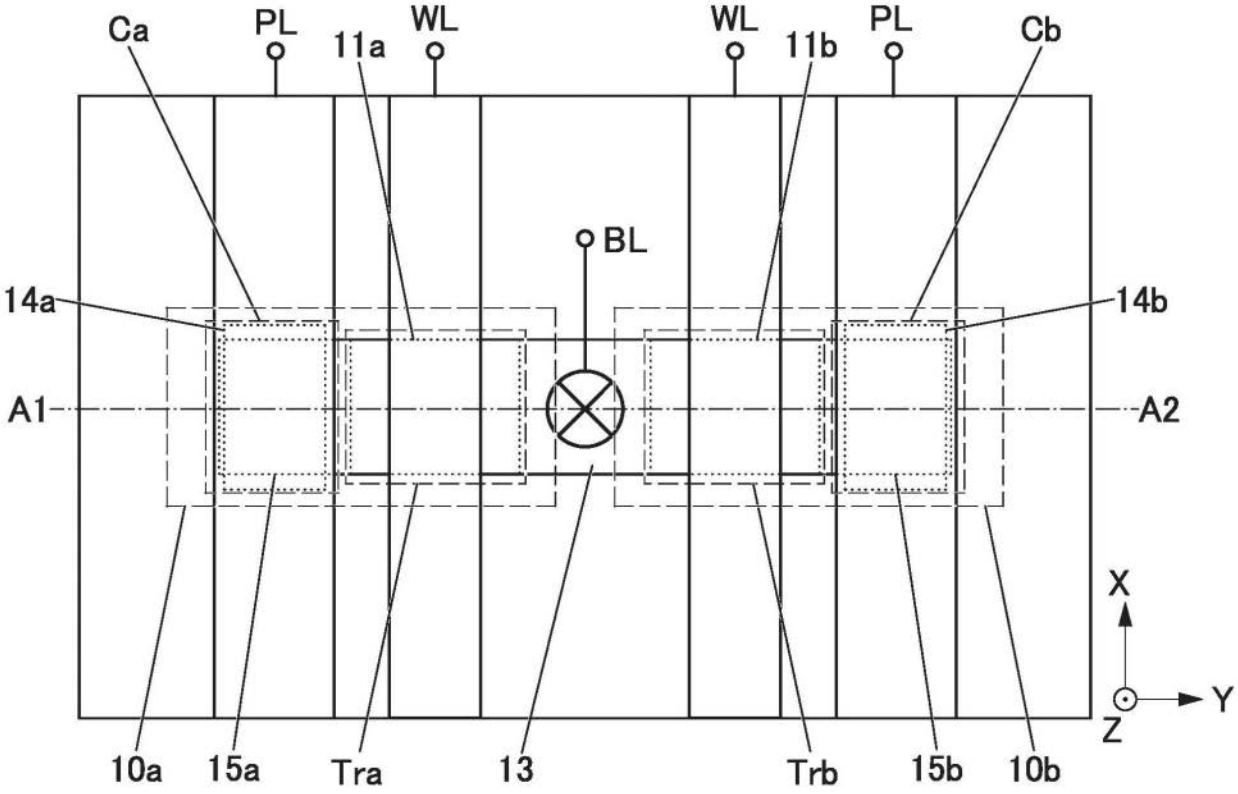

Ca
PL
11a
WL
WL
11b
PL
Cb
BL
14a
14b
A1
A2
X
Y
Z
10a
15a
Tra
13
Trb
15b
10b

图25A

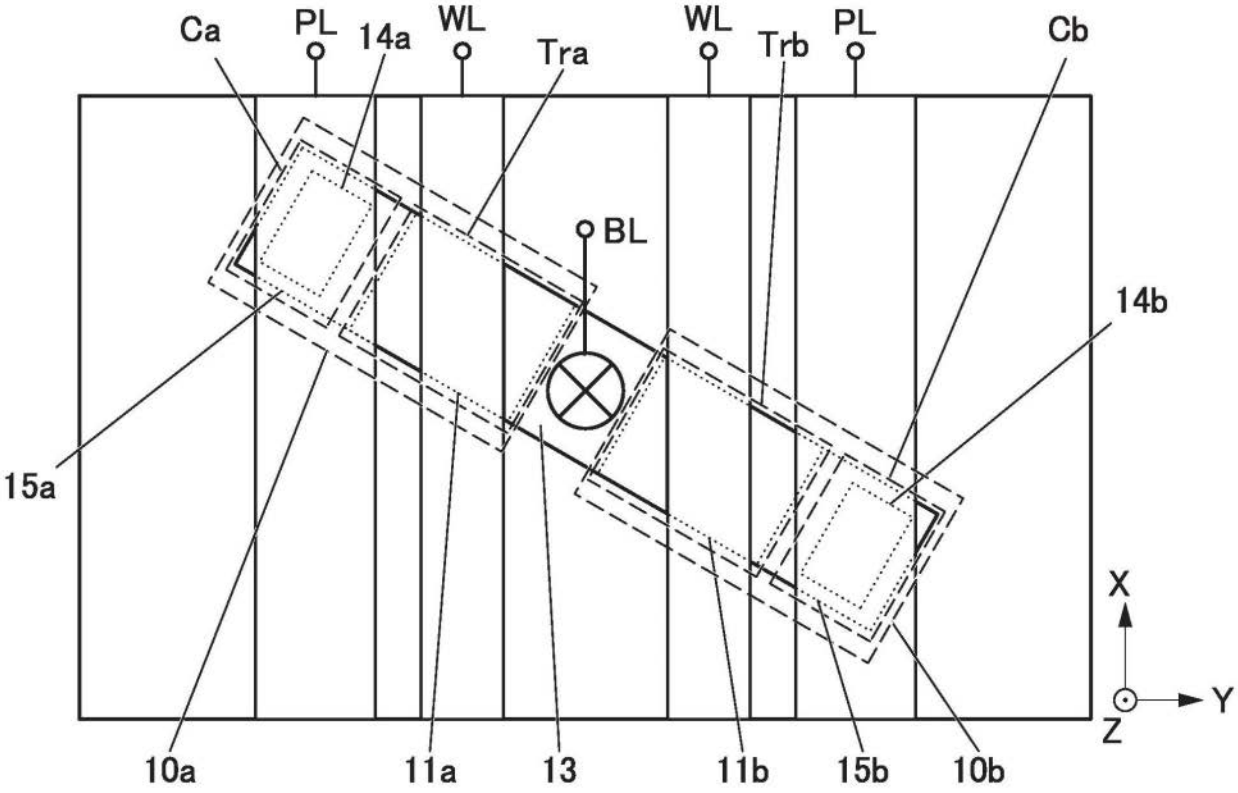

Ca
PL
14a
WL
Tra
WL
Trb
PL
Cb
BL
14b
15a
X
Y
Z
10a
11a
13
11b
15b
10b

图25B

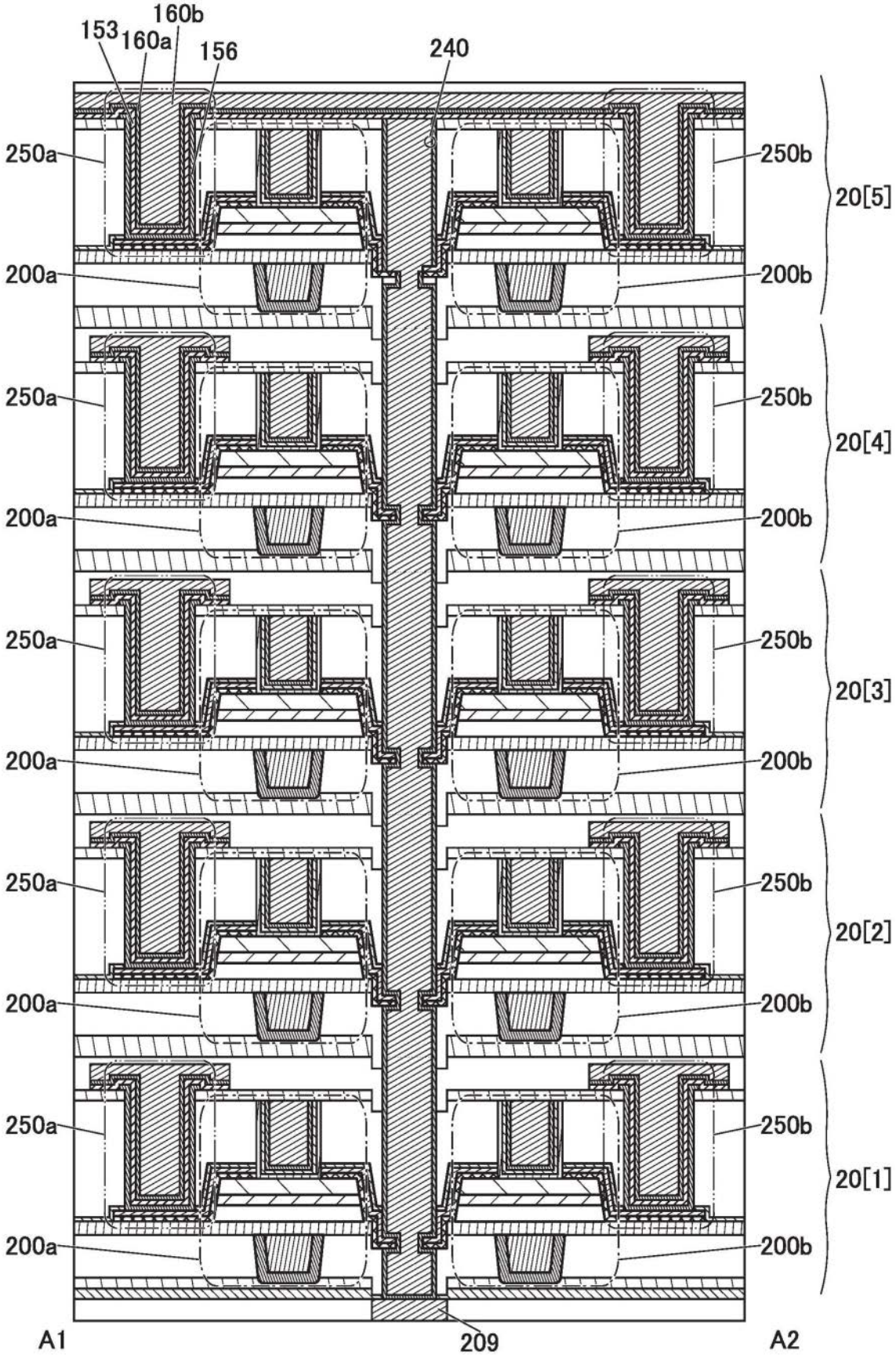

153
160a
160b
156
240
250a
250b
200a
200b
20[5]
20[4]
20[3]
20[2]
20[1]
A1
209
A2

图26

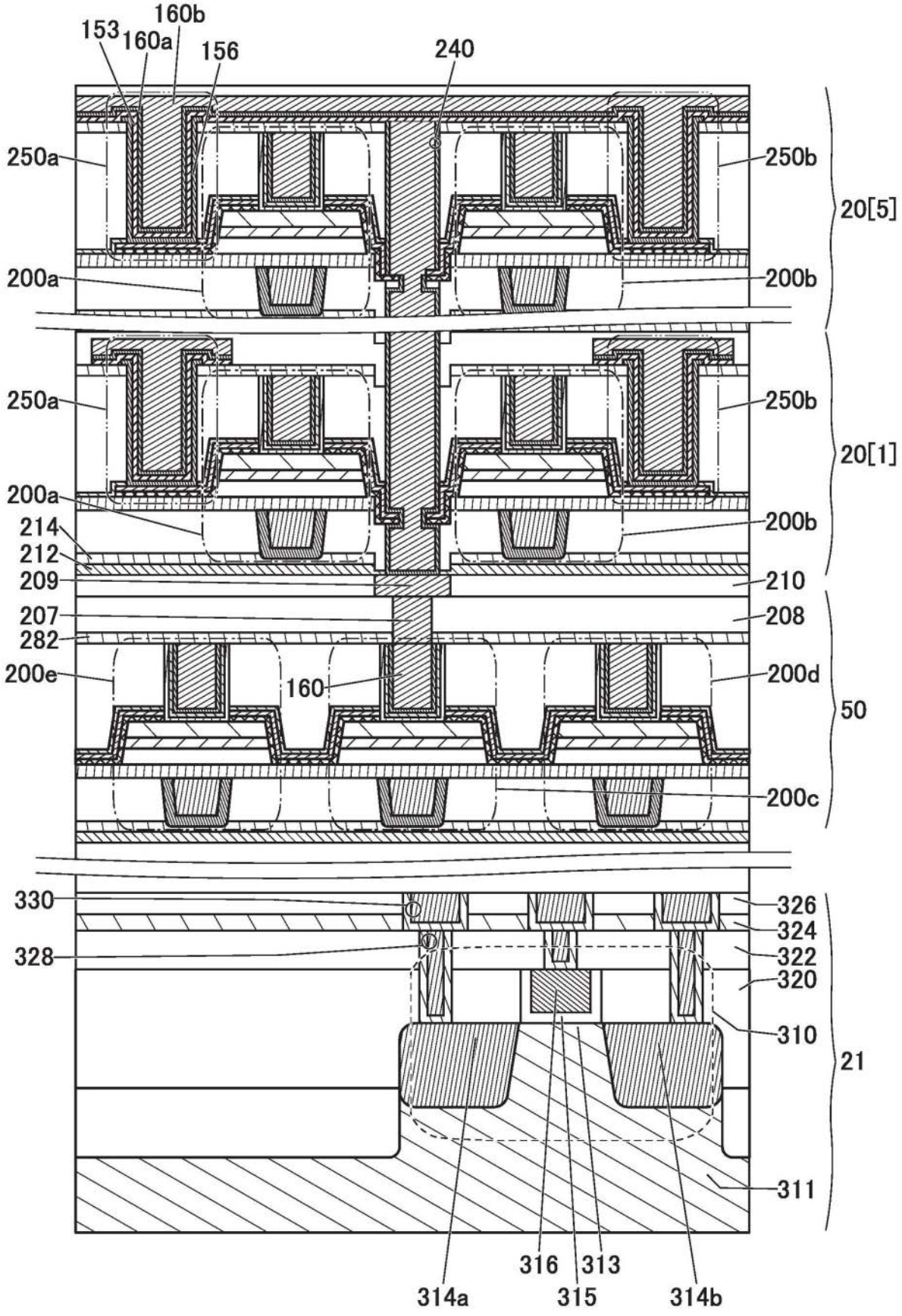

153
160a
160b
156
240
250a
250b
20[5]
200a
200b
250a
250b
20[1]
200a
214
212
209
200b
210
207
208
282
200e
160
200d
50
200c
330
326
324
328
322
320
310
21
311
316
313
314a
315
314b

图27

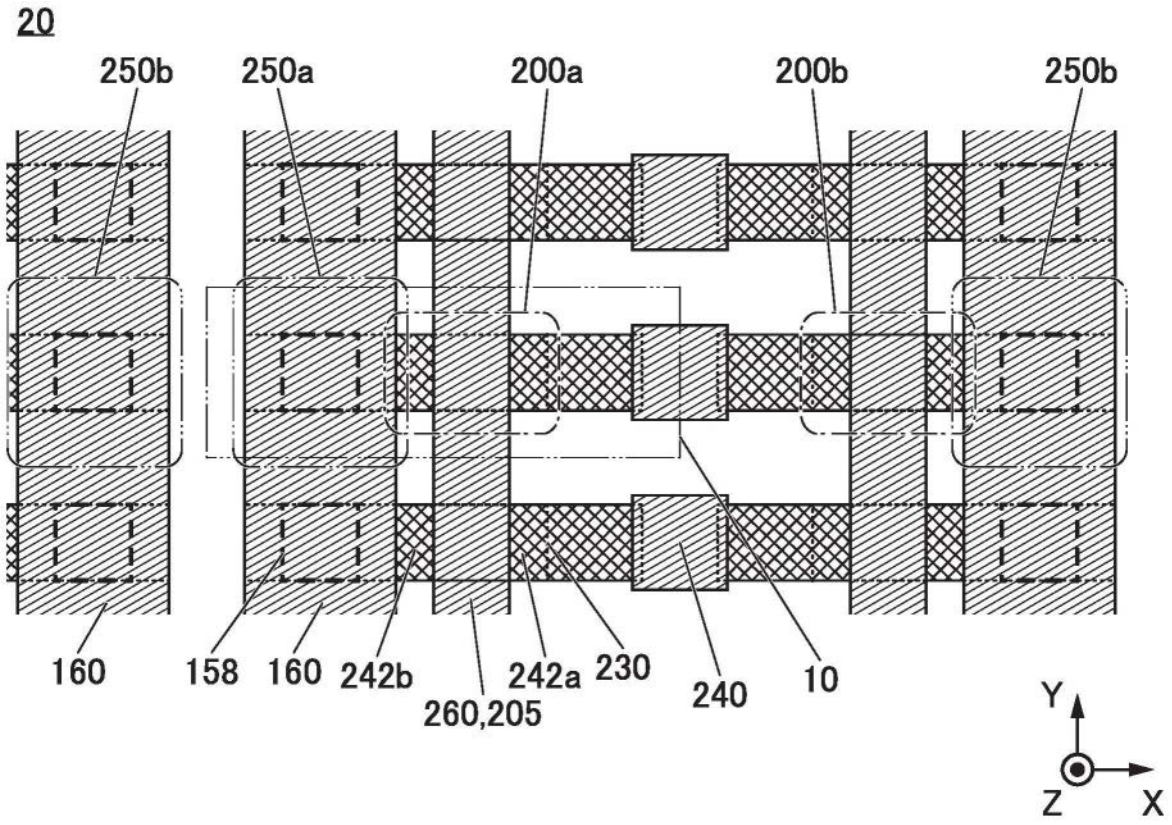

20
250b
250a
200a
200b
250b
160
158
160
242b
260,205
242a
230
240
10
Y
Z
X

图28

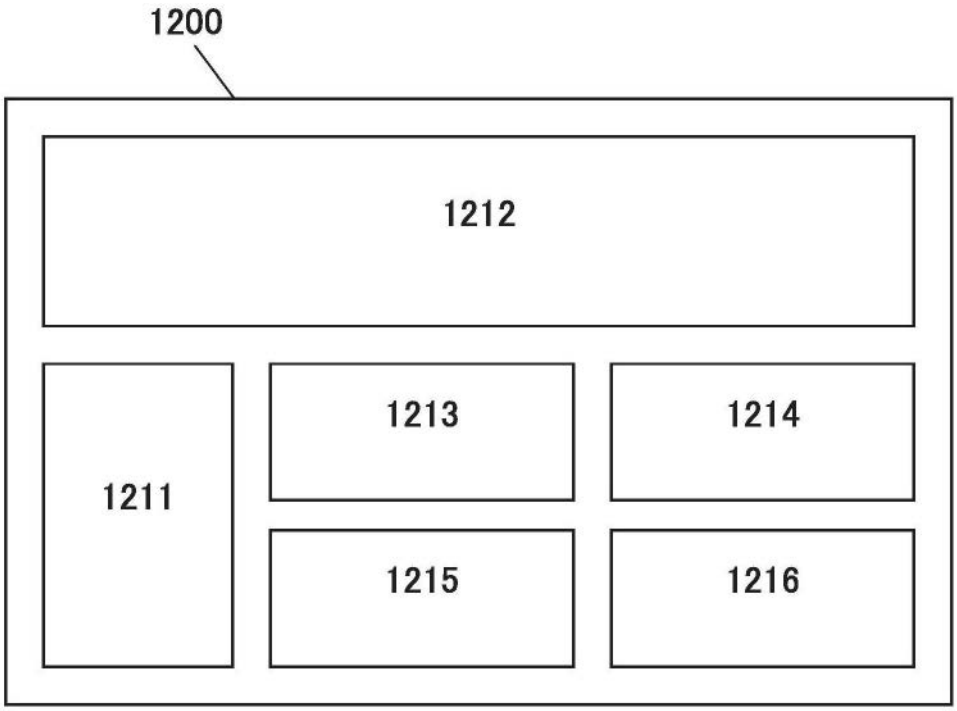

1200
1212
1211
1213
1214
1215
1216

图29A

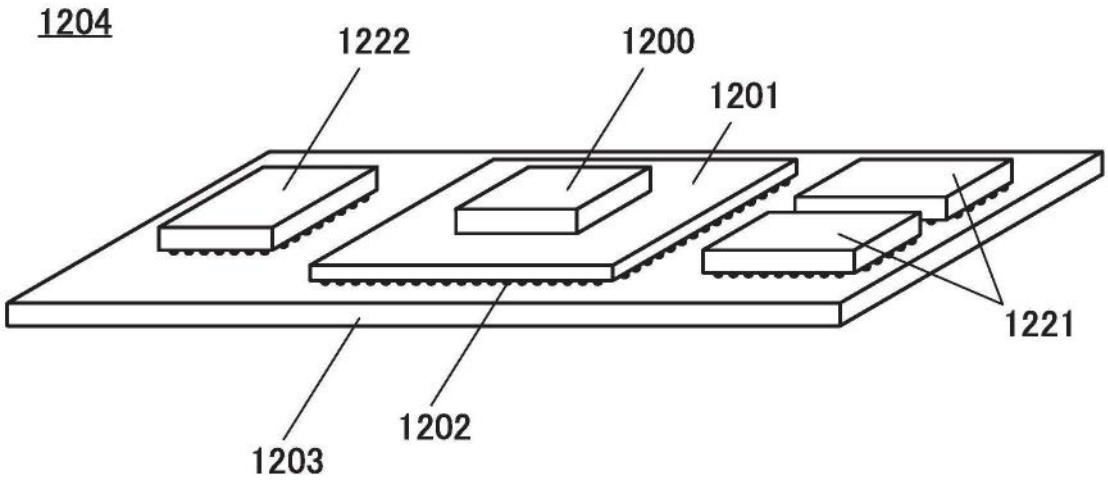

1204
1222
1200
1201
1221
1203
1202

图29B

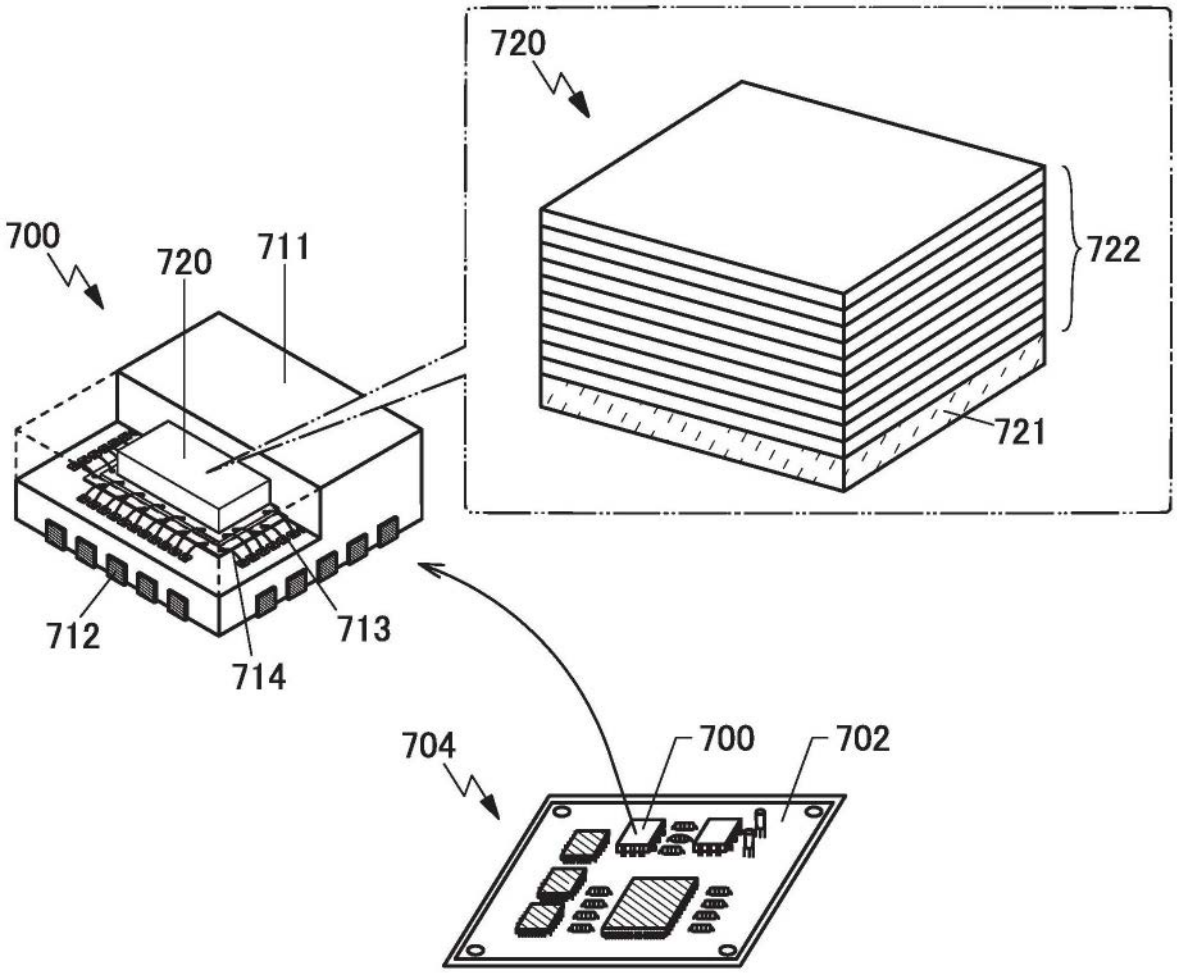

720
722
700
720
711
721
712
713
714
704
700
702

图30A

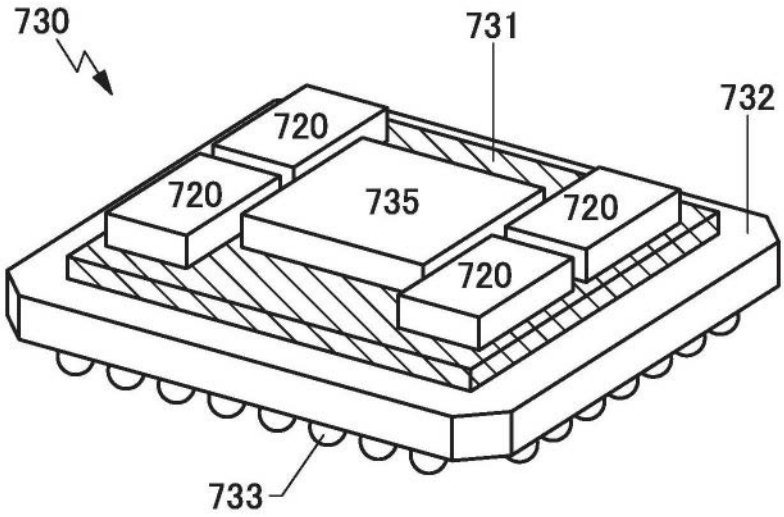


图30B

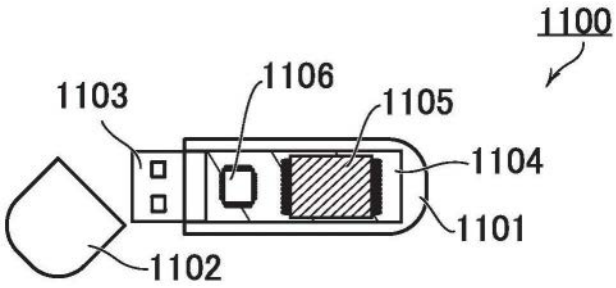


图31A

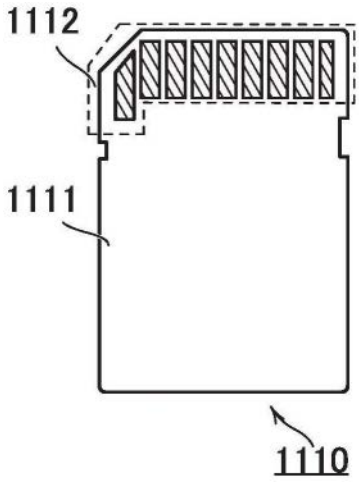


图31B

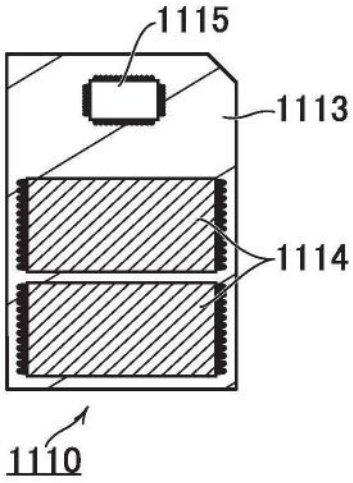


图31C

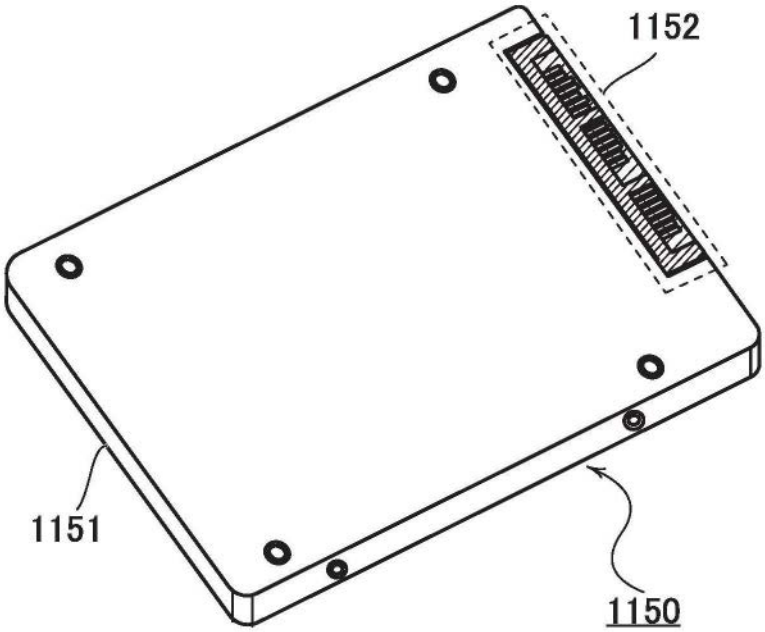


图31D

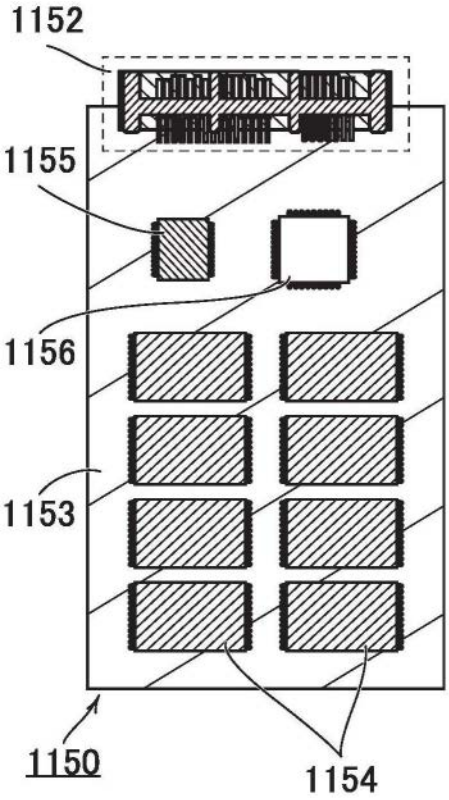


图31E

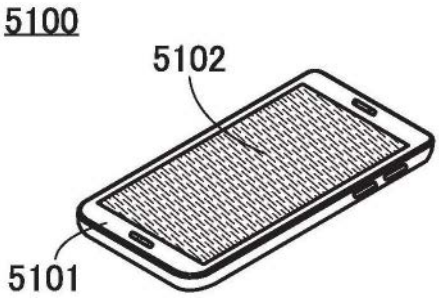


图32A

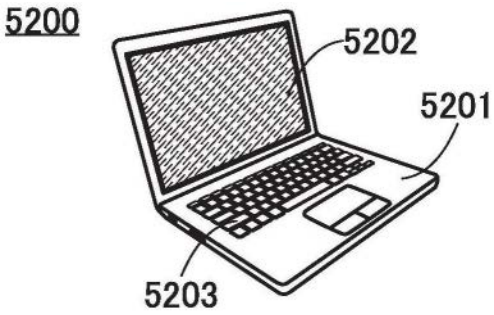


图32B

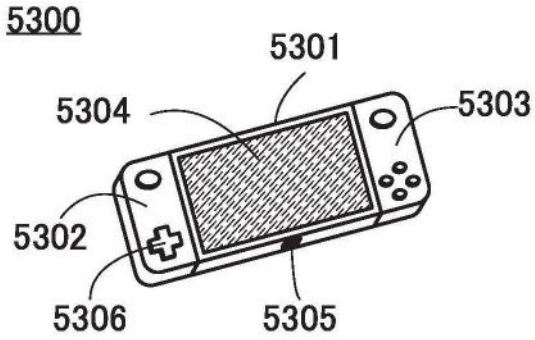


图32C

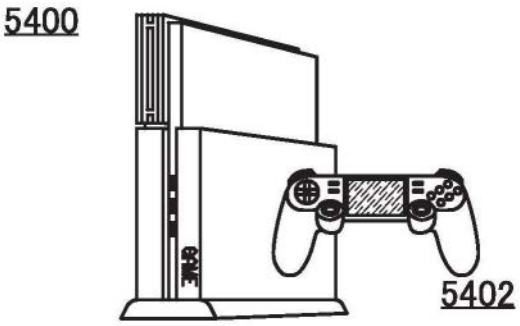


图32D

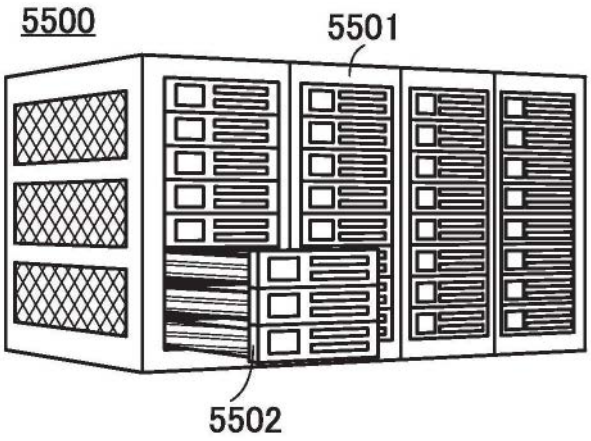


图32E

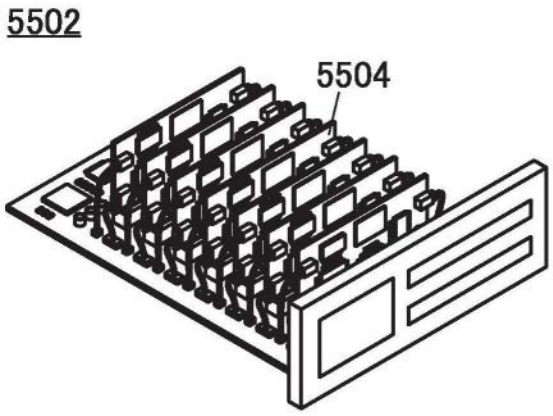


图32F



图32G

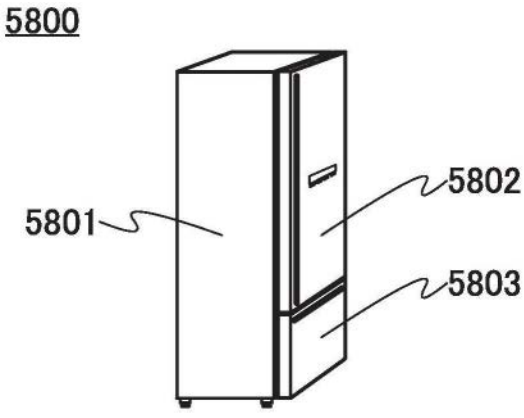


图32H

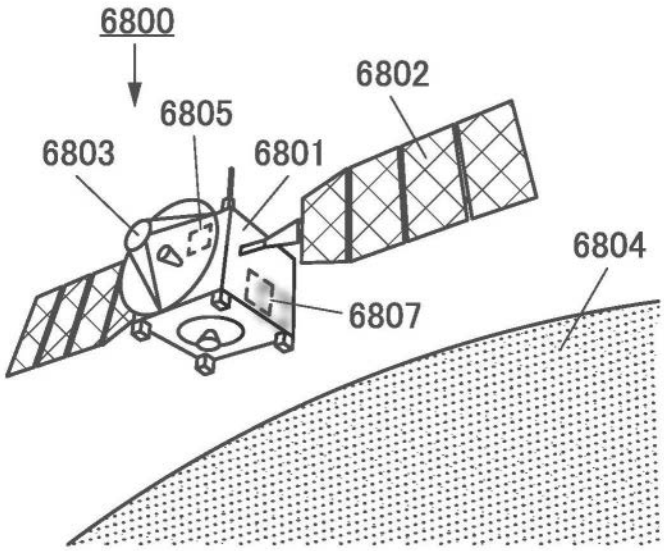


图33