

297111

申請日期	85 年 1 月 26 日
案 號	85100981
類 別	G106F 9/06, 13/10

A4
C4Int. Cl⁶

297111

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	具有可重新配置指令層級之快取記憶體的微處理器
	英 文	Microprocessor with instruction level reconfigurable cache
二、發明人 創作	姓 名	(1) 普瑞瑪·阿傑德 Argade, Pramod Vasant
	國 籍	(1) 印度
	住、居所	(1) 美國賓州亞倫鎮普羅密斯巷一四七五號 1475 Promise Lane, Allentown, PA 18106, U.S.A.
三、申請人	姓 名 (名稱)	(1) 美國電話電報股份有限公司 AT&T Corp.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國紐約州·紐約市美州大道三十二號 32 Avenue of the Americas, New York, NY 10013-2412, U.S.A.
	代 表 人 姓 名	(1) 皮·汪爾德 Wilde, P. V. D.

裝

訂

線

297111

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 1995 年 2 月 3 日 08/383,037 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景：

發明領域：

本發明係有關一種具有可重新配置成組關聯式快取記憶體 (set-associative cache) 的裝置以供更大頻寬作業之微處理器。

習用技術之說明：

許多傳統的微處理器具有多出入埠式暫存器檔 (register file)，因而可在每一週期中將各暫存器中所存的兩個運算元提供給執行單元 (Execution Unit; 簡稱 EU)。這些暫存器係包含在算術邏輯單元 (Arithmetic Logic Unit; 簡稱 ALU) 所在的同一個積體電路中，且是用於提供所需資料的極快速裝置。例如，請參閱圖 1，一個典型習用技術的微處理器 (100) 包含一指令暫存器 (101)，該指令暫存器 (101) 將一第一位址 (addr0) 供應到一第一暫存器檔 (102)，並將一第二位址 (addr1) 供應到一第二暫存器檔 (103)。例示之暫存器檔 (102) 及 (103) 具有 32 個登錄，每一個登錄有 32 個位元。第一暫存器檔 (102) 將一第一運算元供應到一第一運算元暫存器 (104)，且第二暫存器檔 (103) 將一第二運算元供應到一第二運算元暫存器 (105)。暫存器 (104) 及 (105) 將該第一及第二運算元供應到算術邏輯單元 (ALU) (106)，該 ALU (106) 可執行各種算術運算，其中包括乘法累積 (Multiply Accumulate; 簡稱 MAC) 運算。運算結果被儲存在運算結果暫存器 (107) 中，並可經由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

線路(108)將運算結果寫回各暫存器檔。在一替代實施例中，係使用一單一雙出入埠式暫存器檔(圖中未示出)替代這兩個暫存器檔(102)及(103)。在此種情形中，兩個讀取埠可同時取得該暫存器檔中的兩個登錄。

然而，有很多必須供應記憶體中所存有但並未存在晶片內部暫存器的兩個運算元之情形。其中一個例子是乘法-累積指令，此種指令是信號處理的一種基本原始形式。兩個記憶體運算元通常存於一晶片內部之資料快取記憶體(在快取命中的情形時)，亦可存於微處理器晶片外部的一快取記憶體中。不論在哪一種情形，由於都須在每一週期中將兩個運算元供應到EU，所以必須使資料快取記憶體具有雙出入埠。

一個典型的指令如下：

$$\text{MAC } x, y, a0$$

此處的MAC是指令"乘法累積"之簡字符號，且所指定的運算係如下式：

$$a0 = a0 + (x * y)$$

通常x及y屬於記憶體中的一些特定陣列；例如，x可能位於一係數陣列，而y可能位於一資料陣列。

請參閱圖2，圖中示出一具有兩組晶片內部記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

之微處理器(200)。指令暫存器(201)將第一及第二位址(addr0, addr1)供應到快取記憶體的第0記憶體組(202)及第1記憶體組(203),其中例示每一記憶體組之大小為1千位元組。係經由寫入線(213)將資料寫到快取記憶體。自第0記憶體組(202)讀取第一運算元,且係利用多工器(204)選擇第0記憶體組(202)之讀取輸出。然後將第一運算元鎖存到運算元暫存器1(205)。同樣地,自第1記憶組(203)讀取第二運算元,且係利用多工器(206)選擇該第1記憶體組(203)之讀取輸出。然後將第二運算元鎖存到運算元暫存器2(207)。此外,多工器(204)及(206)亦可自外部記憶體匯流排(212)選擇這些運算元。然後將這些運算元自各運算元暫存器提供給ALU/MAC單元(208),在此單元中對這些運算元執行乘法,並將運算結果加到經由路徑(214)自累積器儲存部分取得的前一運算結果。然後將此運算結果提供給運算結果暫存器(209),並儲存在累積器儲存部分(210)中。雖然此種技術利用傳統的微處理器架構提供乘法/累積功能,但是此種方法尚有一些缺點。例如,因為晶片內部之記憶體係配置成RAM,而非配置成快取記憶體,所以只有經過選擇的應用程式可使用晶片內部之記憶體。在開發應用程式時,必須決定記憶體中所有的資料位址。因此,傳統微處理器的應用程式無法彈性地使用此記憶體。此外,很難執行不同廠商的應用程式。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

發明概述：

發明人發明了一種具有一 n 路關聯性式取記憶體之資料處理器及資料處理系統，其中一第一運算元 (x) 係位於快取記憶體的一第一部分，而一第二運算元 (y) 係位於快取記憶體的一第二部分。於執行一諸如乘法-累積指令等某一指令類型時，係將快取記憶體的第一及第二部分之輸出 (x, y) 提供給一諸如乘法-累積單元之功能單元。一多工器係連接到快取記憶體的第一及第二部分之輸出端。因此，當以傳統成組關聯式快取記憶體之方式存取該快取記憶體，而執行其他類型的指令時，可自其他部分擷取各運算元。爲了控制對該快取記憶體之寫入，一並行式位址轉換緩衝區 (translation lookaside buffer) 可包含一具有一重新配置欄位之頁次表登錄；此外，亦可使用其他的控制方法。

附圖簡述：

圖 1 示出一具有兩個用來儲存運算元的暫存器檔之習用技術微處理器。

圖 2 示出一具有晶片內部的隨機存取記憶體之習用技術微處理器，該隨機存取記憶體包含多個用於儲存運算元的記憶體組。

圖 3 示出一根據本發明的微處理器實施例。

圖 4 示出一根據本發明的例示頁次表登錄。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

圖 5 示出一可用於實施本發明的例示並行式位址轉換緩衝區。

本詳細說明係有關一種採用一可重新配置的成組關聯式快取記憶體之微處理器。在第一種配置中，快取記憶體提供一個運算元；而在第二種配置中，在執行一需要較高資料頻寬的指令時，微處理器可同時將兩個或更多個運算元 (x, y) 提供給一算術處理器。在本文的用法中，"同時" 意指在同一個機器週期中，這可包含一個或多個時脈週期。此類指令的一個例子是乘法-累積指令。在此種方式下，可在一個諸如一般用途的微處理器中執行快速的乘法-累積運算。快取記憶體通常是 n 路成組關聯式快取記憶體，本技術亦可以直接對映式快取記憶體 (direct-mapped cache) 之方式利用此快取記憶體。可依照每一個不同的指令完成自 n 路成組關聯式快取記憶體到直接對映式快取記憶體的重新配置，並可反向重新配置。在本文的用法中，亦將各快取記憶體部分稱為 "快取記憶體第 0 路"、"快取記憶體第 1 路"、或更具一般性的 "快取記憶體第 n 路"，此處 n 是一正整數。

請參閱圖 3，圖中示出一個本發明的二路成組關聯式快取記憶體實施例，該二路成組關聯式快取記憶體包含快取記憶體部分 (301) 及 (302)。分別經由資料線 (303) 及 (304) 將快取記憶體部分 (301) 及 (302) 之資料輸出提供給一乘法-累積單元 (MAU) (305)。除了 x

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

及 y 資料輸入以外，MAU (305) 經由線路 (308) 自累積器儲存部分 (312) 接收一累積器輸入。該 MAU (305) 包含一乘法器 (306) 及一累積器 (307)，而在與本發明相關的範圍中，該乘法器 (306) 及累積器 (307) 可以利用各種設計，其中包括本門技術中所熟知者。在運算中當執行一乘法-累積指令時，MAU (305) 被指示對經由多工器 (310) 自快取記憶體部分 (301) 取得的運算元 x 及經由多工器 (311) 自快取記憶體部分 (302) 取得的運算元 y 執行乘法-累積功能。然而，當正在執行無須同時自快取記憶體取得多個運算元的另一類指令時，多工器 (311) 替代性地自快取記憶體部分 (301)、快取記憶體部分 (302)、或外部記憶體匯流排 (312) 選擇輸出，而提供所需的資料。

請注意，所示實施例是針對一個二路成組關聯式快取記憶體。然而，亦可針對任何 n 路成組關聯式快取記憶體實施本發明，此處的 n 是任何正整數。在下列的說明中， n 是示為一個偶數 (例如 $n=2$)，但是 n 亦可以是一個奇數。一般而言，利用一具有 n 個輸入 (每一快取記憶體部分提供一個輸入) 之多工器，即可完成上述方式。當 n 大於 2 時，係由特定的實施方式決定用於存取兩個運算元的 n 路之分佈，且任何特定的實施方式都可配合本發明使用。此外，將快取記憶體配置成傳統的 n 路成組關聯式快取記憶體時，可在與本發明有關的範圍中利用任何技術完成快取記憶體的替換 (replacement) 演算

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

法。

如本門技術中所熟知者，記憶體管理頁次表係用來將虛擬位址轉換成實體位址，並係用來控制快取記憶體作業。這些頁次表的部分被緩衝儲存在並行式位址轉換緩衝區(Translation Lookaside Buffer; 簡稱 TLB)中，該 TLB 將虛擬記憶體位址轉換成實體記憶體位址。該 TLB 亦將控制資訊提供給記憶體頁次，且亦提供某一頁次是否緩衝儲存在 TLB 中。請參閱圖 4，一例示頁次表登錄在欄位(41)(第 12 到 31 位元)包含一實體位址"標記"。該標記代表位址的若干最高有效位元，且係用來決定所需的位址是否位於快取記憶體之內，且係由圖 3 中之 LHIT(320)或 RHIT(321)指示一快取記憶體"命中"的情形。位址的"索引"部分(圖中未示出)代表若干最低有效位元，且係用來以本門技術中所熟知的技術將指標(322)及(323)指引到一特定快取記憶體部分(分別為 301 及 302)的所需位置。欄位(42)可包含諸如未使用位元，而欄位(45)通常包含"容許"位元，用以控制該記憶體頁次中之資料是否為諸如可寫入的、有效的、存放在快取記憶體的、及(或)使用者可存取的。在與本發明有關的範圍中，這些欄位可以任何順序排列。請參閱圖 5，一 TLB 所包含的例示頁次表登錄係作為實體標記(502)、控制標記(503)、及虛擬標記(501)。在此種方式下，亦係根據本門技術中所熟知的原理將虛擬位址轉換成實體位址。

(請先閱讀背面之注意事項再填寫本頁)

二

訂

線

五、發明說明(8)

爲了實施上述本發明之技術，可將額外的一個或多個控制位元包含在記憶體管理頁次表中。例如，欄位(43)可包含一偶次/奇次"路"位元，用以指示如何將資料寫入快取記憶體中，將於下文中詳述其方式。欄位(44)可包含一"重新配置"位元。當重新配置位元爲"0"時，該快取記憶體被視爲一個傳統的二路成組關聯式快取記憶體。亦即，使用所選擇的快取記憶體登錄替換架構將資料寫入快取記憶體之各路(301)及(302)。另一方面，當重新配置位元爲"1"時，此二路成組關聯式快取記憶體被視爲一個直接對映式快取記憶體。然後，如果欄位(43)中之路次位元爲"0"時，則指示資料寫入偶次路的快取記憶體部分；如果欄位(43)中之路次位元爲"1"時，則指示資料寫入奇次路的快取記憶體部分。在此種方式下，資料被置入適當的快取記憶體部分，而作爲 x 及 y 運算元，以供 MAU 執行一乘法-累積指令、或其他特殊類型的指令。在安裝有作業系統(OS)時，使用者應用程式可經由一特殊的功能呼叫。在此種方式下，包含一資料處理器及作業系統的一資料處理系統可以有效地利用本發明之技術。

在慣例上，係自第 0 路提取左方運算元(亦即上例中之 x)，並自奇次路提取右方運算元(亦即上例中之 y)。然而，亦可使用其他的慣例。此外，亦可配合本發明使用將資料寫入快取記憶體部分的其他控制技術。例如，將資訊載入快取記憶體的一指令可明確指定應將資料寫入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

快取記憶體哪一部分。爲了達到此一目的，可在圖 3 所示的各指令暫存器中包含一個或多個 "路次" 位元 (313)。在此種情形中，可能不需要一記憶體管理單元及 TLB。此外，x 及 y 資料的分佈不需要分開到偶次或奇次路的快取記憶體，而是可以任何方便的方式將這些資料分佈在各快取記憶體之中。最後請注意，熟悉本門技術者當可了解，功能單元所執行的各種運算可同時自快取記憶體提取兩個以上的運算元。

雖然本發明的資料處理器一般是傳統上稱爲 "微處理器" 的這一類型，但是亦可採用其他名稱及類型的資料處理器，且係包含在本發明的範圍內。例如，具有提昇非 MAC 指令功能的數位信號處理器可有效利用本發明之技術。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

具有可重新配置指令層級之快取記憶體的微處理器

一微處理器包含一乘法-累積單元(MAU)(305)，用以執行高速的信號處理運算。於執行一乘法-累積(MAC)指令時，第一及第二快取記憶體部分將第一及第二運算元(x, y)直接提供給該MAU。此外，該微處理器包含一多工器(310、311)，用以在執行一正常指令時自該第一或第二快取記憶體部分選擇資料。該微處理器可包含一具有若干頁次表登錄(圖4)之並行式位址轉換緩衝區，而該等頁次表登錄包含一額外的"重新配置"位元(44)及"路次"位元，用以控制將資料寫入該等快取記憶體部分。在此種方式下，該微處理器可使用一個傳統的成組關聯式快取記憶體同時存取兩個或更多個運算元。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

MICROPROCESSOR WITH INSTRUCTION LEVEL RECONFIGURABLE CACHE

Abstract

A microprocessor includes a multiply-accumulate unit (MAU) (305) for performing high-speed signal processing operations. First and second cache portions (301, 302) provide first and second operands (x, y) directly to the MAU when a multiply-accumulate (MAC) instruction is executed. In addition, a multiplexor (310, 311) is included to select data from either said first or second cache portions when a normal instruction is executed. A translation lookaside buffer may be included that has page table entries (FIG. 4) that include an additional "reconfigure" bit (44) and "way" bit (43) to control writing data into the cache portions. In this manner, the microprocessor may use a conventional set-associative cache to simultaneously access two or more operands.

六、申請專利範圍

1. 一種資料處理器，包含：一指令暫存器（314）；一 n 路成組關聯式快取記憶體，此處的 n 至少為 2，且該快取記憶體包含一第一快取記憶體部分（301）及一第二快取記憶體部分（302）；以及一功能單元（305），該功能單元（305）係於執行一指令時對第一及第二運算元（x，y）運算；

該資料處理器之特徵在於：該資料處理器又包含一來自該第一快取記憶體部分之第一信號路徑（325），用以將該第一運算元（x）供應到該功能單元，該資料處理器且包含一來自該第二快取記憶體部分之第二信號路徑（327），用以在執行一特殊類型的指令時，同時將該第二運算元（y）連同該第一運算元供應到該功能單元；

該資料處理器又包含一多工器（310、311），用以在執行另一類型的指令時自該第一及第二快取記憶體部分其中之一選擇資料。

2. 根據申請專利範圍第 1 項之資料處理器，又包含一具有若干頁次表登錄（圖 4）之並行式位址轉換緩衝區（500），該等頁次表登錄包含一重新配置欄位（44），用以控制將資料寫入該快取記憶體之方式。

3. 根據申請專利範圍第 2 項之資料處理器，其中該等頁次表登錄又包含一路次欄位（43），用以提供將第一組資料寫入一偶次路直接對映式快取記憶體，並將第二組資料寫入一奇次路直接對映式快取記憶體。

4. 根據申請專利範圍第 1 項之資料處理器，其中

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

該指令暫存器包含至少一個控制位元 (313) ，用以控制將資料寫入該快取記憶體部分。

5 . 根據申請專利範圍第 1 項之資料處理器，其中該特殊類型的指令包括一乘法 - 累積指令。

6 . 根據申請專利範圍第 1 項之資料處理器，其中該功能單元是一乘法 - 累積單元。

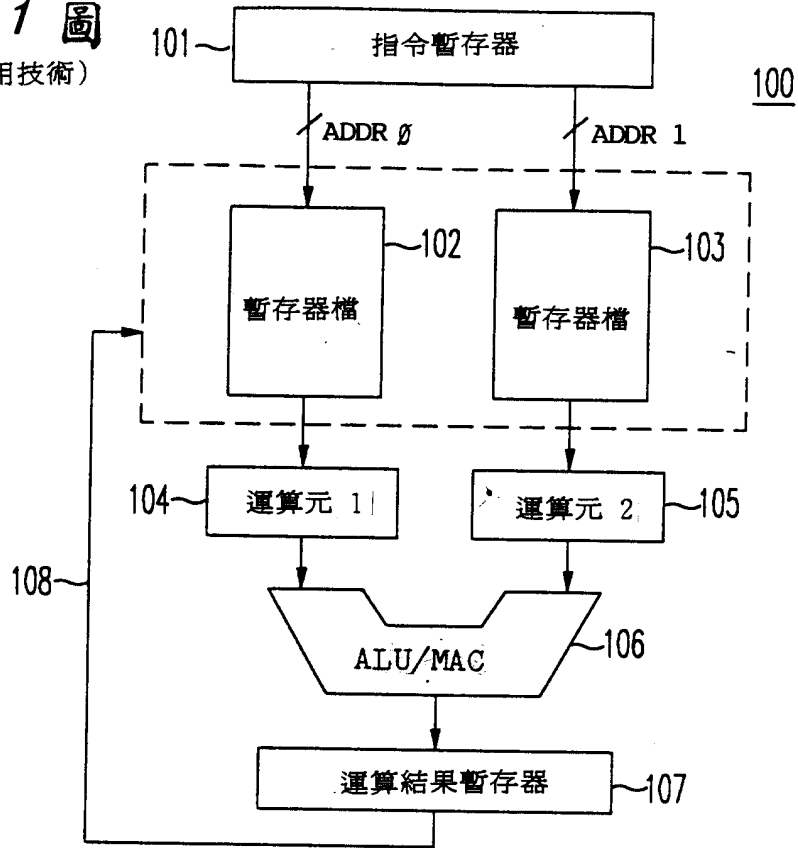
(請先閱讀背面之注意事項再填寫本頁)

裝

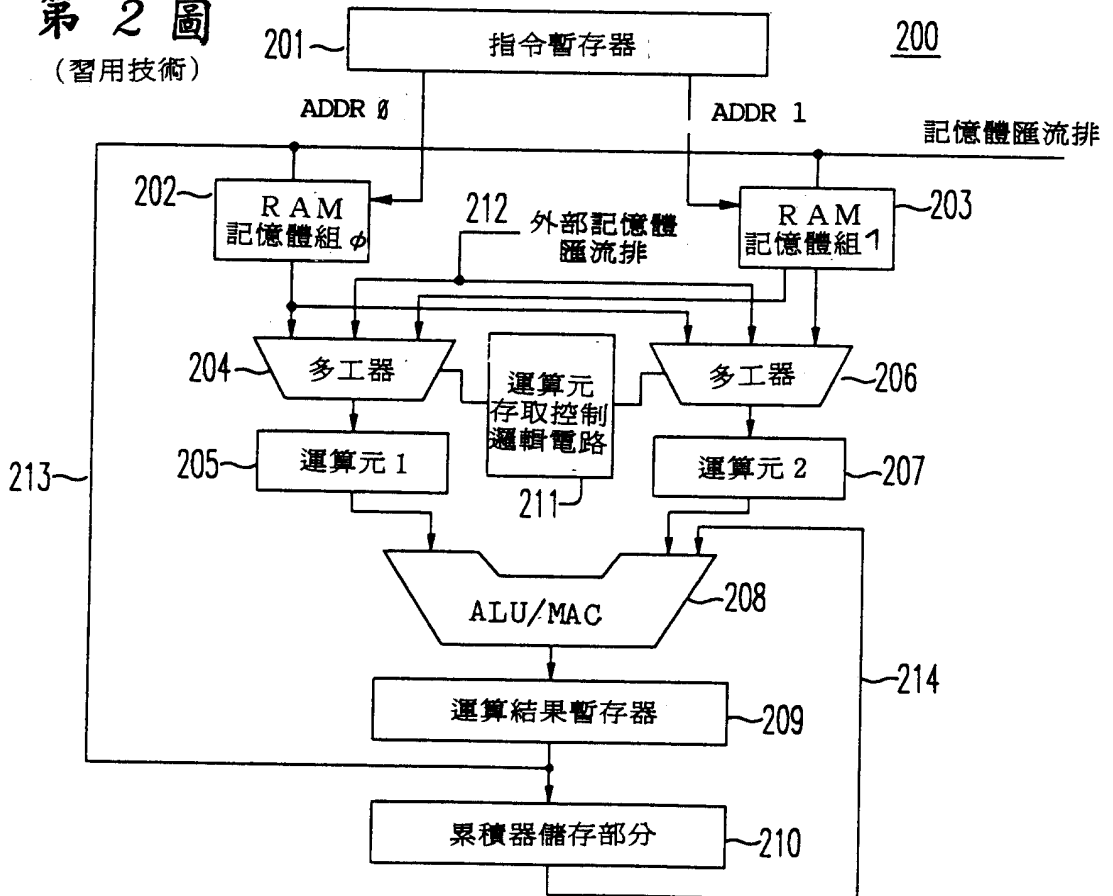
訂

線

第 1 圖
(習用技術)



第 2 圖
(習用技術)



第 3 圖

修正
補充
85年10月12日

