

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY 104809

**Patent dodatkowy
do patentu _____**

Zgłoszono: 17.09.76 (P. 192473)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 28.03.78

Opis patentowy opublikowano: 01.12.1979

**Int. Cl². G01R 13/20
G01R 13/26**

CZYTELNIA

**Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej**

Twórca wynalazku: Jerzy Rydzewski

Uprawniony z patentu: Zakład Urządzeń Elektronicznych „Unima”,
Warszawa (Polska)

Nanosekundowy kluczowany układ liniowego sumowania impulsów i napięć stałych

Przedmiotem wynalazku jest nanosekundowy kluczowany układ liniowego sumowania impulsów i napięć stałych.

Wynalazek przeznaczony jest zwłaszcza do formowania impulsów modulacji jaskrawości w oscyloskopach z więcej niż jedną podstawą czasu i niezależną regulacją poziomu impulsów rozjaśniających z poszczególnych podstaw czasu. Układ tego typu jest zastosowany w oscyloskopie typu 7704 firmy Tektronix w postaci układu scalonego, którego schemat ideowy nie został ujawniony.

Istota układu będącego przedmiotem wynalazku polega na tym, że ma on co najmniej dwa wejścia, z których pierwsze połączone jest z bazą pierwszego tranzystora wejściowego, którego emiter połączony jest z pierwszym równoległym układem RC oraz z emiterem pierwszego tranzystora kluczującego i z pierwszym źródłem prądowym. Druga końcówka tego układu RC połączona jest z emiterem pierwszego tranzystora wzmacniającego, którego kolektor jest przez rezystor szeregowy połączony z emiterem pierwszego tranzystora pracującego w układzie OB, przy czym kolektor tego tranzystora jest z kolei połączony z kolektorem drugiego tranzystora pracującego w układzie OB, z kolektorem trzeciego tranzystora kluczującego oraz z kolektorem trzeciego tranzystora wejściowego. Kolektor tego trzeciego tranzystora wejściowego połączony jest z anodą lewej diody, której katoda jest z kolei połączona z anodą diody obcinającej i katodą prawej diody. Anoda tej prawej diody połączona jest z emiterem trzeciego tranzystora pracującego w układzie OB którego kolektor jest połączony z bazą wtórnika emiterowego.

Drugie wejście układu, będącego przedmiotem wynalazku, połączone jest z bazą drugiego tranzystora wejściowego, którego emiter połączony jest z drugim równoległym układem RC oraz z drugim źródłem prądowym. Druga końcówka tego układu RC połączona jest z emiterem drugiego tranzystora wzmacniającego, którego kolektor jest przez rezystor szeregowy połączony z emiterem drugiego tranzystora pracującego w układzie OB.

Baza trzeciego tranzystora kluczującego połączona jest przez rezystor z wyjściem piątego elementu logicznego i przez rezystor szeregowy z ujemnym biegunem drugiego źródła napięcia. Emiter tego tranzystora

kluczującego dołączony jest do ujemnego bieguna pierwszego źródła napięcia o potencjale wyższym od potencjału drugiego źródła. Wyjście piątego elementu logicznego jest przez rezystor połączone z dodatnim biegunem źródła napięcia zasilania.

Emiter trzeciego tranzystora wejściowego połączony jest ze wspólnym punktem końcówek rezystorów, których drugie końcówki stanowią wewnętrzne wejścia dodatkowe. Do wspomnianego wspólnego punktu dołączona jest końcówka pierwszego rezystora szeregowego dołączonego przez drugi rezystor szeregowy do wyjścia zewnętrznego. Baza trzeciego tranzystora wejściowego połączona jest z katodą diody odniesienia, której anoda jest połączona z masą. Baza tego tranzystora wejściowego połączona jest z ujemnym biegunem pierwszego źródła zasilania.

Baza pierwszego tranzystora kluczującego jest przez rezystor szeregowy połączona z wyjściem drugiego elementu logicznego, przez drugi rezystor z masą, a przez trzeci rezystor z ujemnym biegunem źródła napięcia zasilania.

Baza drugiego tranzystora wzmacniającego jest przez rezystory szeregowe połączona z suwakiem drugiego potencjometru regulacji napięcia wyjściowego liniowo zależnego od napięcia na drugim wejściu całego układu oraz z rezystorem, którego druga końcówka połączona jest z masą oraz z katodą trzeciej diody kluczującej której anoda dołączona jest do wyjścia czwartego elementu logicznego. Do punktu wspólnego wspomnianych szeregowo połączonych rezystorów dołączony jest rezystor kolektorowy. Druga końcówka tego rezystora kolektorowego połączona jest z kolektorem drugiego tranzystora kluczującego. Emiter tego tranzystora połączony jest z katodą drugiej diody, której anoda jest połączona z tą końcówką potencjometru, która jest dołączona do dodatniego bieguna źródła napięcia zasilania. Baza tego tranzystora kluczującego jest przez rezystor szeregowy połączona z wyjściem trzeciego elementu logicznego.

Baza pierwszego tranzystora kluczującego natomiast połączona jest przez rezystor z masą a przez drugi rezystor z ujemnym biegunem źródła napięcia zasilania, zaś przez trzeci, szeregowy rezystor z wyjściem drugiego elementu logicznego.

Suwak pierwszego potencjometru regulacji napięcia wyjściowego sygnału sterującego pierwsze wejście całego układu według wynalazku połączony jest przez rezystor z bazą drugiego tranzystora wzmacniającego. Natomiast baza pierwszego tranzystora wzmacniającego jest przez rezystor szeregowy połączona z suwakiem pierwszego potencjometru regulacji napięcia wyjściowego, przy czym do bazy tej dołączona jest katoda pierwszej diody. Anoda tej diody połączona jest z wyjściem pierwszego elementu logicznego.

Układ według wynalazku umożliwia uzyskanie złożonych impulsów wyjściowych o nanosekundowych czasach narastania przy regulacji amplitudy każdego rodzaju impulsów oddzielnie za pomocą zmiany poziomu napięcia stałego, co pozwala na umiejscowienie elementów regulacyjnych w dużej odległości od obwodów wielkiej częstotliwości.

Wynalazek jest bliżej objaśniony w przykładzie wykonania przedstawionym w postaci schematu ideowego na rysunku.

Układ ma dwa wejścia, z których pierwsze A połączony jest z bazą pierwszego tranzystora wejściowego T1, którego emiter połączony jest z równoległym układem RC złożonym z kondensatora C1 i rezystora R2 oraz z emitern pierwszego tranzystora kluczującego T3 i z pierwszym źródłem prądowym czyli tranzystorem T4. Druga końcówka równoległego układu RC połączona jest z emitern pierwszego tranzystora wzmacniającego T2. Kolektor tego tranzystora T2 jest poprzez rezystor szeregowy R3 połączony z emitern pierwszego tranzystora pracującego w układzie OB T5, którego kolektor jest połączony z kolektorami drugiego tranzystora pracującego w układzie OB T10, trzeciego tranzystora kluczującego T11 oraz trzeciego tranzystora wejściowego T12. Kolektor trzeciego tranzystora wejściowego T12 połączony jest z anodą lewej diody D4, której katoda jest połączona z anodą diody obcinającej D6 i katodą prawej diody D5. Anoda diody D5 połączona jest z emitern trzeciego tranzystora pracującego w układzie OB T13, którego kolektor jest połączony z bazą wtórnika emiterowego T14. Drugie wejście układu B połączony jest z bazą drugiego tranzystora wejściowego T6, którego emiter połączony jest z drugim równoległym układem RC złożonym z kondensatora C2 i rezystora R15 i z drugim źródłem prądowym T8. Druga końcówka tego układu RC połączona jest z emitern drugiego tranzystora wzmacniającego T7. Kolektor tranzystora T7 jest przez rezystor szeregowy R16 połączony z emitern drugiego tranzystora pracującego w układzie OB T10.

Baza trzeciego tranzystora kluczującego T11 połączona jest przez rezystor R35 z wyjściem piątego elementu logicznego B5, a przez rezystor szeregowy R36 z ujemnym biegunem drugiego źródła napięcia E2. Emiter tranzystora T11 dołączony jest do ujemnego bieguna pierwszego źródła napięcia E1 o potencjale wyższym od potencjału drugiego źródła E2. Wyjście piątego elementu logicznego B5 jest przez rezystor R34 połączony z dodatnim biegunem źródła napięcia zasilania. Emiter trzeciego tranzystora wejściowego T12 połączony jest ze wspólnym punktem końcówek rezystorów R40—1÷R40 n, których drugie końcówki stanowią

wewnętrzne wejście dodatkowe WD1÷WDn. Do wspólnego punktu rezystorów R40–1÷R40-n dołączona jest końcówka rezystora R38 połączonego szeregowo z rezystorem R39 dołączonym do wyjścia zewnętrznego WZ.

Baza trzeciego tranzystora wejściowego T12 połączona jest z katodą diody odniesienia D7, której anoda jest połączona z masą, a baza przez rezystor R32 połączona jest z ujemnym biegunem pierwszego źródła zasilania E1. Baza pierwszego tranzystora kluczującego T3 jest przez rezystor szeregowy R12 połączona z wyjściem drugiego elementu logicznego typu TTL B2, przez drugi rezystor R10 z masą, a przez trzeci rezystor R11 z ujemnym biegunem źródła napięcia zasilania. Baza drugiego tranzystora wzmacniającego T7 jest przez rezystory szeregowy R19 i R20 połączona z suwakiem drugiego potencjometru regulacji napięcia wyjściowego R21 liniowo zależnego od napięcia na drugim wejściu układu B oraz z rezystorem R24, którego druga końcówka połączona jest z masą oraz z katodą trzeciej diody kluczującej D3. Anoda diody D3 dołączona jest do wyjścia czwartego elementu logicznego typu TTL B4. Do punktu wspólnego szeregowo połączonych rezystorów R19 i R20 dołączony jest rezystor kolektorowy R12, którego druga końcówka połączona jest z kolektorem drugiego tranzystora kluczującego T9. Emiter tranzystora T9, połączony jest z katodą drugiej diody D2, której anoda połączona jest z końcówką potencjometru R21 połączona z dodatnim biegunem źródła napięcia zasilania. Baza tranzystora T9 jest przez rezystor szeregowy R25 połączona z wyjściem trzeciego elementu logicznego typu TTL B3.

Baza pierwszego tranzystora kluczującego T3 połączona jest przez rezystor R10 z masą, a przez rezystor R11 z ujemnym biegunem źródła napięcia zasilania oraz przez rezystor szeregowy R12 z wyjściem drugiego elementu logicznego B2. Suwak pierwszego potencjometru R7 regulacji napięcia wyjściowego sygnału sterującego pierwsze wejście układu A połączony jest przez rezystor R13 z bazą drugiego tranzystora wzmacniającego T7. Baza pierwszego tranzystora wzmacniającego T2 jest przez rezystor szeregowy R6 połączona z suwakiem pierwszego potencjometru regulacji napięcia wyjściowego, przy czym do bazy tego tranzystora dołączona jest katoda pierwszej diody D1, której anoda połączona jest z wyjściem pierwszego elementu logicznego typu TTL B1.

Działanie układu według wynalazku jest niżej opisane.

Impulsowe sygnały wejściowe sterują wejścia A i B. Inne sygnały zarówno napięcia stałe, impulsy, napięcia zmienne sterują wejścia WZ, WD1 do WDn. Sygnał wejściowy steruje bazą tranzystora T1, którego emiter jest połączony z emitern tranzystora T2 przez rezystor R2 i kondensator przyspieszający C1. Tranzystor T4 stanowi źródło prądowe dla tranzystorów T1 i T2. Baza tranzystora T2 połączona jest przez rezystor R6 z suwakiem potencjometru R7. Zmiana wartości napięcia stałego na suwaku potencjometru R7 powoduje zmianę amplitudy impulsu wyjściowego dla sygnału z wejścia A.

Element logiczny B1 steruje pracą tranzystora T2. Przy niskim napięciu wyjściowym elementu B1, dioda D1 jest zablokowana i układ regulacji amplitudy impulsu działa. Przy wysokim napięciu na wyjściu elementu B1, dioda D1 przewodzi, na bazie tranzystora T2 utrzymuje się wysoki stan napięcia niezależnie od położenia suwaka potencjometru R7. Tranzystor T2 przewodzi, a tranzystor T1 jest zablokowany i droga dla impulsów z wejścia A jest odcięta.

Przy niepracującej podstawie czasu brak jest na wejściu A impulsów. Jeżeli mimo braku tych impulsów ma działać regulacja amplitudy sygnału wyjściowego R7, to tranzystor T3 normalnie zablokowany, wprowadza się w stan przewodzenia, przez zmianę z niskiego na wysokie napięcie stanu na wyjściu bramki logicznej B2. Ten rodzaj pracy jest potrzebny w oscyloskopie przy oglądaniu figur Lissajous.

W analogiczny sposób działa układ dla wejścia B, z tym, że nie posiada on możliwości regulacji napięcia wyjściowego przy braku impulsów sterujących wejście B.

Element logiczny B4 steruje pracą T7, w sposób analogiczny jak element B1 sterował pracą tranzystora T2. Do wspólnego punktu rezystorów R19 i R20 dołączony jest układ złożony z szeregowo połączonych rezystora R22, tranzystora T9 i diody D2. Przy wysokim napięciu na wyjściu elementu logicznego B3 tranzystor T9 jest zablokowany i regulacja amplitudy impulsu wyjściowego B przez zmianę napięcia na suwaku potencjometru R21 działa w pełnym zakresie. Przy niskim stanie na wyjściu elementu logicznego B3, tranzystor T9 zostaje nasycony i do punktu wspólnego połączenia rezystorów R19 i R20 dopływa dodatkowy prąd przez diodę D2, nasycony tranzystor T9 i rezystor R22. Dioda D2 jest elementem nieliniowym korygującym zależność napięcia wyjściowego od położenia suwaka potencjometru R21. Ten rodzaj pracy powoduje zmniejszenie zakresu regulacji amplitudy sygnału wyjściowego i jest przydatny przy oglądaniu na ekranie jednocześnie dwu przebiegów przy dwu różnych współczynnikach czasu.

Prądy kolektorowe tranzystorów T2 i T7 sterują odpowiednio tranzystory T5 i T10 pracujące w układzie wspólnej bazy.

Tranzystor T12 nie jest blokowany i przewodzi stale, dlatego też droga dla sygnałów z wejść WZ, WD1 do WDn jest stale otwarta. Sygnały te tworzą sumę z jedną z kombinacji sygnałów sterujących wejścia A i B. Diody D8 i D9 zabezpieczają przed uszkodzeniem tranzystor T12 przy nadmiernym napięciu dołączonym do zewnętrznego wejścia WZ.

Diody D4, D5, D6 stanowią dwustronny układ ograniczający, obcinający zsumowane przebiegi ze wszystkich wejść, jeżeli suma prądów tych przebiegów przekroczy dopuszczalną wartość. Prądy sygnałów wejściowych z kolektorów tranzystorów T5, T10, T12 przez ogranicznik diodowy D4, D5 sterują od strony emitera tranzystor T13, pracujący w układzie wspólnej bazy. Napięcie wyjściowe z rezystorów R29, R30 steruje w bazie wtórnik wyjściowy z tranzystorem T14.

W zależności od stanu napięcia na wyjściu elementu logicznego B5, tranzystor T11 jest zablokowany lub przewodzący. Jeżeli tranzystor T11 przewodzi, wtedy zwiera on do ujemnego bieguna źródła E1 wspólny punkt kolektorów tranzystorów T5, T10, T12, a dioda D4 zostaje zablokowana niezależnie od rodzaju sygnałów wejściowych, ustawienia potencjometrów R7 i R21 oraz niezależnie od stanu wyjściowego elementów logicznych B1, B2, B3 i B4.

Na wyjściu nie otrzymuje się żadnego sygnału. Impulsy sterujące element logiczny B5 pozwalają zatem na kluczowanie, w wymaganych odcinkach czasu, przebiegu złożonego z sumy sygnałów sterujących wejścia A, B, WZ, WD1 do WDn oraz napięć stałych z potencjometrów R7 i R21.

Rezystor R26 ustala wstępny prąd dla tranzystora T12.

Zastrzeżenia patentowe

1. Nanosekundowy kluczowany układ liniowego sumowania impulsów i napięć stałych, z n a m i e n n y t y m, że ma co najmniej dwa wejścia, z których pierwsze (A) połączone jest z bazą pierwszego tranzystora wejściowego (T1), którego emiter połączony jest z równoległym układem RC złożonym z kondensatora (C1) i rezystora (R2) oraz z emiterem pierwszego tranzystora kluczującego (T3) i z pierwszym źródłem prądowym, korzystnie tranzystorem (T4), zaś druga końcówka równoległego układu RC połączona jest z emiterem pierwszego tranzystora wzmacniającego (T2), którego kolektor jest przez rezystor szeregowy (R3) połączony z emiterem pierwszego tranzystora pracującego w układzie OB (T5), którego kolektor z kolei jest połączony z kolektorami drugiego tranzystora pracującego w układzie OB (T10), trzeciego tranzystora kluczującego (T11) oraz trzeciego tranzystora wejściowego (T12) przy czym kolektor tego trzeciego tranzystora wejściowego (T12) połączony jest z anodą lewej diody (D4), której katoda z kolei jest połączona z anodą diody obcinającej (D6) i katodą prawej diody (D5), której anoda połączona jest z emiterem trzeciego tranzystora pracującego w układzie OB (T13), którego kolektor jest połączony z bazą wtórnika emiterowego (T14), zaś drugie wejście układu (B) połączony jest z bazą drugiego tranzystora wejściowego (T6), którego emiter połączony jest z drugim równoległym układem RC złożonym z kondensatora (C2) i rezystora (R15) i z drugim źródłem prądowym korzystnie tranzystorem (T8), przy czym druga końcówka drugiego równoległego układu RC połączona jest z emiterem drugiego tranzystora wzmacniającego (T7), a jego kolektor przez rezystor szeregowy (R16) połączony jest z emiterem drugiego tranzystora pracującego w układzie OB (T10).

2. Układ według zastrz. 1, z n a m i e n n y t y m, że baza trzeciego tranzystora kluczującego (T11) połączona jest przez rezystor (R35) z wyjściem piątego elementu logicznego (B5) i przez rezystor szeregowy (R36) z ujemnym biegunem drugiego źródła napięcia (E2), a emiter tego tranzystora kluczującego (T11) dołączony jest do ujemnego bieguna pierwszego źródła napięcia (E1) o potencjale wyższym od potencjału drugiego źródła (E2), przy czym wyjście piątego elementu logicznego (B5) jest przez rezystor (R34) połączone z dodatnim biegunem źródła napięcia zasilania.

3. Układ według zastrz. 1, z n a m i e n n y t y m, że emiter trzeciego tranzystora wejściowego (T12) połączony jest ze wspólnym punktem końcówek rezystorów (R40-1÷R40-n), których drugie końcówki stanowią wewnętrzne wejścia dodatkowe (WD1÷WDn), przy czym do wspólnego punktu końcówek tych rezystorów (R40-1÷R40-n) dołączona jest końcówka rezystora (R38), który jest w szereg połączony z rezystorem (R39), dołączonym do wejścia zewnętrznego (WZ), przy czym baza trzeciego tranzystora wejściowego (T12) połączona jest z katodą diody odniesienia (D7), której anoda jest połączona z masą, a baza tego tranzystora przez rezystor (R32) połączona jest z ujemnym biegunem pierwszego źródła zasilania (E1).

4. Układ według zastrz. 1, z n a m i e n n y t y m, że baza pierwszego tranzystora kluczującego (T3) jest przez rezystor szeregowy (R12) połączona z wyjściem drugiego elementu logicznego, przez drugi rezystor (R10) z masą, a przez trzeci rezystor (R11) z ujemnym biegunem źródła napięcia zasilania.

5. Układ według zastrz. 1, z n a m i e n n y t y m, że baza drugiego tranzystora wzmacniającego (T7) jest przez rezystory szeregowy (R19, R20) połączona z suwakiem drugiego potencjometru regulacji napięcia wyjściowego (R21) liniowo zależnego od napięcia na drugim wejściu układu (B) oraz z rezystorem (R24), którego druga końcówka połączona jest z masą oraz z katodą trzeciej diody kluczującej (D3), której anoda dołączona jest do wyjścia czwartego elementu logicznego (B4), a do punktu wspólnego szeregowo połączonych rezystorów (R19, R20) dołączony jest rezystor kolektorowy (R12), którego druga końcówka połączona jest z

kolektorem drugiego tranzystora kluczującego (T9), którego emiter połączony jest z katodą drugiej diody (D2), której anoda połączona jest z końcówką potencjometru (R21) połączoną z dodatnim biegunem źródła napięcia zasilania, zaś baza tego tranzystora kluczującego (T9) jest przez rezystor szeregowy (R25) połączona z wyjściem trzeciego elementu logicznego (B3).

6. Układ według zastrz. 1, z n a m i e n n y t y m, że baza pierwszego tranzystora kluczującego (T3) połączona jest przez rezystor (R10) z masą, a przez rezystor (R11) z ujemnym biegunem źródła napięcia zasilania oraz przez rezystor szeregowy (R12) z wyjściem drugiego elementu logicznego (B2).

7. Układ według zastrz. 1, z n a m i e n n y t y m, że suwak pierwszego potencjometru (R7) regulacji napięcia wyjściowego sygnału sterującego pierwsze wejście układu (A) połączony jest przez rezystor (R13) z bazą drugiego tranzystora wzmacniającego (T7).

8. Układ według zastrz. 1, z n a m i e n n y t y m, że baza pierwszego tranzystora wzmacniającego (T2) jest przez rezystor szeregowy (R6) połączona z suwakiem pierwszego potencjometru regulacji napięcia wyjściowego, przy czym do bazy tego tranzystora (T2) dołączona jest katoda pierwszej diody (D1), której anoda połączona jest z wyjściem pierwszego elementu logicznego (B1).

