

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4660863号  
(P4660863)

(45) 発行日 平成23年3月30日 (2011. 3. 30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int. Cl.		F I			
<b>G06F</b>	<b>12/16</b>	<b>(2006.01)</b>	<b>G06F</b>	<b>12/16</b>	<b>310P</b>
<b>G06T</b>	<b>1/20</b>	<b>(2006.01)</b>	<b>G06T</b>	<b>1/20</b>	<b>B</b>
<b>G06F</b>	<b>11/20</b>	<b>(2006.01)</b>	<b>G06F</b>	<b>11/20</b>	<b>310F</b>
<b>G06F</b>	<b>15/80</b>	<b>(2006.01)</b>	<b>G06F</b>	<b>15/80</b>	

請求項の数 1 (全 25 頁)

(21) 出願番号	特願平10-324058	(73) 特許権者	000002185
(22) 出願日	平成10年11月13日 (1998.11.13)		ソニー株式会社
(65) 公開番号	特開2000-148998 (P2000-148998A)		東京都港区港南1丁目7番1号
(43) 公開日	平成12年5月30日 (2000.5.30)	(74) 代理人	100094053
審査請求日	平成17年8月15日 (2005.8.15)		弁理士 佐藤 隆久
		(72) 発明者	橋口 昭彦
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	菅原 道晴

最終頁に続く

(54) 【発明の名称】 並列プロセッサ

(57) 【特許請求の範囲】

【請求項 1】

シリアル入力された複数のデータを並列に出力するデータ入力レジスタと、  
一列に配列され、前記データ入力レジスタから並列に出力された前記複数のデータの各々を記憶する複数のメモリと、

前記複数のメモリと1対1に対応するように一列に配列され、対応する前記メモリとの間でデータを入出力して演算処理を実行する複数のプロセッサと、

前記複数のメモリから複数のデータを並列に読み込んでシリアル出力するデータ出力レジスタと、

一列に配列された前記複数のメモリの配列の一端側に配置され、前記データ入力レジスタから出力された1個の前記データを記憶可能な冗長メモリと

を有し、前記データ入力レジスタにシリアル入力される複数のデータを前記複数のプロセッサにより並列処理して前記データ出力レジスタからシリアル出力する

並列プロセッサであって、

前記データ入力レジスタと前記複数のメモリとの間の回路として、

前記データ入力レジスタと各前記メモリに接続され、前記データ入力レジスタと前記複数のメモリとの間において前記複数のメモリと1対1に対応するように一列に配列され、前記データ入力レジスタから入力される各前記データを、対応する前記メモリへ出力する複数の二出力セクタと、

前記データ入力レジスタと前記複数の二出力セクタとの間において前記二出力セレ

10

20

クタおよび前記メモリによる複数の組と1対1に対応するように一列に配列され、対応する組の前記二出力セクタへ第1切替信号を出力する複数の第1オア回路と

を有し、

前記データ入力レジスタは、

前記複数のメモリの各々について故障があるか否かの情報を格納する第1レジスタを有し、前記複数のデータとは別に、前記複数のメモリの各々についての故障を示す複数の第1故障信号を出力し、

各前記第1オア回路は、

前記複数のメモリの配列方向を基準とした配列の他端側に隣接する前記第1オア回路に接続され、各々が対応する組の前記メモリについての前記第1故障信号と、前記他端側に隣接する前記第1オア回路の第1切替信号とが入力され、いずれか一方の信号が故障を示す場合に、故障を示す第1切替信号を出力し、

各前記二出力セクタは、

対応する前記メモリの前記一方側に隣接する他の前記メモリまたは前記冗長メモリに接続され、対応する前記第1オア回路から入力される前記第1切替信号が故障を示すものである場合、前記データ入力レジスタから入力されたデータを、前記一方側に隣接する他の前記メモリまたは前記冗長メモリへ出力し、

前記複数のメモリと前記複数のプロセッサとの間の回路として、

前記メモリと前記プロセッサとに接続され、前記複数のメモリと前記複数のプロセッサとの間において前記メモリおよび前記プロセッサによる複数の組と1対1に対応するように一列に配列され、対応する前記メモリから入出力されるデータを、対応する前記プロセッサへ入出力する複数の二入出力セクタと、

前記複数のプロセッサと前記複数の二入出力セクタとの間において前記二入出力セクタおよび前記メモリによる複数の組と1対1に対応するように一列に配列され、対応する組の前記二入出力セクタへ第2切替信号を出力する複数の第2オア回路と

を有し、

前記複数のプロセッサは、

前記複数のメモリの各々について故障があるか否かの情報を格納する第2レジスタを有し、前記複数のメモリの各々についての故障を示す複数の第2故障信号を出力し、

各前記第2オア回路は、

前記他端側に隣接する前記第2オア回路に接続され、各々が対応する組の前記メモリについての前記第2故障信号と、前記他端側に隣接する前記第2オア回路の第2切替信号とが入力され、いずれか一方の信号が故障を示す場合に、故障を示す第2切替信号を出力し、

各前記二入出力セクタは、

対応する前記メモリの前記一方側に隣接する他の前記メモリまたは前記冗長メモリに接続され、対応する前記第2オア回路から入力される前記第2切替信号が故障を示すものである場合、前記一方側に隣接する他の前記メモリまたは前記冗長メモリのデータを、対応する前記プロセッサへ出力し、

前記複数のメモリと前記データ出力レジスタとの間の回路として、

前記データ出力レジスタと各前記メモリに接続され、前記データ出力レジスタと前記複数のメモリとの間において前記複数のメモリと1対1に対応するように一列に配列され、前記複数のメモリから入力される各前記データを、前記データ出力レジスタへ出力する複数の二入力セクタと、

前記複数の二入力セクタと前記データ入力レジスタとの間において前記二入力セクタおよび前記メモリによる複数の組と1対1に対応するように一列に配列され、対応する組の前記二入力セクタへ第3切替信号を出力する複数の第3オア回路と

を有し、

前記データ出力レジスタは、

前記複数のメモリの各々について故障があるか否かの情報を格納する第3レジスタを

10

20

30

40

50

有し、前記複数のメモリの各々についての故障を示す複数の第3故障信号を出力し、  
各前記第3オア回路は、

前記他端側に隣接する前記第3オア回路に接続され、各々が対応する組の前記メモリ  
についての前記第3故障信号と、前記他端側に隣接する前記第3オア回路の第3切替信号  
とが入力され、いずれか一方の信号が故障を示す場合に、故障を示す第3切替信号を出力  
し、

各前記二入力セレクタは、

対応する前記メモリの前記一方側に隣接する他の前記メモリまたは前記冗長メモリに  
接続され、対応する前記第3オア回路から入力される前記第3切替信号が故障を示すもの  
である場合、前記一方側に隣接する他の前記メモリまたは前記冗長メモリから入力された  
データを、前記データ出力レジスタへ出力する

並列プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、列アドレスによる列選択線と行アドレスによる行選択線によって選択される  
複数のデータの入出力を行う並列プロセッサに関するものである。

【0002】

【従来の技術】

従来、画像データに対する信号処理の分野においては、1枚の画像を構成する全ての画素  
に対して同様の演算処理を施すことが多い。多くのデータに対して同様の演算処理を高速  
に実行するために、SIMD (Single Instruction Multiple Data stream (単一命令複  
数データ)) 型アーキテクチャが提案され、画像信号処理に限らず広い分野で利用されて  
いる。

【0003】

SIMD型アーキテクチャは、演算装置を必要な個数だけ並べて、各々の演算装置が同一  
の命令に従って動作するようにした構成である。したがって、各々の演算装置に別々のデ  
ータを与えると、それぞれのデータに対する演算結果が一度に得られる。

【0004】

SIMD型処理装置の画像処理への適用として、たとえばSVP (SERIAL VIDEO PROCESS  
OR/Proceedings of the IEEE 1990 CUSTOM INTEGRATED CIRCUITS CONFERENCE /P17 3.1~  
4) に示される装置が知られている。

【0005】

この装置は、具体的にはたとえば図14に示すような並列プロセッサ1で構成されている  
。

この並列プロセッサ1は、1走査線分の画素データを、シリアルデータSINを逐次的に  
入力するためのデータ入力レジスタ(DIR)2、記憶装置(メモリ)と演算装置(AL  
U)で構成され、1走査線分の画素データを並列に処理するための複数のプロセッサエレ  
メント(以下、PEと呼ぶ)3-1~3-n、を有するプロセッサエレメント群3、および1走査線分の処理された画素データを、シリアルデータ出力SOUTへ逐次的に出力す  
るためのデータ出力レジスタ(DOR)4により構成されている。

【0006】

このような並列プロセッサ1で、図15に示すように、 $p(1, 1) \sim p(m, n)$ の  
 $m \times n$ 個の画素で構成される画像データを処理する手順を、図16および図17に関連付け  
て以下に説明する。

なお、任意の $i, j$  (但し $1 \leq i \leq m, 1 \leq j \leq n$ )の画素 $p(i, j)$ は、複数ビット  
で表現されても良い。

画像の走査は通常左から右、かつ上から下という順序で行われるので、画像データは一般  
に図16に示すような構造で伝送される。

ここで、1ライン分の画素データを走査する時間を水平期間と呼ぶ。また走査が画面の右

10

20

30

40

50

端から左端へ戻るための時間をブランキング期間と呼ぶ。たとえば  $i$  ライン目の右端の画素  $p(i, n)$  と、次のラインの左端の画素  $p(i + 1, 1)$  との画素データの間には、ブランキング期間が存在する。

【0007】

図17において、各画素がそれぞれ複数ビットで構成される映像信号が、画素単位で入力端子に逐次的に入力される。

最初の1水平期間の時間で、1ライン目の画素データが、1ライン分の容量を有するデータ入力レジスタ2に格納される。

データ入力レジスタ2に格納された映像信号の1ライン目の各画素のデータは、その後のブランキング期間内に並列に出力され、1つのPEにつき1画素のデータが、1ライン分の個数  $(n)$  並べられた  $PE_{3-1} \sim PE_{3-n}$  に、並列に供給される。

10

【0008】

次の1水平期間で、各  $PE_{3-1} \sim PE_{3-n}$  では、供給された1ライン目の画素データに対して演算処理が行われる。

これと並行して、データ入力レジスタ2には2ライン目の画素データが逐次的に入力される。

続くブランキング期間内に各  $PE_{3-1} \sim PE_{3-n}$  から、処理の施された1ライン目の画素データがデータ出力レジスタ4に並列に供給される。

これと並行して、データ入力レジスタ2からは2ライン目の画素データがPE群3に並列に供給される。

20

次の1水平期間でデータ出力レジスタ4に格納された1ライン目の画素データが、逐次的に出力端子に出力される。

これと並行して、各  $PE_{3-1} \sim PE_{3-n}$  は2ライン目の画素データの演算処理が行われ、データ入力レジスタ2には3ライン目の画素データが逐次的に入力される。

【0009】

これ以降は、各  $PE_{3-1} \sim PE_{3-n}$  が  $i$  ライン目の画素データを処理している時は、データ入力レジスタ2は  $(i + 1)$  ライン目の画素データを入力し、データ出力レジスタ4は  $(i - 1)$  ライン目の画素データを出力することが繰り返される。

データ入力レジスタ2、 $PE_{3-1} \sim PE_{3-n}$ 、データ出力レジスタ4が以上のように同期して動作することで、各水平期間毎に演算処理された映像信号が取り出される。

30

このようにしてたとえば映像信号のデジタル処理が行われる。

【0010】

次に、上述の並列プロセッサ1を構成する主要部であるPEについて詳細に説明する。

【0011】

図18は、一つのPEの概略構成を示す図である。

PEは、図18に示すように、記憶装置31、演算装置(ALU)32、および選択回路33により構成されている。そして、記憶装置31はビット線BLとワード線WLに接続される図示しないメモリセルがマトリクス状に配置されて構成されている。

【0012】

ワード線WLで選択されたメモリセルは、列選択線CSLによって選択されたものが演算装置32と接続される。なお通常、ビット線BL、ワード線WL、列選択線CSLは複数あるが、この図では簡単のため省略している。

40

【0013】

記憶装置31は、通常の画像処理アプリケーションに必要なデータを十分に格納できるだけの容量を有している。

そして、ブランキング期間にデータ入力レジスタ2から転送されたデータは記憶装置31に格納される。

このとき、記憶装置31は他のPEの記憶装置と同じアドレスを入力され、これに基づいてデータを格納する。

【0014】

50

演算装置 3 2 は、記憶装置 3 1 からデータをロードして演算を行い、その結果を記憶装置 3 1 にストアする。

演算装置 3 2 がデータをロードする際は、記憶装置 3 1 は同一の行アドレスにより、その行アドレスが指し示す記憶装置から、ビット線 B L にデータを出力し、同一の列アドレスにより、ビット線 B L のうち 1 つが選択して演算装置 3 2 に出力する。

また、演算装置 3 2 がデータをストアする場合は、記憶装置 3 1 は同一の列アドレスから選択したビット線 B L と演算装置 3 2 の出力部分を接続し、行アドレスで選択された記憶装置にデータを格納する。

【 0 0 1 5 】

画像処理に必要な演算が終了するまでこのシーケンスを繰り返し、次のブランキング期間にデータ出力レジスタ 4 にデータを転送する。

10

【 0 0 1 6 】

この記憶装置 3 1 は、走査線をまたぐようなフィルタリング処理を行う場合には、たとえば 5 ライン分程度が必要となり、画像データが各 8 ビットの R (赤)、G (緑)、B (青) の計 2 4 ビットで構成されているならば、1 2 0 ビットのメモリ容量が必要となる。さらに途中の演算結果の保持を想定するならば、記憶装置 3 1 の容量は 2 5 6 ビット程度は必要となる。これは並列プロセッサ 1 全体では、プロセッサ数  $\times$  2 5 6 ビットとなり、仮に P E 3 が 1 0 0 0 個搭載されるならば、2 5 6 k ビットの容量をもつ記憶装置を並列プロセッサ 1 に搭載しなければならない。

これは非常に大きな面積を占め、L S I のコストの上昇を招くので、通常このような記憶装置部分は非常に微細に設計し、面積を最小にするよう構成される。記憶装置 3 1 はもともと微細な設計をされるうえ、並列プロセッサ 1 のなかで大きな面積を占めるので、不良の発生確率が高くなる。

20

【 0 0 1 7 】

このため、記憶装置は通常、冗長な記憶装置を用意しておき、記憶装置が故障している部分があれば、その記憶装置のアクセスするアドレスを冗長な記憶装置のアドレスと置き換えることによって救済する構成がとられている。

次に、一般的に列アドレスを冗長な記憶装置で救済する場合を説明する。

【 0 0 1 8 】

図 1 9 は、並列プロセッサの主要部である各 P E の記憶装置 3 1 - 1 ~ 3 1 - n に冗長用記憶装置 R D をもった場合の構成例を示す図である。

30

【 0 0 1 9 】

図 1 9 において、選択回路 3 4 - 1 ~ 3 4 - n は、選択線 C S L より入力されたアドレスに従って、記憶装置 3 1 - 1 ~ 3 1 - n の列および冗長用記憶装置 R D - 1 ~ R D - n を選択する。

もし、通常の記憶装置列に不良が存在した場合、あらかじめ不良の列アドレスをプログラミングしておき、選択線 C S L は、その列アドレスを冗長な記憶装置列のアドレスを選択するように制御されている。

このような構成にしておくことで、通常の記憶装置列に不良があった場合でもプロセッサの良品が得られる。

40

【 0 0 2 0 】

【 発明が解決しようとする課題 】

ところで、プロセッサエレメントを多数持ち、一括して処理するような L S I においては、記憶装置から多量のデータを一度で読み出すことが多く、記憶装置の入出力 ( I / O ) の数は増加する傾向にあるが、これに反比例して、各 I / O の列の数は減少する傾向にある。

たとえば、本来 1 つのワード線 ( 行選択線 ) によって 1 0 2 4 ビットのデータを読み出すことが可能な記憶装置が 3 2 ビットの I / O を持つと、記憶装置の列は 3 2 列存在し、仮に冗長の行アドレスが一つ付加されても、1 / 3 2 しか面積の増加はない。

【 0 0 2 1 】

50

しかしながら、記憶装置が256ビットのI/Oを持つと記憶装置の列は4列しか存在しない。

このような条件で、冗長な列を4列につき1列追加したとすれば、面積増加は $1/4 = 25\%$ にもなり、シリコンウェーハから作製されるLSIの数が減ってしまう上、冗長な記憶装置の部分に不良が発生する確率も高くなり、結果的には冗長な記憶装置を搭載しない場合より良品のLSIを得る数が減ってしまう。

【0022】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、面積増加を最小限に抑えながら故障が発生した場合の救済効率を高めることができる並列プロセッサを提供することにある。

【0023】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る並列プロセッサは、シリアル入力された複数のデータを並列に出力するデータ入力レジスタと、一列に配列され、前記データ入力レジスタから並列に出力された前記複数のデータの各々を記憶する複数のメモリと、前記複数のメモリと1対1に対応するように一列に配列され、対応する前記メモリとの間でデータを入出力して演算処理を実行する複数のプロセッサと、前記複数のメモリから複数のデータを並列に読み込んでシリアル出力するデータ出力レジスタと、一列に配列された前記複数のメモリの配列の一端側に配置され、前記データ入力レジスタから出力された1個の前記データを記憶可能な冗長メモリとを有し、前記データ入力レジスタにシリアル入力される複数のデータを前記複数のプロセッサにより並列処理して前記データ出力レジスタからシリアル出力する並列プロセッサであって、前記データ入力レジスタと前記複数のメモリとの間の回路として、前記データ入力レジスタと各前記メモリに接続され、前記データ入力レジスタと前記複数のメモリとの間において前記複数のメモリと1対1に対応するように一列に配列され、前記データ入力レジスタから入力される各前記データを、対応する前記メモリへ出力する複数の二出力セレクタと、前記データ入力レジスタと前記複数の二出力セレクタとの間において前記二出力セレクタおよび前記メモリによる複数の組と1対1に対応するように一列に配列され、対応する組の前記二出力セレクタへ第1切替信号を出力する複数の第1オア回路とを有し、前記データ入力レジスタは、前記複数のメモリの各々について故障があるか否かの情報を格納する第1レジスタを有し、前記複数のデータとは別に、前記複数のメモリの各々についての故障を示す複数の第1故障信号を出力し、各前記第1オア回路は、前記複数のメモリの配列方向を基準とした配列の他端側に隣接する前記第1オア回路に接続され、各々が対応する組の前記メモリについての前記第1故障信号と、前記他端側に隣接する前記第1オア回路の第1切替信号とが入力され、いずれか一方の信号が故障を示す場合に、故障を示す第1切替信号を出力し、各前記二出力セレクタは、対応する前記メモリの前記一方側に隣接する他の前記メモリまたは前記冗長メモリに接続され、対応する前記第1オア回路から入力される前記第1切替信号が故障を示すものである場合、前記データ入力レジスタから入力されたデータを、前記一方側に隣接する他の前記メモリまたは前記冗長メモリへ出力し、前記複数のメモリと前記複数のプロセッサとの間の回路として、前記メモリと前記プロセッサとに接続され、前記複数のメモリと前記複数のプロセッサとの間において前記メモリおよび前記プロセッサによる複数の組と1対1に対応するように一列に配列され、対応する前記メモリから入出力されるデータを、対応する前記プロセッサへ入出力する複数の二入出力セレクタと、前記複数のプロセッサと前記複数の二入出力セレクタとの間において前記二入出力セレクタおよび前記メモリによる複数の組と1対1に対応するように一列に配列され、対応する組の前記二入出力セレクタへ第2切替信号を出力する複数の第2オア回路とを有し、前記複数のプロセッサは、前記複数のメモリの各々について故障があるか否かの情報を格納する第2レジスタを有し、前記複数のメモリの各々についての故障を示す複数の第2故障信号を出力し、各前記第2オア回路は、前記他端側に隣接する前記第2オア回路に接続され、各々が対応する組の前記メモリについての前記第2故障信号と、前記他端側に隣接する前記第2オア回路の第2

10

20

30

40

50

切替信号とが入力され、いずれか一方の信号が故障を示す場合に、故障を示す第2切替信号を出力し、各前記二入出力セクタは、対応する前記メモリの前記一方側に隣接する他の前記メモリまたは前記冗長メモリに接続され、対応する前記第2オア回路から入力される前記第2切替信号が故障を示すものである場合、前記一方側に隣接する他の前記メモリまたは前記冗長メモリのデータを、対応する前記プロセッサへ出力し、前記複数のメモリと前記データ出力レジスタとの間の回路として、前記データ出力レジスタと各前記メモリに接続され、前記データ出力レジスタと前記複数のメモリとの間において前記複数のメモリと1対1に対応するように一列に配列され、前記複数のメモリから入力される各前記データを、前記データ出力レジスタへ出力する複数の二入力セクタと、前記複数の二入力セクタと前記データ入力レジスタとの間において前記二入力セクタおよび前記メモリによる複数の組と1対1に対応するように一列に配列され、対応する組の前記二入力セクタへ第3切替信号を出力する複数の第3オア回路とを有し、前記データ出力レジスタは、前記複数のメモリの各々について故障があるか否かの情報を格納する第3レジスタを有し、前記複数のメモリの各々についての故障を示す複数の第3故障信号を出力し、各前記第3オア回路は、前記他端側に隣接する前記第3オア回路に接続され、各々が対応する組の前記メモリについての前記第3故障信号と、前記他端側に隣接する前記第3オア回路の第3切替信号とが入力され、いずれか一方の信号が故障を示す場合に、故障を示す第3切替信号を出力し、各前記二入力セクタは、対応する前記メモリの前記一方側に隣接する他の前記メモリまたは前記冗長メモリに接続され、対応する前記第3オア回路から入力される前記第3切替信号が故障を示すものである場合、前記一方側に隣接する他の前記メモリまたは前記冗長メモリから入力されたデータを、前記データ出力レジスタへ出力する。

【0027】

本発明の第2の態様に係るデータ処理装置は、1ライン $n$  ( $n$ は2以上の自然数)の画像データを同時に書き込み可能に記憶するため、隣接して設けられた $(n+1)$ 個のメモリと、 $n$ 個の画像データを同時並列に出力するシフト入力レジスタと、前記 $(n+1)$ 個のメモリについての隣接した2個のメモリに接続され、フラグの値に応じて当該隣接する2個のメモリの一方を前記シフト入力レジスタに接続し、前記シフト入力レジスタから同時並列に出力される $n$ 個の画像データを $n$ 個の前記メモリに入力させる、隣接して設けられた $n$ 個の切替スイッチと、前記 $n$ 個の切替スイッチに対応して設けられ、対応する切替スイッチの切替状態を指示するフラグを保持する、 $n$ 個のレジスタ回路であって、各々のレジスタ回路が一方に隣接するレジスタ回路の出力に応じて該レジスタ回路に保持されるフラグの値を変化させ、当該レジスタ回路の値を他方に隣接するレジスタ回路へ出力するように構成されている、 $n$ 個のレジスタ回路とを有し、前記 $(n+1)$ 個のメモリの1つの故障が検出されて、当該故障を検出したメモリに接続されている切替スイッチが当該故障したメモリに隣接するメモリに切り替わるよう、故障したメモリに接続されている切替スイッチについてのレジスタ回路のフラグの値が切り替えられた場合、前記複数のレジスタ回路は、前記故障に応じてフラグの値が切り替えられたレジスタ回路についての前記他方側のレジスタ回路に保持されるフラグの値が、前記故障に応じて切り替えられたレジスタ回路のフラグと同じ値に切り替わる。

【0040】

【発明の実施の形態】

第1実施形態

図1は、本発明に係るデータ処理装置の第1の実施形態を示す回路図である。

【0041】

このデータ処理装置10は、 $(n+1)$ 個の記憶装置(メモリ)101-1~101-n、 $n$ 個の演算装置(ALU)102-1~102-n、 $n$ 個の切替信号生成回路103-1~103-n、および $n$ 個の切替回路104-1~104-nにより構成され、 $n$ 個のデータを並列的に処理する。

ただし、 $n$ は自然数である。

【0042】

10

20

30

40

50

記憶装置 101 - 1 ~ 101 - n+1 は、列アドレスによる列選択線と行アドレスによる行選択線によって選択される、たとえば DRAM や SRAM により構成され、演算装置 102 - 1 ~ 102 - n により、切替回路 104 - 1 ~ 104 - n を介してデータが書き込みまたは読み出される。

【0043】

記憶装置 101 - 1 のデータ入出力端子 T1 は、切替回路 104 - 1 の入出力端子 (L) に接続されている。

記憶装置 101 - 2 の入出力端子 T2 は、切替回路 104 - 1 の入出力端子 (H) および切替回路 104 - 2 の入出力端子 (L) に接続されている。

同様に、記憶装置 101 - 3 ~ 101 - n の入出力端子 T3 ~ Tn は、前段の切替回路 104 - 2 ~ 104 - n-1 の入出力端子 (H) に接続されているとともに、対応する段 (同段) の切替回路 104 - 3 ~ 104 - n の入出力端子 (L) に接続されている。

そして、記憶装置 104 - n+1 の入出力端子 Tn+1 は切替回路 104 - n の入出力端子 (H) に接続されている。

【0044】

記憶装置 101 - 1 ~ 101 - n+1 は、n 個のデータを並列的に処理するデータ処理装置 10 において、演算装置 102 - 1 ~ 102 - n によりアクセスされるのは n 個である。原則的には、記憶装置 101 - 1 ~ 101 - n が、個々に対応して設けられた演算装置 102 - 1 ~ 102 - n によりアクセスされる。

そして、一つの記憶装置に故障が有る場合には、その記憶装置を除いた n 個の記憶装置が演算装置 102 - 1 ~ 102 - n によりアクセスされる。

【0045】

演算装置 102 - 1 ~ 102 - n は、記憶装置 101 - 1 ~ 101 - n に対応して設けられており、切替回路 104 - 1 ~ 104 - n の切り替え状態に応じて、それぞれ記憶装置 101 - 1 ~ 101 - n または次段 (隣接) の記憶装置 101 - 2 ~ 101 - n+1 に記憶されたデータを読み出して演算処理し、その演算結果を書き戻す。

また、たとえば演算装置 102 - 1 ~ 102 - n には、対応する記憶装置 101 - 1 ~ 101 - n に故障があるか否かの情報を格納する情報保持手段としてのレジスタ FR を有している。

そして、各演算装置 102 - 1 ~ 102 - n は、レジスタ FR の情報を対応して設けられた切替信号生成回路 103 - 1 ~ 103 - n に供給する。

具体的には、レジスタ FR に対応する記憶装置に故障があり不良であるという情報が格納されている場合には、ハイレベルの信号が対応する切替信号生成回路 103 - 1 ~ 103 - n に供給する。

【0046】

切替信号生成回路 103 - 1 は、対応するレジスタ FR からハイレベルの情報を受けた場合に、ハイレベルの切替信号 SSW を生成して、切替回路 104 - 1 に供給するとともに、次段の切替信号生成回路 103 - 2 に供給する。

【0047】

切替信号生成回路 103 - 2 ~ 103 - n-1 は、それぞれ対応するレジスタ FR からハイレベルの情報を受けた場合または前段の切替信号生成回路 103 - 1 ~ 103 - n-2 によりハイレベルの切替信号 SSW を受けた場合に、ハイレベルの切替信号 SSW を生成して、対応する切替回路 104 - 2 ~ 104 - n-1 に供給するとともに、次段の切替信号生成回路 103 - 3 ~ 104 - n に供給する。

【0048】

図 2 に、切替信号生成回路 103 - 2 ~ 103 - n-1 の構成例を示す。

図 2 に示すように、切替信号生成回路 103 - 2 ~ 103 - n-1 は、2 入力の OR ゲート GT により構成される。

【0049】

切替信号生成回路 103 - n は、対応するレジスタ FR からハイレベルの情報を受けた場

10

20

30

40

50

合または前段の切替信号生成回路 103 - n-1 によりハイレベルの切替信号 S S W を受けた場合に、ハイレベルの切替信号 S S W を生成して、対応する切替回路 104 - n に供給する。

【0050】

切替回路 104 - 1 ~ 104 - n は、それぞれ入出力端子 (A) が対応して設けられた演算装置 102 - 1 ~ 102 - n のデータ入出力端子に接続され、対応する切替信号生成回路 103 - 1 ~ 103 - n による切替信号 S S W を受けて、切替信号 S S W がローレベルの場合には、入出力端子 (A) と入出力端子 (L) とを接続し、切替信号 S S W がハイレベルに切り替わると、入出力端子 (A) の接続を入出力端子 (H) 側に切り替える。

【0051】

そして、前述したように、切替回路 104 - 1 ~ 104 - n の入出力端子 (L) が対応する記憶装置 101 - 1 ~ 101 - n のデータ入出力端子 T1 ~ Tn に接続され、入出力端子 (H) が次段 (隣接) の記憶装置 101 - 2 ~ 101 - n+1 のデータ入出力端子 T2 ~ Tn+1 に接続されている。

【0052】

次に、上記構成による動作を、図3に関連付けて説明する。

ここでは、 $i$  ( $1 < i < n$ ) 番目の記憶装置 101 -  $i$  が不良で、対応する演算装置 102 -  $i$  のレジスタ F R に不良を示す論理レベルがハイレベルの情報が格納されている場合を例に説明する。

【0053】

このとき、前段の記憶装置 101 -  $i-1$  は不良ではないので、対応する演算装置 102 -  $i-1$  のレジスタ F R には論理レベルがローレベルの情報が格納されている。したがって、切替信号生成回路 103 -  $i-1$  からはローレベルの切替信号 S S W が生成され、切替回路 104 -  $i-1$  および次段の切替信号生成回路 103 -  $i$  に供給される。

ローレベルの切替信号 S S W を受けた切替回路 104 -  $i-1$  では、演算装置 102 -  $i-1$  のデータ入出力端子と接続された入出力端子 (A) が記憶装置 101 -  $i-1$  の入出力端子 T $i-1$  に接続された入出力端子 (L) と接続された状態に保持される。

したがって、記憶装置 101 -  $i-1$  は、対応する演算装置 102 -  $i-1$  によりアクセスされる。

【0054】

これに対して、不良の記憶装置 101 -  $i$  に対応する切替信号生成回路 103 -  $i$  では、前段の切替信号生成回路 103 -  $i-1$  によりローレベルの切替信号 S S W が供給されるが、レジスタ F R の情報がハイレベルであることから、ハイレベルの切替信号 S S W が生成されて、切替回路 104 -  $i$  および次段の切替信号生成回路 103 -  $i+1$  に供給される。

ハイレベルの切替信号 S S W を受けた切替回路 104 -  $i$  では、演算装置 102 -  $i$  のデータ入出力端子と接続された入出力端子 (A) が次段の記憶装置 101 -  $i+1$  の入出力端子 T $i+1$  に接続された入出力端子 (H) との接続に切り替えられる。

したがって、記憶装置 101 -  $i$  は、いずれの演算装置からもアクセスされず、次段の記憶装置 101 -  $i+1$  が、演算装置 102 -  $i$  によりアクセスされる。

【0055】

ハイレベルの切替信号 S S W を受けた記憶装置 101 -  $i+1$  に対応する切替信号生成回路 103 -  $i+1$  では、ハイレベルの切替信号 S S W が生成されて、切替回路 104 -  $i+1$  および次段の切替信号生成回路 103 -  $i+2$  に供給される。

ハイレベルの切替信号 S S W を受けた切替回路 104 -  $i+1$  では、演算装置 102 -  $i+1$  のデータ入出力端子と接続された入出力端子 (A) が次段の記憶装置 101 -  $i+2$  の入出力端子 T $i+2$  に接続された入出力端子 (H) との接続に切り替えられる。

したがって、次段の記憶装置 101 -  $i+2$  が、演算装置 102 -  $i+1$  によりアクセスされる。

【0056】

同様に、ハイレベルの切替信号 S S W を受けた記憶装置 101 -  $i+2$  に対応する切替信号

10

20

30

40

50

生成回路 103 - i+2 では、ハイレベルの切替信号 SSW が生成されて、切替回路 104 - i+2 および次段の切替信号生成回路 103 - i+3 ( 図示せず、最終 n 段目の場合には次段の切替信号生成回路は存在しない ) に供給される。

ハイレベルの切替信号 SSW を受けた切替回路 104 - i+2 では、演算装置 102 - i+2 のデータ入出力端子と接続された入出力端子 ( A ) が次段の記憶装置 101 - i+3 の入出力端子  $T_{i+3}$  に接続された入出力端子 ( H ) との接続に切り替えられる。

したがって、次段の記憶装置 101 - i+3 が、演算装置 102 - i+2 によりアクセスされる。

#### 【 0057 】

このように、不良の記憶装置が有る場合、対応して設けられた演算装置のデータ入出力ラインは、次段の記憶装置の入出力端子との接続に置き換えられ、以降演算装置のデータ入出力ラインは次段 ( 隣接 ) の記憶装置の入出力端子との接続に置き換えて、n 個の記憶装置と n 個の演算装置とのデータの入出力が並列的に行われる。

#### 【 0058 】

以上説明したように、本第 1 の実施形態によれば、入出力端子  $T_1 \sim T_{n+1}$  を有する ( n + 1 ) 個の記憶装置 101 - 1 ~ 101 - n+1 と、記憶装置 101 - 1 ~ 101 - n に対応して設けられた演算装置 102 - 1 ~ 102 - n と、n 個の記憶装置 101 - 1 ~ 101 - n に対応して設けられ、対応する記憶装置が不良であるか否かの情報を保持する n 個のレジスタ FR と、n 個の記憶装置 101 - 1 ~ 101 - n に対応して設けられ、対応するレジスタ FR の情報が記憶装置の不良を示す場合または前段からの切替信号をハイレベルで受けるとハイレベルの切替信号 SSW を次段の回路および同段の対応する切替回路に出力する切替信号生成回路 103 - 1 ~ 103 - n と、n 個の演算装置 102 - 1 ~ 102 - n に対応して設けられ、切替信号がローレベルのときは演算装置のデータ入出力ラインと対応する記憶装置の入出力端子を接続し、切替信号がハイレベルに切り替わると、演算装置のデータ入出力ラインを対応する記憶装置の入出力端子から次段の記憶装置の入出力端子に切り替え接続する切替回路 104 - 1 ~ 104 - n とを設けたので、面積増加を最小限に抑えながら故障が発生した場合の救済率を高めることができる利点がある。

#### 【 0059 】

この場合、たとえば 100 個の演算装置を配置した場合、面積増加は  $101/100=1.01$  倍にしかない。

#### 【 0060 】

なお、本実施形態では、対応する記憶装置が不良であるか否かを示す情報を保持するレジスタ FR を演算装置に設ける構成を例に説明したが、本発明はこれに限定されるものではなく、外部に設ける等、種々の態様が可能であることはいうまでもない。

#### 【 0061 】

### 第 2 実施形態

図 4 は、本発明に係るデータ処理装置の第 2 の実施形態を示す回路図である。

#### 【 0062 】

本第 2 の実施形態と前述した第 1 の実施形態と異なる点は、各切替回路の入出力端子 ( H ) を次段の記憶装置の入出力端子に接続する代わりに、全切替回路の入出力端子 ( H ) を信号線 GL を介して最終段の記憶装置 101 - n+1 の入出力端子  $T_{n+1}$  に共通に接続し、一つの不良の記憶装置があった場合、すべて記憶装置 101 - n+1 に代替えさせるようにしたことにある。

#### 【 0063 】

そして、本第 2 の実施形態の場合には、切替信号生成回路 103 a - 1 ~ 103 a - n は、図 4 に示すように、切替信号 SSW を同段の切替回路 104 a - 1 ~ 104 a - n に出力するのみで、次段の切替信号生成回路には出力する必要はない。

なお、本実施形態に係る切替信号生成回路 103 a - 1 ~ 103 a - n、たとえば対応する記憶装置が不良であるか否かを示す情報を保持するレジスタ FR と置き換えて構成することができる。

## 【 0 0 6 4 】

次に、上記構成による動作を図 5 に関連付けて説明する。

ここでは、 $i$  ( $1 < i < n$ ) 番目の記憶装置  $101 - i$  が不良で、対応する演算装置  $102 - i$  のレジスタ  $FR$  に不良を示す論理レベルがハイレベルの情報が格納されている場合を例に説明する。

## 【 0 0 6 5 】

このとき、前段の記憶装置  $101 - i-1$  は不良ではないので、対応する演算装置  $102 - i-1$  のレジスタ  $FR$  には論理レベルがローレベルの情報が格納されている。したがって、切替信号生成回路  $103a - i-1$  からはローレベルの切替信号  $SSW$  が生成され、切替回路  $104a - i-1$  に供給される。

ローレベルの切替信号  $SSW$  を受けた切替回路  $104a - i-1$  では、演算装置  $102 - i-1$  のデータ入出力端子と接続された入出力端子 (A) が記憶装置  $101 - i-1$  の入出力端子  $Ti-1$  に接続された入出力端子 (L) と接続された状態に保持される。

したがって、記憶装置  $101 - i-1$  は、対応する演算装置  $102 - i-1$  によりアクセスされる。

## 【 0 0 6 6 】

これに対して、不良の記憶装置  $101 - i$  に対応する切替信号生成回路  $103a - i$  では、レジスタ  $FR$  の情報がハイレベルであることから、ハイレベルの切替信号  $SSW$  が生成されて、切替回路  $104a - i$  に供給される。

ハイレベルの切替信号  $SSW$  を受けた切替回路  $104a - i$  では、演算装置  $102 - i$  のデータ入出力端子と接続された入出力端子 (A) が、信号線  $GL$  を介して最終段の記憶装置  $101 - n+1$  の入出力端子  $Tn+1$  に接続された入出力端子 (H) との接続に切り替えられる。

したがって、記憶装置  $101 - i$  は、いずれの演算装置からもアクセスされず、最終段の記憶装置  $101 - i+1$  が、演算装置  $102 - i$  によりアクセスされる。

## 【 0 0 6 7 】

また、このとき、次段の記憶装置  $101 - i+1$  は不良ではないので、対応する演算装置  $102a - i+1$  のレジスタ  $FR$  には論理レベルがローレベルの情報が格納されている。したがって、切替信号生成回路  $103a - i+1$  からはローレベルの切替信号  $SSW$  が生成され、切替回路  $104a - i+1$  に供給される。

ローレベルの切替信号  $SSW$  を受けた切替回路  $104a - i+1$  では、演算装置  $102 - i+1$  のデータ入出力端子と接続された入出力端子 (A) が記憶装置  $101 - i+1$  の入出力端子  $Ti+1$  に接続された入出力端子 (L) と接続された状態に保持される。

したがって、記憶装置  $101 - i+1$  は、対応する演算装置  $102 - i+1$  によりアクセスされる。

## 【 0 0 6 8 】

このように、不良の記憶装置がある場合、対応して設けられた演算装置のデータ入出力ラインは、最終段の記憶装置の入出力端子との接続に置き換えられ、 $n$  個の記憶装置と  $n$  個の演算装置とのデータの入出力が並列的に行われる。

## 【 0 0 6 9 】

本第 2 の実施形態によれば、上述した第 1 の実施形態と同様の効果を得ることができる。

## 【 0 0 7 0 】

## 第 3 実施形態

図 6 は、本発明に係るデータ処理装置の第 3 の実施形態を示す回路図である。

## 【 0 0 7 1 】

このデータ処理装置 20 は、 $(n + 1)$  個の記憶装置 (メモリ)  $201 - 1 \sim 201 - n+1$ 、データ入力レジスタ (DIR)  $202$ 、 $n$  個の切替信号生成回路  $203 - 1 \sim 203 - n$ 、および  $n$  個の切替回路  $204 - 1 \sim 204 - n$  により構成され、 $n$  個のデータを並列的に処理する。

ただし、 $n$  は 2 より大きい自然数である。

## 【 0 0 7 2 】

記憶装置 2 0 1 - 1 ~ 2 0 1 - n+1 は、列アドレスによる列選択線と行アドレスによる行選択線によって選択される、たとえば D R A M や S R A M により構成され、データ入力レジスタ 2 0 2 による並列データを記憶する。

## 【 0 0 7 3 】

記憶装置 2 0 1 - 1 のデータ入力端子 I T 1 は、切替回路 2 0 4 - 1 の出力端子 ( L ) に接続されている。

記憶装置 2 0 1 - 2 の入力端子 I T 2 は、切替回路 2 0 4 - 1 の出力端子 ( H ) および切替回路 2 0 4 - 2 の出力端子 ( L ) に接続されている。

同様に、記憶装置 2 0 1 - 3 ~ 2 0 1 - n の入力端子 I T 3 ~ I T n は、前段の切替回路 2 0 4 - 2 ~ 2 0 4 - n-1 の出力端子 ( H ) に接続されているとともに、対応する段 ( 同段 ) の切替回路 2 0 4 - 3 ~ 2 0 4 - n の出力端子 ( L ) に接続されている。

そして、記憶装置 2 0 4 - n+1 の入力端子 I T n+1 は切替回路 2 0 4 - n の出力端子 ( H ) に接続されている。

## 【 0 0 7 4 】

記憶装置 2 0 1 - 1 ~ 2 0 1 - n+1 は、n 個のデータを並列的に処理するデータ処理装置 2 0 において、データ入力レジスタ 2 0 2 によりアクセスされるのは n 個である。

そして、一つの記憶装置に故障がある場合には、その記憶装置を除いた n 個の記憶装置がデータ入力レジスタ 2 0 2 によりアクセスされる。

## 【 0 0 7 5 】

データ入力レジスタ 2 0 2 は、シリアルデータからなる複数 ( n 個 ) のデータ S I N を入力して、並列データに変換して切替回路 2 0 4 - 1 ~ 2 0 4 - n に出力する。

たとえば、入力シリアルデータが、画像処理における 1 走査線分の画素データである場合には、並列データはブランキング期間に出力される。

## 【 0 0 7 6 】

また、たとえばデータ入力レジスタ 2 0 2 は、データ出力先である各記憶装置 2 0 1 - 1 ~ 2 0 1 - n に故障があるか否かの情報を格納するレジスタ F R を n 個有している。

そして、データ入力レジスタ 2 0 2 は、レジスタ F R の情報を対応して設けられた切替信号生成回路 2 0 3 - 1 ~ 2 0 3 - n に供給する。

具体的には、レジスタ F R に対応する記憶装置に故障があるという情報が格納されている場合には、ハイレベルの信号を対応する切替信号生成回路 2 0 3 - 1 ~ 2 0 3 - n に供給する。

## 【 0 0 7 7 】

切替信号生成回路 2 0 3 - 1 は、対応するレジスタ F R からハイレベルの情報を受けた場合に、ハイレベルの切替信号 S S W を生成して、切替回路 2 0 4 - 1 に供給するとともに、次段の切替信号生成回路 2 0 3 - 2 に供給する。

## 【 0 0 7 8 】

切替信号生成回路 2 0 3 - 2 ~ 2 0 3 - n-1 は、それぞれ対応するレジスタ F R からハイレベルの情報を受けた場合または前段の切替信号生成回路 2 0 3 - 1 ~ 2 0 3 - n-2 によりハイレベルの切替信号 S S W を受けた場合に、ハイレベルの切替信号 S S W を生成して、対応する切替回路 2 0 4 - 2 ~ 2 0 4 - n-1 に供給するとともに、次段の切替信号生成回路 2 0 3 - 3 ~ 2 0 4 - n に供給する。

## 【 0 0 7 9 】

なお、切替信号生成回路 2 0 3 - 2 ~ 2 0 3 - n-1 は、たとえば図 2 と同様に 2 入力の O R ゲート G T により構成される。

## 【 0 0 8 0 】

切替信号生成回路 2 0 3 - n は、対応するレジスタ F R からハイレベルの情報を受けた場合または前段の切替信号生成回路 2 0 3 - n-1 によりハイレベルの切替信号 S S W を受けた場合に、ハイレベルの切替信号 S S W を生成して、対応する切替回路 2 0 4 - n に供給する。

10

20

30

40

50

## 【 0 0 8 1 】

切替回路 2 0 4 - 1 ~ 2 0 4 - n は、それぞれ入力端子 ( A ) が対応して設けられたデータ入力レジスタ 2 0 2 のデータ出力端子にそれぞれ接続され、対応する切替信号生成回路 2 0 3 - 1 ~ 2 0 3 - n による切替信号 S S W を受けて、切替信号 S S W がローレベルの場合には、入力端子 ( A ) と出力端子 ( L ) とを接続し、切替信号 S S W がハイレベルに切り替わると、入力端子 ( A ) の接続を出力端子 ( H ) 側に切り替える。

## 【 0 0 8 2 】

そして、前述したように、切替回路 2 0 4 - 2 ~ 2 0 4 - n の出力端子 ( L ) が対応する記憶装置 2 0 1 - 1 ~ 2 0 1 - n のデータ入力端子 I T 1 ~ I T n に接続され、出力端子 ( H ) が次段 ( 隣接 ) の記憶装置 2 0 1 - 2 ~ 2 0 1 - n+1 のデータ入力端子 I T 2 ~ I T n+1 に接続されている。

10

## 【 0 0 8 3 】

次に、上記構成による動作を、図 7 に関連付けて説明する。

ここでは、 $i$  ( $1 < i < n$ ) 番目の記憶装置 2 0 1 -  $i$  が不良で、データ入力レジスタ 2 0 2 の対応するレジスタ F R に不良を示す論理レベルがハイレベルの情報格納されている場合を例に説明する。

## 【 0 0 8 4 】

このとき、前段の記憶装置 2 0 1 -  $i-1$  は不良ではないので、データ入力レジスタ 2 0 2 の対応するレジスタ F R には論理レベルがローレベルの情報格納されている。したがって、切替信号生成回路 2 0 3 -  $i-1$  からはローレベルの切替信号 S S W が生成され、切替回路 2 0 4 -  $i-1$  および次段の切替信号生成回路 2 0 3 -  $i$  に供給される。

20

ローレベルの切替信号 S S W を受けた切替回路 2 0 4 -  $i-1$  では、データ入力レジスタ 2 0 2 の ( $i-1$ ) 番目のデータ出力端子と接続された入力端子 ( A ) が記憶装置 2 0 1 -  $i-1$  の入力端子 I T  $i-1$  に接続された出力端子 ( L ) と接続された状態に保持される。したがって、記憶装置 2 0 1 -  $i-1$  には、データ入力レジスタ 2 0 2 の対応する出力端子から出力されたデータが格納される。

## 【 0 0 8 5 】

これに対して、不良の記憶装置 2 0 1 -  $i$  に対応する切替信号生成回路 2 0 3 -  $i$  では、前段の切替信号生成回路 2 0 3 -  $i-1$  によりローレベルの切替信号 S S W が供給されるが、レジスタ F R の情報がハイレベルであることから、ハイレベルの切替信号 S S W が生成されて、切替回路 2 0 4 -  $i$  および次段の切替信号生成回路 2 0 3 -  $i+1$  に供給される。ハイレベルの切替信号 S S W を受けた切替回路 2 0 4 -  $i$  では、データ入力レジスタ 2 0 2 の  $i$  番目のデータ出力端子と接続された入出力端子 ( A ) が次段の記憶装置 2 0 1 -  $i+1$  の入力端子 I T  $i+1$  に接続された出力端子 ( H ) との接続に切り替えられる。したがって、記憶装置 2 0 1 -  $i$  はアクセスされず、次段の記憶装置 2 0 1 -  $i+1$  に  $i$  番目のデータ出力端子から出力されたデータが格納される。

30

## 【 0 0 8 6 】

ハイレベルの切替信号 S S W を受けた記憶装置 2 0 1 -  $i+1$  に対応する切替信号生成回路 2 0 3 -  $i+1$  では、ハイレベルの切替信号 S S W が生成されて、切替回路 2 0 4 -  $i+1$  および次段の切替信号生成回路 2 0 3 -  $i+2$  に供給される。

40

ハイレベルの切替信号 S S W を受けた切替回路 2 0 4 -  $i+1$  では、データ入力レジスタ 2 0 2 の ( $i+1$ ) 番目のデータ出力端子と接続された入力端子 ( A ) が次段の記憶装置 2 0 1 -  $i+2$  の入力端子 I T  $i+2$  に接続された出力端子 ( H ) との接続に切り替えられる。したがって、データ入力レジスタ 2 0 2 の ( $i+1$ ) 番目のデータ出力端子から出力されたデータが次段の記憶装置 2 0 1 -  $i+2$  に格納される。

## 【 0 0 8 7 】

同様に、ハイレベルの切替信号 S S W を受けた記憶装置 2 0 1 -  $i+2$  に対応する切替信号生成回路 2 0 3 -  $i+2$  では、ハイレベルの切替信号 S S W が生成されて、切替回路 2 0 4 -  $i+2$  および次段の切替信号生成回路 2 0 3 -  $i+3$  ( 図示せず、最終  $n$  段目の場合には次段の切替信号生成回路は存在しない ) に供給される。

50

ハイレベルの切替信号  $SSW$  を受けた切替回路  $204 - i+2$  では、データ入力レジスタ  $202$  の  $(i+2)$  番目のデータ出力端子と接続された入力端子 (A) が次段の記憶装置  $201 - i+3$  の入力端子  $IT_{i+3}$  に接続された出力端子 (H) との接続に切り替えられる。したがって、データ入力レジスタ  $202$  の  $(i+2)$  番目のデータ出力端子から出力されたデータが次段の記憶装置  $201 - i+3$  に格納される。

【0088】

このように、不良の記憶装置が有る場合、対応して設けられたデータ入力レジスタのデータ出力ラインは、次段の記憶装置の入力端子との接続に置き換えられ、以降データ入力レジスタのデータ出力ラインは次段 (隣接) の記憶装置の入力端子との接続に置き換えられて、並列データの記憶装置への格納動作が行われる。

10

【0089】

以上説明したように、本第3の実施形態によれば、上述した第1の実施形態と同様に、面積増加を最小限に抑えながら故障が発生した場合の救済率を高めることができる利点がある。

【0090】

なお、本実施形態では、対応する記憶装置が不良であるか否かを示す情報を保持するレジスタ  $FR$  をデータ入力レジスタに設ける構成を例に説明したが、本発明はこれに限定されるものではなく、外部に設ける等、種々の態様が可能であることはいうまでもない。

【0091】

#### 第4実施形態

20

図8は、本発明に係るデータ処理装置の第4の実施形態を示す回路図である。

【0092】

本第4の実施形態と前述した第3の実施形態と異なる点は、各切替回路の出力端子 (H) を次段の記憶装置の入力端子に接続する代わりに、全切替回路の出力端子 (H) を信号線  $GL$  を介して最終段の記憶装置  $201 - n+1$  の入力端子  $IT_{n+1}$  に共通に接続し、一つの不良の記憶装置があった場合、すべて記憶装置  $201 - n+1$  に代替えさせるようにしたことにある。

【0093】

そして、本第4の実施形態の場合には、切替信号生成回路  $203a - 1 \sim 203a - n$  は、図8に示すように、切替信号  $SSW$  を同段の切替回路  $204a - 1 \sim 204 - n$  に出力するのみで、次段の切替信号生成回路には出力する必要はない。

30

なお、本実施形態に係る切替信号生成回路  $203a - 1 \sim 203a - n$ 、たとえば対応する記憶装置が不良であるか否かを示す情報を保持するレジスタ  $FR$  と置き換えて構成することができる。

【0094】

第4の実施形態によれば、前述した第3の実施形態と同様の効果を得ることができる。

【0095】

#### 第5実施形態

図9は、本発明に係るデータ処理装置の第5の実施形態を示す回路図である。

【0096】

40

このデータ処理装置  $30$  は、 $(n+1)$  個の記憶装置 (メモリ)  $301 - 1 \sim 301 - n+1$ 、データ出力レジスタ (DOR)  $302$ 、 $n$  個の切替信号生成回路  $303 - 1 \sim 303 - n$ 、および  $n$  個の切替回路  $304 - 1 \sim 304 - n$  により構成され、 $n$  個のデータを並列的に処理する。

ただし、 $n$  は2より大きい自然数である。

【0097】

記憶装置  $301 - 1 \sim 301 - n+1$  は、列アドレスによる列選択線と行アドレスによる行選択線によって選択される、たとえばDRAMやSRAMにより構成され、それぞれ記憶データを出力端子  $OT_1 \sim OT_n$  から出力する。

【0098】

50

記憶装置 301 - 1 の出力端子 OT1 は、切替回路 304 - 1 の入力端子 (L) に接続されている。

記憶装置 301 - 2 の出力端子 OT2 は、前段の切替回路 304 - 1 の入力端子 (H) および切替回路 304 - 2 の入力端子 (L) に接続されている。

同様に、記憶装置 301 - 3 ~ 301 - n の出力端子 OT3 ~ OTn は、前段の切替回路 304 - 2 ~ 304 - n-1 の入力端子 (H) に接続されているとともに、対応する段 (同段) の切替回路 304 - 3 ~ 304 - n の入力端子 (L) に接続されている。

そして、記憶装置 304 - n+1 の出力端子 OTn+1 は切替回路 204 - n の入力端子 (H) に接続されている。

【0099】

データ出力レジスタ 302 で受け入れられる記憶装置 301 - 1 ~ 301 - n+1 の出力データは、n 個である。

そして、一つの記憶装置に故障がある場合には、その記憶装置を除いた n 個の記憶装置のデータがデータ出力レジスタ 302 に出力される。

【0100】

データ出力レジスタ 302 は、切替回路 304 - 1 ~ 304 - n を介して入力されるパラレルデータをシリアルデータ SOUT に変換して出力する。

また、たとえばデータ出力レジスタ 302 は、データを出力する各記憶装置 301 - 1 ~ 301 - n に故障があるか否かの情報を格納するレジスタ FR を n 個有している。

そして、データ出力レジスタ 302 は、レジスタ FR の情報を対応して設けられた切替信号生成回路 303 - 1 ~ 303 - n に供給する。

具体的には、レジスタ FR に対応する記憶装置に故障があるという情報が格納されている場合には、ハイレベルの信号を対応する切替信号生成回路 303 - 1 ~ 303 - n に供給する。

【0101】

切替信号生成回路 303 - 1 は、対応するレジスタ FR からハイレベルの情報を受けた場合に、ハイレベルの切替信号 SSW を生成して、切替回路 304 - 1 に供給するとともに、次段の切替信号生成回路 303 - 2 に供給する。

【0102】

切替信号生成回路 303 - 2 ~ 303 - n-1 は、それぞれ対応するレジスタ FR からハイレベルの情報を受けた場合または前段の切替信号生成回路 303 - 1 ~ 303 - n-2 によりハイレベルの切替信号 SSW を受けた場合に、ハイレベルの切替信号 SSW を生成して、対応する切替回路 304 - 2 ~ 304 - n-1 に供給するとともに、次段の切替信号生成回路 303 - 3 ~ 304 - n に供給する。

【0103】

なお、切替信号生成回路 303 - 2 ~ 303 - n-1 は、たとえば図 2 と同様に 2 入力の OR ゲート GT により構成される。

【0104】

切替信号生成回路 303 - n は、対応するレジスタ FR からハイレベルの情報を受けた場合または前段の切替信号生成回路 303 - n-1 によりハイレベルの切替信号 SSW を受けた場合に、ハイレベルの切替信号 SSW を生成して、対応する切替回路 304 - n に供給する。

【0105】

切替回路 304 - 1 ~ 304 - n は、それぞれ出力端子 (A) が対応して設けられたデータ出力レジスタ 302 のデータ出力端子にそれぞれ接続され、対応する切替信号生成回路 303 - 1 ~ 303 - n による切替信号 SSW を受けて、切替信号 SSW がローレベルの場合には、出力端子 (A) と入力端子 (L) とを接続し、切替信号 SSW がハイレベルに切り替わると、出力端子 (A) の接続を入力端子 (H) 側に切り替える。

【0106】

そして、前述したように、切替回路 304 - 2 ~ 304 - n の入力端子 (L) が対応する

10

20

30

40

50

記憶装置 301 - 1 ~ 301 - n の出力端子 OT1 ~ OTn に接続され、入力端子 (H) が次段 (隣接) の記憶装置 301 - 2 ~ 301 - n+1 の出力端子 OT2 ~ OTn+1 に接続されている。

【0107】

次に、上記構成による動作を、図10に関連付けて説明する。

ここでは、 $i$  ( $1 < i < n$ ) 番目の記憶装置 301 -  $i$  が不良で、データ入力レジスタ 302 の対応するレジスタ FR に不良を示す論理レベルがハイレベルの情報が格納されている場合を例に説明する。

【0108】

このとき、前段の記憶装置 301 -  $i-1$  は不良ではないので、データ出力レジスタ 302 の対応するレジスタ FR には論理レベルがローレベルの情報が格納されている。したがって、切替信号生成回路 303 -  $i-1$  ではローレベルの切替信号 SSW が生成され、切替回路 304 -  $i-1$  および次段の切替信号生成回路 303 -  $i$  に供給される。

ローレベルの切替信号 SSW を受けた切替回路 304 -  $i-1$  では、データ出力レジスタ 302 の ( $i-1$ ) 番目のデータ入力端子に接続された出力端子 (A) が記憶装置 301 -  $i-1$  の出力端子 OT $i-1$  に接続された入力端子 (L) と接続された状態に保持される。したがって、記憶装置 301 -  $i-1$  から出力されたデータは、データ出力レジスタ 302 の対応する ( $i+1$ ) 番目の入力端子に入力される。

【0109】

これに対して、不良の記憶装置 301 -  $i$  に対応する切替信号生成回路 303 -  $i$  では、前段の切替信号生成回路 303 -  $i-1$  によりローレベルの切替信号 SSW が供給されるが、レジスタ FR の情報がハイレベルであることから、ハイレベルの切替信号 SSW が生成されて、切替回路 304 -  $i$  および次段の切替信号生成回路 303 -  $i+1$  に供給される。ハイレベルの切替信号 SSW を受けた切替回路 304 -  $i$  では、データ出力レジスタ 302 の  $i$  番目のデータ入力端子と接続された出力端子 (A) が次段の記憶装置 301 -  $i+1$  の出力端子 OT $i+1$  に接続された入力端子 (H) との接続に切り替えられる。したがって、記憶装置 301 -  $i$  はアクセスされず、次段の記憶装置 301 -  $i+1$  の出力端子 OT $i+1$  から出力されたデータが、データ出力レジスタ 302 の  $i$  番目のデータ入力端子に入力される。

【0110】

ハイレベルの切替信号 SSW を受けた記憶装置 301 -  $i+1$  に対応する切替信号生成回路 303 -  $i+1$  では、ハイレベルの切替信号 SSW が生成されて、切替回路 304 -  $i+1$  および次段の切替信号生成回路 303 -  $i+2$  に供給される。

ハイレベルの切替信号 SSW を受けた切替回路 304 -  $i+1$  では、データ出力レジスタ 302 の ( $i+1$ ) 番目のデータ入力端子と接続された出力端子 (A) が次段の記憶装置 301 -  $i+2$  の出力端子 OT $i+2$  に接続された入力端子 (H) との接続に切り替えられる。したがって、次段の記憶装置 301 -  $i+2$  の出力端子 OT $i+2$  から出力されたデータが、データ出力レジスタ 302 の ( $i+1$ ) 番目のデータ入力端子に入力される。

【0111】

同様に、ハイレベルの切替信号 SSW を受けた記憶装置 301 -  $i+2$  に対応する切替信号生成回路 303 -  $i+2$  では、ハイレベルの切替信号 SSW が生成されて、切替回路 304 -  $i+2$  および次段の切替信号生成回路 203 -  $i+3$  (図示せず、最終  $n$  段目の場合には次段の切替信号生成回路は存在しない) に供給される。

ハイレベルの切替信号 SSW を受けた切替回路 304 -  $i+2$  では、データ出力レジスタ 302 の ( $i+2$ ) 番目のデータ入力端子と接続された出力端子 (A) が次段の記憶装置 301 -  $i+3$  の出力端子 OT $i+3$  に接続された入力端子 (H) との接続に切り替えられる。したがって、次段の記憶装置 301 -  $i+3$  の出力端子 OT $i+3$  から出力されたデータが、データ出力レジスタ 302 の ( $i+2$ ) 番目のデータ入力端子に入力される。

【0112】

このように、不良の記憶装置が有る場合、対応して設けられたデータ出力レジスタのデー

10

20

30

40

50

タ入力ラインは、次段の記憶装置の出力端子との接続に置き換えられ、以降データ出力レジスタのデータ入力ラインは次段（隣接）の記憶装置の出力端子との接続に置き換えて、パラレルデータのデータ出力レジスタ 302 への入力動作が行われる。

【0113】

そして、データ出力レジスタ 302 に入力されたパラレルデータはシリアルデータに変換されて出力される。

【0114】

以上説明したように、本第 5 の実施形態によれば、上述した第 3 の実施形態と同様に、面積増加を最小限に抑えながら故障が発生した場合の救済率を高めることができる利点がある。

【0115】

なお、本実施形態では、対応する記憶装置が不良であるか否かを示す情報を保持するレジスタ FR をデータ出力レジスタに設ける構成を例に説明したが、本発明はこれに限定されるものではなく、外部に設ける等、種々の態様が可能であることはいうまでもない。

【0116】

#### 第 6 実施形態

図 11 は、本発明に係るデータ処理装置の第 6 の実施形態を示す回路図である。

【0117】

本第 6 の実施形態と前述した第 5 の実施形態と異なる点は、各切替回路の出力端子 (H) を次段の記憶装置の入力端子に接続する代わりに、全切替回路の出力端子 (H) を信号線 GL を介して最終段の記憶装置 301 - n+1 の入力端子 IT<sub>n+1</sub> に共通に接続し、一つの不良の記憶装置があった場合、すべて記憶装置 301 - n+1 に代替えさせるようにしたことにある。

【0118】

そして、本第 6 の実施形態の場合には、切替信号生成回路 303 a - 1 ~ 303 a - n は、図 11 に示すように、切替信号 SSW を同段の切替回路 304 a - 1 ~ 304 - n に出力するのみで、次段の切替信号生成回路には出力する必要はない。

なお、本実施形態に係る切替信号生成回路 303 a - 1 ~ 303 a - n、たとえば対応する記憶装置が不良であるか否かを示す情報を保持するレジスタ FR と置き換えて構成することができる。

【0119】

第 6 の実施形態によれば、前述した第 5 の実施形態と同様の効果を得ることができる。

【0120】

#### 第 7 実施形態

図 12 は、本発明の第 7 の実施形態を示す図であって、図 1 のデータ処理装置を PE 群として適用した並列プロセッサを示す回路図である。

【0121】

この並列プロセッサ 40 は、データ入力レジスタ 401、PE (プロセッサエレメント) 群 402、およびデータ出力レジスタ 403 により構成されている。

【0122】

データ入力レジスタ 401 は、シリアルデータからなる複数 (n 個) の第 1 のデータ SIN を入力して、並列データに変換して PE 群 402 に出力する。

【0123】

PE 群 402 は、前述した第 1 の実施形態を示す図 1 のデータ処理回路と同様の回路により構成されている。

すなわち、PE 群 402 は、(n + 1) 個の記憶装置 (メモリ) 101 - 1 ~ 101 - n + 1、n 個の演算装置 (ALU) 102 - 1 ~ 102 - n、n 個の切替信号生成回路 103 - 1 ~ 103 - n、および n 個の切替回路 104 - 1 ~ 104 - n により構成されており、n 個のデータを並列的に処理する。

そして、PE 群 402 は、記憶装置 101 - n+1 を除く、同段の記憶装置 101 - 1 ~ 1

10

20

30

40

50

01 - n、n個の演算装置 (ALU) 102 - 1 ~ 102 - n、n個の切替信号生成回路 103 - 1 ~ 103 - n、およびn個の切替回路 104 - 1 ~ 104 - nによりそれぞれ PE 1 ~ PE nが構成されている。

【0124】

ただし、PE群402における記憶装置101 - 1 ~ 101 - n+1は、データ入力レジスタ401およびデータ出力レジスタ403により直接アクセスされるのではなく、演算装置102 - 1 ~ 102 - n、切替回路104 - 1 ~ 104 - nを介してデータが書き込みまたは読み出される。

【0125】

データ出力レジスタ403は、PE群402の演算装置102 - 1 ~ 102 - nから並列に出力された複数 (n個) の第2のデータをシリアルデータSOUTに変換して出力する。

10

【0126】

次に、上記構成による動作を説明する。

たとえば各画素がそれぞれ複数ビットで構成される映像信号が、画素単位で入力端子に逐次的に入力される。

最初の1水平期間の時間で、1ライン目の画素データが、1ライン分の容量を有するデータ入力レジスタ401に格納される。

データ入力レジスタ401に格納された映像信号の1ライン目の各画素のデータは、その後のブランキング期間内に並列に出力され、1つのPEにつき1画素のデータが、1ライン分の個数 (n) 並べられたPE群402のPE 1 ~ PE - nの演算装置102 - 1 ~ 102 - nに、並列に供給される。

20

【0127】

そして、次の1水平期間で、各演算装置102 - 1 ~ 102 - nでは、供給された1ライン目の画素データに対して演算処理が行われる。

これと並行して、データ入力レジスタ401には2ライン目の画素データが逐次的に入力される。

続くブランキング期間内に演算装置102 - 1 ~ 102 - nから、処理の施された1ライン目の画素データがデータ出力レジスタ403に並列に供給される。

これと並行して、データ入力レジスタ401からは2ライン目の画素データがPE群402に並列に供給される。

30

次の1水平期間でデータ出力レジスタ403に格納された1ライン目の画素データが、逐次的にシリアルデータとして出力端子に出力される。

これと並行して、演算装置102 - 1 ~ 102 - nでは2ライン目の画素データの演算処理が行われ、データ出力レジスタ403には3ライン目の画素データが逐次的に入力される。

【0128】

なお、以上の動作において、データ入力レジスタ401から転送されたデータは演算装置102 - 1 ~ 102 - nを介してn個の記憶装置に格納される。

このとき、不良の記憶装置が有る場合、対応して設けられた演算装置のデータ入出力ラインは、次段の記憶装置の入出力端子との接続に置き換えられ、以降演算装置のデータ入出力ラインは次段 (隣接) の記憶装置の入出力端子との接続に置き換えて、n個の記憶装置とn個の演算装置とのデータの入出力が並列的に行われる。

40

具体的は切り替え動作は、第1の実施形態で詳細に説明した動作と同様に行われることから、ここではその説明は省略する。

【0129】

これ以降は、PE群402がiライン目の画素データを処理している時は、データ入力レジスタ401は (i + 1) ライン目の画素データを入力し、データ出力レジスタ403は (i - 1) ライン目の画素データを出力することが繰り返される。

データ入力レジスタ401、PE群402、およびデータ出力レジスタ403が以上のよ

50

うに同期して動作することで、各水平期間毎に演算処理された映像信号が取り出される。このようにしてたとえば映像信号のデジタル処理が行われる。

【0130】

本第7の実施形態によれば、メモリの不良を冗長なメモリで置き換えて、メモリを救済する場合に、入出力を置き換えて救済することで面積増加を少なくできる並列プロセッサを実現することができる利点がある。

【0131】

なお、本第7の実施形態では、PE群402として図1の構成の回路を適用した場合を例に説明したが、図4の回路を適用することも可能であり、この場合も上述した効果と同様の効果を得ることができる。

【0132】

#### 第8実施形態

図13は、本発明の第8の実施形態を示す図であって、図1、図6、図9のデータ処理装置を組み合わせて構成した並列プロセッサを示す回路図である。

【0133】

この並列プロセッサ40aは、PE群402aとして図1のデータ処理装置を適用し、データ入力レジスタ401aとして図6のデータ処理装置を適用し、データ入力レジスタ403aとして図9のデータ処理装置を適用している。

ただし、PE群402aにおける $(n+1)$ 個の記憶装置101-1~101-n+1が、図6における記憶装置201-1~201-nおよび図9における記憶装置301-1~301-nを共用した形態で、並列プロセッサ40aが構成される。

【0134】

そして、この並列プロセッサ40aは、前述した第7の実施形態と異なり、PE群402aの記憶装置101-1~101-n+1が、演算装置102-1~102-n、切替回路104-1~104-nを介さず、データ入力レジスタ401aおよびデータ出力レジスタ403aにより直接的にアクセスされる。

【0135】

各部の動作は、第1、第3および第5の実施形態で詳細に説明した動作と同様に行われ、また、並列プロセッサの不良記憶装置の切り替え動作を一連の動作は、前述した第7の実施形態で説明した動作と同様に行われることから、ここでは、それらの説明は省略する。

【0136】

本第8の実施形態によれば、メモリの不良を冗長なメモリで置き換えて、メモリを救済する場合に、入出力を置き換えて救済することで面積増加を少なくできる並列プロセッサを実現することができる利点がある。

【0137】

なお、本第8の実施形態では、PE群402aとして図1のデータ処理装置を適用し、データ入力レジスタ401aとして図6のデータ処理装置を適用し、データ入力レジスタ403aとして図9のデータ処理装置を適用した場合を例に説明したが、図4、図8、図11の回路を適宜組み合わせて適用することも可能であり、この場合も上述した効果と同様の効果を得ることができる。

【0138】

#### 【発明の効果】

以上説明したように、本発明によれば、面積増加を最小限に抑えながら故障が発生した場合の救済率を高めることができる利点がある。

#### 【図面の簡単な説明】

【図1】本発明に係るデータ処理装置の第1の実施形態を示す回路図である。

【図2】本発明に係る切替信号生成回路の構成例を示す図である。

【図3】図1の回路の動作を説明するための図である。

【図4】本発明に係るデータ処理装置の第2の実施形態を示す回路図である。

10

20

30

40

50

【図 5】図 4 の回路の動作を説明するための図である。

【図 6】本発明に係るデータ処理装置の第 3 の実施形態を示す回路図である。

【図 7】図 6 の回路の動作を説明するための図である。

【図 8】本発明に係るデータ処理装置の第 4 の実施形態を示す回路図である。

【図 9】本発明に係るデータ処理装置の第 5 の実施形態を示す回路図である。

【図 10】図 9 の回路の動作を説明するための図である。

【図 11】本発明に係るデータ処理装置の第 6 の実施形態を示す回路図である。

【図 12】本発明の第 7 の実施形態を示す図であって、図 1 のデータ処理装置を P E 群として適用した並列プロセッサを示す回路図である。

【図 13】本発明の第 8 の実施形態を示す図であって、図 1、図 6、図 9 のデータ処理装置を組み合わせ構成した並列プロセッサを示す回路図である。

10

【図 14】一般的な並列プロセッサの構成例を示すブロック図である。

【図 15】画像データと画素データとの関係を説明するための図である。

【図 16】画像データの伝送方式を説明するための図である。

【図 17】並列プロセッサによる画像データの処理手順を説明するための図である。

【図 18】プロセッサエレメント ( P E ) の構成例を示す図である。

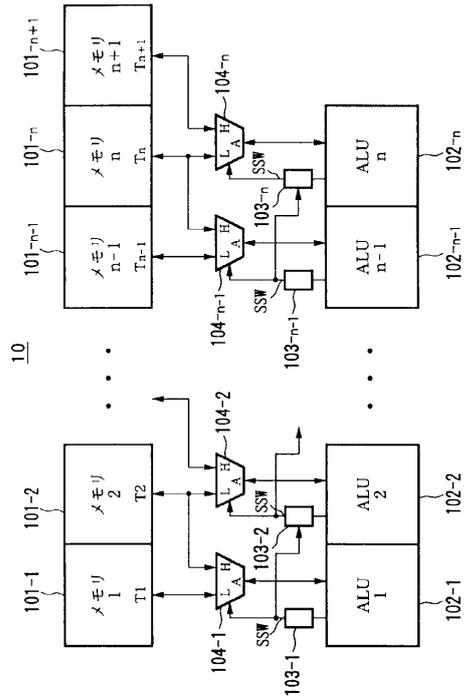
【図 19】並列プロセッサの主要部である各 P E のメモリに冗長用メモリ R D をもった場合の構成例を示す図である。

【符号の説明】

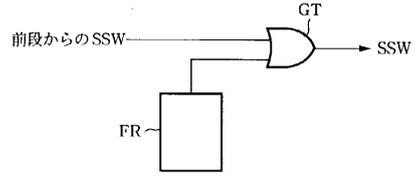
1 0 , 1 0 a , 2 0 , 2 0 a , 3 0 , 3 0 a ... データ処理装置、 1 0 1 - 1 ~ 1 0 1 - n + 1 , 2 0 1 - 1 ~ 2 0 1 - n + 1 , 3 0 1 - 1 ~ 3 0 1 - n + 1 ... 記憶装置、 1 0 2 - 1 ~ 1 0 2 - n ... 演算装置 ( A L U )、 1 0 3 - 1 ~ 1 0 3 - n、 2 0 3 - 1 ~ 2 0 3 - n、 3 0 3 - 1 ~ 3 0 3 - n、 1 0 3 a - 1 ~ 1 0 3 a - n、 2 0 3 a - 1 ~ 2 0 3 a - n、 3 0 3 a - 1 ~ 3 0 3 a - n ... 切替信号生成回路、 1 0 4 - 1 ~ 1 0 4 - n、 2 0 4 - 1 ~ 2 0 4 - n、 3 0 4 - 1 ~ 3 0 4 - n、 1 0 4 a - 1 ~ 1 0 4 a - n、 2 0 4 a - 1 ~ 2 0 4 a - n、 3 0 4 a - 1 ~ 3 0 4 a - n ... 切替回路、 4 0 , 4 0 a ... 並列プロセッサ、 4 0 1 , 4 0 1 a ... データ入力レジスタ、 4 0 2 , 4 0 2 a ... P E 群、 4 0 3 , 4 0 3 a ... データ出力レジスタ、 F R ... レジスタ ( 情報保持手段 )。

20

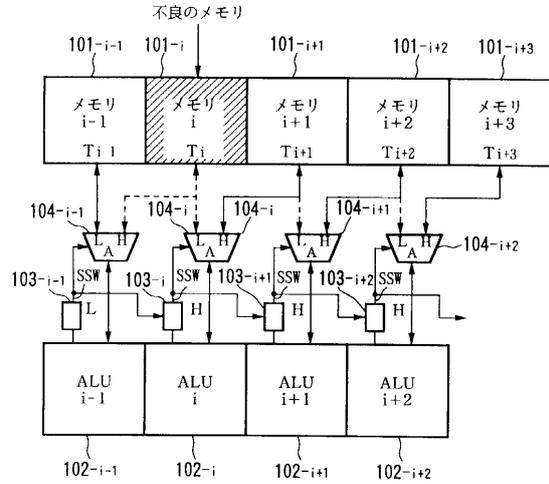
【図1】



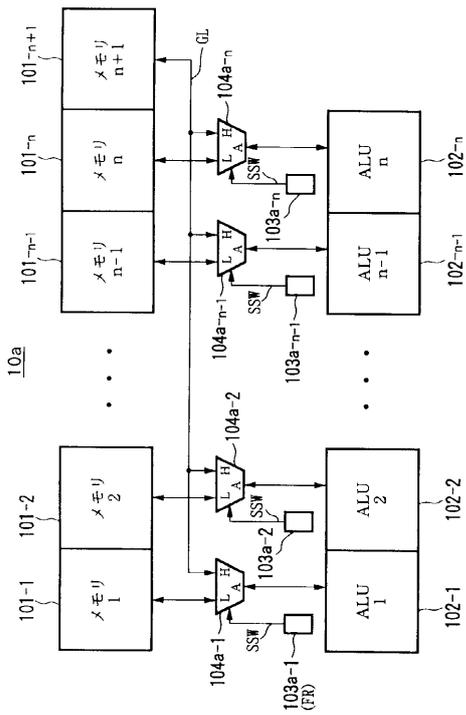
【図2】



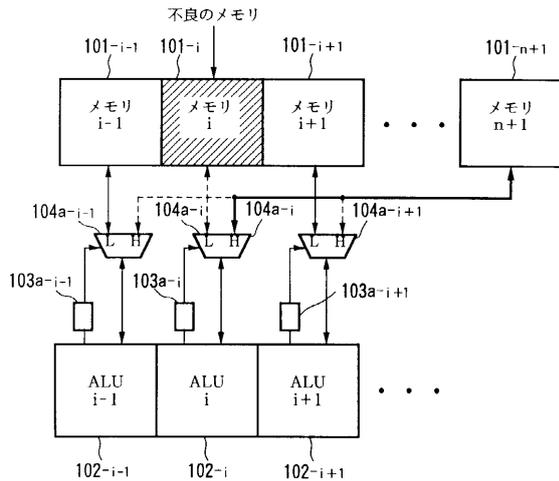
【図3】



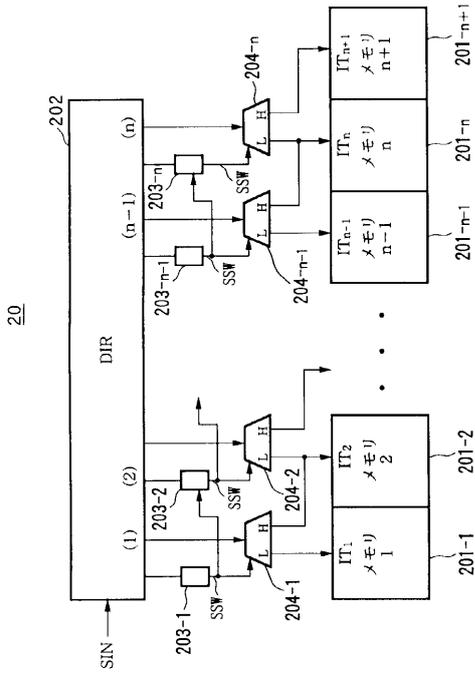
【図4】



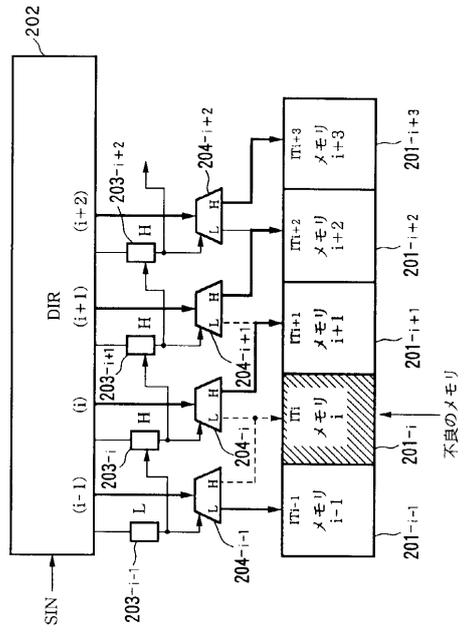
【図5】



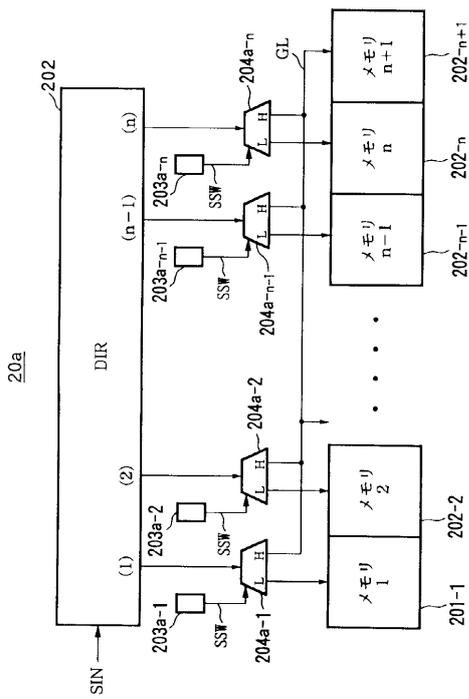
【 図 6 】



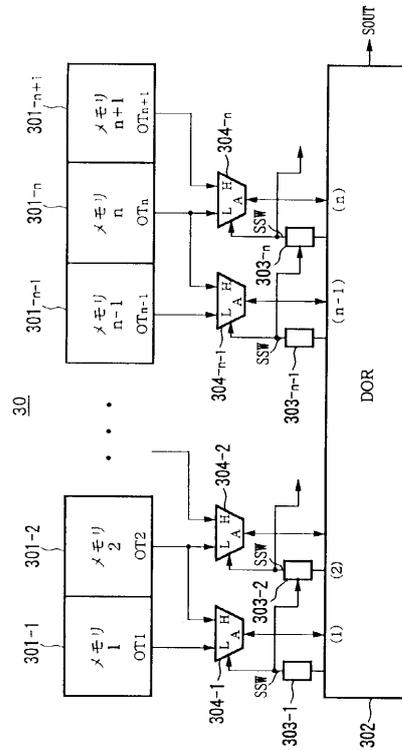
【 図 7 】



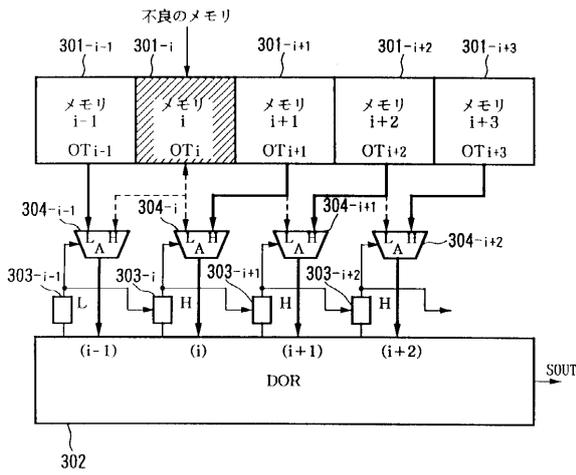
【 図 8 】



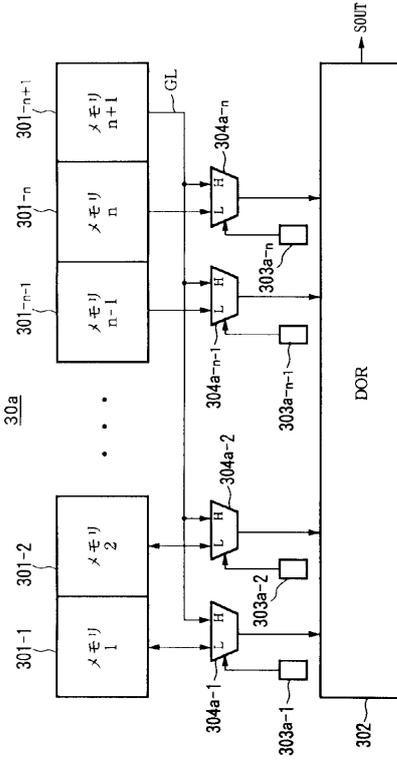
【 図 9 】



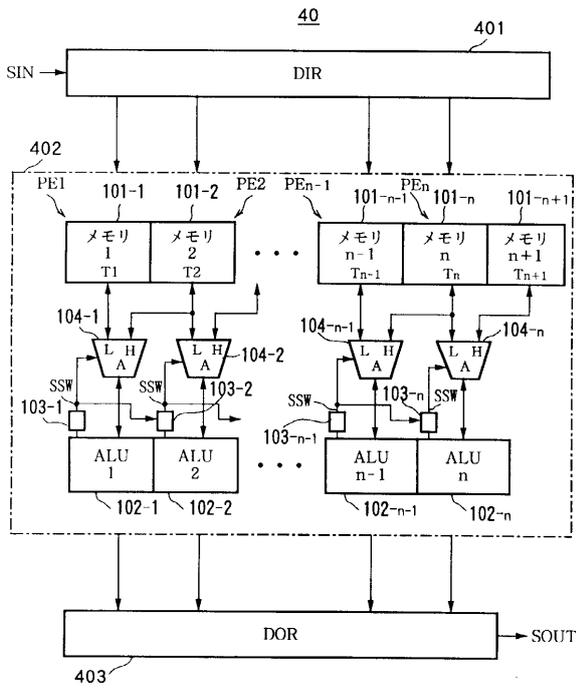
【図10】



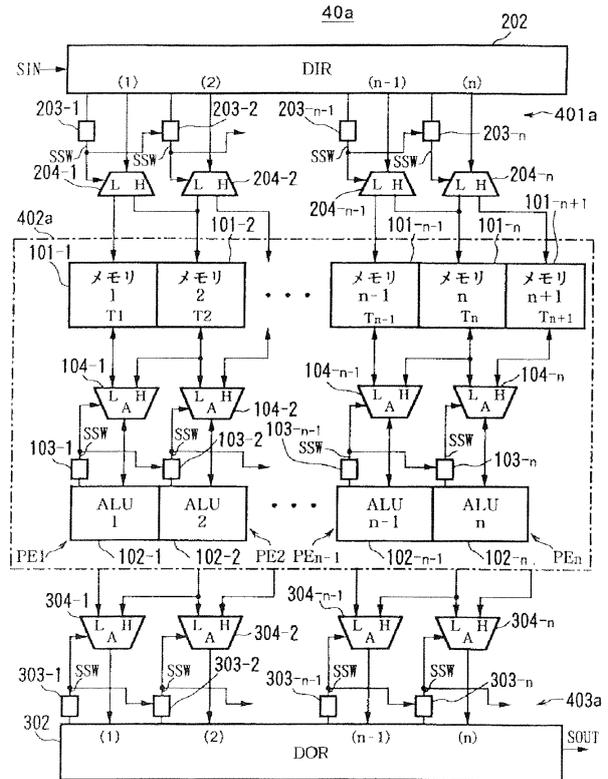
【図11】



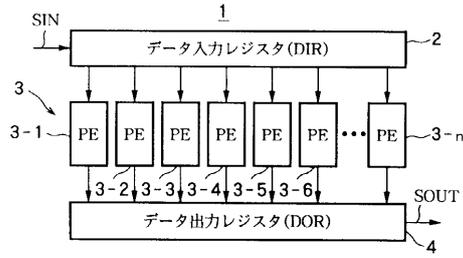
【図12】



【図13】



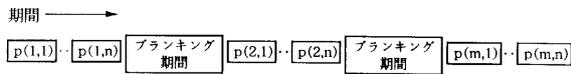
【図14】



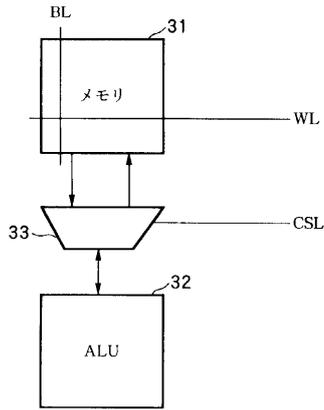
【図15】

p(1,1)	p(1,2)	p(1,3)	...	p(1,n)
p(2,1)	p(2,2)	p(2,3)	...	p(2,n)
:	:	:	:	:
p(m,1)	p(m,2)	p(m,3)	...	p(m,n)

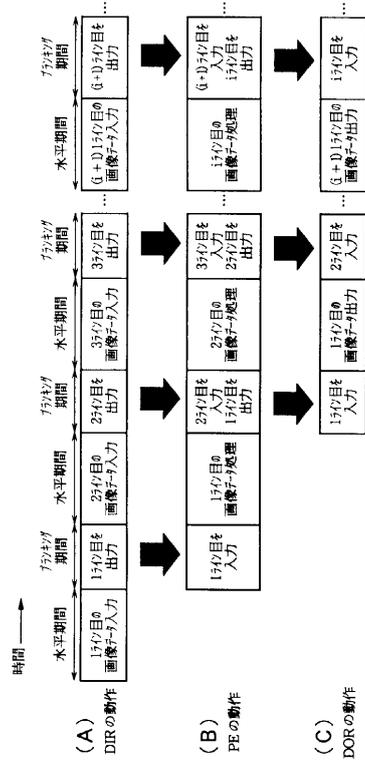
【図16】



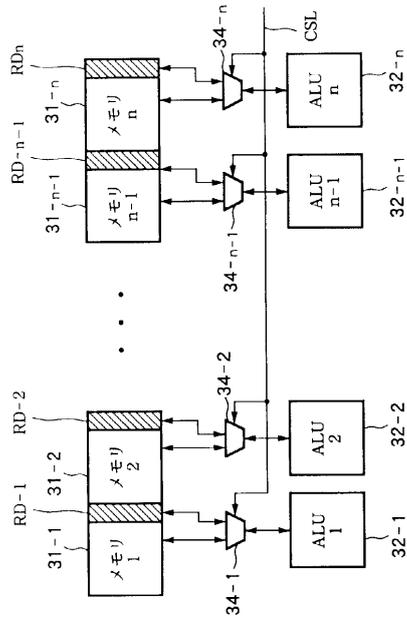
【図18】



【図17】



【図19】



## フロントページの続き

- (56)参考文献 特開平07-093172(JP,A)  
特開平06-243048(JP,A)  
特開平06-083786(JP,A)  
特開昭55-097100(JP,A)  
特開昭52-076842(JP,A)  
特開昭55-070998(JP,A)  
特開昭61-125275(JP,A)  
特開昭61-136149(JP,A)  
特開平02-278353(JP,A)  
特開平03-220680(JP,A)  
特開平05-020448(JP,A)  
特開平05-073482(JP,A)  
特開平06-214822(JP,A)  
特開平06-290064(JP,A)  
特開平08-161271(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G06F 12/16  
G06F 11/20  
G06F 15/80  
G06T 1/20  
G06T 1/60  
H04N 5/222