

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】特開 2003-133559 (P2003-133559A)
 【公開日】平成 15 年 5 月 9 日 (2003.5.9)
 【出願番号】特願 2001-330276 (P2001-330276)

【国際特許分類第 7 版】

H 0 1 L 29/786
 H 0 1 L 21/3205
 H 0 1 L 21/336
 H 0 1 L 21/822
 H 0 1 L 27/04

【F I】

H 0 1 L 29/78 6 2 3 A
 H 0 1 L 29/78 6 2 7 C
 H 0 1 L 21/88 Z
 H 0 1 L 27/04 H

【手続補正書】

【提出日】平成 16 年 10 月 25 日 (2004.10.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第 1 および第 2 の領域を含む複数の領域に分離された活性層を有する S O I 基板の、前記第 1 の領域に形成された不純物拡散領域をドレイン領域とする M O S トランジスタと、第 1 の配線層とを有する半導体装置において、

前記第 1 の配線層が、前記不純物拡散領域に、直接か、または、該第 1 の配線層より下層の配線層の配線を介して接続された、少なくとも 1 つの配線を有し、

さらに、前記活性層の第 2 の領域に形成されたダミー不純物拡散領域が、前記不純物拡散領域に、前記第 1 の配線層の配線もしくは前記第 1 の配線層より下層の配線層の配線を介して接続されていることを特徴とする半導体装置。

【請求項 2】

前記ダミー拡散領域が容量素子として用いられることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第 1 の領域を含む複数の領域に分離された活性層を有する S O I 基板の、前記第 1 の領域に形成された不純物拡散領域をドレイン領域とする M O S トランジスタと、第 1 の配線層とを有する半導体装置において、

前記第 1 の配線層が、前記不純物拡散領域に、直接か、または、該第 1 の配線層より下層の配線層の配線を介して接続された、少なくとも 1 つの配線を有し、

さらに、前記支持基板に形成された P / N 接合ダイオードが、前記不純物拡散領域に、前記第 1 の配線層の配線もしくは前記第 1 の配線層より下層の配線層の配線を介して接続

されていることを特徴とする半導体装置。

【請求項 4】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第 1 の領域を含む複数の領域に分離された活性層を有する S O I 基板の、前記第 1 の領域に形成された不純物拡散領域をドレイン領域とする M O S トランジスタと、第 1 の配線層とを有する半導体装置において、

前記第 1 の配線層が、前記不純物拡散領域に、直接か、または、該第 1 の配線層より下層の配線層の配線を介して接続された、少なくとも 1 つの配線を有し、

前記少なくとも 1 つの配線の総面積と前記不純物拡散領域の面積との比が、前記第 1 の配線層の加工、もしくは該第 1 の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記 M O S トランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置。

【請求項 5】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第 1 の領域を含む複数の領域に分離された活性層を有する S O I 基板の、前記第 1 の領域に形成された不純物拡散領域をドレイン領域とする M O S トランジスタと、第 1 の配線層とを有する半導体装置において、

前記第 1 の配線層が、前記不純物拡散領域に、直接か、または、該第 1 の配線層より下層の配線層の配線を介して接続された、少なくとも 1 つの配線を有し、

前記少なくとも 1 つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積との比が、該接続孔形成のためのプラズマプロセスにおいて前記 M O S トランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置。

【請求項 6】

前記 M O S トランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成することを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第 1 および第 2 の領域を含む複数の領域に分離された活性層を有する S O I 基板の、前記第 1 の領域に形成された不純物拡散領域をドレイン領域とする M O S トランジスタと、第 1 の配線層とを有し、

前記第 1 の配線層が、前記不純物拡散領域に、直接か、または、該第 1 の配線層より下層の配線層の配線を介して接続された、少なくとも 1 つの配線を有する半導体装置のレイアウト方法であって、

前記少なくとも 1 つの配線の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が所定の値を超える場合に、

(1) 前記不純物拡散領域に、前記第 1 の配線層の配線もしくは前記第 1 の配線層より下層の配線層の配線を介して接続される、前記活性層の第 2 の領域に形成されたダミー不純物拡散領域の挿入、

(2) 前記不純物拡散領域に、前記第 1 の配線層の配線もしくは前記第 1 の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成された P / N 接合ダイオードの挿入、

(3) 前記少なくとも 1 つの配線の分割、および、前記第 1 の配線層より上層の配線層の配線による接続、

(4) 前記少なくとも 1 つの配線、もしくは、該少なくとも 1 つの配線を前記不純物拡散領域に接続する前記第 1 の配線層より下層の配線層の配線の、分割、および、バッファの挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法。

【請求項 8】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第 1 および第 2 の領域を含む複数の

領域に分離された活性層を有するＳＯＩ基板の、前記第１の領域に形成された不純物拡散領域をドレイン領域とするＭＯＳトランジスタと、第１の配線層とを有し、

前記第１の配線層が、前記不純物拡散領域に、直接か、または、該第１の配線層より下層の配線層の配線を介して接続された、少なくとも１つの配線を有する半導体装置のレイアウト方法であって、

前記少なくとも１つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が所定の値を超える場合に、

(１) 前記不純物拡散領域に、前記第１の配線層の配線もしくは前記第１の配線層より下層の配線層の配線を介して接続される、前記活性層の第２の領域に形成されたダミー不純物拡散領域の挿入、

(２) 前記不純物拡散領域に、前記第１の配線層の配線もしくは前記第１の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成されたＰ／Ｎ接合ダイオードの挿入、

(３) 前記少なくとも１つの配線の分割、および、前記第１の配線層より上層の配線層の配線による接続、

(４) 前記少なくとも１つの配線、もしくは、該少なくとも１つの配線を前記不純物拡散領域に接続する前記第１の配線層より下層の配線層の配線の、分割、および、バッファの挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法。

【請求項９】

前記対策が、前記ダミー不純物拡散領域の挿入であることを特徴とする請求項７または８に記載の半導体装置のレイアウト方法。

【請求項１０】

前記対策が、前記Ｐ／Ｎ接合ダイオードの挿入であることを特徴とする請求項７または８に記載の半導体装置のレイアウト方法。

【請求項１１】

前記ＭＯＳトランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成することを特徴とする請求項７ないし１０のいずれかに記載の半導体装置のレイアウト方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】００２２

【補正方法】変更

【補正の内容】

【００２２】

【課題を解決するための手段】

上記目的を達成するために、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第１および第２の領域を含む複数の領域に分離された活性層を有するＳＯＩ基板の、前記第１の領域に形成された不純物拡散領域をドレイン領域とするＭＯＳトランジスタと、第１の配線層とを有する半導体装置において、

前記第１の配線層が、前記不純物拡散領域に、直接か、または、該第１の配線層より下層の配線層の配線を介して接続された、少なくとも１つの配線を有し、

さらに、前記活性層の第２の領域に形成されたダミー不純物拡散領域が、前記不純物拡散領域に、前記第１の配線層の配線もしくは前記第１の配線層より下層の配線層の配線を介して接続されていることを特徴とする半導体装置を提供するものである。

ここで、前記ダミー拡散領域が容量素子として用いられるのが好ましい。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】００２３

【補正方法】変更

【補正の内容】

【0023】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第1の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

さらに、前記支持基板に形成されたP/N接合ダイオードが、前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続されていることを特徴とする半導体装置を提供する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記少なくとも1つの配線の総面積と前記不純物拡散領域の面積との比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置を提供する。

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記少なくとも1つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積との比が、該接続孔形成のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置を提供する。

ここで、前記MOSトランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成することが好ましい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第1および第2の

領域を含む複数の領域に分離された活性層を有するS O I基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするM O Sトランジスタと、第1の配線層とを有し、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有する半導体装置のレイアウト方法であって、

前記少なくとも1つの配線の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が所定の値を超える場合に、

(1) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記活性層の第2の領域に形成されたダミー不純物拡散領域の挿入、

(2) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成されたP / N接合ダイオードの挿入、

(3) 前記少なくとも1つの配線の分割、および、前記第1の配線層より上層の配線層の配線による接続、

(4) 前記少なくとも1つの配線、もしくは、該少なくとも1つの配線を前記不純物拡散領域に接続する前記第1の配線層より下層の配線層の配線の、分割、および、バッファの挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法を提供するものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するS O I基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするM O Sトランジスタと、第1の配線層とを有し、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有する半導体装置のレイアウト方法であって、

前記少なくとも1つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が所定の値を超える場合に、

(1) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記活性層の第2の領域に形成されたダミー不純物拡散領域の挿入、

(2) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成されたP / N接合ダイオードの挿入、

(3) 前記少なくとも1つの配線の分割、および、前記第1の配線層より上層の配線層の配線による接続、

(4) 前記少なくとも1つの配線、もしくは、該少なくとも1つの配線を前記不純物拡散領域に接続する前記第1の配線層より下層の配線層の配線の、分割、および、バッファの挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法を提供する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

ここで、前記対策が、前記ダミー不純物拡散領域の挿入であるのが好ましい。

また、前記対策が、前記P / N接合ダイオードの挿入であるのが好ましい。

また、前記M O Sトランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成するのが好ましい。