



(12) 发明专利

(10) 授权公告号 CN 1637925 B

(45) 授权公告日 2012. 03. 21

(21) 申请号 200410081781. 8

全文.

(22) 申请日 2004. 12. 31

US 5818781 A, 1998. 10. 06, 说明书第 4 栏第 33 行至第 9 栏第 13 行及图 5-7.

(30) 优先权数据

101270/03 2003. 12. 31 KR
10/960, 733 2004. 10. 07 US

审查员 吴士芬

(73) 专利权人 三星电子株式会社
地址 韩国京畿道

(72) 发明人 金相范 郑七熙 方三龙

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 黄小临 王志森

(51) Int. Cl.

G11C 5/00(2006. 01)
G11C 5/14(2006. 01)

(56) 对比文件

US 5490117 A, 1996. 02. 06, 全文.
US 2003151957 A1, 2003. 08. 14, 参见说明行速第 2 页右栏第 17 段至 19 段及图 3.
US 2003042971 A1, 2003. 03. 06, 说明书第 2 页右栏第 37 段至第 38 段及图 1.

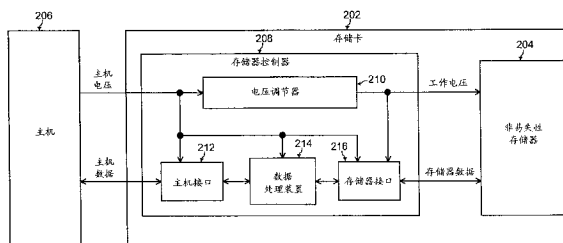
权利要求书 2 页 说明书 7 页 附图 7 页

(54) 发明名称

提供多个工作电压的半导体器件卡

(57) 摘要

诸如存储卡的半导体器件卡例如包括半导体器件、工作电压指示器和工作电压产生器。工作电压指示器被设置来指示对应于半导体器件的工作电压的期望电平。工作电压产生器产生具有所述期望电平的工作电压并且被耦接到半导体器件。因此, 半导体器件卡能够容易地被适配来接纳半导体器件的不同工作电压。



1. 一种半导体器件卡,包括:
半导体器件;
工作电压指示器,它被设置来指示对应于半导体器件的工作电压的期望电平;和
工作电压产生器,用于产生具有所述期望电平的工作电压并且被耦接到半导体器件,
其中,所述工作电压指示器包括多个参考电压产生器、多路选择器和与所述多路选择器耦接的至少一个选择引脚,所述多个参考电压产生器的每一个产生相应的目标电压,所述多路选择器用于将选择的指示来自所述参考电压产生器之一的期望电平的目标电压耦接到所述工作电压产生器,每一选择引脚固定连接到主机电压线和主机地线之一,所述主机电压线和主机地线之一在所述半导体器件的工作期间持续维持在相应恒定电平的相应电压上,以用于持久指示所选择的目标电压;以及
其中,所述工作电压产生器包括:反馈路径,用于将工作电压保持在所述期望电平。
2. 按照权利要求 1 的半导体器件卡,其中半导体器件是用于作为存储卡的半导体器件卡的存储器。
3. 按照权利要求 2 的半导体器件卡,其中,所述存储器是非易失性的。
4. 按照权利要求 2 的半导体器件卡,还包括:
包括工作电压产生器的存储器控制器。
5. 按照权利要求 4 的半导体器件卡,其中,所述存储器控制器还包括:
数据处理装置,用于控制在主机和存储器之间的数据传输;
主机接口,用于将所述数据处理装置连接到主机;和
存储器接口,用于将所述数据处理装置连接到存储器;
其中主机电压被施加到主机接口、数据处理装置和存储器接口;
并且其中工作电压被施加到存储器接口和存储器。
6. 按照权利要求 1 的半导体器件卡,其中,所述工作电压产生器从主机电压产生工作电压。
7. 按照权利要求 1 的半导体器件卡,其中,所述反馈路径包括:
输出节点,具有在其上产生的所述工作电压;
在电压源和输出节点之间耦接的一个开关;和
比较器,用于比较所述工作电压和期望的电平以当所述工作电压不等于所述期望电平时接通所述开关,以对输出节点进行充电/放电。
8. 按照权利要求 7 的半导体器件卡,其中,所述工作电压产生器还包括:
耦接到所述输出节点的去耦合电容器。
9. 按照权利要求 7 的半导体器件卡,其中,所述电压源是提供主机电压的主机。
10. 按照权利要求 7 的半导体器件卡,其中,所述工作电压产生器包括:
可变电阻块,它耦接到输出节点,并且具有多个具有可变耦接的金属线,用于调节在输出节点的工作电压。
11. 按照权利要求 7 的半导体器件卡,其中,所述工作电压指示器还包括:
耦接到所述多路选择器的至少一个选择引脚,其中每个选择引脚的相应的逻辑状态被设置来指示选择的目标电压。
12. 一种半导体器件卡,包括:

半导体器件；

工作电压指示器，它被设置来指示对应于半导体器件的工作电压的期望电平；和

工作电压产生器，用于产生具有所述期望电平的工作电压并且被耦接到半导体器件，

其中，所述工作电压指示器包括多个参考电压产生器、多路选择器和与所述多路选择器耦接的至少一个保护电路，所述多个参考电压产生器的每一个产生相应的目标电压，所述多路选择器用于将选择的指示来自所述参考电压产生器之一的期望电平的目标电压耦接到所述工作电压产生器，所述保护电路的每个输出的相应逻辑状态被设置来指示选择的目标电压；以及

其中，所述工作电压产生器包括：反馈路径，用于将工作电压保持在所述期望电平。

13. 一种半导体器件卡，包括：

半导体器件；

工作电压产生器，用于从主机电压产生具有期望电平的工作电压并且所述工作电压耦接到半导体器件；和

电压选择解码器，它通过比较主机电压和工作电压来判断电压上升信号、电压下降信号和电压通过信号之一，

其中，所述工作电压产生器被适配成产生具有期望电平的工作电压，所述期望电平大于、小于或等于主机电压，

其中，所述半导体器件卡还包括与所述电压选择解码器耦接的选择引脚，当所述选择引脚根据要使用的主机而被固定连接到主机电压线和主机地线之一时选择所述工作电压的期望电平，

其中，所述工作电压产生器包括：

第一电压产生器，用于当电压上升信号被判断来指示工作电压的期望电平大于主机电压时，产生从主机电压上升的工作电压；

第二电压产生器，用于当电压通过信号被判断来指示工作电压的期望电平等于主机电压时，产生如主机电压的工作电压；

第三电压产生器，用于当电压下降信号被判断来指示工作电压的期望电平小于主机电压时，产生从主机电压下降的工作电压。

14. 按照权利要求 13 的半导体器件卡，其中，所述半导体器件是用于作为存储卡的半导体器件卡的存储器。

15. 按照权利要求 14 的半导体器件卡，其中，所述存储器是非易失性的。

16. 按照权利要求 15 的半导体器件卡，还包括：

包括工作电压产生器的存储器控制器。

17. 按照权利要求 16 的半导体器件卡，其中，所述存储器控制器还包括：

数据处理装置，用于控制在主机和存储器之间的数据传输；

主机接口，用于将所述数据处理装置连接到主机；和

存储器接口，用于将所述数据处理装置连接到存储器；

其中主机电压被施加到主机接口、数据处理装置和存储器接口；

并且其中工作电压被施加到存储器接口和存储器。

提供多个工作电压的半导体器件卡

[0001] 根据 35U. S. C. § 119, 本申请要求 2003 年 12 月 31 日提交的韩国专利申请第 2003-0101270 号的优先权, 其以引用方式被整体包含在此。

技术领域

[0002] 本发明一般地涉及诸如存储卡的半导体器件卡, 具体涉及能够向在半导体器件卡上的半导体器件提供多个工作电压的任何一个的半导体器件卡。

背景技术

[0003] 本发明被说明用于存储卡。但是, 本发明可以一般用于任何类型的半导体器件卡。

[0004] 图 1 示出了现有技术的存储卡 102, 用于在存储器 104 和主机 106 之间传输数据。存储卡 102 被插入到向存储卡 102 提供主机电压的主机 106 中。来自主机 106 的主机电压耦接到存储器控制器 108 和存储器 104。以这种方式, 存储卡 102 的这样的部件 104 和 108 从主机 106 获得电源来用于操作。

[0005] 在现有技术中, 当存储器 104 的工作电压与来自主机 106 的主机电压基本上相同时, 存储器 104 正确地工作。例如, 主机 106 和存储器 104 都以 3.3 伏特的工作电压操作。

[0006] 不幸, 提供与存储器 104 的工作电压不同的主机电压的主机不能使用现有技术的存储卡 102。因此, 在现有技术中, 当存储器 104 具有与主机电压基本上相同的工作电压时, 主机 106 使用存储卡 102 正确地操作。相反, 当提供与存储器 104 的工作电压基本上相同的主机电压的主机 106 与存储器 104 连接时存储器 104 正确地操作。

[0007] 近来, 存储器 104 被设计使用诸如 1.8 伏特的较低工作电压, 用于最小化功耗。但是, 具有降低的工作电压的这样的存储器 104 与提供较高主机电压的主机 106 一起将会不正确地操作。

[0008] Mizuta 的美国专利第 5, 828, 892 号 (以下称为“Mizuta”) 公开了一种存储卡 11, 它具有电源电压控制电路 12, 用于向 I/O (输入 / 输出缓冲器) 13 和 DRAM (动态随机存取存储器) 装置 14 提供期望的工作电压, 如图 2 所示。电压控制电路 12 即使当主机电压 V_{cc} 较高 (诸如 5.0 伏特) 时也提供期望的工作电压 (诸如 3.3 伏特)。

[0009] 图 3 示出了在 Mizuta 中公开的电压控制电路 12 的实现方式。主机电压在输入 28 被接收, 所述输入 28 耦接到第一窗口比较器 21 和第二窗口比较器 24。如果主机电压在诸如 4.5 伏特到 5.5 伏特的值的第一范围内, 则第一窗口比较器 21 接通第一 MOSFET 22。如果主机电压在诸如 3.0 伏特到 3.6 伏特的值的第二范围内则第二窗口比较器 24 接通第二 MOSFET 25。

[0010] 被接通的第一 MOSFET 22 将主机电压耦接到 DC-DC 转换器 23, DC-DC 转换器 23 将在所述值的第一范围内的主机电压向下转换为 DRAM 14 的工作电压 (诸如 3.3 伏特)。在输出端 29 产生诸如逐步降低的工作电压。被接通的第二 MOSFET 25 简单地将所述值的第二范围中的主机电压耦接到输出端 29 来作为 DRAM 14 的工作电压。

[0011] 因此, 电压控制电路 12 提供低于或等于主机电压的工作电压。随后, 利用提供大

于或等于 DRAM 14 的工作电压的主机电压的不同类型的主机可以使用存储卡 12。

[0012] Mizuta 的存储卡 11 接纳不同的主机电压以使用不同类型的主机来操作。但是,当 DC-DC 转换器 23 被固定用于转换到预定的工作电压时,Mizuta 的存储卡 11 接纳存储器 14 的预定工作电压。随着技术的进步,存储器 14 的工作电压可以越来越降低。因此,在存储卡内的存储器可以具有各种工作电压之一。但是,Mizuta 的存储卡 11 不接纳存储器 14 的不同工作电压。

[0013] 因此,期望有能够容易地适配于存储器的不同工作电压的存储卡。

发明内容

[0014] 因此,在本发明的一个实施例中的诸如存储卡的半导体器件具有用于接纳在卡上的半导体器件的不同工作电压的机制。

[0015] 在本发明的一个实施例中,半导体器件卡包括半导体器件、工作电压指示器和工作电压产生器。工作电压指示器被设置来指示对应于半导体器件的工作电压的期望电平。工作电压产生器产生具有所述期望电平的工作电压并且被耦接到半导体器件。

[0016] 在本发明的一个示例实施例中,半导体器件是用于作为存储卡的半导体器件的存储器。在这种情况下,半导体器件卡包括具有工作电压产生器的存储器控制器。

[0017] 存储器控制器包括数据处理装置、主机接口和存储器接口。数据处理装置控制在主机和存储器之间的数据传输。主机接口将所述数据处理装置连接到主机,并且存储器接口将所述数据处理装置连接到存储器。主机电压被施加到主机接口、数据处理装置和存储器接口。工作电压被施加到存储器接口和存储器。

[0018] 在本发明的另一个实施例中,工作电压产生器从主机电压产生工作电压。

[0019] 在本发明的另一个实施例中,工作电压产生器包括反馈路径,用于将工作电压基本上保持在所述期望的电平。例如,所述反馈路径包括输出节点,在其上产生所述工作电压。在主机电压和输出节点之间耦接一个开关。比较器比较所述工作电压和期望的电平以当所述工作电压不等于所述期望电平时接通所述开关,以对输出节点进行充电/放电。参考电压产生器产生具有期望电平的目标电压并且被耦接到所述比较器。

[0020] 在本发明的另一个实施例中,电压产生器包括多个参考电压产生器,每个产生相应的目标电压。在这种情况下,工作电压指示器包括多路选择器,用于将具有期望电平的选择的目标电压从参考电压产生器之一耦接到比较器。

[0021] 工作电压指示器还包括耦接到所述多路选择器的至少一个选择引脚,并且每个选择引脚的相应的逻辑状态被设置来指示所选择的目标电压。或者,所述工作电压指示器还包括至少一个耦接到多路选择器的保护电路,并且所述保护电路的每个输出的相应逻辑状态被设置来指示所选择的目标电压。

[0022] 在本发明的另一个实施例中,所述工作电压指示器包括电压选择解码器,它通过比较主机电压和工作电压来判断电压上升信号、电压下降信号和电压通过信号之一。当电压上升信号被判断来指示工作电压的期望电平大于主机电压时,第一电压产生器产生从主机电压上升的工作电压。当电压通过信号被判断来指示工作电压的期望电平基本上等于主机电压时,第二电压产生器产生如主机电压的工作电压。当电压下降信号被判断来指示工作电压的期望电平小于主机电压时,第三电压产生器产生从主机电压下降的工作电压。

[0023] 在本发明的另一个实施例中,所述工作电压指示器包括可变电阻块,所述可变电阻块耦接到输出节点并具有多个具有可变耦接的金属线,用于调节在输出节点的工作电压。

[0024] 以这种方式,所述工作电压产生器产生具有期望电平的工作电压,所述期望电平大于、小于或基本上等于主机电压。因此,半导体器件卡能够容易地被适配来接纳半导体器件的不同工作电压。

[0025] 通过考虑与附图一起提供的本发明的下面的详细说明,将更好地明白本发明的这些和其他特性和优点。

附图说明

[0026] 图 1 示出了按照现有技术的与主机连接的存储卡的方框图;

[0027] 图 2 示出了按照现有技术的用于接纳不同主机电压的存储卡的方框图;

[0028] 图 3 示出了按照现有技术的图 2 的电压控制电路的方框图;

[0029] 图 4 示出了按照本发明的一个实施例的、能够被适配来接纳存储器的不同工作电压的存储卡的方框图;

[0030] 图 5 示出了按照本发明的一个实施例的、图 4 的电压调节器的部件;

[0031] 图 6 示出了按照本发明的一个实施例的、具有用于接纳存储器的两个可能工作电压的部件的图 4 的替代电压调节器;

[0032] 图 7 示出了按照本发明的一个实施例的、具有用于接纳存储器的四个可能工作电压的部件的图 4 的替代电压调节器;

[0033] 图 8 图解了按照本发明的一个实施例的选择引脚,它们每个具有被设置来指示在图 7 中的工作电压的期望电平的相应逻辑状态;

[0034] 图 9 图解了按照本发明的另一个实施例的保护电路,它们每个具有一个输出,所述输出具有被设置来指示在图 7 中的工作电压的期望电平的相应逻辑状态;

[0035] 图 10 图解了按照本发明的一个实施例的、具有用于提供可调节的工作电压的可变电阻块的图 4 的电压调节器;

[0036] 图 11 图解了按照本发明的另一个实施例的、用于产生大于、基本上等于或小于主机电压的工作电压的图 4 的电压调节器。

[0037] 在此所指的附图被绘制来用于清楚地说明,不必按照比例绘制。在图 1、2、3、4、5、6、7、8、9、10 和 11 中具有相同附图标号的元件指示具有类似结构和功能的元件。

具体实施方式

[0038] 本发明被说明用手存储卡。但是,本发明可以一般地用于任何类型的半导体器件卡。

[0039] 参见图 4,本发明的一个实施例的半导体卡 202 在半导体器件 204 和主机 206 之间的传输数据。在本发明的一个实施例中,半导体器件 204 是非易失性存储器,诸如快闪存储器、EEPROM(电可擦除可编程只读存储器)、PRAM(相变随机存取存储器)、MRAM(磁随机存取存储器)或 FRAM(铁电随机存取存储器)。

[0040] 在存储器 204 是快闪存储器的情况下,存储卡 202 被称为“闪卡”。这样的闪卡

有多种类型,诸如依赖于制造商或应用的 MMC(多媒体卡)、SD(安全装置)、CF(接触快闪 contact flash) 或存储棒。

[0041] 特别有利地使用存储卡 202 的主机 206 可以是诸如 MP3 播放器、便携式摄像录音一体机、数字摄像机、PDA(个人数字助理)和移动产品之类的通用便携装置。但是,当半导体卡 202 用于任何类型的半导体器件 204 和任何类型的主机 206 时,可以实践本发明。

[0042] 进一步参见图 4,存储卡 202 包括存储器控制器 208,存储器控制器 208 包括电压调节器 210、主机接口 212、数据处理装置 214 和存储器接口 216。主机接口 212 将存储器控制器 208 连接到主机 206,并且存储器接口 216 将存储器控制器 208 连接到存储器 204。数据处理装置 214 控制接口 212 和 216 的操作以用于在存储器 204 和主机 206 之间的数据传输。

[0043] 在本发明的一个实施例中,电压调节器 210 从主机 206 接收主机电压,并且产生耦接到存储器 204 和存储器接口 216 的工作电压。在本发明的一个实施例中,主机电压耦接到主机接口 212、数据处理装置 214 和存储器接口 216。

[0044] 参见图 4 和 5,在本发明的一个实施例中,电压调节器 210 是工作电压产生器。在图 5 中,电压调节器 210 包括参考电压产生器 220,用于产生耦接到比较器 222 的负输入的目标电压。比较器 222 的输出耦接到 PMOSFET 224 的栅极,所述 PMOSFET 224 具有耦接到来自主机 206 的主机电压的源极。

[0045] PMOSFET 224 的漏极经由反馈路径 226 耦接到比较器 222 的正输入。PMOSFET 224 的漏极形成输出节点 228,在其上产生工作电压。在本发明的一个实施例中,去耦合电容器 230 被耦接在输出节点 228 和低电压源 VSS 之间,所述低电压源 VSS 是主机 206 的地节点。

[0046] 在图 5 的电压调节器的操作期间,参考电压产生器 220 产生目标电压,它具有要在输出节点 228 产生的工作电压的期望电平(诸如 1.8 伏特)。在输出节点 228 产生的工作电压的电平与来自参考电压产生器 220 的目标电压相比较。

[0047] 在通电时,如果工作电压的电平小于所述目标电压,则 PMOSFET 224 被比较器 222 的负输出接通以充电输出节点 228 而提高工作电压。当在输出节点 228 的工作电压达到目标电压时,比较器 222 的正输出关断 PMOSFET 224。

[0048] 以这种方式,反馈路径 226 将在输出节点 228 的工作电压保持为基本上等于来自参考电压产生器 220 的目标电压。因此,对于大于其工作电压的期望电平的任何主机电压,被提供到存储器 204 的工作电压具有期望电平(诸如在图 5 中的 3.3 伏特)。

[0049] 图 6 示出了电压调节器 210 的一个替代实施例,它包括工作电压指示器 240 和工作电压产生器 242。工作电压指示器 240 包括第一参考电压产生器 244,用于产生具有第一电平(诸如 2.7 伏特)的第一目标电压。工作电压指示器 240 包括第二参考电压产生器 246,用于产生具有第二电平(诸如 1.8 伏特)的第二目标电压。

[0050] 工作电压指示器 240 还包括多路选择器 248,它输入来自第一和第二参考电压产生器 244 和 246 的目标电压。选择信号 SEL 被输入到多路选择器,所述多路选择器选择来自第一和第二参考电压产生器 244 和 246 的目标电压之一来作为与比较器 222 的负输入耦接的被选择的目标电压。

[0051] 图 6 的工作电压产生器 242 与图 5 的类似地操作,以在输出节点 228 产生具有来自多路选择器 248 的选择的目标电压的期望电平的工作电压。以这种方式,图 6 的工作电

压指示器 240 允许在存储器 204 的工作电压中的灵活性。使用这样的工作电压指示器 240, 由存储器 204 使用的工作电压的期望电平可以在来自参考电压产生器 244 和 246 的两个目标电压之间改变。

[0052] 图 7 示出了具有类似于图 6 的工作电压产生器 242 的电压调节器 210 的另一个实施例。图 7 的工作电压指示器 250 分别包括第一、第二、第三和第四参考电压产生器 252、254、256 和 258。参考电压产生器 252、254、256 和 258 的每个产生相应的目标电压, 分别诸如 5.0 伏特、3.3 伏特、2.7 伏特和 1.8 伏特。

[0053] 来自参考电压产生器 252、254、256 和 258 的这样的目标电压被多路选择器 260 输入, 多路选择器 260 选择这样的目标电压之一来作为耦接到比较器 222 的负输入的选择的目标电压。多路选择器 260 根据两个选择信号 SEL1 和 SEL2 的每个的相应逻辑状态来选择来自参考电压产生器 252、254、256 和 258 的目标电压之一。

[0054] 图 7 的工作电压产生器 242 与图 6 的类似地操作, 以在输出节点 228 产生具有来自多路选择器 260 的选择的目标电压的期望电平的工作电压。以这种方式, 图 7 的工作电压指示器 250 允许在存储器 204 的工作电压中的灵活性。使用这样的工作电压指示器 250, 由存储器 204 使用的工作电压的期望电平可以在来自参考电压产生器 252、254、256 和 258 的四个目标电压之间改变。

[0055] 图 8 图解了用于设置在图 7 中的选择信号 SEL1 和 SEL2 的每个的相应逻辑状态的示例机制。参见图 8, 存储卡 202 包括存储器控制器 208 的第一 IC(集成电路)封装体, 并且包括存储器 204 的第二 IC 封装体。存储卡 202 包括多个接触焊盘, 诸如耦接到主机电压 VDD 的第一接触垫 262 和耦接到主机地 VSS 的第二接触焊盘 264。

[0056] 耦接到第一接触焊盘 262 的主机电压线 266 和耦接到第二接触垫 264 的主机地线 268 环绕形成在存储器控制器 208 周围。存储器控制器 208 的第一引脚 272 具有被施加到其上的第一选择信号 SEL1, 并且耦接到主机电压线 266 和主机地线 268 之一。如果第一引脚 272 耦接到主机电压线 266, 则第一选择信号 SEL1 具有逻辑高状态。如果第一引脚 272 耦接到主机地线 268, 则第一选择信号 SEL1 具有逻辑低状态。

[0057] 类似地, 存储器控制器 208 的第二引脚 274 具有被施加到其上的第二选择信号 SEL2, 并且耦接到主机电压线 266 和主机地线 268 之一。如果第二引脚 274 耦接到主机电压线 266, 则第二选择信号 SEL2 具有逻辑高状态。如果第二引脚 274 耦接到主机地线 268, 则第二选择信号 SEL2 具有逻辑低状态。

[0058] 参见图 7 和 8, 在存储卡 202 的制造期间, 第一和第二引脚 272 和 274 每个耦接到线 266 和 268 之一, 以便多路选择器 260 选择对应于存储器 204 的工作电压的期望电平的、来自参考电压产生器 252、254、256 和 258 的四个目标电压之一。以这种方式, 第一和第二引脚 272 和 274 被设置具有各自的逻辑状态来作为用于指示存储器 204 的工作电压的期望电平的工作电压指示器 250 的一部分。

[0059] 进一步参见图 8, 在输出节点 228 上产生的工作电压被施加到与存储器 204 的工作电压引脚 278 耦接的存储器控制器 208 的第三引脚 276 上。在本发明的一个实施例中, 存储器 204 的地引脚 280 耦接到主机地线 268, 以便在工作电压引脚 278 上的工作电压是相对于主机地 VSS 的。

[0060] 参见图 6 和 8, 仅仅诸如存储器控制器 208 的第一引脚 272 的一个引脚可以用于使

得多路选择器 248 的选择信号 SEL 被施加到其上。在这种情况下,第一引脚 272 耦接到线 266 和 268 之一,用于设置在图 6 中的选择信号 SEL 的逻辑状态。

[0061] 图 9 示出了用于设置在图 7 中的选择信号 SEL1 和 SEL2 的每个各自的逻辑状态的另一个机制。图 9 示出了第一保护电路 282 和第二保护电路 287,它们耦接到加电初始化信号产生器 285,加电初始化信号产生器 285 耦接在主机电压 VDD 和主机地 VSS 之间。在加电时,初始化信号产生器 285 产生具有逻辑高状态的偏压 VCCH。

[0062] 第一保护电路 282 包括耦接到在第一节点 288 的 PMOSFET 286 的漏极的保险丝 284。PMOSFET 286 具有耦接到主机电压 VDD 的源极和其上被施加 VCCH 偏压的栅极。NMOSFET 290 具有耦接到保险丝 284 的第二节点 292 的漏极、耦接到主机地节点 VSS 的源极和其上被施加 VCCH 偏压的栅极。

[0063] 第一保护电路 282 还包括由反相器 296 和 298 形成的环路的锁存器 294,它耦接到保险丝 284 的第一节点 288。锁存器 294 的输出产生第一选择信号 SEL1。在第一保护电路 282 的操作期间,当保险丝 284 被切断为开路时,SEL1 信号是逻辑低状态。或者,当保险丝 284 未切断时,SEL1 信号是逻辑高状态。

[0064] 第一保护电路 282 的保险丝 284 被切断或未切断以用于设置 SEL1 信号的逻辑状态。第二保护电路 287 类似于第一保护电路 282,在第二保护电路 287 中有另一个保险丝,它被切断或未切断以用于设置 SEL2 信号的逻辑状态。

[0065] 参见图 7 和 9,在存储卡 202 的制造期间,在第一和第二保护电路 282 和 287 每一个中的相应保险丝被切断或未切断,以便多路选择器 260 选择对应于存储器 204 的工作电压的期望电平的、来自参考电压产生器 252、254、256 和 258 的四个目标电压之一。以这种方式,在第一和第二保护电路 282 和 287 的每个内的相应保险丝被设置为用于指示存储器 204 的工作电压的期望电平的工作电压指示器 250 的一部分。

[0066] 图 10 示出了具有在输出节点 228 产生的工作电压的电压调节器 210 的替代实施例。通过可变地耦接在可变电阻块 320 内的多个金属线 302、304 和 306 可调节这样的工作电压的电平。在图 5 和图 10 中具有相同附图标号的元件表示具有类似结构和功能的元件。

[0067] 但是,在图 10 中,多个电阻从 PMOSFET 224 的漏极耦接。第一电阻器 208 耦接在 PMOSFET 224 的漏极和反馈路径节点 310 之间。第二电阻器 310 耦接在反馈路径节点 310 和第一金属线 302 之间。第三电阻器 314 耦接在第一金属线 302 和第二金属线 304 之间。第四电阻器 316 耦接在第二金属线 304 和第三金属线 306 之间,第三金属线 306 也耦接到主机地节点 VSS。

[0068] 金属线 302、304 和 306 的任何一个可以耦接在一起以改变可变电阻块 320 的电阻。例如,如果第一金属线 302 连接到第三金属线 306,则通过电阻块 320 的电阻是零。如果第二金属线 304 连接到第三金属线 306,则通过电阻块 320 的电阻是第三电阻器 314 的电阻。如果第一金属线 302 连接到第二金属线 304,则通过电阻块 320 的电阻是第四电阻器 316 的电阻。

[0069] 在任何一种情况下,在反馈路径节点 310 产生基本上类似于由参考电压产生器 220 产生的参考电压的电压。通过改变电阻块 320 的电阻,可变电平的电流流过电阻器 308、312、314 和 316。使用这样的可变电流,可以改变在输出节点 228 产生的工作电压。以这种方式,金属线 302、304 和 306 的连接被改变以调节在输出节点 228 产生的工作电压的电平。

因此,图 10 的电压调节器 210 允许在存储器 204 的工作电压中的灵活性。

[0070] 图 11 示出了具有工作电压指示器 330 和工作电压产生器 332 的电压调节器 210 的替代实施例。工作电压指示器包括主机电压电平检测器 334 和工作电压解码器 336。主机电压电平检测器 334 向工作电压解码器 336 指示主机电压 VDD 的电平。

[0071] 工作电压解码器 336 输入第一和第二选择信号 SEL1 和 SEL2,每个具有用于指示存储器 204 的工作电压的期望电平的各自的逻辑状态。第一和第二选择信号 SEL1 和 SEL2 可以如图 8 或 9 所述被产生。工作电压解码器 336 比较主机电压 VDD 的电平和存储器 204 的工作电压的期望电平,并且判断电压上升信号、电压下降信号和电压通过信号之一。

[0072] 如果工作电压的期望电平大于主机电压 VDD 的电平,则工作电压解码器 336 判断电压上升信号。或者,如果工作电压的期望电平基本上等于主机电压 VDD 的电平,则工作电压解码器 336 判断电压通过信号。最后,如果工作电压的期望电平小于主机电压 VDD 的电平,则工作电压解码器 336 判断电压下降信号。

[0073] 工作电压产生器分别包括第一、第二和第三电压产生器 342、344 和 346。根据工作电压解码器 336 判断了电压上升信号、电压下降信号或电压通过信号的哪一个来激活这样的电压产生器之一。

[0074] 如果判断了电压上升信号,则第一电压产生器 342(即电压上升电路)被激活来用于产生从主机电压上升的工作电压。或者,如果判断了电压通过信号,则第二电压产生器 344(即电压通过电路)被激活以产生工作电压来作为主机电压。

[0075] 最后,如果判断了电压下降信号,则第三电压产生器 346(即电压下降电路)被激活以产生从主机电压下降的工作电压。以这种方式,图 11 的电压调节器 210 允许存储器 204 的工作电压的期望电平大于、基本上等于或小于主机电压的电平。

[0076] 上述仅仅是示例,不意欲为限定性的。例如,已经参照用于存储卡 202 的存储器 204 而说明了本发明。但是,本发明可以用于产生在任何其他类型的半导体器件卡上的任何其他类型半导体器件的工作电压。另外,在此图解和说明的任何数量的元件仅仅是举例。而且,在此图解和所述的任何电压值仅仅是举例。例如,使用 NMOSFET 的负主机电压可以用于将输出节点 228 放电到在图 5 的电压调节器 210 中的负工作电压。

[0077] 本发明仅仅限于在所附的权利要求及其等同内容中所限定的那样。

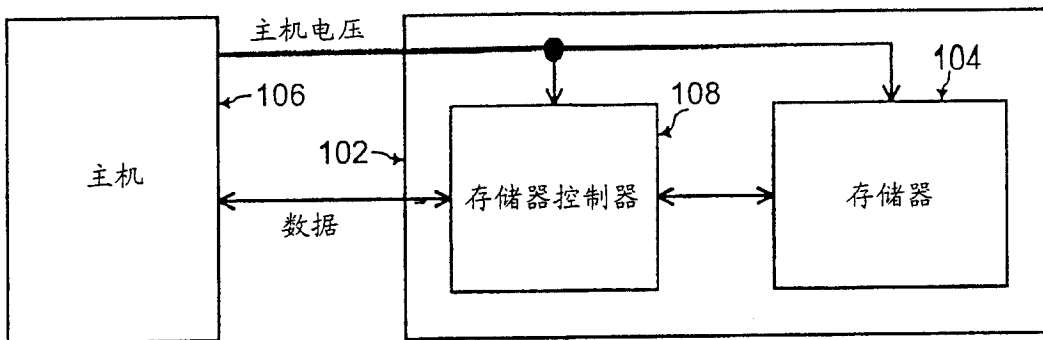


图 1

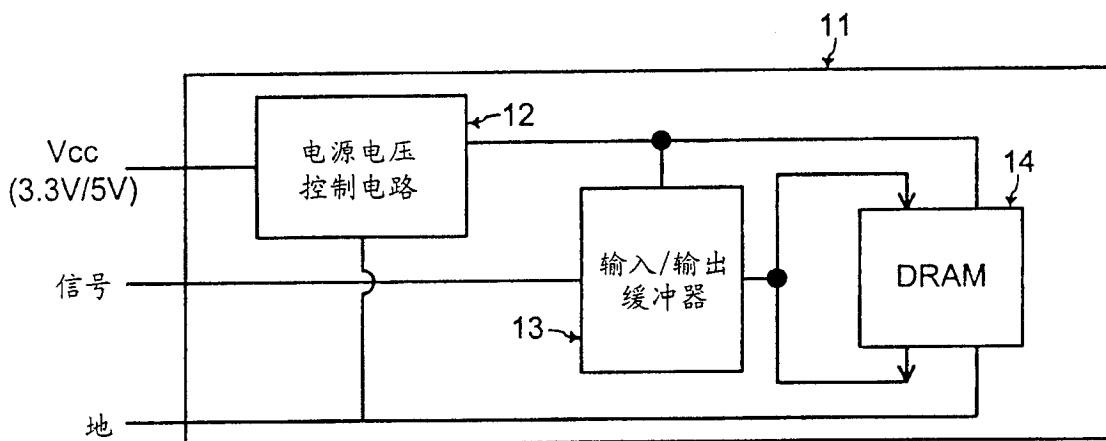


图 2

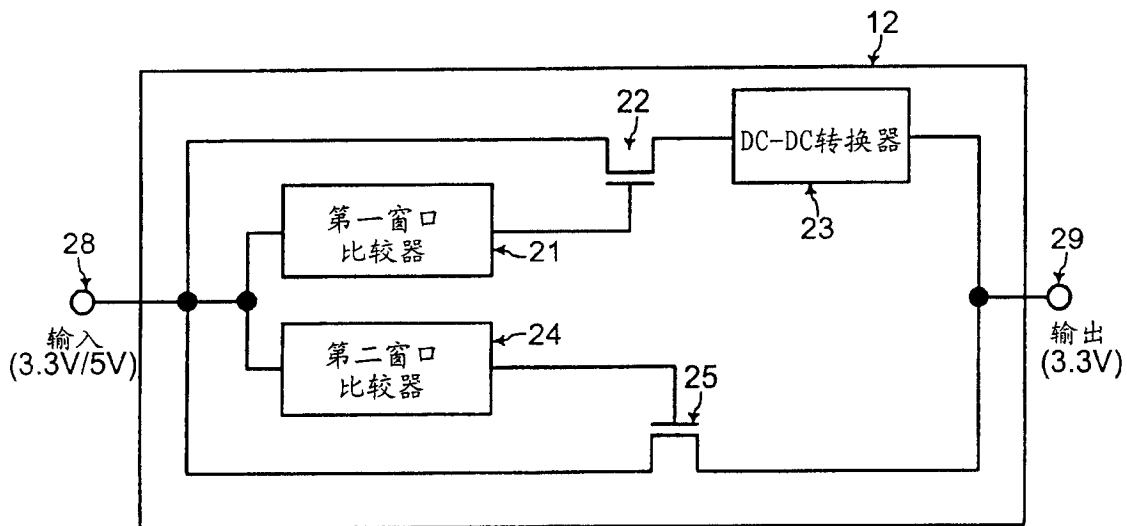


图 3

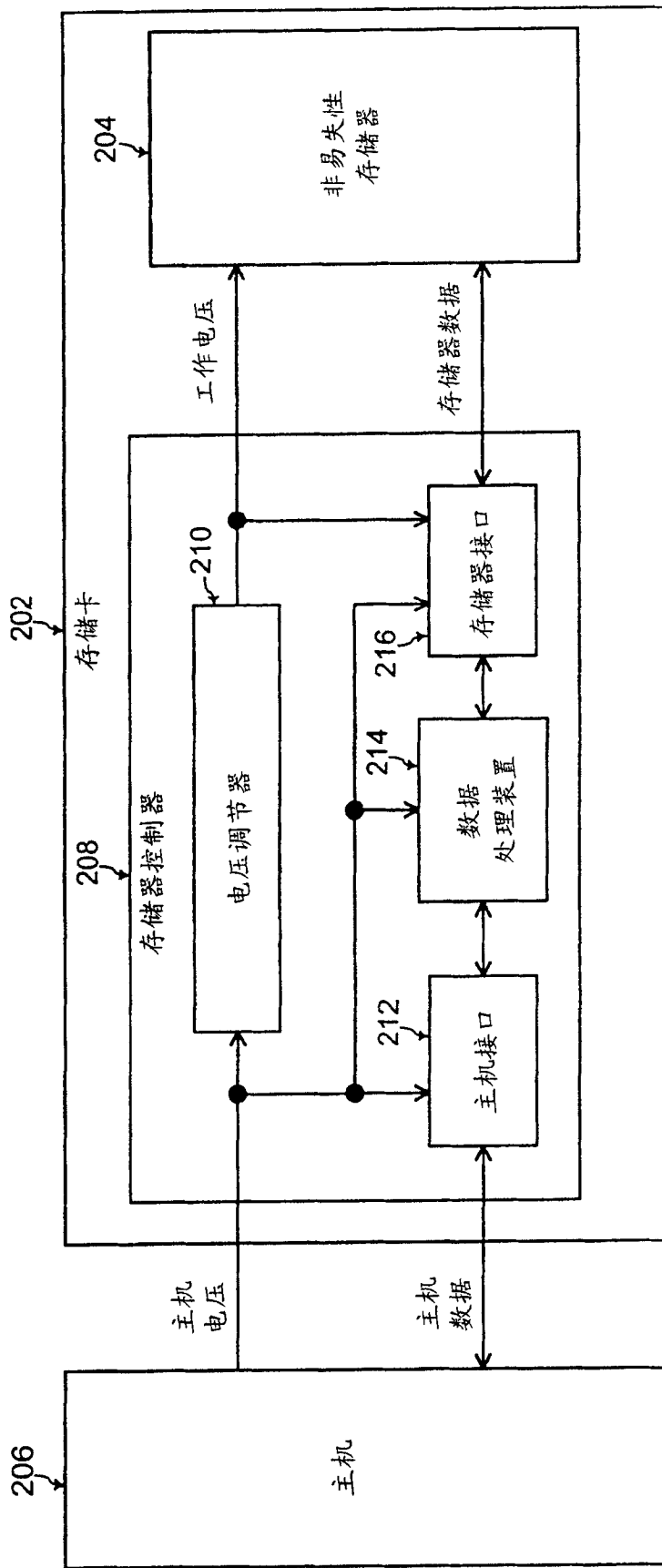


图 4

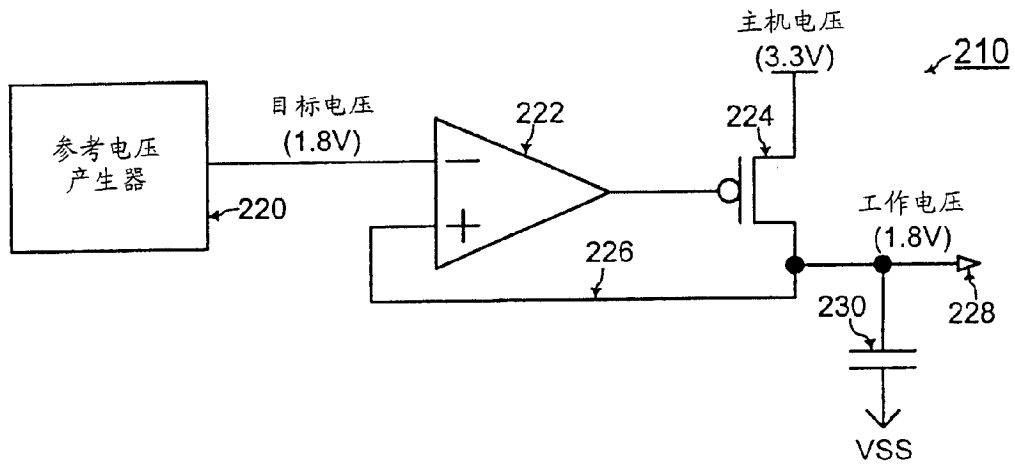


图 5

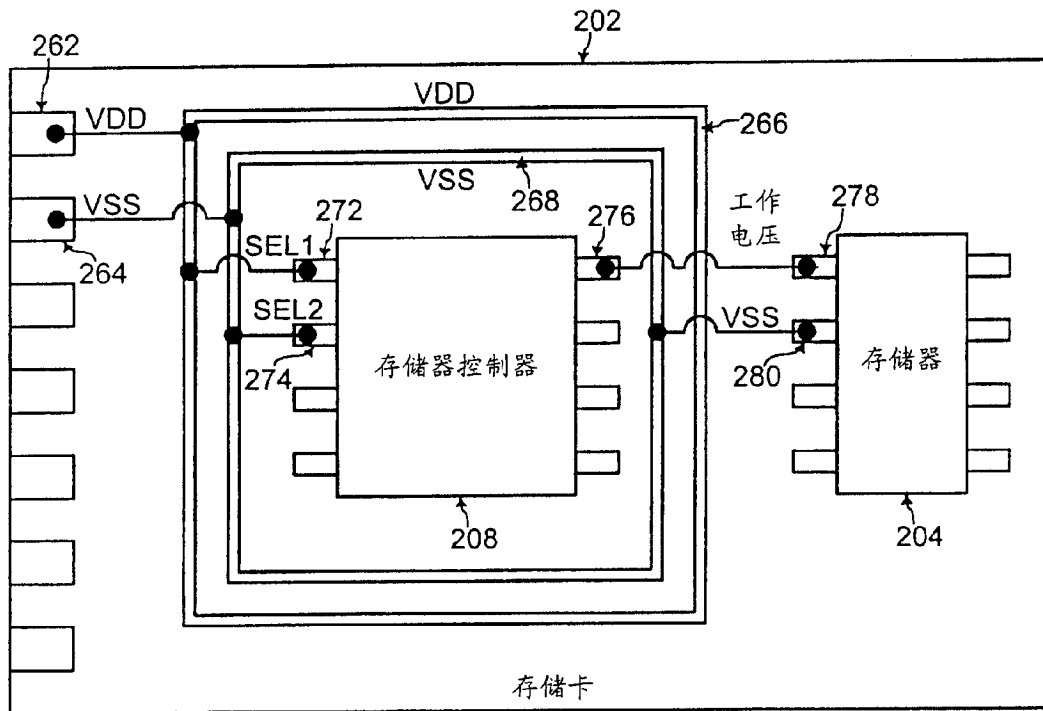


图 8

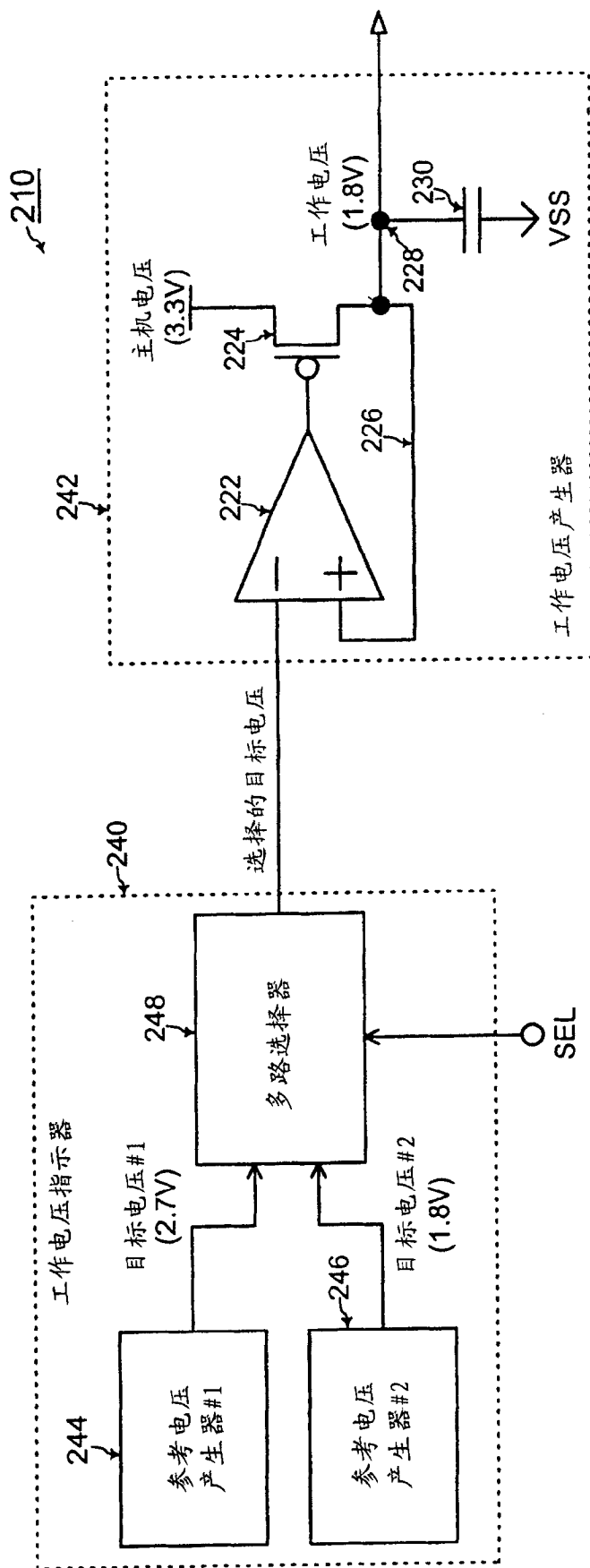


图 6

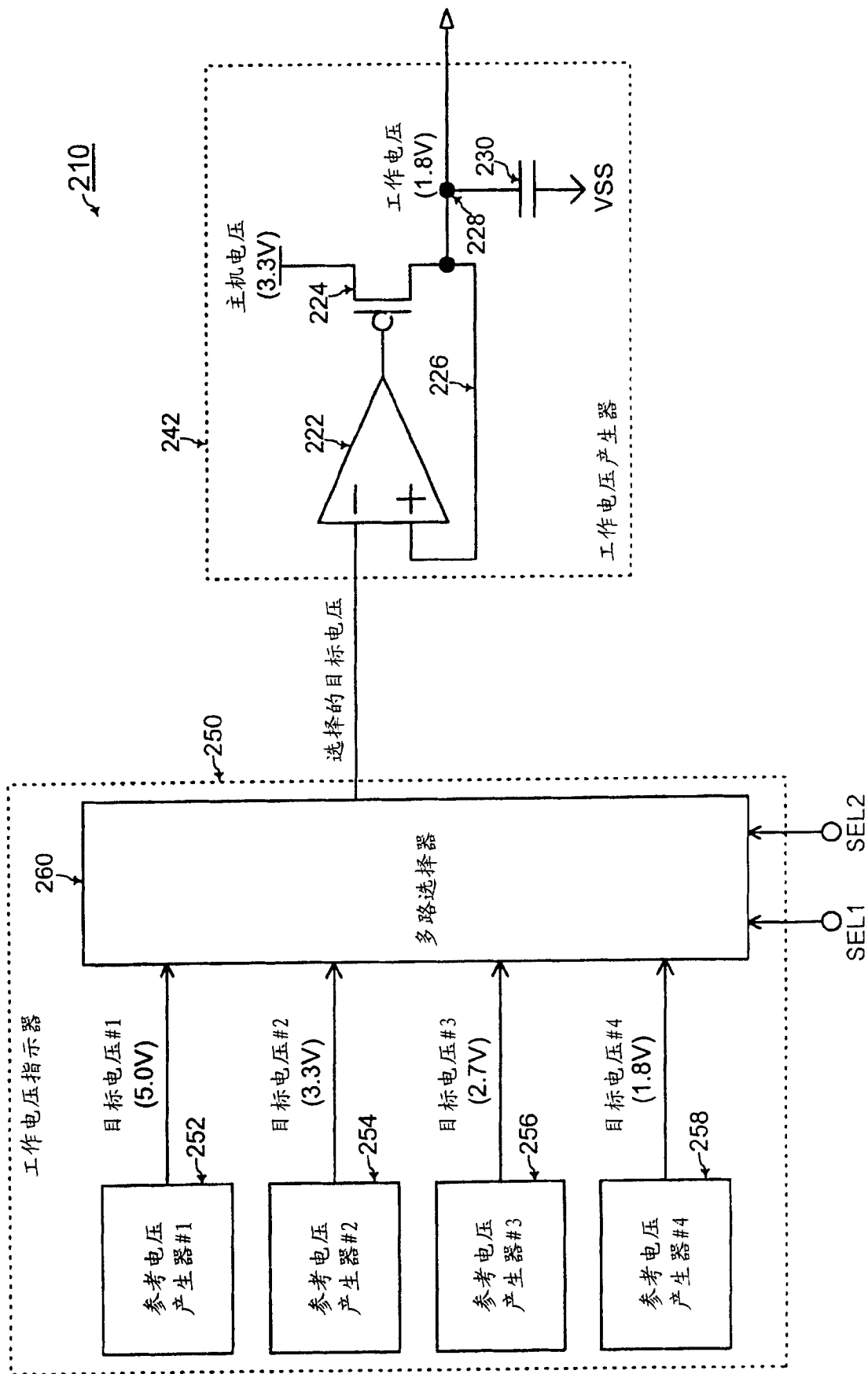


图 7

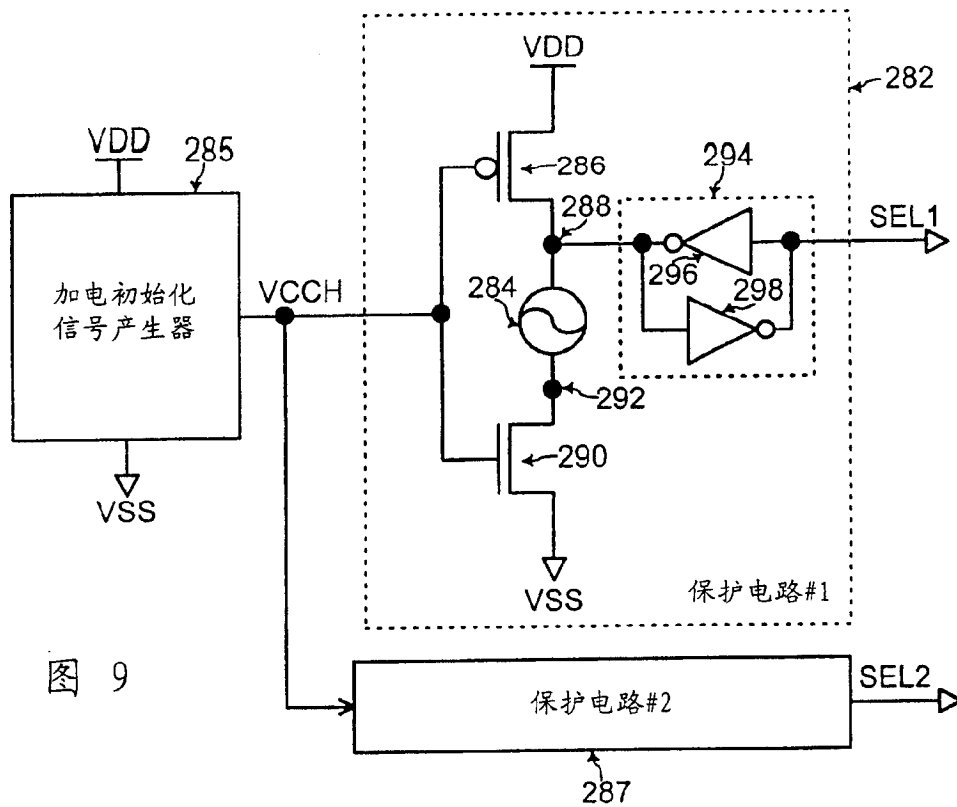


图 9

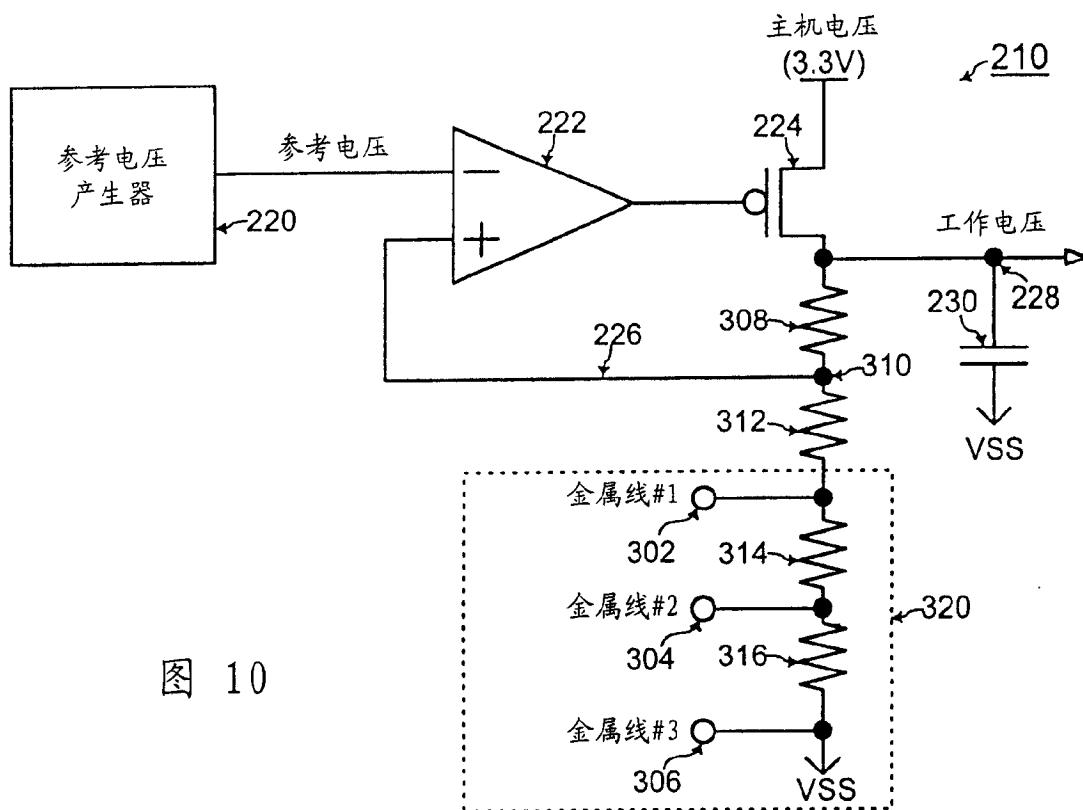


图 10

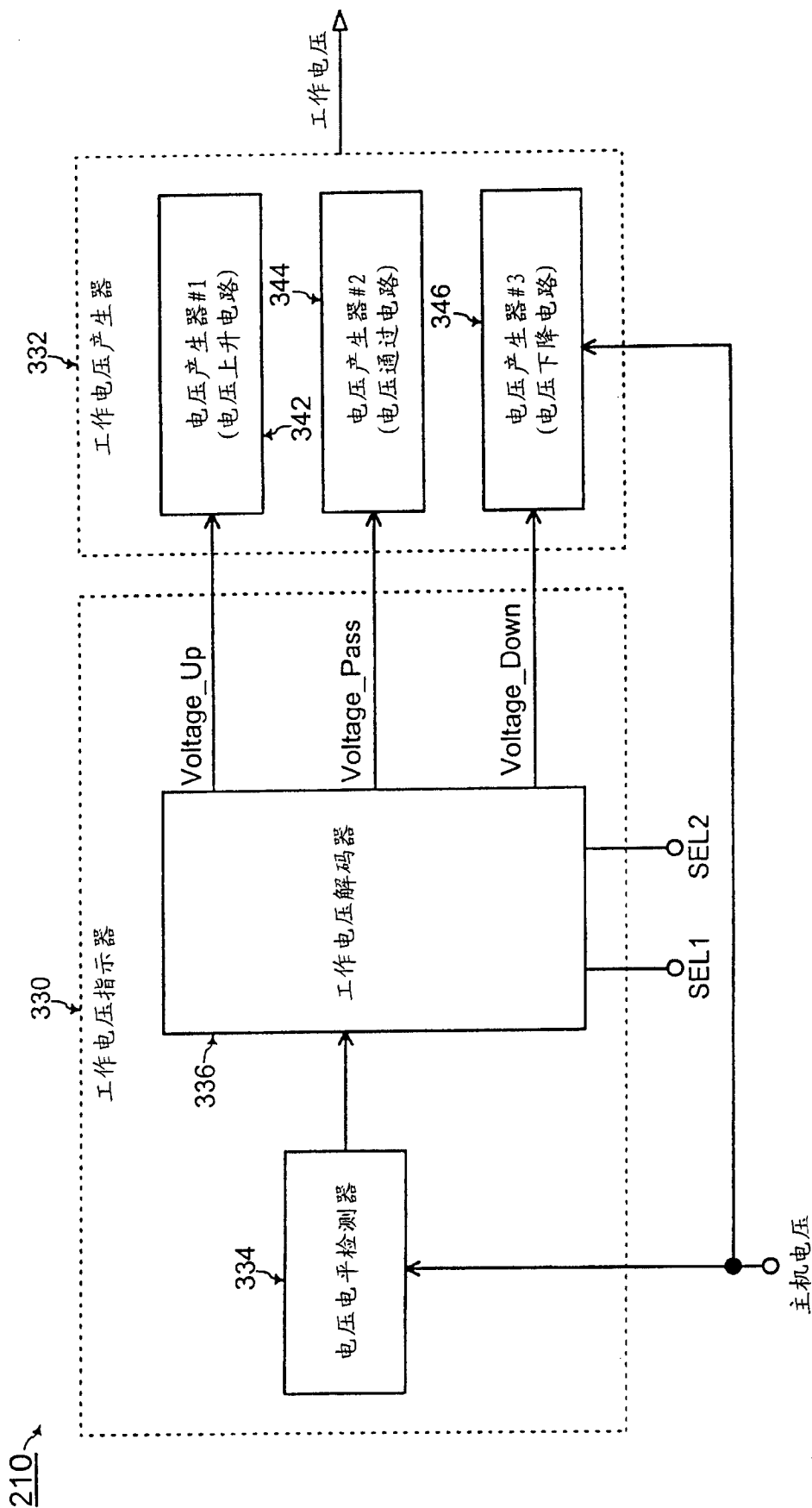


图 11