

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-26118

(P2010-26118A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
H01L 33/00 (2010.01)	H01L 33/00 J	5C080
H01L 51/50 (2006.01)	H05B 33/14 A	5F041
G09G 3/20 (2006.01)	G09G 3/20 642A	
	G09G 3/20 641D	
審査請求 有 請求項の数 4 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2008-185500 (P2008-185500)	(71) 出願人	000002185
(22) 出願日	平成20年7月17日 (2008.7.17)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	豊村 直史
			東京都港区港南1丁目7番1号 ソニー株式会社社内
		最終頁に続く	

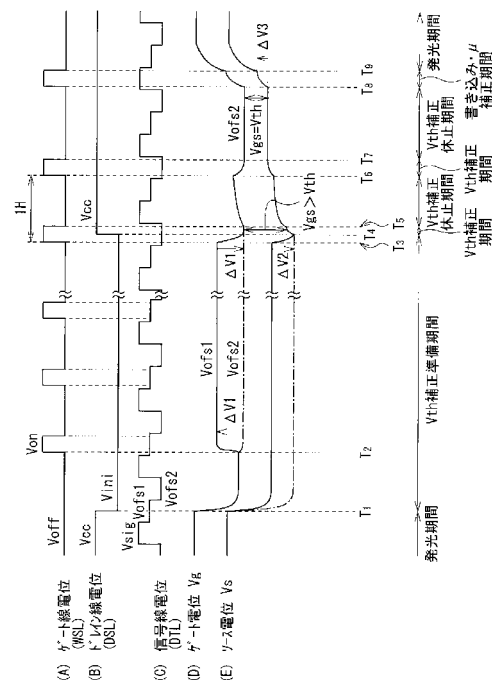
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】減点化の可能性を低減することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】 V_{th} 補正準備期間($T_1 \sim T_4$)において、信号線DTLの電圧が V_{ofs1} となっているときにトランジスタ T_{ws} をオン・オフし、ゲート電圧 V_g およびソース電圧 V_s を上昇させる。その後、 V_{th} 補正を開始する前に、信号線DTLの電圧が V_{ofs2} となっているときにトランジスタ T_{ws} をオンし、ゲート電圧 V_g およびソース電圧 V_s を元の電圧にまで下げる。これにより、 V_{th} 補正準備期間のうち所定の間(ゲート電圧 V_g が V_{ofs1} となっている間)、ソース電圧 V_s を V_{ini} よりも高い電圧にすることができる。

【選択図】図3



【特許請求の範囲】

【請求項 1】

発光素子および画素回路を画素ごとに有する表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、

前記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、

前記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、制御部と、第 1 配線と、
第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とを有し、

前記第 1 トランジスタのゲートが前記第 1 配線を介して前記第 1 駆動部に接続され、

前記第 1 トランジスタのドレインまたはソースが前記第 3 配線を介して前記第 3 駆動部
に接続され、 10

前記第 1 トランジスタのドレインおよびソースのうち前記第 3 駆動部に未接続の方が前
記第 2 トランジスタのゲートおよび前記保持容量の一端に接続され、

前記第 2 トランジスタのドレインまたはソースが前記第 2 配線を介して前記第 2 駆動部
に接続され、

前記第 2 トランジスタのドレインおよびソースのうち前記第 2 駆動部に未接続の方が前
記保持容量の他端および前記発光素子のアノードに接続され、

前記発光素子のカソードが前記第 4 配線に接続され、

前記第 1 駆動部は、前記第 1 トランジスタのオン電圧よりも低い第 1 電圧と、前記第 1
トランジスタのオン電圧以上の第 2 電圧とを前記第 1 配線に出力可能であり、 20

前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 3 電圧
と、前記発光素子の閾値電圧と前記参照電圧との和以上の第 4 電圧とを前記第 2 配線に出
力可能であり、

前記第 3 駆動部は、第 5 電圧および第 6 電圧（第 5 電圧 > 第 6 電圧）と、前記映像信号
に応じた大きさの第 7 電圧とを前記第 3 配線に出力可能であり、

前記制御部は、前記第 1 駆動部、前記第 2 駆動部および前記第 3 駆動部に対して以下の
（A）～（C）の各ステップを順次実行することを指示する制御信号を出力する表示装置
。

（A）前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記第 2 駆動部が前記第 2
配線の電圧を前記第 5 電圧から前記第 3 電圧に下げる消光ステップ 30

（B）前記第 2 配線の電圧が前記第 3 電圧となっており、かつ前記第 3 配線の電圧が前記
第 5 電圧となっている時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前
記第 2 電圧に上げたのち、前記第 2 電圧から前記第 1 電圧に下げ、その後、前記第 2 配線
の電圧が前記第 3 電圧となっており、かつ前記第 3 配線の電圧が前記第 6 電圧となってい
る時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げる
V t h 補正準備ステップ

（C）前記第 2 配線の電圧が前記第 4 電圧となっており、かつ前記第 3 配線の電圧が前記
第 5 電圧、前記第 6 電圧および前記第 7 電圧のいずれかの電圧値に規則的に変化している
時に、前記第 1 駆動部が、前記第 1 配線の電圧を前記第 1 電圧および前記第 3 電圧のいず
れかの電圧値に規則的に変化させる V t h 補正・発光ステップ 40

【請求項 2】

前記制御部は、前記第 1 駆動部、前記第 2 駆動部および前記第 3 駆動部に対して、以下
の（D）～（H）の各ステップを前記 V t h 補正・発光ステップにおいて順次実行するこ
とを指示する制御信号を出力する請求項 1 に記載の表示装置。

（D）前記第 3 配線の電圧が前記第 6 電圧となっている時に、前記第 2 駆動部が前記第 2
配線の電圧を前記第 3 電圧から前記第 4 電圧に上げたのち、前記第 1 駆動部が前記第 1 配
線の電圧を前記第 2 電圧から前記第 1 電圧に下げる最初の V t h 補正ステップ

（E）所定の期間、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧にし続けると共
に、前記第 2 駆動部が前記第 2 配線の電圧を前記第 4 電圧にし続ける最初の V t h 補正休
止ステップ

(F) 前記第 2 配線の電圧が前記第 4 電圧となっており、かつ前記第 3 配線の電圧が前記第 6 電圧となっている時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げたのち、前記第 2 電圧から前記第 1 電圧に下げる 2 回目の V t h 補正ステップ

(G) 所定の期間、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧にし続けると共に、前記第 2 駆動部が前記第 2 配線の電圧を前記第 4 電圧にし続ける 2 回目の V t h 補正休止ステップ

(H) 前記第 2 配線の電圧が前記第 4 電圧となっており、かつ前記第 3 配線の電圧が前記第 7 電圧となっている時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げたのち、前記第 2 電圧から前記第 1 電圧に下げる書き込み・ μ 補正・発光ステップ

【請求項 3】

発光素子および画素回路を画素ごとに有する表示部と、
映像信号に基づいて前記画素回路を駆動する駆動部と
を備え、

前記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、

前記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、第 1 配線と、第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とを有し、

前記第 1 トランジスタのゲートが前記第 1 配線を介して前記第 1 駆動部に接続され、

前記第 1 トランジスタのドレインまたはソースが前記第 3 配線を介して前記第 3 駆動部に接続され、

前記第 1 トランジスタのドレインおよびソースのうち前記第 3 駆動部に未接続の方が前記第 2 トランジスタのゲートおよび前記保持容量の一端に接続され、

前記第 2 トランジスタのドレインまたはソースが前記第 2 配線を介して前記第 2 駆動部に接続され、

前記第 2 トランジスタのドレインおよびソースのうち前記第 2 駆動部に未接続の方が前記保持容量の他端および前記発光素子のアノードに接続され、

前記発光素子のカソードが前記第 4 配線に接続され、

前記第 1 駆動部は、前記第 1 トランジスタのオン電圧よりも低い第 1 電圧と、前記第 1 トランジスタのオン電圧以上の第 2 電圧とを前記第 1 配線に出力可能であり、

前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 3 電圧と、前記発光素子の閾値電圧と前記参照電圧との和以上の第 4 電圧とを前記第 2 配線に出力可能であり、

前記第 3 駆動部は、第 5 電圧および第 6 電圧（第 5 電圧 > 第 6 電圧）と、前記映像信号に応じた大きさの第 7 電圧とを前記第 3 配線に出力可能である表示装置の前記第 1 駆動部、前記第 2 駆動部および前記第 3 駆動部が以下の (A) ~ (C) の各ステップを順次実行する表示装置の駆動方法。

(A) 前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記第 2 駆動部が前記第 2 配線の電圧を前記第 5 電圧から前記第 3 電圧に下げる消光ステップ

(B) 前記第 2 配線の電圧が前記第 3 電圧となっており、かつ前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げたのち、前記第 2 電圧から前記第 1 電圧に下げ、その後、前記第 2 配線の電圧が前記第 3 電圧となっており、かつ前記第 3 配線の電圧が前記第 6 電圧となっている時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げる V t h 補正準備ステップ

(C) 前記第 2 配線の電圧が前記第 4 電圧となっており、かつ前記第 3 配線の電圧が前記第 5 電圧、前記第 6 電圧および前記第 7 電圧のいずれかの電圧値に規則的に変化している時に、前記第 1 駆動部が、前記第 1 配線の電圧を前記第 1 電圧および前記第 3 電圧のいずれかの電圧値に規則的に変化させる V t h 補正・発光ステップ

【請求項 4】

表示装置を備え、
前記表示装置は、
発光素子および画素回路を画素ごとに有する表示部と、
前記映像信号に基づいて前記画素回路を駆動する駆動部と
を有し、
前記画素回路は、第 1 トランジスタと、第 2 トランジスタと、保持容量とを有し、
前記駆動部は、第 1 駆動部と、第 2 駆動部と、第 3 駆動部と、制御部と、第 1 配線と、
第 2 配線と、第 3 配線と、参照電圧に設定される第 4 配線とを有し、
前記第 1 トランジスタのゲートが前記第 1 配線を介して前記第 1 駆動部に接続され、
前記第 1 トランジスタのドレインまたはソースが前記第 3 配線を介して前記第 3 駆動部
に接続され、
前記第 1 トランジスタのドレインおよびソースのうち前記第 3 駆動部に未接続の方が前
記第 2 トランジスタのゲートおよび前記保持容量の一端に接続され、
前記第 2 トランジスタのドレインまたはソースが前記第 2 配線を介して前記第 2 駆動部
に接続され、
前記第 2 トランジスタのドレインおよびソースのうち前記第 2 駆動部に未接続の方が前
記保持容量の他端および前記発光素子のアノードに接続され、
前記発光素子のカソードが前記第 4 配線に接続され、
前記第 1 駆動部は、前記第 1 トランジスタのオン電圧よりも低い第 1 電圧と、前記第 1
トランジスタのオン電圧以上の第 2 電圧とを前記第 1 配線に出力可能であり、
前記第 2 駆動部は、前記発光素子の閾値電圧と前記参照電圧との和よりも低い第 3 電圧
と、前記発光素子の閾値電圧と前記参照電圧との和以上の第 4 電圧とを前記第 2 配線に出力可能であり、
前記第 3 駆動部は、第 5 電圧および第 6 電圧（第 5 電圧 > 第 6 電圧）と、前記映像信号
に応じた大きさの第 7 電圧とを前記第 3 配線に出力可能であり、
前記制御部は、前記第 1 駆動部、前記第 2 駆動部および前記第 3 駆動部に対して以下の
（ A ）～（ C ）の各ステップを順次実行することを指示する制御信号を出力する電子機器
。
（ A ）前記第 3 配線の電圧が前記第 5 電圧となっている時に、前記第 2 駆動部が前記第 2
配線の電圧を前記第 5 電圧から前記第 3 電圧に下げる消光ステップ
（ B ）前記第 2 配線の電圧が前記第 3 電圧となっており、かつ前記第 3 配線の電圧が前記
第 5 電圧となっている時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前
記第 2 電圧に上げたのち、前記第 2 電圧から前記第 1 電圧に下げ、その後、前記第 2 配線
の電圧が前記第 3 電圧となっており、かつ前記第 3 配線の電圧が前記第 6 電圧となってい
る時に、前記第 1 駆動部が前記第 1 配線の電圧を前記第 1 電圧から前記第 2 電圧に上げる
V t h 補正準備ステップ
（ C ）前記第 2 配線の電圧が前記第 4 電圧となっており、かつ前記第 3 配線の電圧が前記
第 5 電圧、前記第 6 電圧および前記第 7 電圧のいずれかの電圧値に規則的に変化している
時に、前記第 1 駆動部が、前記第 1 配線の電圧を前記第 1 電圧および前記第 3 電圧のいず
れかの電圧値に規則的に変化させる V t h 補正・発光ステップ
【発明の詳細な説明】
【技術分野】
【 0 0 0 1 】
本発明は、発光素子および画素回路を画素ごとに有する表示部と、画素回路を駆動する
駆動部とを備えた表示装置およびその駆動方法に関する。また、本発明は、上記表示装置
を備えた電子機器に関する。
【背景技術】
【 0 0 0 2 】
近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応
じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L (electro luminescence)

素子を用いた表示装置が開発され、商品化が進められている。

【 0 0 0 3 】

有機 E L 素子は、液晶素子などとは異なり自発光素子である。そのため、有機 E L 素子を用いた表示装置（有機 E L 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【 0 0 0 4 】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子（一般には T F T (Thin Film Transistor; 薄膜トランジスタ)）によって制御するものである。

【 0 0 0 5 】

ところで、一般的に、有機 E L 素子の電流 - 電圧（ $I - V$ ）特性は、時間の経過に従って劣化（経時劣化）する。有機 E L 素子を電流駆動する画素回路では、有機 E L 素子の $I - V$ 特性が経時変化すると、有機 E L 素子と、有機 E L 素子に直列に接続された駆動トランジスタとの分圧比が変化するので、駆動トランジスタのゲート - ソース間電圧 V_{gs} も変化する。その結果、駆動トランジスタに流れる電流値が変化するので、有機 E L 素子に流れる電流値も変化し、その電流値に応じて発光輝度も変化する。

【 0 0 0 6 】

また、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なったりする場合がある。駆動トランジスタの閾値電圧 V_{th} や移動度 μ が画素回路ごとに異なる場合には、駆動トランジスタに流れる電流値が画素回路ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機 E L 素子の発光輝度がばらつき、画面の一様性（ユニフォームティ）が損なわれる。

【 0 0 0 7 】

そこで、有機 E L 素子の $I - V$ 特性が経時変化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機 E L 素子の発光輝度を一定に保つようにするために、有機 E L 素子の $I - V$ 特性の変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献 1 参照）。

【 0 0 0 8 】

図 10 は、特許文献 1 に記載の表示装置の概略構成を表したものである。図 10 に記載の表示装置 100 は、複数の画素 120 がマトリクス状に配置された表示部 110 と、各画素 120 を駆動する駆動部（水平駆動回路 130、書き込み走査回路 140 および電源走査回路 150）とを備えている。

【 0 0 0 9 】

各画素 120 は、赤色用の画素 120 R、緑色用の画素 120 G および青色用の画素 120 B からなる。各画素 120 R、120 G、120 B は、図 11 に示したように、有機 E L 素子 121（有機 E L 素子 121 R、121 G、121 B）およびそれに接続された画素回路 122 により構成されている。画素回路 122 は、サンプリング用のトランジスタ T_{ws} 、保持容量 C_s 、駆動用のトランジスタ T_{dr} によって構成されたものであり、 $2T1C$ の回路構成となっている。書き込み走査回路 140 から引き出されたゲート線 WSL が行方向に延在して形成されており、トランジスタ T_{ws} のゲートに接続されている。電源走査回路 150 から引き出されたドレイン線 DSL も行方向に延在して形成されており、トランジスタ T_{dr} のドレインに接続されている。また、水平駆動回路 130 から引き出された信号線 DTL は列方向に延在して形成されており、トランジスタ T_{ws} のドレインに接続されている。トランジスタ T_{ws} のソースは駆動用のトランジスタ T_{dr}

のゲートと、保持容量 C_s の一端に接続されており、トランジスタ T_{Dr} のソースと保持容量 C_s の他端とが有機 EL 素子 121R, 121G, 121B (以下、有機 EL 素子 121R 等と略する。) のアノードに接続されている。有機 EL 素子 121R 等のカソードは、グラウンド線 GND に接続されている。

【0010】

図 12 は、図 10 に記載の表示装置 100 における各種波形の一例を表したものである。図 12 には、ゲート線 WSL に 2 種類の電圧 (V_{on} 、 $V_{off} (< V_{on})$) が、ドレイン線 DSL に 2 種類の電圧 (V_{cc} 、 $V_{ini} (< V_{cc})$) が、信号線 DTL に 2 種類の電圧 (V_{sig} 、 $V_{ofs} (< V_{sig})$) が印加されている様子が示されている。さらに、図 12 には、ゲート線 WSL、ドレイン線 DSL および信号線 DTL への電圧印加に応じて、トランジスタ T_{Dr} のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

10

【0011】

(V_{th} 補正準備期間)

まず、 V_{th} 補正の準備を行う。具体的には、電源走査回路 150 がドレイン線 DSL の電圧を V_{cc} から V_{ini} に下げる (T_1)。すると、ソース電圧 V_s が V_{ini} まで下がり、有機 EL 素子 121 等が消光する。このとき、保持容量 C_s を介したカップリングによりゲート電圧 V_g も下がる。次に、信号線 DTL の電圧が V_{ofs} となっている間に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{off} から V_{on} に上げる (T_2)。すると、ゲート電圧 V_g が V_{ofs} まで下がる。

20

【0012】

(最初の V_{th} 補正期間)

次に、 V_{th} の補正を行う。具体的には、信号線 DTL の電圧が V_{ofs} となっている間に、電源走査回路 150 がドレイン線 DSL の電圧を V_{ini} から V_{cc} に上げる (T_3)。すると、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、水平駆動回路 130 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_4)。すると、トランジスタ T_{Dr} のゲートがフローティングとなり、 V_{th} の補正が一旦停止する。

30

【0013】

(最初の V_{th} 補正休止期間)

V_{th} 補正が休止している期間中は、先の V_{th} 補正を行った行 (画素) とは異なる他の行 (画素) において、信号線 DTL の電圧のサンプリングが行われる。なお、 V_{th} 補正が不十分である場合、すなわち、トランジスタ T_{Dr} のゲート - ソース間の電位差 V_{gs} がトランジスタ T_{Dr} の閾値電圧 V_{th} よりも大きい場合には、 V_{th} 補正休止期間中にも、先の V_{th} 補正を行った行 (画素) において、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

【0014】

(2 回目の V_{th} 補正期間)

V_{th} 補正休止期間が終了した後、 V_{th} の補正を再び行う。具体的には、信号線 DTL の電圧が V_{ofs} となっており、 V_{th} 補正が可能となっている時に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{off} から V_{on} に上げ (T_5)、トランジスタ T_{Dr} のゲートを信号線 DTL に接続する。このとき、ソース電圧 V_s が $V_{ofs} - V_{th}$ よりも低い場合 (V_{th} 補正がまだ完了していない場合) には、トランジスタ T_{Dr} がカットオフするまで (電位差 V_{gs} が V_{th} になるまで)、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れる。その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。その後、水平駆動回路 130 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_6)。すると、トランジスタ T_{Dr} のゲートがフローティング

40

50

となるので、電位差 V_{gs} を信号線 DTL の電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、トランジスタ T_{Dr} の閾値電圧 V_{th} が画素回路 122 ごとにばらついた場合であっても、有機 EL 素子 121 等の発光輝度がばらつくのをなくすることができる。

【0015】

(2 回目の V_{th} 補正休止期間)

その後、 V_{th} 補正の休止期間中に、水平駆動回路 130 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える。

【0016】

(書き込み・ μ 補正期間)

10

V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっている間に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{off} から V_{on} に上げ (T_7)、トランジスタ T_{Dr} のゲートを信号線 DTL に接続する。すると、トランジスタ T_{Dr} のゲートの電圧が V_{sig} となる。このとき、有機 EL 素子 121 R 等のアノードの電圧はこの段階ではまだ有機 EL 素子 121 R 等の閾値電圧 V_{el} よりも小さく、有機 EL 素子 121 R 等はカットオフしている。そのため、電流 I_{ds} は有機 EL 素子 121 R 等の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V_s が ΔV だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、トランジスタ T_{Dr} の移動度 μ が大きい程、 ΔV も大きくなるので、電位差 V_{gs} を発光前に ΔV だけ小さくすることにより、画素ごとの移動度 μ のばらつきを取り除くことができる。

20

【0017】

(発光)

最後に、書き込み走査回路 140 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_8)。すると、トランジスタ T_{Dr} のゲートがフローティングとなり、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機 EL 素子 121 R 等が所望の輝度で発光する。

【0018】

【特許文献 1】特開 2008 - 083272 号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0019】

ところで、上述した V_{th} 補正準備期間では、トランジスタ T_{Dr} の電位差 V_{gs} が V_{th} を超えるようにするために、ソース電圧 V_s をマイナスの電位にしている。そのため、有機 EL 素子 121 R 等には、この期間の間ずっと逆バイアスがかかり続けている。逆バイアスがかかり続けている期間は、発光期間と消光期間のデューティ比 (発光期間 / 消光期間 $\times 100$) によって異なるが、例えば、デューティ比が 25% の場合には、一周期中の 75% もの間、有機 EL 素子 121 R 等に逆バイアスがかかり続けていることになる。

【0020】

40

一般に、有機 EL 素子に逆バイアスをかけたときに絶縁破壊 (滅点化) が生じる確率は、逆バイアスの大きさおよび印加時間が大きくなるほど大きくなる。そのため、上記したように、長い時間、有機 EL 素子 121 R 等に大きな逆バイアスをかけ続けた場合には、有機 EL 素子 121 R 等が滅点化する可能性が高く、歩留りの低下を招きかねないという問題があった。

【0021】

本発明はかかる問題点に鑑みてなされたもので、その目的は、滅点化の可能性を低減することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

【0022】

50

本発明の表示装置は、発光素子および画素回路を画素ごとに有する表示部と、画素回路を駆動する駆動部とを備えたものである。画素回路には、第1トランジスタと、第2トランジスタと、保持容量とが設けられている。駆動部には、第1駆動部と、第2駆動部と、第3駆動部と、制御部と、第1配線と、第2配線と、第3配線と、参照電圧に設定される第4配線とが設けられている。第1トランジスタのゲートが第1配線を介して第1駆動部に接続されている。第1トランジスタのドレインまたはソースが第3配線を介して第3駆動部に接続されている。第1トランジスタのドレインおよびソースのうち第3駆動部に未接続の方が第2トランジスタのゲートおよび保持容量の一端に接続されている。第2トランジスタのドレインまたはソースが第2配線を介して第2駆動部に接続されている。第2トランジスタのドレインおよびソースのうち第2駆動部に未接続の方が保持容量の他端および前記発光素子のアノードに接続されている。発光素子のカソードが第4配線に接続されている。第1駆動部は、第1トランジスタのオン電圧よりも低い第1電圧と、第1トランジスタのオン電圧以上の第2電圧とを第1配線に出力可能となっている。第2駆動部は、発光素子の閾値電圧と参照電圧との和よりも低い第3電圧と、発光素子の閾値電圧と参照電圧との和以上の第4電圧とを第2配線に出力可能となっている。第3駆動部は、第5電圧および第6電圧（第5電圧 > 第6電圧）と、映像信号に応じた大きさの第7電圧とを第3配線に出力可能となっている。制御部は、第1駆動部、第2駆動部および第3駆動部に対して以下の（A）～（C）の各ステップを順次実行することを指示する制御信号を出力するようになっている。

10

20

30

40

50

【0023】

（A）前記第3配線の電圧が前記第5電圧となっている時に、第2駆動部が第2配線の電圧を第5電圧から第3電圧に下げる消光ステップ

（B）第2配線の電圧が第3電圧となっており、かつ第3配線の電圧が第5電圧となっている時に、第1駆動部が第1配線の電圧を第1電圧から第2電圧に上げたのち、第2電圧から第1電圧に下げ、その後、第2配線の電圧が第3電圧となっており、かつ第3配線の電圧が第6電圧となっている時に、第1駆動部が第1配線の電圧を第1電圧から第2電圧に上げるV_th補正準備ステップ

（C）第2配線の電圧が第4電圧となっており、かつ第3配線の電圧が第5電圧、第6電圧および第7電圧のいずれかの電圧値に規則的に変化している時に、第1駆動部が、第1配線の電圧を第1電圧および第3電圧のいずれかの電圧値に規則的に変化させるV_th補正・発光ステップ

【0024】

本発明の電子機器は、上記表示装置を備えたものである。

【0025】

本発明の表示装置の駆動方法は、以下の構成を備えた表示装置の第1駆動部、第2駆動部および第3駆動部において上記の（A）～（C）の各ステップを順次実行するものである。

【0026】

上記駆動方法が用いられる表示装置は、発光素子および画素回路を画素ごとに有する表示部と、画素回路を駆動する駆動部とを備えたものである。画素回路には、第1トランジスタと、第2トランジスタと、保持容量とが設けられている。駆動部には、第1駆動部と、第2駆動部と、第3駆動部と、第1配線と、第2配線と、第3配線と、参照電圧に設定される第4配線とが設けられている。第1トランジスタのゲートが第1配線を介して第1駆動部に接続されている。第1トランジスタのドレインまたはソースが第3配線を介して第3駆動部に接続されている。第1トランジスタのドレインおよびソースのうち第3駆動部に未接続の方が第2トランジスタのゲートおよび保持容量の一端に接続されている。第2トランジスタのドレインまたはソースが第2配線を介して第2駆動部に接続されている。第2トランジスタのドレインおよびソースのうち第2駆動部に未接続の方が保持容量の他端および前記発光素子のアノードに接続されている。発光素子のカソードが第4配線に接続されている。第1駆動部は、第1トランジスタのオン電圧よりも低い第1電圧と、第

1 トランジスタのオン電圧以上の第2電圧とを第1配線に出力可能となっている。第2駆動部は、発光素子の閾値電圧と参照電圧との和よりも低い第3電圧と、発光素子の閾値電圧と参照電圧との和以上の第4電圧とを第2配線に出力可能となっている。第3駆動部は、第5電圧および第6電圧（第5電圧>第6電圧）と、映像信号に応じた大きさの第7電圧とを第3配線に出力可能となっている。

【0027】

本発明の表示装置およびその駆動方法ならびに電子機器では、消光ステップにおいて、第3配線の電圧が前記第5電圧となっている時に、第2配線の電圧が第5電圧から第3電圧に下げられる。これにより、ゲート電圧は第6電圧近傍の電圧となり、ソース電圧は第3電圧よりも高い電圧になる。その後、V_th補正準備ステップにおいて、第3配線の電圧が第5電圧となっている時に、第1配線の電圧が第1電圧から第2電圧に上げられたのち、第2電圧から第1電圧に下げられる。これにより、ゲート電圧は第6電圧よりも高い第5電圧まで上昇し、ソース電圧は第3電圧よりも高い電圧を維持する。その後、第3配線の電圧が第6電圧となっている時に、第1配線の電圧が第1電圧から第2電圧に上げられる。これにより、ゲート電圧が第6電圧にまで下がり、それに伴ってソース電圧も第3電圧まで下がる。つまり、ソース電圧は、V_th補正準備期間のうち所定の間（ゲート電圧が第5電圧となっている間）、第3電圧よりも高い電圧となっている。

10

【発明の効果】

【0028】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、V_th補正準備期間のうち所定の間、ソース電圧が第3電圧よりも高い電圧となるようにしたので、V_th補正準備期間において、発光素子に大きな逆バイアスが印加される期間を短くすることができ、V_th補正準備期間のうち所定の間については、発光素子に印加される逆バイアスを小さくすることができる。これにより、滅点化の可能性を低減することができる。

20

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0030】

図1は、本発明の一実施の形態に係る表示装置1の全体構成の一例を表したものである。この表示装置1は、例えば、ガラス、シリコン（Si）ウェハあるいは樹脂などよりなる基板（図示せず）上に、表示部10と、表示部10の周辺に形成された周辺回路部20（駆動部）とを備えている。

30

【0031】

表示部10は、複数の画素11を表示部10の全面に渡ってマトリクス状に配置したものであり、外部から入力された映像信号20aに基づく画像をアクティブマトリクス駆動により表示するものである。各画素11は、赤色用の画素11Rと、緑色用の画素11Gと、青色用の画素11Bとを含んでいる。

【0032】

図2は、画素11R、11G、11Bの内部構成の一例を表したものである。画素11R、11G、11B内には、図2に示したように、有機EL素子12R、12G、12B（発光素子）と、画素回路13とが設けられている。

40

【0033】

有機EL素子12R、12G、12B（以下、有機EL素子12R等と称する。）は、例えば、図示しないが、陽極（アノード）、有機層および陰極（カソード）が基板11側から順に積層された構成を有している。有機層は、例えば、陽極の側から順に、正孔注入効率を高める正孔注入層と、発光層への正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合による発光を生じさせる発光層と、発光層への電子輸送効率を高める電子輸送層とを積層してなる積層構造を有している。

【0034】

画素回路13は、サンプリング用のトランジスタT_{ws}（第1トランジスタ）、保持容

50

量 C_s 、駆動用のトランジスタ T_{Dr} （第2トランジスタ）によって構成されたものであり、 $2Tr1C$ の回路構成となっている。トランジスタ T_{Ws} 、 T_{Dr} は、例えば、 n チャンネルMOS型の薄膜トランジスタ（TFT（Thin Film Transistor））により形成されている。

【0035】

周辺回路部20は、タイミング制御回路21（制御部）と、水平駆動回路22（第3駆動部）と、書き込み走査回路23（第1駆動部）と、電源走査回路24（第2駆動部）とを有している。タイミング制御回路21は、表示信号生成回路21Aと、表示信号保持制御回路21Bとを含んでいる。また、周辺回路部20には、ゲート線WSL（第1配線）と、ドレイン線DSL（第2配線）と、信号線DTL（第3配線）と、グラウンド線GND（第4配線）とが設けられている。なお、グラウンド線は、グラウンドに接続されており、グラウンド電圧（参照電圧）に設定される。

10

【0036】

表示信号生成回路21Aは、外部から入力された映像信号20aに基づいて、例えば1画面ごと（1フィールドの表示ごと）に表示部10に表示するための表示信号21aを生成するものである。

【0037】

表示信号保持制御回路21Bは、表示信号生成回路21Aから出力された表示信号21aを1画面ごと（1フィールドの表示ごと）に、例えばSRAM（Static Random Access Memory）などから構成されたフィールドメモリに格納して保持するものである。この表示信号保持制御回路21Bはまた、各画素11を駆動する水平駆動回路22、書き込み走査回路23および電源走査回路24が連動して動作するように制御する役割も果たしている。具体的には、表示信号保持制御回路21Bは、書き込み走査回路23に対しては制御信号21bを、電源走査回路24に対しては制御信号21cを、表示信号駆動回路21Cに対しては制御信号21dをそれぞれ出力するようになっている。

20

【0038】

水平駆動回路22は、表示信号保持制御回路21Bから出力された制御信号21dに応じて、3種類の電圧（ V_{ofs1} （第5電圧）、 V_{ofs2} （第6電圧）、 V_{sig} （第7電圧））を出力可能となっている。具体的には、水平駆動回路22は、表示部10の各画素11に接続された信号線DTLを介して、書き込み走査回路23により選択された画素11へ3種類の電圧（ V_{ofs1} 、 V_{ofs2} 、 V_{sig} ）を供給するようになっている。

30

【0039】

ここで、 V_{ofs1} は、 V_{ofs2} よりも高い電圧値となっている。また、 V_{sig} は、映像信号20aに対応する電圧値となっている。 V_{sig} の最小電圧は V_{ofs} よりも低い電圧値となっており、 V_{sig} の最大電圧は V_{ofs} よりも高い電圧値となっている。

【0040】

書き込み走査回路23は、表示信号保持制御回路21Bから出力された制御信号21bに応じて、2種類の電圧（ V_{on} （第2電圧）、 V_{off} （第1電圧））を出力可能となっている。具体的には、書き込み走査回路23は、表示部10の各画素11に接続されたゲート線WSLを介して、駆動対象の画素11へ3種類の電圧（ V_{on} 、 V_{off} ）を供給し、サンプリング用のトランジスタ T_{Ws} を制御するようになっている。

40

【0041】

ここで、 V_{on} は、トランジスタ T_{Ws} のオン電圧以上の値となっている。 V_{on} は、後述の「最初のVth補正期間」や「書き込み・ μ 補正期間」などに書き込み走査回路23から出力される電圧値である。 V_{off} は、トランジスタ T_{Ws} のオン電圧よりも低い値となっており、かつ、 V_{on} よりも低い値となっている。 V_{off} は、後述の「Vth補正休止期間」や「発光期間」などに書き込み走査回路23から出力される電圧値である。

50

【 0 0 4 2 】

電源走査回路 2 4 は、表示信号保持制御回路 2 1 B から出力された制御信号 2 1 c に応じて、2 種類の電圧 (V_{ini} (第 3 電圧)、 V_{cc} (第 4 電圧)) を出力可能となっている。具体的には、電源走査回路 2 4 は、表示部 1 0 の各画素 1 1 に接続されたドレイン線 D S L を介して、駆動対象の画素 1 1 へ 2 種類の電圧 (V_{ini} 、 V_{cc}) を供給し、有機 E L 素子 1 2 R 等の発光および消光を制御するようになっている。

【 0 0 4 3 】

ここで、 V_{ini} は、有機 E L 素子 1 2 R 等の閾値電圧 V_{el} と、有機 E L 素子 1 2 R 等のカソードの電圧 V_{ca} とを足し合わせた電圧 ($V_{el} + V_{ca}$) よりも低い電圧値である。また、 V_{cc} は、電圧 ($V_{el} + V_{ca}$) 以上の電圧値である。

10

【 0 0 4 4 】

次に、図 2 を参照して、各構成要素の接続関係について説明する。書き込み走査回路 2 3 から引き出されたゲート線 W S L は、行方向に延在して形成されており、トランジスタ T_{ws} のゲートに接続されている。電源走査回路 2 4 から引き出されたドレイン線 D S L も行方向に延在して形成されており、トランジスタ T_{dr} のドレインに接続されている。また、水平駆動回路 2 2 から引き出された信号線 D T L は列方向に延在して形成されており、トランジスタ T_{ws} のドレインに接続されている。トランジスタ T_{ws} のソースは駆動用のトランジスタ T_{dr} のゲートと、保持容量 C_s の一端に接続されており、トランジスタ T_{dr} のソースと保持容量 C_s の他端とが有機 E L 素子 1 2 R 等のアノードに接続されている。有機 E L 素子 1 2 R 等のカソードは、グラウンド線 G N D に接続されている。

20

【 0 0 4 5 】

次に、本実施の形態の表示装置 1 の動作 (消光から発光までの動作) について説明する。本実施の形態では、有機 E L 素子 1 2 R 等の I - V 特性が経時変化したり、トランジスタ T_{dr} の閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機 E L 素子 1 2 R 等の発光輝度を一定に保つようにするために、有機 E L 素子 1 2 R 等の I - V 特性の変動に対する補償動作およびトランジスタ T_{dr} の閾値電圧 V_{th} や移動度 μ の変動に対する補正動作を組み込んでいる。

【 0 0 4 6 】

図 3 は、表示装置 1 における各種波形の一例を表したものである。図 3 には、ゲート線 W S L に 2 種類の電圧 (V_{on} 、 V_{off}) が、ドレイン線 D S L に 2 種類の電圧 (V_c 、 V_{ini}) が、信号線 D T L に 3 種類の電圧 (V_{sig} 、 V_{ofs1} 、 V_{ofs2}) が印加されている様子が示されている。さらに、図 3 には、ゲート線 W S L、ドレイン線 D S L および信号線 D T L への電圧印加に応じて、トランジスタ T_{dr} のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

30

【 0 0 4 7 】

(V_{th} 補正準備期間)

まず、 V_{th} 補正の準備を行う。具体的には、ゲート線 W S L の電圧が V_{off} となっており、信号線 D T L の電圧が V_{ofs1} となっており、ドレイン線 D S L の電圧が V_c となっている時 (つまり有機 E L 素子 1 2 R 等が発光している時) に、電源走査回路 2 4 が制御信号 2 1 c に応じてドレイン線 D S L の電圧を V_{cc} から V_{ini} に下げる (T_1)。すると、ソース電圧 V_s が V_{ini} よりも高い所定の電圧まで下がり、有機 E L 素子 1 2 R 等が消光する。このとき、保持容量 C_s を介したカップリングによりゲート電圧 V_g も、 V_{ofs2} よりも少し高い電圧まで下がる。次に、ドレイン線 D S L の電圧が V_{ini} となっており、かつ信号線 D T L の電圧が V_{ofs1} となっている間に、書き込み走査回路 2 3 が制御信号 2 1 b に応じてゲート線 W S L の電圧を V_{off} から V_{on} に上げる (T_2)。すると、ゲート電圧 V_g が V_{ofs1} まで上昇し、ソース電圧 V_s は V_{ini} よりも高い所定の電圧を維持する。その後、ドレイン線 D S L の電圧が V_{ini} となっており、かつ信号線 D T L の電圧が V_{ofs2} となっている時に、書き込み走査回路 2 3 が制御信号 2 1 b に応じてゲート線 W S L の電圧を V_{off} から V_{on} に上げる (T_3)。すると、ゲート電圧 V_g が V_{ofs2} まで下がり、それに伴ってソース電圧 V_s も V

40

50

v_{ini} まで下がる。

【0048】

ここで、ゲート電圧 V_g の変動量 ΔV_1 は、およそ $V_{ofs1} - V_{ofs2}$ である。一方、ソース電圧 V_s の変動量 ΔV_2 は、以下の式で示したように、保持容量 C_s および有機EL素子12R等の素子容量の結合容量の大きさと、ゲート電圧 V_g の変動量とによって決定される。従って、 ΔV_2 の大きさは、結合容量またはゲート電圧 V_g の上昇量を変えることにより調整可能である。なお、以下の式において、 C_{e1} は、有機EL素子12R等の素子容量の結合容量である。

$$\Delta V_2 = (V_{ofs1} - V_{ofs2}) \times (1 - C_s / (C_s + C_{e1}))$$

【0049】

例えば、上記した式の右辺第1項 ($V_{ofs1} - V_{ofs2}$) が10となっており、かつ右辺第2項 ($1 - C_s / (C_s + C_{e1})$) が0.2となっている場合には、 $\Delta V_2 = 10 \times 0.2 = 2$ ボルトとなる。

【0050】

このように、本実施の形態では、ソース電圧 V_s が、 V_{th} 補正準備期間のうち所定の間 (ゲート電圧 V_g が V_{ofs1} となっている間)、 V_{ini} よりも高い電圧となっている。これにより、 V_{th} 補正準備期間の間ずっとソース電圧 V_s が V_{ini} となっている従来の場合 (図13参照) と比べて、ソース電圧 V_s が V_{ini} となっている期間が短くなっている。

【0051】

なお、ゲート電圧 V_g とソース電圧 V_s との電位差 $V_{gs} (= V_{ofs} - V_{ini})$ がトランジスタ T_{Dr} の閾値電圧 V_{th} よりも大きくなるように、電源走査回路24および水平駆動回路22では、ドレイン線DSLおよび信号線DTLへの印加電圧 (V_{ini} 、 V_{ofs}) が設定されている。

【0052】

(最初の V_{th} 補正期間)

次に、 V_{th} の補正を行う。具体的には、信号線DTLの電圧が V_{ofs2} となっている間に、電源走査回路24が制御信号21cに応じてドレイン線DSLの電圧を V_{ini} から V_{cc} に上げる (T_4)。すると、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、水平駆動回路22が制御信号21dに応じて信号線DTLの電圧を V_{ofs2} から V_{sig} に切り替える前に、書き込み走査回路23が制御信号21bに応じてゲート線WSLの電圧を V_{on} から V_{off} に下げる (T_5)。すると、トランジスタ T_{Dr} のゲートがフローティングとなり、 V_{th} の補正が一旦停止する。

【0053】

(最初の V_{th} 補正休止期間)

V_{th} 補正が休止している期間中 (すなわち、ゲート線WSLの電圧が V_{off} となっており、かつドレイン線DSLの電圧が V_{cc} となっている間) は、先の V_{th} 補正を行った行 (画素) とは異なる他の行 (画素) において、信号線DTLの電圧のサンプリングが行われる。具体的には、水平駆動回路22が、 V_{th} 補正が休止している期間中に、信号線DTLの電圧を V_{ofs} から V_{sig} に切り替えたのち、 V_{sig} から V_{ofs1} 、 V_{ofs2} に段階的に切り替える動作を行い、書き込み走査回路23が、信号線DTLの電圧が V_{sig} 、 V_{ofs1} または V_{ofs2} となっている間に、先の V_{th} 補正を行った行 (画素) とは異なる他の行 (画素) に接続されたゲート線WSLの電圧を V_{off} から V_{on} に上げたのち、 V_{on} から V_{off} に切り替える。

【0054】

なお、 V_{th} 補正が不十分である場合、すなわち、トランジスタ T_{Dr} のゲート - ソース間の電位差 V_{gs} がトランジスタ T_{Dr} の閾値電圧 V_{th} よりも大きい場合には、 V_{th} 補正休止期間中にも、先の V_{th} 補正を行った行 (画素) において、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を

10

20

30

40

50

介したカップリングによりゲート電圧 V_g も上昇する。

【0055】

(2回目の V_{th} 補正期間)

V_{th} 補正休止期間が終了した後、 V_{th} の補正を再び行う。具体的には、ドレイン線 DSL の電圧が V_{cc} となっており、かつ信号線 DTL の電圧が V_{ofs2} となっており、 V_{th} 補正が可能となっている時に、書き込み走査回路23が制御信号21bに応じてゲート線 WSL の電圧を V_{off} から V_{on} に上げ (T_6)、トランジスタ T_{Dr} のゲートを信号線 DTL に接続する。このとき、ソース電圧 V_s が $V_{ofs} - V_{th}$ よりも低い場合 (V_{th} 補正がまだ完了していない場合) には、トランジスタ T_{Dr} がカットオフするまで (電位差 V_{gs} が V_{th} になるまで)、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れる。これにより、ゲート電圧 V_g が V_{ofs2} となり、ソース電圧 V_s が上昇し、その結果、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となる。その後、水平駆動回路22が信号線 DTL の電圧を V_{ofs2} から V_{sig} に切り替える前に、書き込み走査回路23がゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_7)。すると、トランジスタ T_{Dr} のゲートがフローティングとなるので、電位差 V_{gs} を信号線 DTL の電圧の大きさに拘わらず V_{th} のままで維持することができる。このように、電位差 V_{gs} を V_{th} に設定することにより、トランジスタ T_{Dr} の閾値電圧 V_{th} が画素回路13ごとにばらついた場合であっても、有機EL素子12R等の発光輝度がばらつくのをなくすることができる。

10

20

【0056】

(2回目の V_{th} 補正休止期間)

その後、 V_{th} 補正の休止期間中 (すなわち、ゲート線 WSL の電圧が V_{off} となっており、かつドレイン線 DSL の電圧が V_{cc} となっている間) に、水平駆動回路22が制御信号21dに応じて信号線 DTL の電圧を V_{ofs2} から V_{sig} に切り替える。

【0057】

(書き込み・ μ 補正期間)

2回目の V_{th} 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっている間に、書き込み走査回路23が制御信号21bに応じてゲート線 WSL の電圧を V_{off} から V_{on} に上げ (T_8)、トランジスタ T_{Dr} のゲートを信号線 DTL に接続する。すると、トランジスタ T_{Dr} のゲートの電圧が信号線 DTL の電圧 V_{sig} となる。このとき、有機EL素子12R等のアノードの電圧はこの段階ではまだ有機EL素子12R等の閾値電圧 V_{e1} よりも小さく、有機EL素子12R等はカットオフしている。そのため、電流 I_{ds} は有機EL素子12R等の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V_s が $\Delta V3$ だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V3$ となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、トランジスタ T_{Dr} の移動度 μ が大きい程、 $\Delta V3$ も大きくなるので、電位差 V_{gs} を発光前に $\Delta V3$ だけ小さくすることにより、画素ごとの移動度 μ のばらつきを取り除くことができる。

30

【0058】

(発光)

最後に、書き込み走査回路23が制御信号21bに応じてゲート線 WSL の電圧を V_{on} から V_{off} に下げる (T_9)。すると、トランジスタ T_{Dr} のゲートがフローティングとなり、トランジスタ T_{Dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機EL素子12R等に閾値電圧 V_{e1} 以上の電圧が印加され、有機EL素子12R等が所望の輝度で発光する。

40

【0059】

本実施の形態の表示装置1では、上記のようにして、各画素11において画素回路13がオンオフ制御され、各画素11の有機EL素子12R等に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こる。この光は、陽極と陰極との間で多重反射し、陰極等を透過して外部に取り出される。その結果、表示部10において画像が表示さ

50

れる。

【0060】

ところで、従来の表示装置100では、図12に示したように、 V_{th} 補正準備期間において、トランジスタ T_{Dr} の電位差 V_{gs} が V_{th} を超えるようにするために、ソース電圧 V_s をマイナスの電位にしている。そのため、有機EL素子121R等には、この期間の間ずっと逆バイアスがかかり続けている。逆バイアスがかかり続けている期間は、発光期間と消光期間のデューティ比（発光期間／消光期間×100）によって異なるが、例えば、デューティ比が25%の場合には、一周期中の75%もの間、有機EL素子121R等に逆バイアスがかかり続けていることになる。

【0061】

一般に、有機EL素子に逆バイアスをかけたときに絶縁破壊（滅点化）が生じる確率は、逆バイアスの大きさおよび印加時間が大きくなるほど大きくなる。そのため、上記したように、長い時間、有機EL素子121R等に逆バイアスをかけ続けた場合には、有機EL素子121R等が滅点化する可能性が高く、歩留りの低下を招きかねない。

【0062】

一方、本実施の形態では、3種類の電圧（ V_{ofs1} 、 V_{ofs2} 、 V_{sig} ）が信号線DTLに順次、周期的に印加されており、 V_{th} 補正準備期間において、信号線DTLの電圧が V_{ofs1} となっているときにトランジスタ T_{ws} をオン・オフし、ゲート電圧 V_g を $\Delta V1$ だけ上昇させると共に、ソース電圧 V_s も $\Delta V2$ だけ上昇させる。そして、 V_{th} 補正を開始する前に、信号線DTLの電圧が V_{ofs2} となっているときにトランジスタ T_{ws} をオンし、ゲート電圧 V_g を $\Delta V1$ だけ下げると共に、ソース電圧 V_s も $\Delta V2$ だけ下げる。これにより、 V_{th} 補正準備期間のうち所定の間（ゲート電圧 V_g が V_{ofs1} となっている間）、ソース電圧 V_s を V_{ini} よりも高い電圧にしておくことができるので、 V_{th} 補正準備期間の間ずっと、ソース電圧 V_s が V_{ini} となっている従来の場合（図13参照）と比べて、ソース電圧 V_s が V_{ini} となっている期間を短くすることができる。また、 V_{th} 補正準備期間のうち所定の間（ゲート電圧 V_g が V_{ofs1} となっている間）については、有機EL素子12R等に印加される逆バイアスを $\Delta V2$ だけ小さくすることができる。その結果、滅点化の可能性を低減することができる。

【0063】

（モジュールおよび適用例）

以下、上記実施の形態で説明した表示装置1の適用例について説明する。上記実施の形態の表示装置1は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0064】

（モジュール）

上記実施の形態の表示装置1は、例えば、図4に示したようなモジュールとして、後述する適用例1～5などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板2の一辺に、表示部10を封止する部材（図示せず）から露出した領域210を設け、この露出した領域210に、タイミング制御回路21、水平駆動回路22、書き込み走査回路23および電源走査回路24の配線を延長して外部接続端子（図示せず）を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板（FPC；Flexible Printed Circuit）220が設けられていてもよい。

【0065】

（適用例1）

図5は、上記実施の形態の表示装置1が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記実施の形態に係る表示装置1により構成されている。

10

20

30

40

50

【 0 0 6 6 】

(適用例 2)

図 6 は、上記実施の形態の表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 7 】

(適用例 3)

図 7 は、上記実施の形態の表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 8 】

(適用例 4)

図 8 は、上記実施の形態の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 6 9 】

(適用例 5)

図 9 は、上記実施の形態の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部（ヒンジ部）7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上記実施の形態に係る表示装置 1 により構成されている。

【 0 0 7 0 】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【 0 0 7 1 】

例えば、上記実施の形態等では、表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 3 の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路 1 3 に追加してもよい。その場合、画素回路 1 3 の変更に応じて、上述した水平駆動回路 2 2、書き込み走査回路 2 3、電源走査回路 2 4 のほかに、必要な駆動回路を追加してもよい。

【 0 0 7 2 】

また、上記実施の形態等では、水平駆動回路 2 2、書き込み走査回路 2 3 および電源走査回路 2 4 の駆動を信号保持制御回路 2 1 B が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、水平駆動回路 2 2、書き込み走査回路 2 3 および電源走査回路 2 4 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【図面の簡単な説明】

【 0 0 7 3 】

【図 1】本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【図 2】図 1 の画素の内部構成の一例を表す構成図である。

【図 3】図 1 の表示装置の動作の一例について説明するための波形図である。

【図 4】上記各実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図 5】上記実施の形態の表示装置の適用例 1 の外観を表す斜視図である。

【図 6】（A）は適用例 2 の表側から見た外観を表す斜視図であり、（B）は裏側から見た外観を表す斜視図である。

10

20

30

40

50

【図 7】適用例 3 の外観を表す斜視図である。

【図 8】適用例 4 の外観を表す斜視図である。

【図 9】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【図 10】従来の表示装置の一例を表す構成図である。

【図 11】図 10 の画素の内部構成の一例を表す構成図である。

【図 12】図 10 の表示装置の動作の一例について説明するための波形図である。

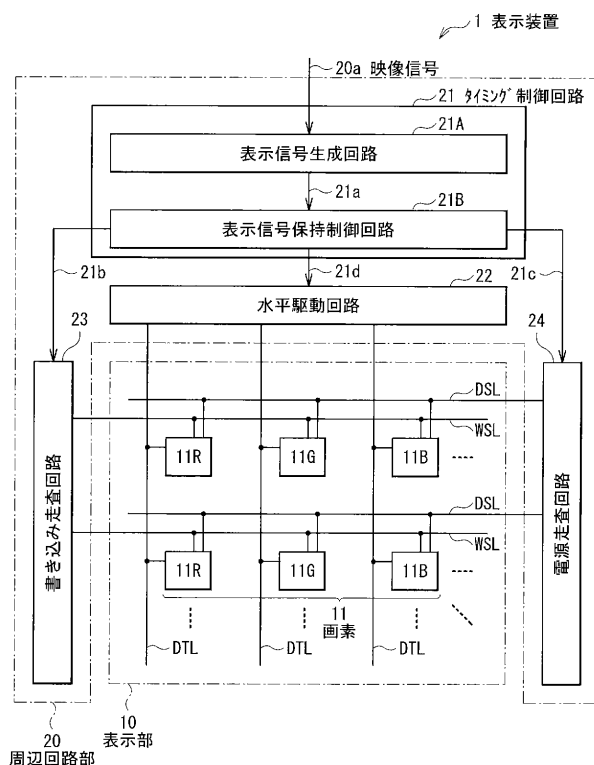
【符号の説明】

【0074】

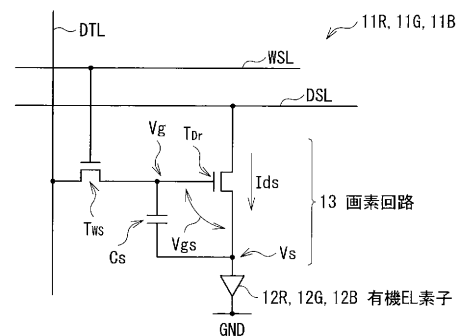
1 ... 表示装置、10 ... 表示部、11, 11R, 11G, 11B ... 画素、12R, 12G, 12B ... 有機 EL 素子、13 ... 画素回路、20 ... 周辺回路部、21 ... タイミング制御回路、21A ... 表示信号生成回路、21B ... 表示信号保持制御回路、22 ... 水平駆動回路、23 ... 書き込み走査回路、24 ... 電源走査回路、 C_s ... 保持容量、DSL ... ドレイン線、DTL ... 信号線、 I_{ds} ... 電流、 T_{Dr} , T_{Ws} ... トランジスタ、 V_g ... ゲート電圧、 V_{gs} ... 電位差、 V_s ... ソース電圧、 V_{th} ... 閾値電圧、WSL ... ゲート線。

10

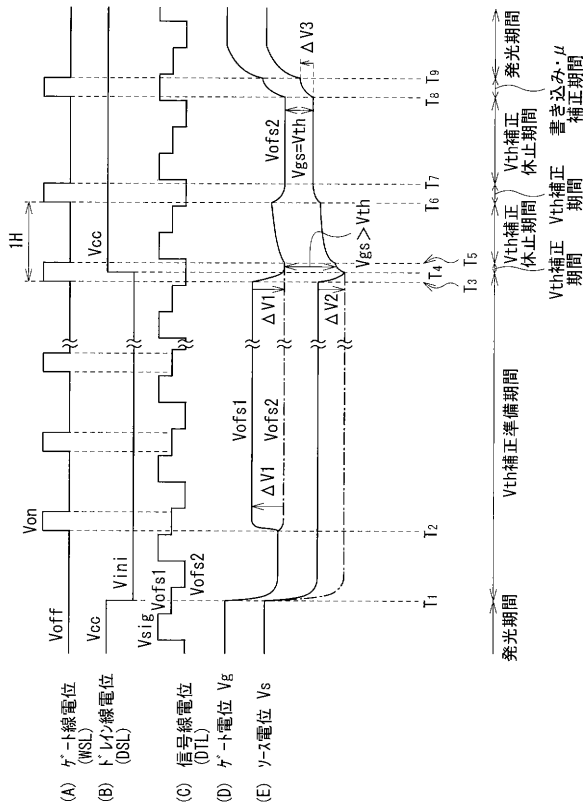
【図 1】



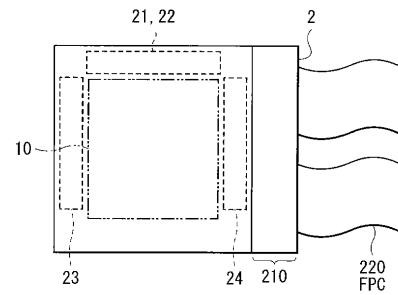
【図 2】



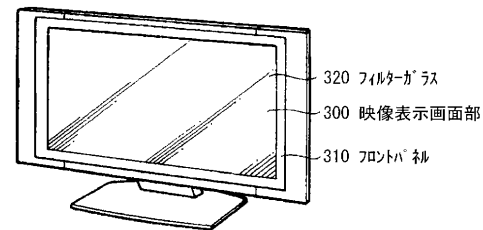
【図 3】



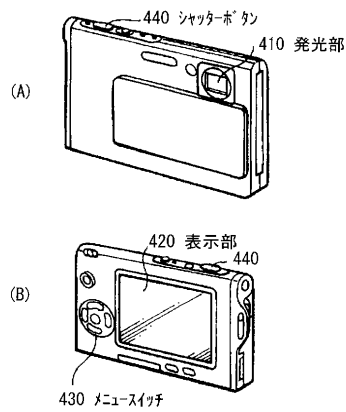
【図 4】



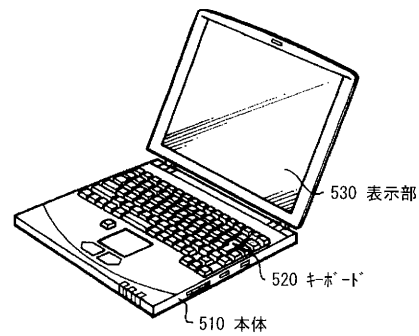
【図 5】



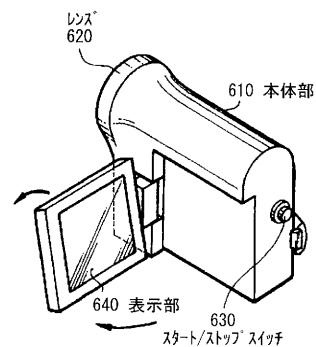
【図 6】



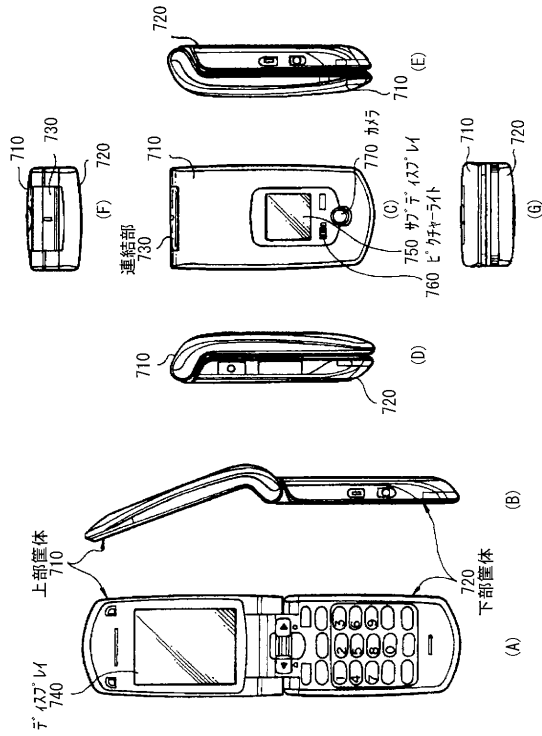
【図 7】



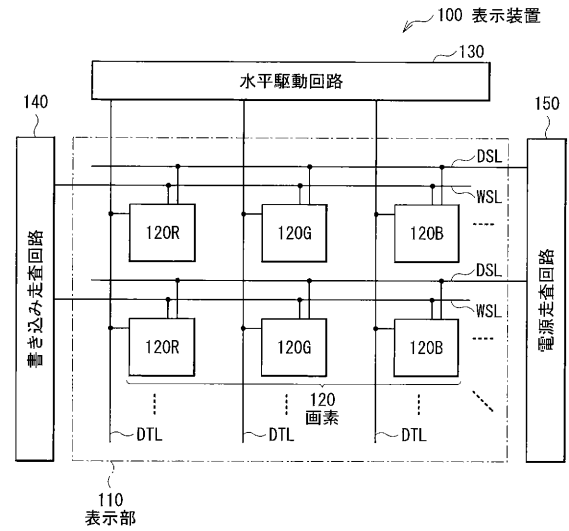
【図 8】



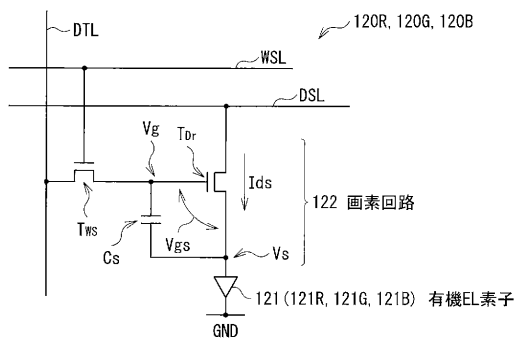
【図 9】



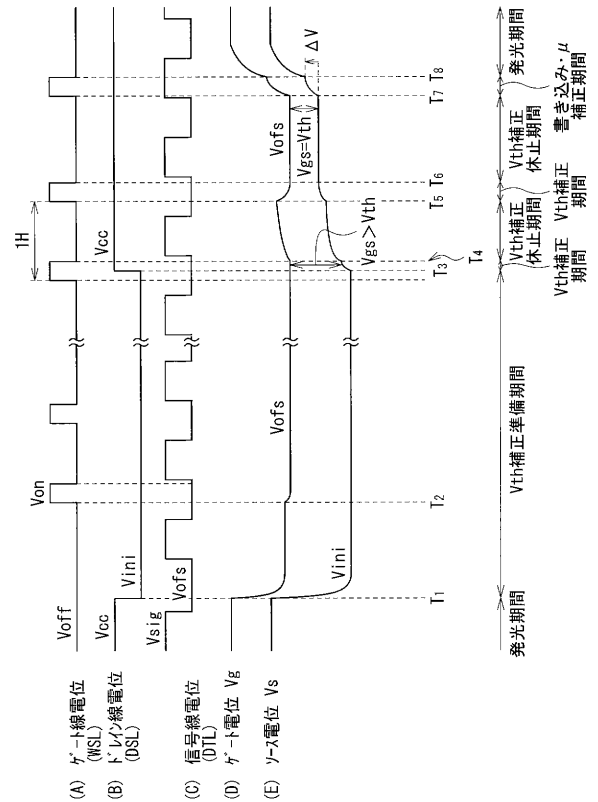
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 1 1 H

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC11 CC21 CC27 CC33 CC45 EE03 HH02 HH04
HH05
5C080 AA06 BB05 DD09 EE29 JJ02 JJ03 JJ04 JJ06
5F041 BB26 BB34 FF06