(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4031102号

(P4031102)

(45)発行日　平成20年1月9日(2008.1.9)　(24)登録日　平成19年10月26日(2007.10.26)

(51)Int.Cl.		F I		
G11C 11/407	(2006.01)	G11C	11/34	354D
G11C 11/4076	(2006.01)	G11C	11/34	354C
		G11C	11/34	362S

請求項の数 10　(全 13 頁)

(21)出願番号　特願平10-27236
(22)出願日　平成10年2月9日(1998.2.9)
(65)公開番号　特開平10-275471
(43)公開日　平成10年10月13日(1998.10.13)
審査請求日　平成14年8月5日(2002.8.5)
(31)優先権主張番号　97-11826
(32)優先日　平成9年3月31日(1997.3.31)
(33)優先権主張国　韓国(KR)

前置審査

(73)特許権者　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二

最終頁に続く

(54)【発明の名称】同期式半導体メモリ装置のカラム選択ライン制御回路

(57)【特許請求の範囲】

【請求項１】

パイプライン構造と２ビット以上のプレフェッチ構造とを含む同期式半導体メモリ装置のカラム選択ライン制御回路であって、

プレデコーディングされたアドレス、カラム選択ラインイネーブル制御信号、及びカラム選択ラインディスエーブル制御信号に応じて、カラム選択ラインを駆動するカラムデコーダと、

前記プレフェッチ構造として動作する際に使用される外部クロックの周期の２倍の周期である第２内部クロックを受けて、前記プレフェッチ構造の書込サイクルでアクティブされる制御信号に応じて、前記カラム選択ラインイネーブル制御信号及び前記カラム選択ラインディスエーブル制御信号を遅延して発生し、前記プレフェッチ構造の読出サイクルでインアクティブされる前記制御信号に応じて、前記カラム選択ラインイネーブル制御信号及び前記カラム選択ラインディスエーブル制御信号を遅延せずに発生し、前記パイプライン構造として動作する際に使用される外部クロックの周期と同一の周期である第１内部クロックを受けて、前記パイプライン構造の書込及び読出サイクルでインアクティブされる前記制御信号に応じて、前記カラム選択ラインイネーブル制御信号及び前記カラム選択ラインディスエーブル制御信号を遅延せずに発生するカラム選択ライン制御器とを備えることを特徴とする同期式半導体メモリ装置のカラム選択ライン制御回路。

【請求項２】

チップの外部から入力される外部クロックを受けて、前記外部クロックの周期と同一の

周期である前記第１内部クロックを発生する第１内部クロック発生器と、
前記第１内部クロックを受けて、前記第１内部クロックの周期の２倍の周期である前記第２内部クロックを発生する第２内部クロック発生器と、
前記第１内部クロック及び前記第２内部クロックのうち、前記パイプライン構造として動作する際に前記第１内部クロックを選択し、前記プレフェッチ構造として動作する際に前記第２内部クロックを選択する選択器と、
前記選択された第１又は第２内部クロックに応じて、チップの外部から入力されるカラムアドレスを受けて、増加するカラムアドレスを発生するカラムアドレスカウンタと、
前記カラムアドレス及び前記増加するカラムアドレスをバッファリングして、バッファリングされたアドレスを発生するカラムアドレスバッファと、
前記バッファリングされたアドレスをプレデコーディングして、前記プレデコーディングされたアドレスを発生するカラムプレデコーダとを更に備えることを特徴とする請求項１に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項３】
前記制御信号は、前記同期式半導体メモリ装置が前記プレフェッチ構造として動作する際にアクティブされる第１制御信号と、前記同期式半導体メモリ装置の書込サイクルでアクティブされる第２制御信号とから生成されることを特徴とする請求項１に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項４】
前記カラム選択ライン制御器は、
前記選択された第１又は第２内部クロックを受けて、前記第１及び第２制御信号に応じて前記カラム選択ラインイネーブル制御信号を発生するカラム選択ラインイネーブル制御信号発生器と、
前記選択された第１又は第２内部クロックを受けて、前記第１及び第２制御信号に応じて前記カラム選択ラインディスエーブル制御信号を発生するカラム選択ラインディスエーブル制御信号発生器とを備えることを特徴とする請求項３に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項５】
前記カラム選択ラインイネーブル制御信号発生器は、
前記選択された第１又は第２内部クロックを反転及び遅延する第１反転遅延器と、
前記第１反転遅延器の出力信号を遅延する第１遅延器と、
前記第１及び第２制御信号に応じて論理動作を行う第１論理手段と、
前記第１論理手段の出力信号に応じて、前記第１反転遅延器の出力信号及び前記第１遅延器の出力信号のうち何れか１つを選択して前記カラム選択ラインイネーブル制御信号として発生する第１選択器とを備えることを特徴とする請求項４に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項６】
前記第１論理手段は、前記第１及び第２制御信号に応じてＮＡＮＤ動作を行う手段であることを特徴とする請求項５に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項７】
前記第１選択器は、
前記第１論理手段の出力信号に応じて、前記第１反転遅延器の出力信号を前記カラム選択ラインイネーブル制御信号として出力する第１スイッチング手段と、
前記第１論理手段の出力信号の反転出力信号に応じて、前記第１遅延器の出力信号を前記カラム選択ラインイネーブル制御信号として出力する第２スイッチング手段とを備えることを特徴とする請求項５に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項８】
前記カラム選択ラインディスエーブル制御信号発生器は、

前記選択された第１又は第２内部クロックを遅延する第２遅延器と、
前記第２遅延器の出力信号を遅延する第３遅延器と、
前記第１及び第２制御信号に応じて論理動作を行う第２論理手段と、
前記第２論理手段の出力信号に応じて、前記第２遅延器の出力信号及び前記第３遅延器の出力信号のうち何れか１つを選択して前記カラム選択ラインディスエーブル制御信号として出力する第２選択器とを備えることを特徴とする請求項４に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項９】
前記第２論理手段は、前記第１及び第２制御信号に応じてＮＡＮＤ動作を行う手段であることを特徴とする請求項８に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【請求項１０】
前記第２選択器は、
前記第２論理手段の出力信号に応じて、前記第２遅延器の出力信号を前記カラム選択ラインディスエーブル制御信号として出力する第３スイッチング手段と、
前記第２論理手段の出力信号の反転出力信号に応じて、前記第３遅延器の出力信号を前記カラム選択ラインディスエーブル制御信号として出力する第４スイッチング手段とを備えることを特徴とする請求項８に記載の同期式半導体メモリ装置のカラム選択ライン制御回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は同期式半導体メモリ装置に係り、特に同期式半導体メモリ装置のカラム選択ライン制御回路に関するものである。
【０００２】
これらの同期式半導体メモリ装置、特に同期式ＤＲＡＭは、パイプライン構造を有する同期式ＤＲＡＭとプレフェッチ(Prefetch)構造を有する同期式ＤＲＡＭとに大別できる。前記パイプライン構造を有する同期式ＤＲＡＭでは、システムクロックのサイクル毎に外部から１つのアドレスや１つの命令が入力されることができ、なお、前記システムクロックの１つのサイクル中に１つのカラムアドレスによって選択される１つのカラム選択ラインCSLがイネーブルされる。然し、前記パイプライン構造を有する同期式ＤＲＡＭは、やや低い周波数のシステムクロックではその動作に何ら問題がないが、高い周波数のシステムクロックでは誤動作が生じる可能性が高いという短所がある。
【０００３】
そこで、高い周波数のシステムクロックで動作させるために出現したのが、プレフェッチ構造を有する同期式ＤＲＡＭである。前記プレフェッチ構造を有する同期式ＤＲＡＭでは、システムクロックの２サイクル毎に１つのアドレス、あるいは１つの命令が外部より入力でき、なお、前記システムクロックの２サイクルの間に２本以上のカラムアドレスによって選択される２本以上のカラム選択ラインCSLがイネーブルされる。前記のような動作を通常２Ｎルール(Rule)、あるいは２ビットプレフェッチと言う。
図１は、同期式ＤＲＡＭにおけるカラム選択ラインの機能を説明するための簡略なブロック図である。
図１を参照すれば、メモリセルアレイ11は、各ビットラインペアBLi及びBLiB（ｉは１～ｎの整数）を保存する多数のメモリセルから構成されている。スイッチング部12は、カラム選択ラインCSLi(CSL1i/CSL2i)がイネーブルされる際に、前記各ビットラインペアBLi及びBLiBを各入出力ラインペアIOi及びIOiB（ｉは1～n）に連結する。従って、読出し動作では、前記メモリセルアレイ11のメモリセルに保存されたデータが、前記各ビットラインペア、前記スイッチング部12、及び前記各入出力ラインペアを順次経由して、チップの外部に出力される。なお、書込動作では、チップの外部から入力されるデータが、前記各入出力ラインペア、前記スイッチング部、及び前記各ビットラインペアを順次経由して、前

記メモリセルアレイ11のメモリセルに保存される。

【０００４】

前記スイッチング部12は、ここには示していないが、ゲートに前記カラム選択ラインCSLiが接続され、ソース及びドレインのうち何れか１つが当該ビットラインに接続された上で、残りのひとつが当該入出力ラインに接続されるNMOSトランジスタからなる。前記NMOSトランジスタを、通常カラム選択ゲートと言う。

図２は、同期式ＤＲＡＭにおける、従来の技術に係るカラム選択ラインの制御回路のブロック図である。

図２を参照すれば、前記従来の技術に係るカラム選択ラインの制御回路は、カラムデコーダ21、カラム選択ライン制御器22、第１内部クロック発生器23、第２内部クロック発生器24、選択器25、カラムアドレスカウンタ26、カラムアドレスバッファ27、及びカラムプレデコーダ28を備えている。前記カラム選択ライン制御器22は、カラム選択ラインイネーブル制御信号発生器22aとカラム選択ラインディスエーブル制御信号発生器22bとからなる。

【０００５】

図２において、参照符号CSL1iはカラム選択ラインを、A1はチップの外部から入力されるカラムアドレスを、A2は増加するカラムアドレスA2を、CAiはバッファリングされたアドレスを、DCAijはプレデコーディングされたアドレスをそれぞれ示す。そして、参照符号CLKはチップの外部から入力される外部クロックを、PCLK1及びPCLK2はそれぞれ第１及び第２内部クロックを、PCLKSは前記PCLK1及び前記PCLK2のうち選択される内部クロック示す。また、PCSLE1はカラム選択ラインのイネーブル制御信号を、PCSLD1はカラム選択ラインのディスエーブル制御信号をそれぞれ示す。

図３は、図２に示したカラム選択ライン制御回路におけるカラムデコーダ21の回路図である。尚、図３のカラムデコーダの回路は、後述の本実施の形態でも使用される回路である。

図３を参照すれば、前記カラムデコーダ21は、ソースに電源供給電圧VCCが印加され、ゲートに前記プレデコーディングされたアドレスDCAijが印加されるPMOSトランジスタP1と、ソースが前記PMOSトランジスタP1のドレインに接続され、ゲートに前記カラム選択ラインのイネーブル制御信号PCSLE1が印加され、ドレインが前記カラム選択ラインCSL1iに接続されるPMOSトランジスタP2と、ドレインが前記カラム選択ラインCSL1iに接続され、ゲートに前記カラム選択ラインディスエーブル制御信号PCSLD1が印加され、ソースに接地電圧VSSが印加されるNMOSトランジスタN1と、前記カラム選択ラインCSL1iに伝えられた信号を保存するラインラッチ31とからなっている。ここで、前記ラインラッチ31は、前記カラム選択ラインCSL1iに伝えられた信号を反転させるインバータI1と、前記インバータI1の出力信号を反転させて前記カラム選択ラインCSL1iに出力するインバータI2とから構成されている。

図４は、図２に示したカラム選択ライン制御回路におけるカラム選択ラインイネーブル制御信号発生器22aの回路図である。

図４を参照すれば、前記カラム選択ラインイネーブル制御信号発生器22aは一種の反転遅延器であり、前記内部クロックPCLKSを反転させるインバータI3と、前記インバータI3の出力信号を反転させるインバータ14と、前記インバータI4の出力信号を反転させて前記カラム選択ラインイネーブル制御信号PCSLE1を出力するインバータ15とから構成されている。

図５は、図２に示したカラム選択ライン制御回路におけるカラム選択ラインディスエーブル制御信号発生器22bの回路図である。

図５を参照すれば、前記カラム選択ラインディスエーブル制御信号発生器22bは一種の遅延器であり、前記内部クロックPCLKSを反転させるインバータI6と、前記インバータI6の出力信号を反転させて前記カラム選択ラインディスエーブル制御信号PCSLD1を出力するインバータI7とから構成されている。

図６は、同期式ＤＲＡＭがパイプライン構造として動作する際の、図２に示したカラム選択ライン制御回路の動作を示すタイミング図である。

図６を参照すれば、同期式ＤＲＡＭがパイプライン構造として動作する際は、前記第１内部クロックPCLK1が内部クロックPCLKSとして選択される。前記外部クロックCLKの各サイクル中に１つのカラム選択ラインがイネーブルされる。即ち、カラム選択ラインCSL10、CSL11、CSL12、CSL13が順次に１サイクルずづイネーブル状態を維持する。
前記パイプライン構造の書込サイクルでは、前記外部クロックCLKの各上昇エッジで入力データDIN、即ちD0、D1、D2、D3がチップの内部に逐次入力され、前記各カラム選択ラインCSL10、CSL11、CSL12、CSL13がイネーブルされる際に、前記D0、D1、D2、D3は、図２に示していない所定の経路を経て前記各カラム選択ラインCSL10、CSL11、CSL12、CSL13に相当するメモリセルに順次保存される。
図７は、同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際の、図２に示したカラム選択ライン制御回路の動作を示すタイミング図である。
図７を参照すれば、同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際は、その周期が前記第１内部クロックPCLK1周期の２倍である前記第２内部クロックPCLK2が前記内部クロックPCLKSとして選択される。また、前記外部クロックCLKの２サイクルの間にそれぞれ２本ずつのカラム選択ラインがイネーブルされる。即ち、カラム選択ラインCSL10、CSL11は前記外部クロックCLKの初めの２サイクルの間にイネーブル状態を維持し、カラム選択ラインCSL12、CSL13は前記外部クロックCLKの次の２サイクルの間にイネーブル状態を維持する。
【０００６】
従って、チップの内部の動作周波数は外部クロックCLKの半分に減少されるため、２ビットプレフェッチ構造の読出しサイクルではメモリセルよりデータを読み出す時間的余裕がより多くとれる。
２ビットプレフェッチ構造の書込サイクルでは、図６に示したパイプライン構造の書込サイクルと同様に、前記外部クロックCLKの各上昇エッジで入力データDIN、即ちD0、D1、D2、D3がチップの内部に順次入力される。また、前述の如く、前記２ビットプレフェッチ構造では外部クロックCLKの２サイクルの間にCSL10及びCSL11が同時にイネーブルされ、前記外部クロックCLKの次の２サイクルの間にはCSL12及びCSL13が同時にイネーブルされる。然し、前記D0、D1、D2、D3は、図２に示していない所定の経路を経るため所定の時間だけ遅延される。従って、前記D0及びD2の場合は、CSL10及びCSL12がそれぞれイネーブルされる領域の前部（領域ａ、領域ｃ）で書込動作が開始されるため、メモリセルに書込みできる時間的余裕が十分である反面、前記D1及びD3の場合は、CSL11及びCSL13がそれぞれイネーブルされる領域の後部（領域ｂ、領域ｄ)で書込動作が開始されるため、メモリセルに書込みできる時間的な余裕が少なくなる。
従って、前述した従来の技術に係るカラム選択ラインの制御回路においては、外部クロック、即ちシステムクロックが速くなるほど、２ビットプレフェッチ構造の書込サイクルでメモリセルに書込みできる時間的余裕が益々不足してくるという短所がある。
【発明が解決しようとする課題】
従って、本発明の目的は、パイプライン構造及び２ビット以上のプレフェッチ構造を含む同期式半導体メモリ装置において、２ビット以上のプレフェッチ構造の書込サイクルで、メモリセルに書込みできる時間的余裕を増やしたカラム選択ライン制御回路を提供することにある。
【発明を解決するための手段】
前記目的を達成するために、本発明に係る同期式半導体メモリ装置のカラム選択ライン制御回路は、パイプライン構造と２ビット以上のプレフェッチ構造とを含む同期式半導体メモリ装置のカラム選択ライン制御回路であって、プレデコーディングされたアドレス、カラム選択ラインイネーブル制御信号、及びカラム選択ラインディスエーブル制御信号に応じて、カラム選択ラインを駆動するカラムデコーダと、前記プレフェッチ構造として動作する際に使用される外部クロックの周期の２倍の周期である第２内部クロックを受けて、前記プレフェッチ構造の書込サイクルでアクティブされる制御信号に応じて、前記カラム選択ラインイネーブル制御信号及び前記カラム選択ラインディスエーブル制御信号を遅

延して発生し、前記プレフェッチ構造の読出サイクルでインアクティブされる前記制御信号に応じて、前記カラム選択ラインイネーブル制御信号及び前記カラム選択ラインディスエーブル制御信号を遅延せずに発生し、前記パイプライン構造として動作する際に使用される外部クロックの周期と同一の周期である第１内部クロックを受けて、前記パイプライン構造の書込及び読出サイクルでインアクティブされる前記制御信号に応じて、前記カラム選択ラインイネーブル制御信号及び前記カラム選択ラインディスエーブル制御信号を遅延せずに発生するカラム選択ライン制御器とを備えることを特徴とする。

【発明の実施の形態】

以下、添付した図面に基づき、本発明の好適な実施の形態を詳細に説明する。

【０００７】

＜本実施の形態に係るカラム選択ライン制御回路の構成例＞

図８を参照すれば、本実施の形態に係るカラム選択ライン制御回路は、カラムデコーダ81、カラム選択ライン制御器82、第１内部クロック発生器83、第２内部クロック発生器84、選択器85、カラムアドレスカウンタ86、カラムアドレスバッファ87、及びカラムプレデコーダ88を備える。前記カラムデコーダ81は、プレデコーディングされたアドレスDCAij、カラム選択ラインイネーブル制御信号PCSLE2、及びカラム選択ラインディスエーブル制御信号PCSLD2に応じてカラム選択ラインCSL2iを駆動する。

【０００８】

前記同期式ＤＲＡＭがパイプライン構造と２ビット以上のプレフェッチ構造とを含む場合は、前記カラム選択ライン制御器82は、前記２ビットプレフェッチ構造の書込サイクルで、前記カラム選択ラインCSL2iのイネーブル時点及びディスエーブル時点を遅延するために、内部クロックPCLKSを受けて第１及び第２制御信号P2N、PWRに応じて前記カラム選択ラインイネーブル制御信号PCSLE2及び前記カラム選択ラインディスエーブル制御信号PCSLD2を発生する。

【０００９】

ここで、前記第１制御信号P2Nは、同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際に論理"ハイ"にアクティブされる信号であり、前記第２制御信号PWRは、書込サイクルで論理"ハイ"にアクティブされる信号であり、これらの２つの信号は図示されていない制御回路で発生される。

【００１０】

前記２ビットプレフェッチ構造の読出し及び書込サイクルの両方において、前記カラム選択ラインCSL2iのイネーブル時点及びディスエーブル時点を遅延するために、前記カラム選択ライン制御器82が前記第１制御信号P2Nにだけ応じて前記カラム選択ラインイネーブル制御信号PCSLE2及び前記カラム選択ラインディスエーブル制御信号PCSLD2を発生するようにも構成できる。

【００１１】

なお、前記同期式ＤＲＡＭが２ビット以上のプレフェッチ構造のみを含む場合に、前記カラム選択ライン制御器82は前記第２制御信号PWRにだけ応じて前記カラム選択ラインイネーブル制御信号PCSLE2及び前記カラム選択ラインディスエーブル制御信号PCSLD2を発生するようにも構成できる。

前記カラム選択ライン制御器82は、前記内部クロックPCLKSを受けて、前記第１及び第２制御信号P2N、PWRに応じて前記カラム選択ラインイネーブル制御信号PCSLE2又は前記カラム選択ラインディスエーブル制御信号PCSLD2をそれぞれ発生する、カラム選択ラインイネーブル制御信号発生器82aとカラム選択ラインディスエーブル制御信号発生器82bとを含む。

前記第１内部クロック発生器83は、チップの外部から入力される外部クロックCLK、即ち、システムロックを受けて、前記外部クロックCLKと周期が同一の第１内部クロックPCLK1を発生する。前記第２内部クロック発生器84は、前記第１内部クロックPCLK1を受けて、周期が前記第１内部クロックPCLK1の周期の２倍の第２内部クロックPCLK2を発生する。前記選択器85は、前記第１内部クロックPCLK1及び前記第２内部クロックPCLK2のうち何れか

１つを前記内部クロックPCLKSとして選択する。詳しく説明すれば、同期式ＤＲＡＭがパイプライン構造として動作する際には、前記選択器85は所定の制御信号に応じて前記第１内部クロックPCLK1を内部クロックPCLKSとして選択し、同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際には、前記選択器85は前記所定の制御信号に応じて前記第２内部クロックPCLK2を前記内部クロックPCLKSとして選択する。

【００１２】

前記カラムアドレスカウンタ86は、前記内部クロックPCLKSに応じて、チップの外部から入力されるカラムアドレスA1を受けて増加するカラムアドレスA2を発生する。従って、同期式ＤＲＡＭがパイプライン構造として動作する際は、前記カラムアドレスカウンタ86は前記第１内部クロックPCLK1を前記内部クロックPCLKSとして受けるため、前記外部クロックCLKの１サイクルの間に１つずつの前記増加したカラムアドレスA2を発生する。一方、前記同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際には、前記カラムアドレスカウンタ86は前記第２内部クロックPCLK2を前記内部クロックPCLKSとして受けるため、前記外部クロックCLKの２サイクルの間に１つずつの前記増加するカラムアドレスA2を発生する。前記カラムアドレスバッファ87は、前記カラムアドレスA1及び前記増加するカラムアドレスA2をバッファリングして、バッファリングされたアドレスCAiを発生する。前記カラムプレデコーダ88は、前記バッファリングされたアドレスCAiをプレデコーディングして、前記プレデコーディングされたアドレスDCAijを発生する。

【００１３】

尚、本実施の形態におけるカラムデコーダ81の構成は、図３を参照して既に示されているので、ここでは説明を省く。

【００１４】

＜本実施の形態に係るカラム選択ラインイネーブル制御信号発生器の構成例＞図９を参照すれば、前記カラム選択ラインイネーブル制御信号発生器82aは、前記内部クロックPCLKSを反転及び遅延させる第１反転遅延器91と、前記第１反転遅延器91の出力信号を遅延する第１遅延器92と、前記第１及び第２制御信号P2N、PWRに応じて論理動作を行う第１論理手段ND1と、前記第１論理手段ND1の出力信号に応じて前記第１反転遅延器91の出力信号及び前記第１遅延器92の出力信号のうち何れか１つを選択して、前記カラム選択ラインイネーブル制御信号PCSLE2として出力する第１選択器93とを備える。

前記第１反転遅延器91は、前記内部クロックPCLKSを反転させるインバータI8と、前記インバータI8の出力信号を反転させるインバータI9と、前記インバータI9の出力信号を反転させるインバータI10とから構成される。前記第１遅延器92は、前記インバータI10の出力信号を反転させるインバータI11と、前記インバータI11の出力信号を反転させるインバータI12とから構成される。前記第１論理手段ND1は、前記第１及び第２制御信号P2N、PWRに応じてＮＡＮＤ動作を行うＮＡＮＤゲートから構成される。前記第１選択器93は、前記第１論理手段ND1の出力信号に応じて、前記第１反転遅延器91の出力信号を前記カラム選択ラインイネーブル制御信号PCSLE2として出力する第１スイッチング手段TM1と、前記第１論理手段ND1の出力信号の反転出力信号に応じて、前記第１遅延器92の出力信号を前記カラム選択ラインイネーブル制御信号PCSLE2として出力する第２スイッチング手段TM2とを含む。ここで、前記第１及び第２スイッチング手段TM1、TM2は伝送ゲートから構成される。

前記カラム選択ラインイネーブル制御信号発生器82aの動作につき説明すれば、下記の通りである。

【００１５】

同期式ＤＲＡＭがパイプライン構造として動作する場合は、前記第１制御信号P2Nが論理"ロー"になる。従って、前記第１論理手段ND1の出力信号が論理"ハイ"になることによって、前記第１スイッチング手段TM1はターンオンされ、前記第２スイッチング手段TM2はターンオフされる。そこで、前記内部クロックPCLKSが前記第１反転遅延器91で反転及び遅延され、前記第１反転遅延器91の出力信号が前記カラム選択ラインイネーブル制御信号PCSLE2として出力される。

【００１６】
前記同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際は、前記第１制御信号P2Nが論理"ハイ"になるが、前記２ビットプレフェッチ構造の読出しサイクルでは前記第２制御信号PWRが論理"ロー"になる。それによって、前記２ビットプレフェッチ構造の読出しサイクルでは、前記パイプライン構造として動作する際と同様に、前記内部クロックPCLKSが前記第１反転遅延器91で反転及び遅延され、前記第１反転遅延器91の出力信号が前記カラム選択ラインイネーブル制御信号PCSLE2として出力される。
【００１７】
前記２ビットプレフェッチ構造の書込サイクルでは、前記第１制御信号P2Nが論理"ハイ"になり、前記第２制御信号PWRも論理"ハイ"になる。従って、前記第１論理手段ND1の出力信号が論理"ロー"になることによって、前記第１スイッチング手段TM1はターンオフされ、前記第２スイッチング手段TM2はターンオンされる。そこで、前記内部クロックPCLKSは前記第１反転遅延器91で反転及び遅延され、前記第１反転遅延器91の出力信号は前記第１遅延器92で更に遅延された上で、前記カラム選択ラインイネーブル制御信号PCSLE2として出力される。
＜本実施の形態に係るカラム選択ラインディスエーブル制御信号発生器の構成例＞
図１０を参照すれば、前記カラム選択ラインディスエーブル制御信号発生器82bは、前記内部クロックPCLKSを遅延する第２遅延器101と、前記第２遅延器101の出力信号を遅延する第3遅延器102と、前記第１及び第２制御信号P2N、PWRに応じて論理動作を行う第２論理手段ND2と、前記第２論理手段ND2の出力信号に応じて前記第２遅延器101の出力信号及び前記第3遅延器102の出力信号のうち何れか１つを選択して前記カラム選択ラインディスエーブル制御信号PCSLD2として出力する第２選択器103とを備える。
前記第２遅延器101は、前記内部クロックPCLKSを反転させるインバータI14と、前記インバータI14の出力信号を反転させるインバータI15とから構成される。前記第3遅延器102は、前記インバータI15の出力信号を反転させるインバータI16と、前記インバータI16の出力信号を反転させるインバータI17とから構成される。前記第２論理手段ND2は、前記第１及び第２制御信号P2N、PWRに応じてＮＡＮＤ動作を行うＮＡＮＤゲートから構成される。
前記第２選択器103は、前記第２論理手段ND2の出力信号に応じて、前記第２遅延器101の出力信号を前記カラム選択ラインディスエーブル制御信号PCSLD2として出力する第3スイッチング手段TM3と、前記第２論理手段ND2の出力信号の反転出力信号に応じて、前記第３遅延器102の出力信号を前記カラム選択ラインディスエーブル制御信号PCSLD2として出力する第４スイッチング手段TM4とを含む。ここで、前記第３及び第４スイッチング手段TM3、TM4は伝送ゲートから構成される。
前記カラム選択ラインディスエーブル制御信号発生器82bの動作は、図９に示したカラム選択ラインイネーブル制御信号発生器の動作と類似であり、異なる点だけを簡単に説明すれば下記の通りである。
【００１８】
同期式ＤＲＡＭがパイプライン構造として動作する際には、前記内部クロックPCLKSが前記第２遅延器101で遅延され、前記第２遅延器101の出力信号が前記カラム選択ラインディスエーブル制御信号PCSLD2として出力される。前記同期式ＤＲＡＭが２ビットプレフェッチ構造として動作し、書込サイクルの場合は、前記内部クロックPCLKSは前記第２遅延器101で遅延され、前記第２遅延器101の出力信号が前記第3遅延器102で更に遅延された上で前記カラム選択ラインディスエーブル制御信号PCSLD2として出力される。
＜本実施の形態に係るカラム選択ライン制御回路の動作タイミング例＞
図１１は同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際の、図８に示したカラム選択ライン制御回路の動作を示すタイミング図であり、本実施の形態に係るカラム選択ライン制御方法は図１１に示したタイミング図に沿って行われる。図１１に示したタイミング図に基づき、図８に示した本実施の形態に係るカラム選択ライン制御回路の動作及び本実施の形態に係るカラム選択ライン制御方法を説明する。
【００１９】

まず、第１内部クロック発生器83が、チップの外部から入力される外部クロックCLKを受けて、周期が前記外部クロックの周期と同一の第１内部クロックPCLK1を発生する。第２内部クロック発生器84が、前記第１内部クロックPCLK1を受けて周期が前記第１内部クロックの２倍の第２内部クロックPCLK2を発生する。

【００２０】

同期式ＤＲＡＭがパイプライン構造として動作する場合は、選択器85が前記第１内部クロックPCLK1を内部クロックPCLKSとして選択し、前記同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する場合は、前記選択器85が前記第２内部クロックPCLK2を前記内部クロックPCLKSとして選択する。また、カラム選択ラインイネーブル制御信号発生器82a及びカラム選択ラインディスエーブル制御信号発生器82bが、第１及び第２制御信号P2N、PWRにそれぞれ応じて前記２ビットプレフェッチ構造の書込動作の際に限ってアクティブされる制御信号（図示せず、図９及び図１０に示したND1及びND2の出力信号)を発生する。

【００２１】

以上述べた様に、前記第１制御信号P2Nは同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する際に論理"ハイ"にイネーブルされる信号であり、前記第２制御信号PWRは書込サイクルで論理"ハイ"にイネーブルされる信号である。図１１に示したタイミング図は、同期式ＤＲＡＭが２ビットプレフェッチ構造の書込サイクルで動作する場合である。

次に、前記カラム選択ラインイネーブル制御信号発生器82aは、前記内部クロックPCLKSを反転させ、前記制御信号がアクティブされる際（２ビットプレフェッチ構造の書込サイクル）には、前記反転された内部クロックを所定時間遅延してカラム選択ラインイネーブル制御信号PCSLE2として出力し、前記制御信号がノンアクティブされる際（２ビットプレフェッチ構造の書込サイクル以外）には、前記反転された内部クロックを遅延せずに前記カラム選択ラインイネーブル制御信号PCSLE2として出力する。即ち、同期式ＤＲＡＭが２ビットプレフェッチ構造の書込サイクルで動作する場合は前記反転された内部クロックが遅延して、前記カラム選択ラインイネーブル制御信号PCSLE2として出力される。

【００２２】

また、前記カラム選択ラインディスエーブル制御信号発生器82bは、前記制御信号がアクティブされる際には、前記内部クロックPCLKSを所定時間遅延してカラム選択ラインディスエーブル制御信号PCSLD2として出力し、前記制御信号がノンアクティブされる場合は、前記内部クロックPCLKSを遅延せずに前記カラム選択ラインディスエーブル制御信号PCSLD2として出力する。

【００２３】

即ち、同期式ＤＲＡＭが２ビットプレフェッチ構造の書込サイクルで動作する際に、前記内部クロックが遅延し、前記カラム選択ラインディスエーブル制御信号PCSLD2として出力される。従って、カラムデコーダ81は、前記カラム選択ラインイネーブル制御信号PCSLE2がアクティブされる際（下降エッジ)に、カラム選択ラインCSL20、CSL21、CSL22、CSL23をイネーブルさせ、前記カラム選択ラインディスエーブル制御信号PCSLD2がアクティブされる際（上昇エッジ)に、前記カラム選択ラインCSL20、CSL21、CSL22、CSL23をディスエーブルさせる。従って、同期式ＤＲＡＭが２ビットプレフェッチ構造の書込サイクルで動作する場合は、前記遅延したカラム選択ラインイネーブル制御信号PCSLE2及び前記遅延したカラム選択ラインディスエーブル制御信号PCSLD2に応じて、前記カラム選択ラインCSL20、CSL21、CSL22、CSL23のイネーブル時点及びディスエーブル時点が遅延される。

また、前述の如く、前記同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する場合は、前記外部クロックCLKの２サイクルの間に２本ずつのカラム選択ラインがイネーブルされる。即ち、カラム選択ラインCSL20、CSL21は前記カラム選択ラインイネーブル制御信号PCSLE2の下降エッジで同時にイネーブルされ、前記カラム選択ラインディスエーブル制御信号PCSLD2の上昇エッジで同時にディスエーブルされる。カラム選択ラインCSL22、CSL23は、前記カラム選択ラインイネーブル制御信号PCSLE2の次の下降エッジで同時にイネーブルされ、前記カラム選択ラインディスエーブル制御信号PCSLD2の次の上昇エッジで同時にディスエーブルされる。従って、前記同期式ＤＲＡＭが２ビットプレフェッチ構造と

して動作し、書込サイクルの場合は、前記カラム選択ラインCSL20、CSL21、CSL22、CSL23のイネーブル時点及びディスエーブル時点が遅延し、それによってチップの外部から入力される入力データDIN、即ちD1、D2、D3、D4をメモリセルに書込みできる時間的余裕が増える。

本発明は前記実施の形態に限らず、多くの変形が本発明の思想内で、且つ当分野において通常の知識を有した者にとって可能であることは明らかである。

【発明の効果】

以上述べた様に、本発明に係るパイプライン構造及び２ビット以上のプレフェッチ構造を含む同期式半導体メモリ装置のカラム選択ライン制御回路は、前記同期式半導体メモリ装置が２ビットプレフェッチ構造として動作し、書込サイクルの場合、カラム選択ラインのイネーブル時点及びディスエーブル時点を遅延することによって、チップの外部から入力される入力データをメモリセルに書込みできる時間的余裕を増すことができる。

【００２４】

【図面の簡単な説明】

【図１】同期式ＤＲＡＭにおけるカラム選択ラインの機能を説明するための簡略なブロック図である。

【図２】 同期式ＤＲＡＭにおいて、従来の技術に係るカラム選択ライン制御回路のブロック図である。

【図３】 図２及び図８に示したカラム選択ライン制御回路におけるカラムデコーダの回路図である。

【図４】　図２に示したカラム選択ライン制御回路におけるカラム選択ラインイネーブル制御信号発生器の回路図である。

【図５】　図２に示したカラム選択ライン制御回路におけるカラム選択ラインディスエーブル制御信号発生器の回路図である。

【図６】同期式ＤＲＡＭがパイプライン構造として動作する場合の、図２に示したカラム選択ライン制御回路の動作タイミング図である。

【図７】 同期式ＤＲＡＭが２ビットプレフェッチ構造として動作する場合の、図２に示したカラム選択ライン制御回路の動作タイミング図である。

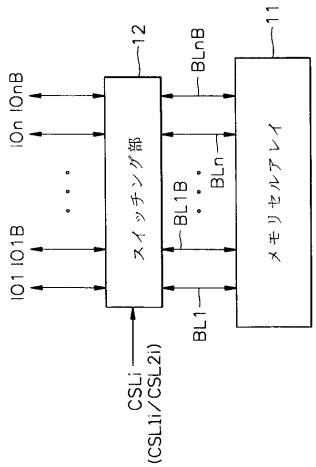
【図８】　本実施の形態の同期式ＤＲＡＭに係るカラム選択ライン制御回路の構成例を示すブロック図である。

【図９】図８に示したカラム選択ライン制御回路におけるカラム選択ラインイネーブル制御信号発生器の一実施の形態を示す回路図である。

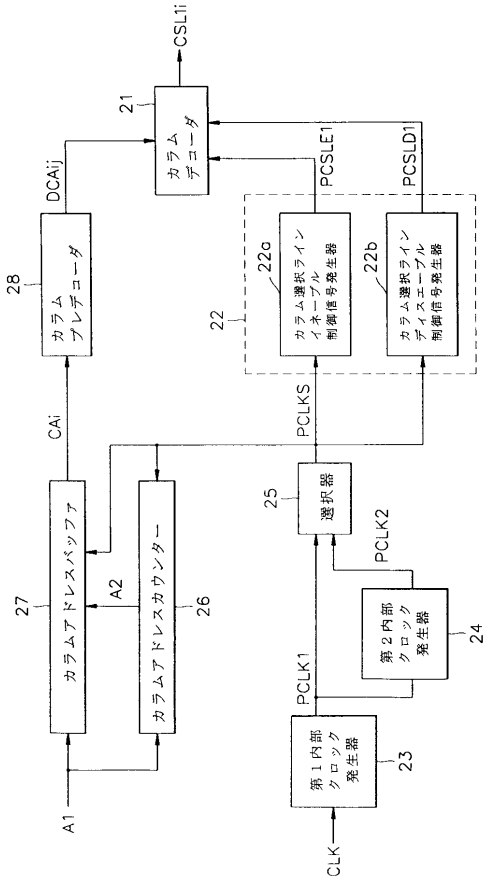
【図１０】図８に示したカラム選択ライン制御回路におけるカラム選択ラインディスエーブル制御信号発生器の一実施の形態を示す回路図である。

【図１１】　同期式ＤＲＡＭが２ビットプレフェッチ構造の書き込みサイクルで動作する場合の、図８に示したカラム選択ライン制御回路の動作タイミング図である。

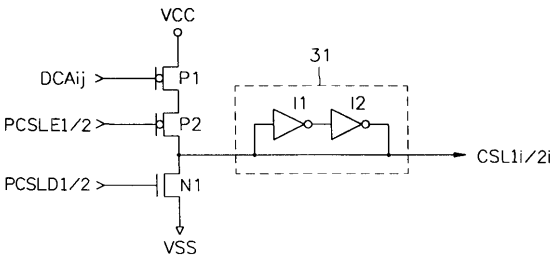
【図１】



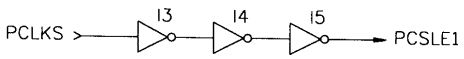
【図２】



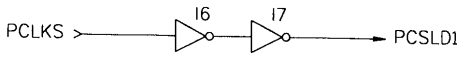
【図３】



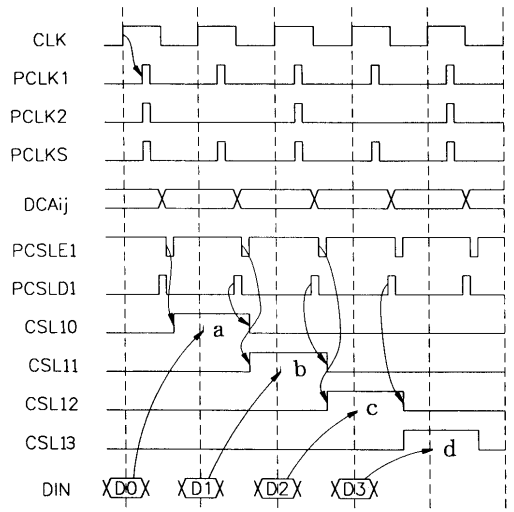
【図４】



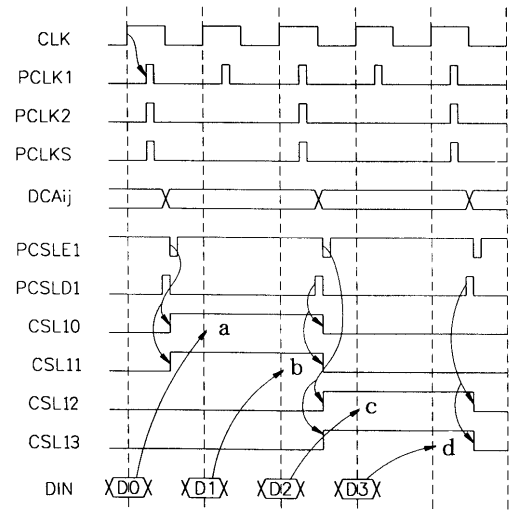
【図５】



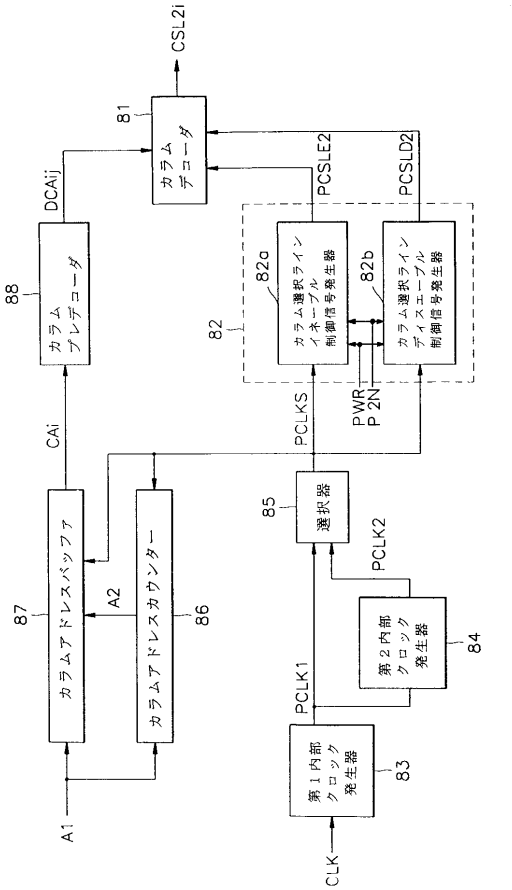
【図６】



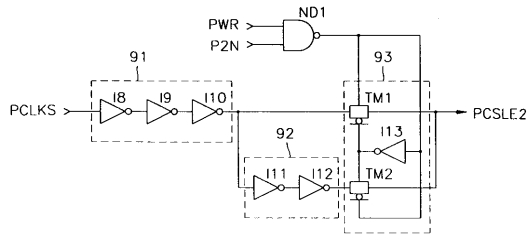
【図７】



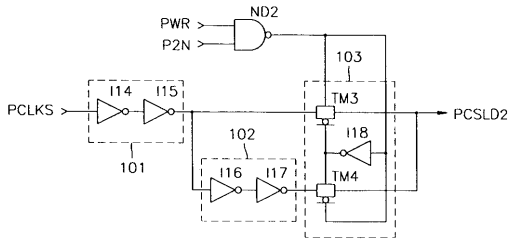
【図８】



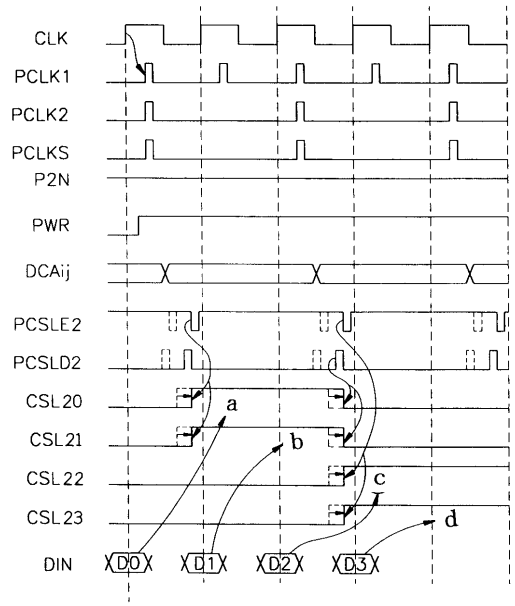
【図９】



【図１０】



【図１１】



フロントページの続き

(72)発明者　徐東一
大韓民国京畿道水原市八達区遠川洞３５番地　住公アパート１０８棟８０５号
(72)発明者　尹世昇
大韓民国ソウル特別市龍山区漢江路3街４０－１９４番地

審査官　堀田　和義

(56)参考文献　特開平９－１９８８６１（ＪＰ，Ａ）
特開平８－１０６７７８（ＪＰ，Ａ）
特開平９－２９３３７８（ＪＰ，Ａ）
特開平９－１６７４８９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C　11/407