

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第6465804号  
(P6465804)

(45) 発行日 平成31年2月6日(2019.2.6)

(24) 登録日 平成31年1月18日(2019.1.18)

(51) Int.Cl.

G O 5 F 1/56 (2006.01)

F I

G O 5 F 1/56 3 1 O C

G O 5 F 1/56 3 1 O A

G O 5 F 1/56 3 1 O K

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2015-540867 (P2015-540867)	(73) 特許権者	507364838
(86) (22) 出願日	平成25年11月5日 (2013.11.5)		クアルコム, インコーポレイテッド
(65) 公表番号	特表2015-533443 (P2015-533443A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成27年11月24日 (2015.11.24)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2013/068522		イブ 5775
(87) 国際公開番号	W02014/074520	(74) 代理人	100108453
(87) 国際公開日	平成26年5月15日 (2014.5.15)		弁理士 村山 靖彦
審査請求日	平成28年10月19日 (2016.10.19)	(74) 代理人	100163522
(31) 優先権主張番号	61/722, 876		弁理士 黒田 晋平
(32) 優先日	平成24年11月6日 (2012.11.6)	(72) 発明者	バート・エル・プライス
(33) 優先権主張国	米国 (US)		アメリカ合衆国・カリフォルニア・921
(31) 優先権主張番号	13/788, 115		21・サン・ディエゴ・モアハウス・ドラ
(32) 優先日	平成25年3月7日 (2013.3.7)		イブ・5775
(33) 優先権主張国	米国 (US)		
前置審査			最終頁に続く

(54) 【発明の名称】 低減スイッチオンレート低ドロップアウトレギュレータ (LOD) バイアスおよび補償の方法および装置

(57) 【特許請求の範囲】

【請求項 1】

パスゲート制御信号 (V<sub>hg</sub>) に応答して、電圧レール (V<sub>dd</sub>) をレギュレータ出力 (V<sub>out</sub>) に制御可能に結合するパスゲート (M<sub>9</sub>) と、

スルー制限状態とフルスルー状態との間で切り替え可能であり、前記レギュレータ出力からフィードバックを受け、基準電圧 (V<sub>ref</sub>) および前記フィードバックに基づいて、前記フルスルー状態ではフルスルーレートで、前記スルー制限状態では低減したスルーレートで前記パスゲート制御信号を生成するように構成された、制御可能なスルー差動増幅器 (204) と、

前記パスゲート制御信号を選択的に無視し、前記パスゲートをオフに切り替えるように構成されたパスゲート無効化回路 (270) とを備え、

前記制御可能なスルー差動増幅器が、切り替え可能なテール電流源 (250) を含み、前記切り替え可能なテール電流源が、スルー制限バイアス電流 (I<sub>SSB</sub>) の供給と、フルスルーバイアス電流 (I<sub>ON</sub>) の供給との間で切り替え可能であり、前記フルスルーバイアス電流により前記フルスルーレートで、前記スルー制限バイアス電流により前記低減したスルーレートで前記パスゲート制御信号を生成するように構成され、前記切り替え可能なテール電流源が、前記フルスルーバイアス電流 (I<sub>ON</sub>) を供給するように構成された切り替え可能なフルスルーバイアス電流源 (252) を、前記スルー制限バイアス電流 (I<sub>SSB</sub>) を供給するように構成されたスルー制限バイアス電流源 (254) と並

10

20

列に含み、

システムオン/オフ信号 (ST\_ON/OFF) のオン - オフ遷移にตอบสนองして、前記切り替え可能なテール電流源を前記スルー制限バイアス電流に切り替え (M20、256)、前記システムオン/オフ信号 (ST\_ON/OFF) のオフ - オン遷移後に遅延 (DL Y) で、前記切り替え可能なテール電流源を、前記スルー制限バイアス電流から前記フルスルーバイアス電流に切り替えるように構成されたテール電流制御回路 (256、260、M20、C2) をさらに備える、

低減スイッチオンスルー低ドロップアウト (LDO) レギュレータ。

【請求項2】

前記制御可能なスルー差動増幅器が、前記システムオン/オフ信号 (ST\_ON/OFF) のオフ - オン遷移にตอบสนองして、前記DL Yに等しい期間中に初期ゼロ電圧から前記Vrefにスルーするスルーレートで、前記初期ゼロ電圧から前記Vrefにスルーするように構成された、請求項1に記載の低減スイッチオンスルーLDOレギュレータ。

【請求項3】

前記テール電流制御回路が、遅延キャパシタと、前記遅延キャパシタを、前記システムオン/オフ信号 (ST\_ON/OFF) のオフ - オン遷移にตอบสนองして、前記DL Yに等しい持続時間を有する充電時間中に、ゼロ電圧からテール電流源モード切り替えしきい値に充電するように構成された充電回路とを含む、請求項2に記載の低減スイッチオンスルーLDOレギュレータ。

【請求項4】

前記充電回路が、充電電流源に結合されたトリガスイッチを含む、請求項3に記載の低減スイッチオンスルーLDOレギュレータ。

【請求項5】

前記パスゲート制御信号を前記パスゲートの制御ゲートに搬送するパスゲート制御線 (257) をさらに備え、前記パスゲート無効化回路が、2位置スイッチ (270) を備え、前記2位置スイッチが、無効位置および有効位置を有し、前記無効位置が前記パスゲートを無効にする電圧 (Vdd) への前記制御ゲートの短絡を提供し、前記有効位置が前記制御ゲートの短絡を提供せず、前記2位置スイッチが、前記システムオン/オフ信号 (ST\_ON/OFF) のオン - オフ状態に基づいて、前記無効位置と前記有効位置との間で切り替わるように構成された、請求項1に記載の低減スイッチオンスルーLDOレギュレータ。

【請求項6】

低減スイッチオンスルー低ドロップアウトレギュレータによって実行される、差動入力部を有する差動増幅器 (204) によって制御されるパスゲート (M9) と、前記差動入力部のうちの一つによって制御されるトランジスタ (M2、M4) とを用いて、低減スイッチオンスルー低ドロップアウト (LDO) 調整するための方法であって、

バイアス電流 (I\_ON) で前記トランジスタをバイアスするステップであって、前記バイアス電流がフルスルーバイアス電流である、ステップと、

前記差動入力部に、基準電圧 (Vref) と、前記パスゲートの出力 (Vout) のフィードバック (110) とを提供するステップと、

システムオン/オフ信号 (ST\_ON/OFF) のオン - オフ遷移にตอบสนองして、前記フィードバックを無効にし、前記バイアス電流を、前記フルスルーバイアス電流よりも低いスルー制限バイアス電流 (I\_SB) に切り替える (M20、256) ステップと、

前記システムオン/オフ信号 (ST\_ON/OFF) のオフ - オン遷移にตอบสนองして、前記差動増幅器への前記フィードバックを可能にするステップと、

前記システムオン/オフ信号 (ST\_ON/OFF) の前記オフ - オン遷移から低減スルー期間だけ遅延した時間に、前記バイアス電流を前記フルスルーバイアス電流に切り替えるステップであって、前記遅延時間が、充電切り替えトランジスタ (M20) の制御下で、遅延キャパシタを充電する電流源 (260) によって実現される、ステップとを含み、

10

20

30

40

50

前記フルスルーバイアス電流で前記トランジスタをバイアスするために前記バイアス印加を切り替える前記ステップが、前記オフ・オン遷移に応答して、前記遅延キャパシタの充電を開始するステップと、前記遅延キャパシタが所与のしきい値電圧レベルに達したことに応答して、前記バイアス電流を前記フルスルーバイアス電流に前記切り替えるステップを行うステップとを含む、方法。

【請求項 7】

低減スイッチオンスルー低ドロップアウトレギュレータによって実行される、差動入力部を有する差動増幅器 ( 2 0 4 ) によって制御されるパスゲート ( M 9 ) と、前記差動入力部のうちの一つによって制御されるトランジスタ ( M 2 、 M 4 ) とを用いて、低減スイッチオンスルー低ドロップアウト ( L D O ) 調整するための方法であって、

バイアス電流 ( I \_ O N ) で前記トランジスタをバイアスするステップであって、前記バイアス電流がフルスルーバイアス電流である、ステップと、

前記差動入力部に、基準電圧 ( V r e f ) と、前記パスゲートの出力 ( V o u t ) のフィードバック ( 1 1 0 ) とを提供するステップと、

システムオン/オフ信号 ( S T \_ O N / O F F ) のオン・オフ遷移に応答して、前記フィードバックを無効にし、前記バイアス電流を、前記フルスルーバイアス電流よりも低いスルー制限バイアス電流 ( I \_ S B ) に切り替える ( M 2 0 、 2 5 6 ) ステップと、

前記システムオン/オフ信号 ( S T \_ O N / O F F ) のオフ・オン遷移に応答して、前記差動増幅器への前記フィードバックを可能にするステップと、

前記オフ・オン遷移から低減スルー期間だけ遅延した時間に、前記バイアス電流を前記フルスルーバイアス電流に切り替えるステップであって、前記遅延時間が、充電切り替えトランジスタ ( M 2 0 ) の制御下で、遅延キャパシタを充電する電流源 ( 2 6 0 ) によって実現される、ステップとを含む、

前記フルスルーバイアス電流で前記トランジスタをバイアスするステップが、

前記システムオン/オフ信号 ( S T \_ O N / O F F ) のオン状態に応答して、オンレベルのバイアス電流源制御信号を生成するステップと、

前記オンレベルの前記バイアス電流源制御信号に基づいて、前記トランジスタに結合された電流源 ( 2 5 2 ) を制御するステップと

を含む、方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本開示の技術分野は、電圧レギュレータに関し、より具体的には、低ドロップアウト ( L D O : low dropout ) レギュレータに関する。

【 0 0 0 2 】

米国特許法 119 条による優先権の主張

本特許明細書は、本出願の譲受人に譲渡され、それによって、参照により本明細書に明示的に組み込まれている、2012年11月6日に出願した「METHOD AND APPARATUS REDUCED SWITCH-ON RATE LOW DROPOUT REGULATOR (LDO) BIAS AND COMPENSATION」と題する仮特許出願第61/722,876号の優先権を主張するものである。

【背景技術】

【 0 0 0 3 】

LDOレギュレータは、非常に低いドロップアウトで動作することができる直流 ( DC ) リニア電圧レギュレータであり、ここで、「ドロップアウト」(「ドロップアウト電圧」とも呼ばれる)は、入力電圧(例えば、受けた電源レール電圧)と調整された出力電圧との間の差を意味する。従来のLDOレギュレータ技術で知られているように、低ドロップアウト電圧は、例えば、より高い効率、および付随する発熱の減少、ならびに、より低い最低動作電圧を提供することができる。

【発明の概要】

【課題を解決するための手段】

## 【 0 0 0 4 】

以下の要約は、すべての企図される態様の広範囲な概要ではない。その唯一の目的は、後に提示されるより詳細な説明の前置きとして、1つまたは複数の態様のいくつかの概念を簡略化された形式で提示することである。

## 【 0 0 0 5 】

例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータは、パスゲート制御信号に応答して、電圧レールをレギュレータ出力部に制御可能に結合するパスゲートを含むことができる。一態様では、パスゲート制御信号は、スルー制御状態とフルスルー状態との間で切り替え可能な、制御可能なスルー差動増幅器によって生成される。この態様にはさらに、制御可能なスルー差動増幅器は、レギュレータ出力部からフィードバックを受け、基準電圧およびフィードバックに基づいて、フルスルー状態ではフルスルーレートで、スルー制限状態では低減したスルーレートでパスゲート制御信号を生成するように構成される。

10

## 【 0 0 0 6 】

例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータは、さらに、パスゲート制御信号を選択的に無視し、パスゲートをオフに切り替えるように構成されたパスゲート無効化回路を含むことができる。

## 【 0 0 0 7 】

一態様では、例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータの制御可能なスルー差動増幅器は、スルー制限バイアス電流とフルスルーバイアス電流との間で切り替え可能な、切り替え可能なテール電流源を含むことができる。関連する態様では、制御可能なスルー差動増幅器は、フルスルーバイアス電流によりフルスルーレートで、スルー制限バイアス電流により低減したスルーレートでパスゲート制御信号を生成するように構成され得る。さらなる態様では、切り替え可能なテール電流源は、オンのときにフルスルーバイアス電流を供給するように構成されたオン-オフ切り替え可能なフルスルーバイアス電流源を、低減したスルーバイアス電流を供給するように構成された低減スルーバイアス電流源と並列に含むことができる。

20

## 【 0 0 0 8 】

例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータは、さらに、一態様では、システムオン-オフ信号(ST\_ON/OFF)のオン-オフ遷移に応答して、切り替え可能なテール電流源をスルー制限バイアス電流に切り替えるように構成されたテール電流制御回路を含むことができる。さらなる態様では、テール電流制御回路は、切り替え可能なテール電流源を、ST\_ON/OFFのオフ-オン遷移後に遅延DLYで、スルー制限バイアス電流からフルスルーバイアス電流に切り替えるように構成され得る。

30

## 【 0 0 0 9 】

関連する態様では、制御可能なスルー差動増幅器は、ST\_ON/OFFのオフ-オン遷移に応答して、DLYにほぼ等しい期間中に、低減したスルーレートで、初期ゼロ電圧から約Vrefにスルーするように構成され得る。

## 【 0 0 1 0 】

別の態様では、例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータでは、テール電流制御回路は、遅延キャパシタと、遅延キャパシタを、ST\_ON/OFFのオフ-オン遷移に応答して、DLYにほぼ等しい持続時間を有する充電時間中に、ゼロ電圧からテール電流源切り替えしきい値電圧に充電するように構成された充電回路とを含むことができる。

40

## 【 0 0 1 1 】

一態様では、例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータは、さらに、パスゲート制御信号をパスゲートの制御ゲートに搬送するパスゲート制御線を含むことができる。関連する態様では、パスゲート無効化回路は、2位置スイッチを備えることができ、2位置スイッチは、無効位置および動作位置を有し、無効位置がパスゲートを無効にする電圧への制御ゲートの短絡を提供し、動作位置が制御ゲートの短絡を

50

提供しないように構成される。別の関連する態様では、2位置スイッチは、ST\_OFF/ONのオン-オフ状態に基づいて、無効位置と動作位置との間で可動であるように、または移動するように構成され得る。

【0012】

例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータは、さらに、フィードバックを提供するために、レギュレータ出力部および差動増幅器の入力部に結合され得るフィードバック要素と、パスゲート制御線をフィードバック要素に結合する補償ネットワークとを含むことができる。さらなる態様では、補償ネットワークは、補償キャパシタおよび補償抵抗器を有することができ、パスゲート無効化回路は、さらに、2位置スイッチが無効位置にあるとき、補償キャパシタを充電するように構成され得る。

10

【0013】

別の態様では、例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータでは、パスゲート無効化回路は、さらに、2位置スイッチを無効位置から動作位置に切り替えるのに応答して、補償キャパシタが、パスゲート制御線を、パスゲートが動作する電圧に放電することを可能にするように構成され得る。関連する態様では、低減スルーレートのレートは、補償キャパシタの容量もしくは補償抵抗器の抵抗値の少なくとも一方に、またはその両方に、少なくとも部分的に基づくことができる。

【0014】

1つまたは複数の例示的な実施形態による一例の方法は、差動入力部を有する差動増幅器によって制御されるパスゲートと、差動入力部のうちの1つによって制御されるトランジスタとを用いて、低減スイッチオンスルー低ドロップアウト(LDO)調整を提供することができる。様々な例示的な実施形態による例示的な方法は、バイアス電流でトランジスタをバイアスするステップであって、バイアス電流がフルスルーバイアス電流である、ステップと、差動入力部に、基準電圧、およびパスゲートの出力のフィードバックを提供するステップとを含むことができる。一態様では、例示的な方法は、さらに、システムオン/オフ信号(ST\_ON/OFF)のオン-オフ遷移に応答して、フィードバックを無効にし、バイアス電流を、フルスルーバイアス電流よりも低いスルー制限バイアス電流に切り替えるステップを提供することができる。関連する態様では、例示的な方法は、さらに、ST\_ON/OFFのオフ-オン遷移に応答して、差動増幅器へのフィードバックを可能にするステップと、オフ-オン遷移から低減スルー期間だけ遅延した時間に、バイアス電流をフルスルーバイアス電流に切り替えるステップとを含むことができる。

20

30

【0015】

例示的な一実施形態による一例の方法では、フルスルーバイアス電流でトランジスタをバイアスするためにバイアス印加を切り替えるステップは、ST\_ON/OFFのオフ-オン遷移に応答して、遅延キャパシタの充電を開始するステップと、遅延キャパシタが所与のしきい値電圧レベルに達したことに応答して、フルスルーバイアス電流でトランジスタをバイアスするようにバイアス印加を切り替えるステップとを含むことができる。

【0016】

様々な例示的な実施形態による一例の低減スイッチオンスルーLDOレギュレータは、差動入力部と、出力部と、差動入力部のうちの1つに結合されたゲートを有するトランジスタとを有する差動増幅器を、差動増幅器の出力によって制御されるパスゲートと組み合わせて含むことができる。パスゲートは、電力レールに結合するためのパスゲート入力部と、パスゲート出力部とを、さらに、システムオン/オフ信号(ST\_ON/OFF)を受信し、ST\_ON/OFFのオフ-オン遷移に応答して、パスゲート出力から差動入力部のうちの1つへのフィードバックを確立すると共に、フルスルーバイアス電流でトランジスタをバイアスし、ST\_ON/OFFのオン-オフ遷移に応答して、フィードバックを無効にすると共に、トランジスタのバイアス印加をスルー制限バイアス電流に切り替えるための手段と組み合わせて含むことができる。

40

【0017】

添付書類に見られる添付図面は、本発明の実施形態の説明を助けるために提示され、そ

50

の限定のためではなく、実施形態の例示のためにのみ提供される。

【図面の簡単な説明】

【0018】

【図1】一例のLDOレギュレータユニットのトポロジを示す図である。

【図2】例示的な一実施形態による一例の低減スイッチオンスルーLDOレギュレータのトポロジを示す図である。

【図3】並列に接続された複数の図2の低減スイッチオンスルーLDOレギュレータユニットを有する電力分配ネットワークの1つのトポロジと、相互接続電力分配ネットワークの例示的な寄生要素とを示す図である。

【図4】1つまたは複数の例示的な実施形態による低減スイッチオンスルーLDOユニットを有する、支持する、組み込む、および/または用いる1つのワイヤレス通信システムのシステム図である。

10

【発明を実施するための形態】

【0019】

本発明の態様は、本発明の特定の実施形態を対象とする以下の説明および関連する図面に開示される。代替の実施形態は、本発明の範囲から逸脱することなく、考案され得る。加えて、本発明の周知の要素は、本発明の関連する詳細を不明瞭にしないように、詳細には説明されないか、省略される。

【0020】

「例示的」という単語は、本明細書では、「例、実例、または例示として役立つ」ことを意味するために使用される。本明細書で「例示的」として説明されるどの実施形態も、必ずしも、他の実施形態よりも好ましいまたは有利であると解釈されるわけではない。同様に、「本発明の実施形態」という用語は、本発明のすべての実施形態が、論じられた特徴、利点、または動作モードを含むことを必要としない。

20

【0021】

本明細書で使用される用語法は、実施形態によって特定の例を説明する目的のためのものであり、本発明の実施形態の限定であることを意図していない。本明細書で 사용되는場合、「a」、「an」、および「the」という単数形は、文脈がそうでないことを明確に示さない限り、複数形を同様に含むことを意図している。本明細書で 사용되는場合、「備える」、「備えている」、「含む」、および/または「含んでいる」という用語は、記載された構造および機能的特徴、ステップ、動作、要素、ならびに/または構成要素の存在を指定するが、1つまたは複数の他の構造的特徴および機能的特徴、ステップ、動作、要素、構成要素、ならびに/またはそれらのグループの存在または追加を排除しない。

30

【0022】

当業者は、情報および信号が、任意の様々な異なる技術および技法を使用して表され得ることを理解するであろう。例えば、上記の説明全体にわたって参照され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁性粒子、光場、電子スピン粒子、電子スピン、またはそれらの任意の組み合わせによって表され得る。

【0023】

本明細書で 사용되는「トポロジ」という用語は、回路構成要素の相互接続を指し、別段の指定がない限り、構成要素の物理的レイアウト、または互いに対するそれらの物理的な位置を示さない。トポロジを示すものとして説明されている、または他の方法で示されている図面は、トポロジのグラフィカルな表現に過ぎず、必ずしも、構成要素の物理的レイアウトまたは相対的位置に関するなにかを説明しない。

40

【0024】

図1は、差動増幅器104と、外部電力レールVdd(以下、「Vddレール」と調整された出力電圧Vout端子との間を結合する制御可能な抵抗器(または、コンダクタンス)を提供するパスゲートM9とを有する1つの例示的なLDOレギュレータ100のトポロジを示す。図1の例では、パスゲートM9は、PMOSトランジスタである。差動増幅器104は、その差動入力部として

50

、基準電圧 $V_{ref}$ と、(フィードバック要素またはフィードバック経路110を介して) $V_{out}$ のフィードバックとを受ける。差動増幅器104は、 $V_{ref}$ とフィードバック $V_{out}$ との差に基づいて、 $V_{hg}$ 電圧のパスゲート制御信号(以下、「パスゲート制御信号 $V_{hg}$ 」と呼ばれる)を生成し、パスゲート制御信号 $V_{hg}$ は、パスゲート制御線160によって、パスゲートM9の制御ゲート(図示されているが、別途番号付けされていない)に結合される。フィードバックの動作によって、生成されたパスゲート制御信号 $V_{hg}$ は、パスゲートM9の抵抗値を、 $V_{out}$ が、この例では、 $V_{ref}$ にほぼ等しくなる値に駆動する。 $V_{ref}$ にほぼ等しい $V_{out}$ は、例示の目的のみのためであることが理解されるであろう。例えば、分圧器(図示せず)が、 $V_{ref}$ よりも高い $V_{out}$ を生成するために含まれてよい。

【0025】

10

図1を参照すると、差動増幅器104は、 $V_{dd}$ レールから共通ノード(図示されているが、別途番号付けされていない)まで延在する2つの平行な分岐(図示されているが、別途番号付けされていない)から形成される。テール電流源106は、バイアス電流 $I_5$ を共通ノードから基準レール $V_{ss}$ にシンクする。2つの分岐のうちの一方は、入力トランジスタM4と直列の内部負荷トランジスタM5を備え、他方は、入力トランジスタM2と直列の内部負荷トランジスタM6を備える。テール電流源106の電流 $I_5$ は、入力トランジスタM2およびM4のバイアスを設定する。 $I_5$ は、固定される。入力トランジスタM4のゲート(図示されているが、別途番号付けされていない)は、差動増幅器104の入力部(図示されているが、別途ラベル付けされていない)のうちの1つとして機能し、 $V_{ref}$ を受ける。入力トランジスタM2のゲート(図示されているが、別途ラベル付けされていない)は、フィードバック経路110を介して $V_{out}$ を受けることによって、差動増幅器104の入力部のうちの他のものとしての機能を引き受ける。差動増幅器104の入力部は、集合的に「差動入力部」または「差入力部」として参照され得る。

20

【0026】

図1を参照すると、トランジスタM3、M7、M8、およびM10は、中間バッファ段(図示されているが、別途番号付けされていない)を形成する。M8のドレインは、パスゲート制御信号 $V_{hg}$ でパスゲート制御線160を駆動する。M8は、したがって、パスゲート制御信号 $V_{hg}$ のための駆動トランジスタとみなされ得る。

【0027】

フィードバックループは、差動増幅器104と、パス制御駆動トランジスタM8と、パスゲートM9と、フィードバック経路110と、ミラーフィードバック補償ネットワーク150とを備えることは、本開示の観点をもとに当業者によって理解されるであろう。ミラーフィードバック補償ネットワーク150は、抵抗素子R1およびキャパシタ素子C1から形成され得る。ミラーフィードバック補償ネットワーク150は、フィードバックループのフィードバック応答内のゼロと共に優勢極を生成し、これは、安定性を提供する。ミラーフィードバック補償の一般的な動作は、当業者には公知であり、したがって、動作のさらなる詳細な説明は、他の説明される動作に付随する場合を除いて省略される。

30

【0028】

限定はしないが、図1の例示的なLDOレギュレータ100を含む、複数のLDOレギュレータは、複数の回路ブロック(図示せず)、例えば、複数のプロセッサコアを有する集積回路(IC)チップ(図示せず)内に調整された電源電圧を提供するのに使用され得る。そのようなICチップは、様々な用途で、例えば、個々の回路ブロック、または回路ブロックのサブセットを選択的にパワーアップおよびパワーダウンする、選択的なパワーアップ機能を含むことができる。特定の用途では、個々の回路ブロック(例えば、プロセッサコア)のパワーアップが、図1の例のLDOレギュレータ100のようなLDOレギュレータを単純にスイッチオンおよびスイッチオフすることを含む場合、結果は、大きい突入電流である可能性がある。大きい突入電流は、軽減されない場合、電源供給ライン上の高い率の電流変化、すなわち、高い $di/dt$ の望まれない事象をもたらす可能性がある。したがって、コスト、例えば、そのような事象で大電流パルスを提供するために、より大きいサイズのLDOレギュレータ100による追加のハードウェアコストがもたらされる可能性がある。いくつかの用途で、高 $di/d$

40

50

t単独よりも高いコストをもたらす可能性がある、高突入電流の別の潜在的な影響は、電源供給ライン上のリングングである。

【0029】

突入電流を低減し、したがって、その上記で説明した影響を回避することを対象とする1つの公知の従来の技術は、LDOレギュレータ100が供給する回路ブロックがパワーアップされるまで、LDOレギュレータ100のVrefを低いまたはゼロ電圧に保ち、次いで、Vrefをその動作値にランプアップすることである。

【0030】

しかしながら、この公知の従来の技術は、望まれない影響を導入する可能性があり、および/または、追加のコストをもたらす可能性があり、したがって、より好ましくない可能性がある。例えば、特定の望まれない効果を具体化する、または引き起こす可能性がある1つのメカニズムは、非常に低い(またはゼロ)電圧のVrefで開始することが、LDOレギュレータ100には非常に重要であるフィードバック動作を動作不能にする可能性があることである。

【0031】

図2は、他の特徴のなかでも、安定した遷移と組み合わせて、制限されたスルーレートスイッチオンを提供することができる、例示的な一実施形態による一例の低減スイッチオンスルーレートLDOレギュレータ200の1つのトポロジを示す。様々な追加の利点のなかで、電源ライン上の、高い $di/dt$ 、もしくはリングング、または両方の実質的な低減または回避であり得る。

【0032】

簡潔さのため、「低減スイッチオンスルーレートLDOレギュレータ200」という用語は、代替的に、「低減SSR LDOレギュレータ200」として記載される。「SSR」は、固有の意味を持たず、本開示の外部から意味を持ち込まず、それは、単に「スイッチオンスルーレート」の省略形である。

【0033】

図2の低減SSR LDOレギュレータ200は、図1のLDOトポロジ100の一部に適合する、またはこれを利用する一例の実施態様として示される。この例示的な実施態様は、LDOレギュレータトポロジ全体のすべての構成を導入することなく、したがってそれらを完全に説明することなく、低減スイッチオンスルー概念に対する説明の都合および集中のためのものである。しかし、図2の例は、例示的な実施形態のいずれかの範囲を、図1によって示されるようなLDOトポロジを用いる構造または実施に限定することを意図していないことが理解されるであろう。例えば、1つまたは複数の例示的な実施形態による低減スイッチオンスルーレートは、他の差動増幅器トポロジで、および図1の例100以外の様々なLDOトポロジで実施され得ることは、本開示を読めば当業者には容易に理解されるであろう。

【0034】

図2を参照すると、低減SSR LDOレギュレータ200は、Voutを本例ではVrefに維持するVddレールとVoutとの間の電圧降下を適用するために、制御可能なスルー差動増幅器204によって制御される抵抗値またはコンダクタンスを有するパスゲートM9を備える。実施形態は、VoutをVrefに維持することに限定されないことが理解されるであろう。例えば、Voutは、本開示の観点から当業者によって容易に実行される変更によって、Vrefに比例するようにされ得る。

【0035】

制御可能なスルー差動増幅器204は、所与の基準電圧Vrefと、例えば、前述のフィードバック経路110を介して受けたVoutのフィードバックとに基づいて、パスゲートM9を制御する。制御可能なスルー差動増幅器204は、図2の例では、例えば、前述のM3、M7、M8、およびM10から形成された第2の段、または中間段バッファ(図示されているが、別途番号付けされていない)に給電する。図2の例示的な実施態様では、M8は、パスゲート制御信号Vhgを、パスゲートM9の制御ゲート(図示されているが、別途番号付けされていない入力部)に結合するパスゲート制御線240に出力する。



## 【 0 0 3 6 】

例示的な一実施形態によれば、制御可能なスルー差動増幅器204は、モード切り替え可能なテール電流源250を含む。一態様では、モード切り替え可能なテール電流源250は、「ST\_ON/OFF」とラベル付けされた所与のシステムオン/オフまたはパワーアップ/パワーダウン信号に応答して(または、この信号に関連付けられたトリガ信号に応答して)切り替え可能であるように構成される。一態様では、モード切り替え可能なテール電流源250は、ST\_ON/OFFの遷移に応答して、通常動作バイアス電流を供給するフルスルー、または通常動作モードと、はるかにより小さいスルー制限バイアス電流を供給する低減スルーモードとの間で切り替えるように構成され得る。

## 【 0 0 3 7 】

図2を参照すると、一態様では、モード切り替え可能なテール電流源250は、常にオン状態であり得る、より小さいスルー制限バイアス電流源254と並列の、切り替え可能なフルスルーバイアス電流源252のようなオン-オフ切り替え可能な電流源を含むことができる。この態様に対してさらに、切り替え可能なフルスルーバイアス電流源252は、そのオン状態では、任意にI\_ONとラベル付けされたフルスルー電流を、そのオフ状態では、ゼロまたはほぼゼロの電流を供給することができる。スルー制限バイアス電流源254は、任意にI\_SBとラベル付けされた、I\_ONよりもはるかに小さいバイアス電流を供給するように構成され得る。I\_SBの大きさは、一態様では、制御可能なスルー差動増幅器204が、所与の間隔にわたって、しかし、切り替え可能なフルスルーバイアス電流源252がオンであった場合に生じるよりもはるかに遅い速度でスルーすることを可能にするのに十分であり得る。

## 【 0 0 3 8 】

I\_ONおよびI\_SBの実際の大きさに関して、これらの大きさは、用途に固有であり得ることが、本開示を見ることから、当業者によって理解されるであろう。しかし、所与の用途のためのI\_ONおよびI\_SBを決定することは、例えば、従来のバイアス電流選択技術を本開示に適用することによって、当業者によって容易に実行され得る。I\_ONおよびI\_SBの実際の大きさのさらなる詳細な説明は、したがって、省略される。

## 【 0 0 3 9 】

切り替え可能なフルスルーバイアス電流源252およびスルー制限バイアス電流源254を実装するためのトポロジおよび技術に関して、一態様では、これらは、電流源および切り替え可能な電流源のための一般的に公知の従来の技術にしたがい得る。さらなる詳細な説明は、したがって、省略される。

## 【 0 0 4 0 】

一態様では、低減SSR LDOレギュレータ200は、後の段落でより詳細に説明されるスルー制御機能を含むことができ、このスルー制御機能は、モード切り替え可能なテール電流源250が、ST\_OFF/ONのオフ-オン遷移の後、オンバイアス状態に切り替わる前に、本開示では「DLY」と任意に名付けられたタイミング遅延を提供する。モード切り替え可能なテール電流源250の遅延された切り替えは、例えば、ST\_OFF/ONのオフ-オン遷移に応答して、バッファ256の入力部にランプアップまたは同等の時間上昇する電圧を生成することによって提供され得る。バッファ256は、例えば、電流源制御線257によって、切り替え可能なフルスルーバイアス電流源252の制御入力部(図示されているが、別途ラベル付けされていない)に結合されたその出力部を有することができる。関連する態様では、バッファ256の信号出力部は、バイアス電流源制御信号(BCS: biasing current source control signal)と呼ばれ得る。さらなる態様では、バッファ256の入力電圧がオフ-オン論理切り替えしきい値と呼ばれ得るものに達したとき、バッファ256は、オンレベルのBCSを生成するように切り替わり、ここで、「オン」は、切り替え可能なフルスルーバイアス電流源252をオン状態に切り替えることを意味する。

## 【 0 0 4 1 】

一態様では、タイミング遅延DLYは、ST\_OFF/ONのオフ-オン遷移の後、DLYでバッファ356の切り替えしきい値に達するように電圧をランプアップするようにバッファ256への入力部を充電する回路網を構成することによって提供され得る。例えば、図2の低減SSR LDOレ

ギューレータ200では、DLYは、充電切り替えトランジスタM20の制御の下で、バッファ256の入力部に結合された遅延キャパシタC2を充電する充電電流源260によって実現される。DLY値は、ST\_OFF/ONのオフ-オン遷移で開始し、遅延キャパシタC2の充電がバッファ256のオフ-オンしきい値電圧に達したときに終了する充電期間である。バッファ256のオフ-オンしきい値電圧は、「テール電流源モード切り替えしきい値」と呼ばれ得る。一態様では、DLY値、すなわち、C2の充電期間は、充電電流源260の駆動能力、およびバッファ256のオフ-オンしきい値と共に、C2の容量によって確立され得る。一態様では、DLYの選択は、後の段落でより詳細に説明されるように、前述のミラーフィードバック補償ネットワーク150の補償キャパシタC1および補償抵抗器R1によって形成された充電経路のRC時定数に少なくとも部分的に基づくことができる。

10

#### 【0042】

図2を参照すると、一態様では、低減SSR LDOレギュレータ200は、オフ状態に切り替わるST\_OFFに応答して、パスゲートM9のオフ状態への切り替えをもたらすパスゲート無効化機能を含むことができる。図2の例の低減SSR LDOレギュレータ200は、補償キャパシタC1と組み合わせて、例えば、パスゲート無効化信号線262によってST\_OFF/ON信号に結合されたパスゲート無効化スイッチ270を利用する、この機能の一例の実施態様を含む。パスゲート無効化機能の態様は、例示的な動作の以下の詳細な説明からさらに理解されるであろう。

#### 【0043】

様々な実施形態による概念を図2の低減SSR LDOレギュレータ200で実証する例示的な動作が、ここで説明される。予備的な事項として、ST\_OFF/ONの遷移を説明する上で、「オン-オフ遷移(または遷移する)」という語句は、簡潔にするために、「オン状態からオフ状態への遷移(または遷移する)」の代わりに使用される。同様に、「オフ-オン遷移(または遷移する)」という語句は、「オフ状態からオン状態への遷移(または遷移する)」の代わりに使用される。

20

#### 【0044】

図2をさらに参照すると、一例の動作は、本例では「高」レベルであるST\_OFF/ONのオン-オフ遷移の任意に選択されたイベントで開始することができる。ST\_OFF/ONの遷移は、パスゲート無効化スイッチ270を、動作、すなわち閉または「LDO\_OFF」位置に移動させる。LDO\_OFF位置は、パスゲートM9の制御ゲートをVddレールに短絡させるように機能し、すなわち、パスゲート制御線160をVddレールに短絡させる。一態様では、ST\_OFF/ONのオン-オフ遷移は、パスゲート制御信号VhgをVddレール電圧で無効化する。Vddは、今度は、パスゲートM9をオフ状態に保持する。図2を参照すると、ミラーフィードバック補償ネットワーク150のキャパシタであると理解され得るC1の一方の端子は、また、パスゲート無効化スイッチ270を介してVddレールに接続されていることがわかる。C1の他方の端子は、抵抗器R1を介して、Voutポートまたは線に結合された負荷(図示せず)によってプルダウンされる。パスゲートM9は、オフであるので、Vout電圧は、約0ボルトである。制御可能なスルー差動増幅器204の入力トランジスタM2は、フィードバック経路110を介して約0ボルトを受け、したがって、オフである。同時に、または実質的に同時に、遅延キャパシタC2の電圧は、M20を介して、この例では0ボルトと仮定され得る所与のレール電圧Vssに放電される。0ボルトである遅延キャパシタC2の電圧は、切り替え可能なフルスルーバイアス電流源252を、そのオフ状態に切り替えさせる。

30

40

#### 【0045】

前述したように、図2の例の低減SSR LDOレギュレータ200は、切り替え可能なフルスルーバイアス電流源252と、スルー制限バイアス電流源254とを含むモード切り替え可能なテール電流源250を有する。したがって、切り替え可能なフルスルーバイアス電流源252がそのオフ状態にある間、スルー制限バイアス電流源254は、非常に小さいバイアス電流 $I_{SB}$ の継続した流れを提供する。同様に前述したように、一態様では、 $I_{SB}$ は、制御可能なスルー差動増幅器204がスルー制限または低減されたスルーレートでスルーすることを可能にするのに十分である。ST\_OFF/ONのオフ-オン遷移が生じたとき(すなわち、ST\_ON/OFFが

50

、例示的な極性を使用して、高から低に遷移したとき)、2つの結果として生じる作用が存在する。1つは、パスゲート無効化スイッチ270がLDO\_ON位置に移動する、すなわち、パスゲート無効化スイッチ270が開くことである。他のものは、ST\_ON/OFFトリガスイッチM20がオフに切り替わり、次に、電流源260が遅延キャパシタC2を充電することを可能にすることである。遅延キャパシタC2がバッファ256のオフ-オンしきい値電圧に達したとき、バッファ256は、オンレベルでバイアス電流源制御信号BCSを出力する。切り替え可能なフルスルーバイアス電流源252は、オンに切り替わる。

#### 【0046】

一態様では、遅延キャパシタC2がバッファ256のオフ-オンしきい値に達する前に、低減SSR LDOレギュレータ200は、低減またはスルー制限されたレートでVrefにスルーする。低減スルーレートは、少なくとも部分的に、I<sub>SB</sub>電流によって、ならびに、R1の抵抗値およびC2の容量によって確立される。一態様では、低減スルーレートは、C2の電圧が、VoutがVrefに達した直後、または実質的に同時に、オン-オフフルスルーバイアス電流源をオンに切り替えるように設定される。

#### 【0047】

上記で説明した低減SSR LDOレギュレータ200の低レートスルーイングは、パスゲート無効化スイッチ270を開くST\_ON/OFFに応じて有効にまたは開始される。この開くことは、C1キャパシタが、抵抗器R1を介して、パスゲート制御線240上の以前のVddボルトを放電することを可能にする。Vhg線の放電は、今度は、制御可能なスルー差動増幅器204およびパスゲートドライバM8が、パスゲート制御線240上の電圧をスルーイングすることを開始することを可能にする。スルーは、しかしながら、補償キャパシタC1と組み合わせて、スルー制限バイアス電流源254によって供給される小さいI<sub>SB</sub>電流によって制限される。

#### 【0048】

Vhgの電圧は、スルー制限バイアス電流源254のI<sub>SB</sub>、ならびに、C1の容量およびR1の抵抗値によって制限された低減レートでスルーしているので、遅延キャパシタC2の電圧は、また、上記で説明したように上昇している。一態様では、C2の容量、C1の容量、およびR1の抵抗値は、以下のタイミング目標、すなわち、好ましくは、VoutがVrefに達したのと同時に、または直後に、遅延キャパシタC2の電圧が、切り替え可能なフルスルーバイアス電流源252のオンへの切り替えを引き起こす値(例えば、バッファ256のオン電圧)に達すること、であるタイミング目標で設定され得る。本開示の観点の有する当業者は、図2の低減SSR LDOレギュレータ200またはその同等の実施形態が、過度の実験なしに、このタイミング目標を満たすように、R1の抵抗値、ならびに、C1およびC2のそれぞれの容量を容易に設定することができる。例えば、制限なしに、そのような当業者は、同じプロセスタイプを使用してキャパシタC1およびC2を実装することができ、または、同じバイアス発生器から電流源252および254を得ることができる。

#### 【0049】

図2を参照すると、一態様では、バッファ256の出力であるバイアス電流源制御信号BCSは、また、例えば、レギュレータ状態表示線258上の、レギュレータ状態信号RG\_ONとして、高レベルシステムコントローラ(図示せず)に通信され得る。

#### 【0050】

上記で説明した動作は、フルスルーバイアス電流I<sub>ON</sub>による通常のパワーアップ動作中、制御可能なスルー差動増幅器204をバイアスすることを含む、低減スイッチオンスルーLDO調整のための方法を提供することが理解されるであろう。上記で説明した動作は、システムオン/オフ信号ST\_ON/OFFのオン-オフ遷移にตอบสนองして、パスゲート無効化スイッチ270を無効位置に移動させることを含む、低減スイッチオンスルーLDO調整のための方法を提供することも理解されるであろう。結果として生じるパスゲート制御線240のVddへの引きは、パスゲート制御信号Vhgを無効にし、オフに切り替え、すなわち、パスゲートM9を無効にする。パスゲートM9の無効化は、制御可能なスルー差動増幅器204のフィードバックを効果的に無効にする。ST\_ON/OFFのオン-オフ遷移は、また、充電スイッチトランジスタM20をオンに切り替え、これは、バッファ256の入力を、オフレベルのバイアス電流源制御

信号BCSを生成させるレベルに引っ張り、このレベルでは、モード切り替え可能なテール電流源250は、スルー制限バイアス電流 $I_{SB}$ のみを供給する。次いで、ST\_ON/OFFのオフ-オン遷移にตอบสนองして、パスゲート無効化スイッチ270は、動作位置に移動し、パスゲートM9が、C1が放電することを可能にすることができるようにし、制御可能なスルー差動増幅器204のフィードバックを可能にする。これらの動作は、今度は、制御可能なスルー差動増幅器204がVrefに向かってスルーすることを可能にする。しかし、遅延キャパシタC2は、フルスルーバイアス電流 $I_{ON}$ に切り替わるモード切り替え可能なテール電流源250に遅延DLYを生じさせる。ST\_ON/OFFのオフ-オン遷移後の遅延DLYの終了まで、制御可能なスルー差動増幅器204は、スルー制限バイアス電流 $I_{SB}$ によって強いられる低減スルーレートでスルーする。遅延DLYの終了に応じて、遅延キャパシタC2は、バッファ256の切り替えしきい値に達し、バイアス電流制御信号BCSをオンレベルでモード切り替え可能なテール電流源250に出力させる。結果として生じる $I_{ON}$ は、制御可能なスルー差動増幅器204をフルスルー動作にバイアスする。

#### 【0051】

本開示から当業者によって容易に理解されるように、例示的な実施形態による低減スイッチオンスルーレートLD0レギュレータの特徴は、限定はしないが、突入電流に関連する問題を実質的に低減しながら、電力崩壊(collapse)からVrefへのLD0出力の低減したレートのまたは「遅い」ターンオンを含む。例示的な実施形態による低減スイッチオンスルーレートLD0レギュレータの様々な特徴のうちの別のものは、同等の能力の従来の(例えば、図1の)LD0レギュレータの公知の従来のハードウェアおよび設計のオーバーヘッドに比較して、あるとしても最小の追加コストである。例えば、図2の低減SSR LD0レギュレータ200は、低減スルーレートターンオンで補助するために、ミラーフィードバック補償ネットワーク150のC1のその再使用によって示されるように、既存の補償キャパシタの再使用を提供する。別の例として、図2の低減SSR LD0レギュレータ200は、1つの追加のキャパシタ、遅延キャパシタC2のみを必要とする。さらに別の例として、図2の低減SSR LD0レギュレータ200は、スムーズなランプアップを可能にするまたは提供するために、余分な制御回路網を必要としない。代わりに、すべての「制御」は、適切な関連する構成要素の値、例えば、容量C1、C2、もしくは抵抗値R1、または両方を単に選択することによって提供され得る。

#### 【0052】

上記で説明した図2のモード切り替え可能なテール電流源250の例示的なトポロジは、実施形態の範囲を限定することを意図していないことが理解されるであろう。例えば、1つの代替的な態様では、スルー制限バイアス電流源254は、ST\_OFFのオフ-オン切り替えにตอบสนองしてオンに切り替えた後、低減SSR LD0レギュレータ200が動作状態にスルーし、次いでオフに切り替わるまで、オンのままであるように構成され得る。

#### 【0053】

図3は、並列に接続された省略ラベルLD01、LD02...LD06で示された6個の適応バイアスおよび補償LD0レギュレータの一例でトポロジ300を示し、それらを相互接続する電力分配ネットワークの寄生要素(図示されているが、別途ラベル付けされていない)を示す。適応バイアスおよび補償LD0レギュレータLD01、LD02...LD06の各々は、図2の例の低減SSR LD0レギュレータ200によるものであると仮定され得る。LD0レギュレータLD01、LD02...LD06の各々は、Vref入力部(図示せず)を有し、各Vref入力部は、Vref源(図示せず)に接続されると仮定され得る。一態様では、少なくとも1つのVref源(図示せず)は、2つ以上の適応バイアスおよび補償LD0レギュレータLD01、LD02...LD06によって共有され得る。図3のキャパシタ(図示されているが、別途ラベル付けされていない)は、明示的に置かれた負荷容量および寄生容量を表すことができることが理解されるであろう。

#### 【0054】

図4は、本開示の1つまたは複数の実施形態が有利に用いられ得る例示的なワイヤレス通信システム400を示す。説明の目的のため、図4は、3つの遠隔ユニット420、430、および450と、2つの基地局440とを示す。従来のワイヤレス通信システムは、より多くの遠隔ユニ

ットおよび基地局を有することができることが認識されるであろう。遠隔ユニット420、430、および450は、以下にさらに説明されるような本開示の実施形態の1つである、集積回路または他の半導体デバイス425、435、および455(本明細書で開示されるようなオンチップ電圧レギュレータを含む)を含む。図4は、基地局440から遠隔ユニット420、430、および450への順方向リンク信号480と、遠隔ユニット420、430、および450から基地局440への逆方向リンク信号490とを示す。

【0055】

図4では、遠隔ユニット420は、携帯電話として示され、遠隔ユニット430は、ポータブルコンピュータとして示され、遠隔ユニット450は、ワイヤレスローカルループシステム内の固定位置遠隔ユニットとして示されている。例えば、遠隔ユニットは、携帯電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、パーソナルデータアシスタント(PDA)のようなポータブルデータユニット、(GPS対応デバイスのような)ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、検針機器のような固定位置データユニット、または、データもしくはコンピュータ命令を記憶もしくは取り出す任意の他のデバイス、またはそれらの任意の組み合わせのうちの任意のものもしくは組み合わせであり得る。図4は、本開示の教示による遠隔ユニットを示しているが、本開示は、これらの例示的に示されたユニットに限定されない。本開示の実施形態は、試験および特性評価のためのメモリおよびオンチップ回路網を含む能動集積回路網を有する任意のデバイスで適切に用いられ得る。

【0056】

上記で開示された(図2、図3、もしくは図4のデバイス、またはそれらの任意の組み合わせのような)デバイスおよび機能は、コンピュータ可読媒体に記憶されたコンピュータファイル(例えば、RTL、GDSII、GERBER、など)に設計および構成され得る。いくつかまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造する製造者(fabrication handler)に提供され得る。結果として得られる生成物は、半導体ウェハを含み、半導体ウェハは、次いで、半導体ダイに切断され、半導体チップにパッケージングされる。半導体チップは、上記で説明したような電子デバイスに用いられ得る。

【0057】

本明細書で開示された実施形態に関連して説明された方法、シーケンス、および/またはアルゴリズムは、ハードウェアで、プロセッサによって実行されるソフトウェアモジュールで、またはこれら2つの組み合わせで直接具体化され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または、当該技術分野で公知の任意の他の形態の記憶媒体内に存在することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ることができ、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替形態では、記憶媒体は、プロセッサと一体化され得る。

【0058】

したがって、本発明の一実施形態は、実施のための方法を具体化するコンピュータ可読媒体を含むことができる。したがって、本発明は、図示の例に限定されず、本明細書に記載の機能を実行するための任意の方法は、本発明の実施形態に含まれる。

【0059】

上記で開示されたデバイスおよび機能は、コンピュータ可読媒体に記憶されたコンピュータファイル(例えば、RTL、GDSII、GERBER、など)に設計および構成され得る。いくつかまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造する製造者に提供され得る。結果として得られる生成物は、半導体ウェハを含み、半導体ウェハは、次いで、半導体ダイに切断され、半導体チップにパッケージングされる。チップは、次いで、上記で説明したデバイスに用いられる。

【0060】

上記の開示は、本発明の例示的な実施形態を示しているが、様々な変更および修正が、添付の特許請求の範囲によって定義される本発明の範囲から逸脱することなく、本明細書

10

20

30

40

50

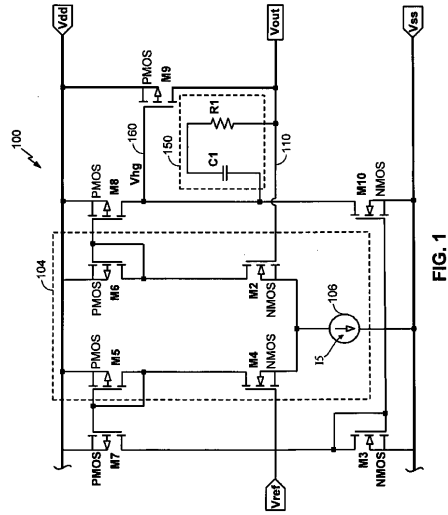
でなされ得ることが留意されるべきである。本明細書に記載の本発明の実施形態による方法の請求項の機能、ステップ、および/または動作は、特定の順序で実行される必要はない。さらに、本発明の要素は、単数形で記載または特許請求されている場合があるが、単数形への限定が明示的に述べられていない限り、複数形が考えられる。

【符号の説明】

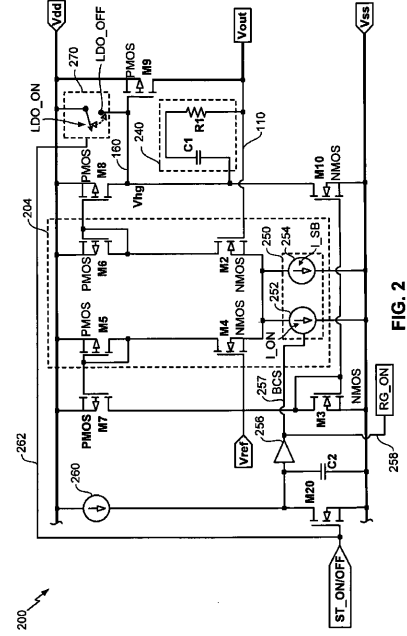
【 0 0 6 1 】

100	LD0レギュレータ	
104	差動増幅器	
106	テール電流源	
110	フィードバック経路	10
150	ミラーフィードバック補償ネットワーク	
160	パスゲート制御線	
200	低減スイッチオンスルーレートLD0レギュレータ、低減SSR LD0レギュレータ	
204	制御可能なスルー差動増幅器	
240	パスゲート制御線	
250	モード切り替え可能なテール電流源	
252	切り替え可能なフルスルーバイアス電流源	
254	スルー制限バイアス電流源	
256	バッファ	
257	電流源制御線	20
258	レギュレータ状態表示線	
260	充電電流源	
270	パスゲート無効化スイッチ	
300	トポロジ	
400	ワイヤレス通信システム	
420	遠隔ユニット	
425	集積回路または他の半導体デバイス	
430	遠隔ユニット	
435	集積回路または他の半導体デバイス	
440	基地局	30
450	遠隔ユニット	
455	集積回路または他の半導体デバイス	
480	順方向リンク信号	
490	逆方向リンク信号	

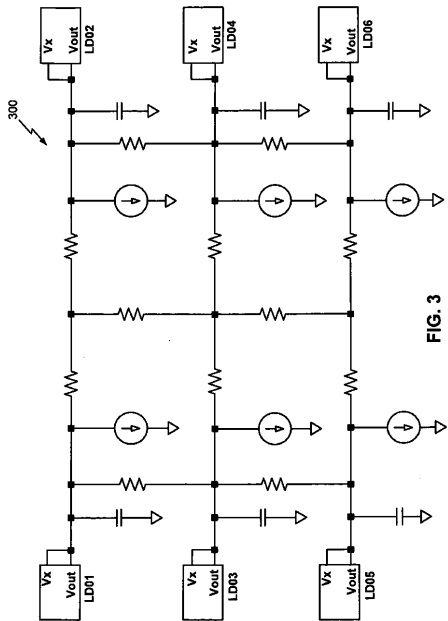
【図 1】



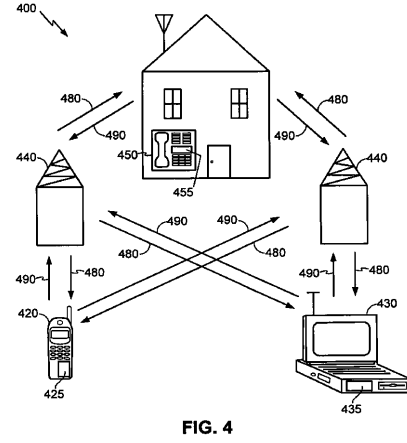
【図 2】



【図 3】



【図 4】



---

フロントページの続き

- (72)発明者 イエシュワント・ナガラジュ・コッラ  
アメリカ合衆国・カリフォルニア・９２１２１・サン・ディエゴ・モアハウス・ドライブ・５７７  
５
- (72)発明者 ダハヴァル・アール・シャア  
アメリカ合衆国・カリフォルニア・９２１２１・サン・ディエゴ・モアハウス・ドライブ・５７７  
５

審査官 松尾 俊介

- (56)参考文献 米国特許出願公開第２００６／０１０８９９３（ＵＳ，Ａ１）  
特開２００８－０６７１８６（ＪＰ，Ａ）  
欧州特許出願公開第０１６３５２３９（ＥＰ，Ａ１）

- (58)調査した分野(Int.Cl.，ＤＢ名)  
Ｇ０５Ｆ １／００－７／００