



(12) 发明专利申请

(10) 申请公布号 CN 103022012 A

(43) 申请公布日 2013.04.03

(21) 申请号 201210328076.8

(22) 申请日 2012.09.06

(30) 优先权数据

2011-205581 2011.09.21 JP

2011-225514 2011.10.13 JP

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 热海知昭 奥田高

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 邱忠贻

(51) Int. Cl.

H01L 23/552(2006.01)

H01L 27/108(2006.01)

G11C 11/4063(2006.01)

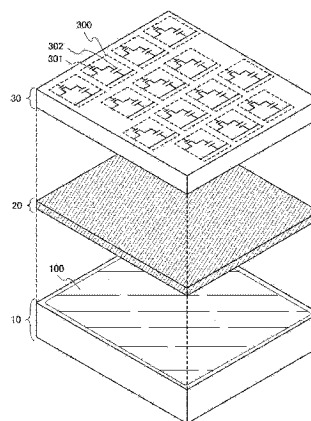
权利要求书 2 页 说明书 20 页 附图 20 页

(54) 发明名称

半导体存储装置

(57) 摘要

本发明提供一种半导体存储装置,能降低在半导体存储装置中产生故障的可能性。在叠层配置的存储单元阵列(例如,包括使用氧化物半导体材料构成的晶体管的存储单元阵列)和外围电路(例如,包括使用半导体衬底构成的晶体管的外围电路)之间配置遮蔽层。由此,可以遮蔽在该存储单元阵列和该外围电路之间产生的辐射噪声。因此,可以降低在半导体存储装置中产生故障的可能性。



1. 一种半导体存储装置,包括:
驱动电路;
所述驱动电路上的导电层;以及
所述导电层上的存储单元阵列,
该半导体存储装置的特征在于,
所述存储单元阵列包括具有晶体管的存储单元,
并且,整个所述存储单元阵列与所述导电层重叠。
2. 根据权利要求 1 所述的半导体存储装置,其特征在于,
所述晶体管的活性层包含氧化物半导体材料。
3. 根据权利要求 1 所述的半导体存储装置,其特征在于,
所述驱动电路使用半导体衬底形成。
4. 根据权利要求 1 所述的半导体存储装置,其特征在于,
还包括所述存储单元阵列上的第二导电层及所述第二导电层上的第二存储单元阵列。
5. 根据权利要求 1 所述的半导体存储装置,其特征在于,
对所述导电层供应接地电位。
6. 根据权利要求 5 所述的半导体存储装置,其特征在于,
所述驱动电路通过接触插头电连接到所述存储单元阵列,
该接触插头包括与所述导电层相同的层。
7. 一种半导体存储装置,包括:
驱动电路;
所述驱动电路上的遮蔽层;以及
所述遮蔽层上的存储单元阵列,
该半导体存储装置的特征在于,
所述存储单元阵列包括具有晶体管的存储单元,
并且,所述遮蔽层为所述驱动电路及所述存储单元阵列遮蔽在所述驱动电路与所述存
储单元阵列之间产生的辐射噪声。
8. 根据权利要求 7 所述的半导体存储装置,其特征在于,
所述晶体管的活性层包括氧化物半导体材料。
9. 根据权利要求 7 所述的半导体存储装置,其特征在于,
所述驱动电路使用半导体衬底形成。
10. 根据权利要求 7 所述的半导体存储装置,其特征在于,
还包括所述存储单元阵列上的第二遮蔽层及所述第二遮蔽层上的第二存储单元阵列。
11. 根据权利要求 7 所述的半导体存储装置,其特征在于,
整个所述存储单元阵列与所述遮蔽层重叠。
12. 根据权利要求 11 所述的半导体存储装置,其特征在于,
对所述遮蔽层供应接地电位。
13. 根据权利要求 12 所述的半导体存储装置,其特征在于,
所述驱动电路通过接触插头电连接到所述存储单元阵列,
该接触插头包括与所述遮蔽层相同的层。

14. 一种半导体存储装置,包括:
驱动电路;
所述驱动电路上的第一绝缘膜;
所述第一绝缘膜上的导电层;
所述导电层上的第二绝缘膜;以及
所述第二绝缘膜上的存储单元阵列,
该半导体存储装置的特征在于,
所述存储单元阵列包括具有与电极电连接的晶体管的存储单元,
电容器使用用作第一电极的所述导电层的区域、所述导电层的区域上的所述第二绝缘膜的区域及所述第二绝缘膜的区域上的用作第二电极的所述电极的区域形成,
并且,整个所述存储单元阵列与所述导电层重叠。
15. 根据权利要求 14 所述的半导体存储装置,其特征在于,
所述晶体管的活性层包括氧化物半导体材料。
16. 根据权利要求 14 所述的半导体存储装置,其特征在于,
所述驱动电路使用半导体衬底形成。
17. 根据权利要求 14 所述的半导体存储装置,其特征在于,
还包括所述存储单元阵列上的第二导电层及所述第二导电层上的第二存储单元阵列。
18. 根据权利要求 14 所述的半导体存储装置,其特征在于,
对所述导电层供应接地电位。
19. 根据权利要求 18 所述的半导体存储装置,其特征在于,
所述驱动电路通过接触插头电连接到所述存储单元阵列,
该接触插头包括与所述导电层相同的层。
20. 根据权利要求 14 所述的半导体存储装置,其特征在于,
所述电极的区域与所述导电层的区域之间的距离比所述晶体管的源极和漏极中的至少一个与所述导电层之间的距离短。
21. 根据权利要求 14 所述的半导体存储装置,其特征在于,
所述电容器是形成在凹部或开口部中的沟槽电容器,所述凹部或开口部设置在所述第一绝缘膜中。

半导体存储装置

技术领域

[0001] 本发明涉及一种半导体存储装置。

背景技术

[0002] 近年来,呈现半导体特性的金属氧化物(以下,也称为氧化物半导体材料)作为晶体管的活性层的材料而引人注目。作为活性层的材料应用氧化物半导体材料的晶体管可以通过与作为活性层的材料应用非晶硅的晶体管相同的工艺制造,并且作为活性层的材料应用氧化物半导体材料的晶体管的迁移度比作为活性层的材料应用非晶硅的晶体管高。因此,作为活性层的材料应用氧化物半导体材料的晶体管作为取代或超过作为活性层的材料应用非晶硅的晶体管的晶体管而备受期待。例如,期待将作为活性层的材料应用氧化物半导体材料的晶体管用作设置在有源矩阵型显示装置的各像素中的晶体管。

[0003] 再者,活性层由氧化物半导体材料构成的晶体管具有截止电流值低的特性。由此,能够在很长期间保存当该晶体管成为截止状态时成为浮动状态的节点的电位(保存在该节点中的电荷量)。因此,期待有效地利用该晶体管构成半导体存储装置。例如,专利文献 1 公开了一种应用于 Dynamic Random Access Memory (DRAM:动态随机存取存储器)的该晶体管,以作为构成 DRAM 的存储单元的晶体管。

[0004] 另外,活性层由氧化物半导体材料构成的晶体管通过对各种薄膜的成膜及加工进行组合而形成。因此,该晶体管可以形成在与其他半导体元件存在的区域重叠的区域中。例如,专利文献 2 公开了一种半导体装置,该半导体装置具有叠层配置的两种晶体管(活性层由半导体衬底构成的晶体管(下部晶体管)以及活性层由氧化物半导体材料构成的晶体管(上部晶体管))。

[0005] [专利文献 1] 日本专利申请公开 2011-109084 号公报

[0006] [专利文献 2] 日本专利申请公开 2011-119672 号公报

[0007] DRAM 具有:配置有分别保存对应于数据的电荷量的多个存储单元的存储单元阵列;以及对存储单元进行数据的写入、读取及刷新等的外围电路。

[0008] 具体地说,存储单元具有晶体管及电容器。并且,当该晶体管成为截止状态时,与电容器的一个电极电连接的节点的电位成为浮动状态。由此,在该节点(电容器的一个电极)中保存所希望的数据(电荷量)。

[0009] 另外,外围电路对由该晶体管控制与该电容器的一个电极的电连接的信号线(位线)的电位进行控制。并且,通过使该晶体管成为导通状态来对该存储单元写入所希望的数据。另外,外围电路在将该位线的电位的值预先设定为规定的值之后使该晶体管成为导通状态。由此,该位线的电位根据该数据产生变动。并且,通过检测出该位线的电位,读取保存在该存储单元中的数据。此外,外围电路以所希望的刷新速率对该存储单元补充电荷(刷新)。

[0010] 在此,在作为构成该存储单元的晶体管应用活性层由氧化物半导体材料构成的晶体管的情况下,可以谋求刷新速率的降低。再者,通过层叠配置存储单元阵列和外围电路,

可以谋求 DRAM 的高集成化。具体地说,用单晶硅衬底构成外围电路,并且用在单晶硅衬底上成膜的氧化物半导体材料构成存储单元阵列。因此,和存储单元阵列与外围电路配置在同一平面上的情况相比,可以谋求 DRAM 的高集成化。

[0011] 但是,在层叠配置存储单元阵列和外围电路的情况下,在存储单元阵列和外围电路之间产生辐射噪声的可能性增高。由此,当在 DRAM 中进行读取数据的工作时因辐射噪声而产生故障的可能性增高。如上述那样,这是因为该工作通过检测出位线的电位变动而进行。

发明内容

[0012] 鉴于上述问题,本发明的一个方式的目的之一是在半导体存储装置中降低产生故障的可能性。

[0013] 上述目的可以通过在存储单元阵列和外围电路之间配置遮蔽层来实现。

[0014] 例如,本发明的一个方式是一种半导体存储装置,该半导体存储装置具有:包括多个存储单元的存储单元阵列;包括对在存储单元中保持的数据进行辨别的读取电路的外围电路;以及配置在存储单元阵列和外围电路之间且电位保持为恒定的遮蔽层,其中存储单元保持对应于数据的电荷量,并且读取电路通过检测出根据保持在存储单元中的电荷量而产生变动的信号线的电位来辨别数据。

[0015] 另外,本发明的一个方式也包括如下的半导体存储装置,该半导体存储装置具有:包括使用半导体衬底构成的半导体元件的外围电路;配置在外围电路上并使用导电性材料构成的遮蔽层;以及配置在遮蔽层上并包括使用氧化物半导体材料构成的半导体元件的存储单元阵列,其中存储单元阵列包括保持对应于数据的电荷量的存储单元,并且外围电路包括通过检测出根据保持在存储单元中的电荷量而产生变动的信号线的电位来辨别数据的读取电路。

[0016] 本发明的一个方式的半导体存储装置在存储单元阵列和外围电路之间具有遮蔽层。由此,可以遮蔽在该存储单元阵列和该外围电路之间产生的辐射噪声。因此,在半导体存储装置中可以降低产生故障的可能性。

附图说明

[0017] 图 1 是示出半导体存储装置的结构例子的图;

[0018] 图 2A 是示出外围电路的结构例子的图;图 2B 是示出外围电路与存储单元阵列的连接的一个方式的示意图;

[0019] 图 3A 至图 3D 是用来说明半导体存储装置的结构例子及其制造工序的截面示意图;

[0020] 图 4A 至图 4C 是用来说明半导体存储装置的结构例子及其制造工序的截面示意图;

[0021] 图 5A 和图 5B 是用来说明半导体存储装置的结构例子及其制造工序的截面示意图;

[0022] 图 6A 和图 6B 是用来说明半导体存储装置的结构例子及其制造工序的截面示意图;

- [0023] 图 7A 和图 7B 是用来说明半导体存储装置的结构例子及其制造工序的截面示意图；
- [0024] 图 8 是示出半导体存储装置的结构例子的图；
- [0025] 图 9 是示出半导体存储装置的结构例子的图；
- [0026] 图 10A 和图 10B 是用来说明半导体存储装置的结构例子的截面示意图；
- [0027] 图 11A 和图 11B 是用来说明半导体存储装置的结构例子的截面示意图；
- [0028] 图 12A 和图 12B 是用来说明半导体存储装置的结构例子的截面示意图；
- [0029] 图 13 是用来说明半导体存储装置的结构例子的截面示意图。

具体实施方式

[0030] 下面,对本发明的一个方式进行详细说明。但是,本发明不局限于以下说明,在不脱离本发明的宗旨及其范围的条件下,其方式可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限于以下所示的记载内容中。

[0031] < 半导体存储装置的结构例子 >

[0032] 图 1 是示出本发明的一个方式的半导体存储装置的结构例子的图。图 1 所示的半导体存储装置包括:包括使用半导体衬底 10 构成的半导体元件的外围电路 100;配置在外围电路 100 上并使用导电材料构成的遮蔽层 20;以及配置在遮蔽层 20 上并包括使用氧化物半导体材料构成的半导体元件的存储单元阵列 30。并且,图 1 所示的存储单元阵列 30 具有分别保持对应于数据的电荷的多个存储单元 300。具体地说,存储单元 300 包括:活性层由氧化物半导体材料构成的晶体管 301;以及一个电极与当晶体管 301 成为截止状态时成为浮动状态的节点电连接的电容器 302。另外,电容器 302 中的另一个电极与保持恒定的电位的布线电连接。在此,作为该恒定的电位,可以应用接地电位或 0V 等。

[0033] 另外,为了遮蔽在外围电路 100 和存储单元阵列 30 之间产生的辐射噪声而设置遮蔽层 20。由此,优选的是,配置有遮蔽层 20 的区域与配置有外围电路 100 的区域和配置有存储单元阵列 30 的区域中的至少一方重叠。这是因为如果在外围电路 100 和存储单元阵列 30 之间存在没有配置遮蔽层 20 的区域,就在该区域中不能遮蔽辐射噪声。

[0034] < 外围电路 100 的结构例子 >

[0035] 图 2A 是示出图 1 所示的半导体存储装置的外围电路 100 的结构的方框图。图 2A 所示的外围电路 100 包括控制电路 110、字线驱动电路 120 及位线驱动电路 130。另外,字线驱动电路 120 是控制分别配置在存储单元阵列 30 中的多个字线 320 的电位的电路。并且,字线 320 与多个晶体管 301 的栅极电连接。就是说,字线驱动电路 120 是控制配置在存储单元阵列 30 中的晶体管 301 的开关的电路。此外,位线驱动电路 130 是控制并检测分别配置在存储单元阵列 30 中的多个位线 330 的电位的电路。并且,位线 330 与多个晶体管 301 的源极和漏极中的一方电连接。就是说,位线驱动电路 130 是对配置在存储单元阵列 30 中的存储单元 300 进行数据的写入及读取的电路。此外,控制电路 110 是控制字线驱动电路 120 及位线驱动电路 130 的工作的电路。

[0036] 另外,字线驱动电路 120 具有解码器 1201、电平转移器 1202 及缓冲器 1203 等。此外,位线驱动电路 130 具有解码器 1301、电平转移器 1302、选择器 1303、写入电路 131 及读取电路 132 等。另外,在外围电路 100 与存储单元阵列 30 之间配置有被供应接地电位的遮

蔽层 20。另外,向遮蔽层 20 提供的电位不限于接地电位。也可以采用将与接地电位不同的固定值的电位提供到遮蔽层 20 的结构。

[0037] 下面,对图 2A 所示的外围电路 100 的工作例子进行说明。

[0038] 当对外围电路 100 输入地址信号(AD)及读使能信号(RE)或写使能信号(WE)时,控制电路 110 控制字线驱动电路 120 及位线驱动电路 130。并且,在该存储单元 300 中进行数据的写入或读取。

[0039] 例如,当对所希望的存储单元 300 进行数据的写入时,在字线驱动电路 120 中生成使解码器 1201 对多个字线 320 中的任一个进行选择信号。在由电平转移器 1202 调整电位且由缓冲器 1203 处理波形之后,向被选择了的字线 320 提供该信号。由此,栅极与该字线 320 电连接的晶体管 301 成为导通状态。并且,在位线驱动电路 130 中生成使解码器 1301 对多个位线 330 中的任一个进行选择信号。在由电平转移器 1302 调整电位之后该信号被输入到选择器 1303。选择器 1303 根据被输入的信号对数据信号(DATA)进行采样。向由写入电路 131 选择的位线 330 提供该被采样的数据。由此,对被选择了的存储单元 300 可以写入所希望的数据。

[0040] 另外,当从所希望的存储单元 300 读取数据时,位线驱动电路 130 对与作为读取对象的存储单元 300 电连接的位线 330 供应所希望的电位。于是,使该位线 330 成为浮动状态。然后,字线驱动电路 120 与进行写入时同样地工作。就是说,使该存储单元 300 所具有的晶体管 301 成为导通状态。由此,该位线 330 的电位根据保持在该存储单元 300 中的数据产生变动。并且,在位线驱动电路 130 所具有的读取电路 132 中检测出该位线 330 的变动。由此,可以辨别保持在该存储单元 300 中的数据。

[0041] <外围电路 100 与存储单元阵列 30 的连接的一个方式>

[0042] 图 2B 是示出图 1 所示的半导体存储装置的外围电路 100 与存储单元阵列 30 的连接的一个方式的示意图。图 2B 所示的半导体存储装置具有:图 1 所示的结构;与该结构邻近地设置的连接布线部 40。在此,连接布线部 40 包括:从存储单元阵列 30 延伸设置的多个布线 41A 的各一部分;多个布线 41B;以及从外围电路 100 延伸设置的多个布线 41C 的各一部分。另外,布线 41B 设为与层叠有外围电路 100、遮蔽层 20 及存储单元阵列 30 的方向平行或大致平行地延伸。

[0043] 并且,在图 2B 所示的连接布线部 40 中,布线 41A 与布线 41B 与布线 41C 连接。就是说,在图 2B 所示的半导体存储装置中,使外围电路 100 与存储单元阵列 30 电连接的布线(例如,图 2A 所示的字线 320、位线 330)分别构成为包括布线 41A、布线 41B 及布线 41C。

[0044] 在具有连接布线部 40 的半导体存储装置中,不需要在遮蔽层 20 中设置用来使外围电路 100 与存储单元阵列 30 电连接的开口。由此,在外围电路 100 与存储单元阵列 30 之间可以配置由不存在开口的单一物构成的遮蔽层 20。从而,在该半导体存储装置中,可以提高对外围电路 100 与存储单元阵列 30 之间产生的辐射噪声的遮蔽效果。

[0045] <半导体存储装置的结构例子>

[0046] 图 3 至图 7 是用来说明本说明书所公开的半导体存储装置的结构例子及其制造工序的截面示意图。具体地说,图 3 至图 7 中的 A-B 截面是截面示意图,该截面示意图用于说明图 1 所示的外围电路 100 所包括的晶体管(使用半导体衬底构成的晶体管)、图 1 所示的遮蔽层 20、以及图 1 所示的存储单元阵列 30 所包括的晶体管(使用氧化物半导体材料构成

的晶体管)的结构例子及其制造工序。图 3 至图 7 中的 C-D 截面是截面示意图,该截面示意图用于说明使图 1 所示的外围电路 100 与存储单元阵列 30 电连接的布线(图 2B 所示的连接布线部 40)的结构例子及其制造工序。

[0047] 首先,如图 3A 所示,在 p 型半导体衬底 201 中形成元件分离区 203。

[0048] 作为 p 型半导体衬底 201,可以使用具有 p 型导电型的单晶硅衬底(硅晶片)、化合物半导体衬底(SiC 衬底、蓝宝石衬底、GaN 衬底等)。

[0049] 另外,可以使用 SOI (Silicon On Insulator ;绝缘体上硅)衬底代替 p 型半导体衬底 201,作为 SOI 衬底,可以使用 :通过在对镜面抛光晶片注入氧离子之后进行高温加热,离表面有一定深度地形成氧化层,并消除产生在表面层中的缺陷而形成的所谓的 SIMOX (Separation by IMplanted OXygen ;注氧隔离)衬底 ;或者利用通过注入氢离子而形成的微小空隙经过热处理生长而使半导体衬底劈开的智能剥离法或 ELTRAN 法(Epitaxial Layer Transfer ;外延层转移(日本佳能公司的注册商标))等形成的 SOI 衬底。

[0050] 元件分离区 203 可以利用 LOCOS (Local Oxidation of Silicon ;硅的局部氧化)法或 STI (Shal low Trench Isolation ;浅沟槽隔离)法等形成。

[0051] 另外,当在同一衬底上形成 p 沟道型晶体管时,可以在 p 型半导体衬底 201 的一部分中形成 n 阱区。通过添加磷、砷等赋予 n 型的杂质元素形成 n 阱区。

[0052] 另外,虽然这里使用 p 型半导体衬底,但是也可以使用 n 型半导体衬底形成 p 沟道型晶体管。此时,可以在 n 型半导体衬底中形成添加有赋予 p 型的硼等杂质元素的 p 阱区,并在同一衬底上形成 n 型晶体管。

[0053] 接着,如图 3B 所示的那样,在半导体衬底 201 上形成栅极绝缘膜 207a、绝缘膜 207b、栅电极 209a 及布线 209b。

[0054] 例如,进行热处理使半导体衬底 201 的表面氧化或在该氧化后进行氮化处理。由此,形成氧化硅膜或包括氧化硅膜和具有氧及氮的硅膜(氧氮化硅膜)的叠层。接着,对氧化硅膜或氧氮化硅膜的一部分选择性地蚀刻形成栅极绝缘膜 207a 及绝缘膜 207b。或者,也可以在利用 CVD 法、溅射法等形成厚度为 5nm 至 50nm 的氧化硅、氧氮化硅、作为高介电常数物质(也称为 high-k 材料)的钽氧化物、氧化铪、氧化铪硅酸盐、氧化锆、氧化铝、氧化钛等金属氧化物或氧化镧等稀土氧化物等之后,对其一部分选择性地蚀刻来形成栅极绝缘膜 207a 及绝缘膜 207b。

[0055] 栅电极 209a 及布线 209b 优选使用选自钽、钨、钛、钼、铬、铌等中的金属或以这些金属为主要成分的合金材料或化合物材料。另外,也可以使用添加有磷等杂质的多晶硅。另外,也可以以金属氮化物膜与上述金属膜的叠层结构形成栅电极 209a 及布线 209b。作为金属氮化物,可以使用氮化钨、氮化钼、氮化钛。通过设置金属氮化物膜,可以提高金属膜的紧密性,从而能够防止剥离。

[0056] 栅电极 209a 及布线 209b 是在利用溅射法、CVD 法等形成导电膜之后对该导电膜的一部分选择性地蚀刻而形成的。

[0057] 另外,为了实现高集成化,优选在栅电极 209a 的侧面没有侧壁绝缘层。另一方面,在注重晶体管的特性的情况下,也可以在栅电极 209a 的侧面设置侧壁绝缘层。

[0058] 接着,如图 3C 所示,对半导体衬底 201 添加赋予 n 型的杂质元素形成 n 型杂质区 211a、n 型杂质区 211b。另外,在同一衬底上形成 n 阱区的情况下,在该区域形成添加有赋

予 p 型的杂质元素形成 p 型杂质区。n 型杂质区 211a、n 型杂质区 211b 及 p 型杂质区中的赋予 n 型的杂质元素及赋予 p 型的杂质元素的浓度为 $1 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下。适当地使用离子掺杂法、离子注入法等对半导体衬底 201 及 n 阱区添加赋予 n 型的杂质元素及赋予 p 型的杂质元素。

[0059] 另外,在栅电极 209a 的侧面设置侧壁绝缘层的情况下,可以在与该侧壁绝缘层重叠的区域中形成杂质浓度与 n 型杂质区 211a、n 型杂质区 211b 及 p 型杂质区不同的杂质区。

[0060] 接着,如图 3D 所示,利用溅射法、CVD 法等半导体衬底 201、元件分离区 203、栅极绝缘膜 207a、绝缘膜 207b、栅电极 209a 及布线 209b 上形成绝缘膜 215 及绝缘膜 217。

[0061] 绝缘膜 215 及绝缘膜 217 可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等的叠层或单层形成。另外,通过利用 CVD 法形成绝缘膜 215,可以提高绝缘膜 215 中的氢含量。通过使用这种绝缘膜 215 进行热处理,可以使半导体衬底氢化,利用氢来对悬空键进行终结,由此可以减少该半导体衬底中的缺陷。

[0062] 另外,通过使用 BPSG (Boron Phosphorus Silicate Glass; 硼磷硅玻璃) 等无机材料或聚酰亚胺、丙烯等有机材料形成绝缘膜 217,可以提高绝缘膜 217 的平坦性。

[0063] 在形成绝缘膜 215 或绝缘膜 217 之后,进行使添加到 n 型杂质区 211a、n 型杂质区 211b 及 p 型杂质区中的杂质元素活化的热处理。

[0064] 通过上述工序,可以如图 3D 所示地制造 n 沟道型晶体管 200A。

[0065] 接着,对绝缘膜 215 及绝缘膜 217 的一部分选择性地蚀刻形成开口部。然后,在开口部中形成接触插头 219a、接触插头 219b 及接触插头 219c。典型的是,在利用溅射法、CVD 法等形成导电膜之后,利用 CMP (Chemical Mechanical Polishing; 化学机械抛光) 法、蚀刻等进行平坦化处理去除导电膜的不需要的部分,而形成接触插头 219a、接触插头 219b 及接触插头 219c (参照图 4A)。

[0066] 利用 CVD 法使用 WF_6 气体和 SiH_4 气体来形成硅化钨,并将导电膜嵌入开口部,而形成成为接触插头 219a、接触插头 219b 及接触插头 219c 的导电膜。

[0067] 接着,利用溅射法、CVD 法等绝缘膜 217 和接触插头 219a、接触插头 219b 及接触插头 219c 上形成绝缘膜,然后对该绝缘膜的一部分选择性地蚀刻,从而形成具有槽部的绝缘膜 221。接着,利用溅射法、CVD 法等形成导电膜,然后利用 CMP 法、蚀刻等进行平坦化处理,去除该导电膜的不需要的部分,从而形成布线 223a、布线 223b 及布线 223c (参照图 4A)。

[0068] 在此,布线 223a 及布线 223b 分别用作晶体管的源电极或漏电极。

[0069] 绝缘膜 221 可以使用与绝缘膜 215 相同的材料形成。

[0070] 作为布线 223a、布线 223b 及布线 223c,可以使用由铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨构成的单体金属或以这些元素为主要成分的合金的单层结构或叠层结构。例如,可以采用如下结构:包含硅的铝膜的单层结构;在铝膜上层叠钛膜的两层结构;在钨膜上层叠钛膜的两层结构;在铜-镁-铝合金膜上层叠铜膜的两层结构;钛膜、在该钛膜上层叠铝膜、在其上形成钛膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0071] 接着,利用溅射法、CVD 法等绝缘膜 221、布线 223a、布线 223b 及布线 223c 上形

成绝缘膜 225 (参照图 4B)。作为绝缘膜 225, 可以形成氧化硅、氧氮化硅、氮氧化硅、氧化镓、氧化铪、氧化钽、氧化铝、氧氮化铝的单层或叠层。

[0072] 接着, 对绝缘膜 225 的一部分选择性地蚀刻形成开口部。然后, 在开口部中形成接触插头 227。另外, 作为接触插头 227 的制造方法及材料, 可以适当地使用与接触插头 219a、接触插头 219b 相同的制造方法及材料(参照图 4C)。

[0073] 接着, 通过溅射法、CVD 法等, 在绝缘膜 225 及接触插头 227 上形成绝缘膜, 然后对该绝缘膜的一部分选择性地蚀刻, 而形成绝缘膜 231。接着, 通过溅射法、CVD 法等形成导电膜, 然后通过 CMP 法或蚀刻等进行平坦化处理而去除该导电膜的不需要的部分, 而形成导电膜 229a 及布线 229b (参照图 4C)。

[0074] 另外, 导电膜 229a 是成为图 1 至图 2 所示的半导体存储装置中的遮蔽层 20 的导电膜。

[0075] 另外, 导电膜 229a 及布线 229b 可以使用与布线 223a、布线 223b 及布线 223c 相同的材料形成, 而绝缘膜 231 可以使用与绝缘膜 215、绝缘膜 221 相同的材料形成。

[0076] 接着, 通过溅射法、CVD 法等, 在导电膜 229a、布线 229b 及绝缘膜 231 上形成绝缘膜 233。绝缘膜 233 可以使用与绝缘膜 225 相同的材料形成。另外, 绝缘膜 233 优选使用通过加热使氧的一部分脱离的氧化绝缘膜形成。作为通过加热使氧的一部分脱离的氧化绝缘膜, 使用含有多于满足化学计量比的氧的氧化绝缘膜。由于通过加热使氧的一部分脱离的氧化绝缘膜通过加热使氧脱离, 所以可以通过之后的工序中进行的加热使氧扩散到氧化物半导体膜中(参照图 5A)。

[0077] 另外, 优选对绝缘膜 233 进行 CMP 处理等使其平坦化。绝缘膜 233 的表面的平均表面粗糙度(Ra)为 1nm 以下, 优选为 0.3nm 以下, 更优选为 0.1nm 以下。

[0078] CMP 处理可以进行一次或多次。在分多次进行 CMP 处理的情况下, 优选在进行高抛光率的初期抛光之后, 进行低抛光率的精抛光。像这样, 通过对抛光率不同的抛光进行组合, 可以进一步提高绝缘膜 233 表面的平坦性。

[0079] 另外, 还可以使用等离子体处理作为绝缘膜 233 的平坦化处理。在真空的处理室中引入惰性气体, 例如氩气体等稀有气体, 并施加将被处理面设定为阴极的电场来进行等离子体处理。作为其原理, 与等离子体干蚀刻法相同, 但是使用惰性气体进行处理。也就是说, 该等离子体处理是对被处理面照射惰性气体的离子并利用溅射效应使表面的微细的凹凸平坦化的处理。因此, 有时也将该等离子体处理称为“反溅射处理”。

[0080] 当进行该等离子体处理时, 在等离子体中存在电子和氩的阳离子且在阴极方向上氩的阳离子被加速。被加速的氩的阳离子对被处理面进行溅射。此时, 优先地从被处理面的凸部溅射。从被处理面溅射的粒子附着到被处理面的其他部分。此时, 优先地附着到该被处理面的凹部。像这样, 通过削掉凸部填平凹部, 可以提高被处理面的平坦性。另外, 通过同时进行等离子体处理和 CMP 处理, 可以进一步实现绝缘膜 233 的平坦化。

[0081] 另外, 通过该等离子体处理, 也可以利用溅射效果去除附着在绝缘膜 233 表面的氧、水分、有机物等杂质。

[0082] 另外, 优选在形成氧化物半导体之前对成膜室进行加热及排气而去除成膜室中的氢、水、羟基、氢化物等杂质。尤其重要的是去除吸着在成膜室的内壁的这些杂质。在此, 热处理例如可以在 100℃ 以上且 450℃ 以下进行。另外, 优选适当地组合干燥泵等粗真空泵和

溅射离子泵、涡轮分子泵及低温泵等高真空泵进行处理室的排气。涡轮分子泵在大分子的排气方面优秀,但是对氢和水的排气能力低。再者,组合对水的排气能力高的低温泵或对氢的排气能力高的溅射离子泵来使用是有效的。此时,通过一边导入惰性气体一边去除杂质,可以进一步提高仅靠排气而不容易脱离的水等的脱离速度。通过在形成氧化物半导体膜之前通过该处理去除成膜室中的杂质,可以降低混入到氧化物半导体的氢、水、羟基、氢化物等。

[0083] 此外,也可以在使用溅射装置形成氧化物半导体膜之前,将伪衬底放入到溅射装置中,在伪衬底上形成氧化物半导体膜,并进行去除附着到靶材表面或防附着板的氢、水分的工序。

[0084] 接着,利用溅射法、涂布法、印刷法、蒸镀法、PCVD法、PLD法、ALD法或MBE法等,在绝缘膜233上形成氧化物半导体膜235(参照图5A)。这里,作为氧化物半导体膜235,利用溅射法形成1nm以上且50nm以下,优选为3nm以上且20nm以下厚的氧化物半导体膜。通过将氧化物半导体膜235的厚度设定为上述厚度,可以抑制由于晶体管的微细化而可能引起的短沟道效应。

[0085] 作为用于氧化物半导体膜235的氧化物半导体,优选为至少包含铟(In)或锌(Zn)。尤其是优选包含In及Zn。此外,作为用来降低使用该氧化物半导体而成的晶体管的电特性的偏差的稳定剂,除了上述元素以外,优选还包含镓(Ga)。此外,作为稳定剂,优选包含锡(Sn)。另外,作为稳定剂,优选包含铪(Hf)。此外,作为稳定剂,优选包含铝(Al)。

[0086] 此外,作为其他稳定剂,也可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)中的一种或多种。

[0087] 例如,作为氧化物半导体,可以使用氧化铟;氧化锡;氧化锌;二元金属氧化物如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物;三元金属氧化物如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;以及四元金属氧化物如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。此外,也可以使上述氧化物半导体包含氧化硅。在此,例如,“In-Ga-Zn氧化物”是指以铟(In)、镓(Ga)、锌(Zn)为主要成分的氧化物,对原子比没有限制。另外,也可以含有In、Ga、Zn以外的金属元素。此时,在上述氧化物半导体中,优选含有多于化学计量比的氧。通过使氧化物半导体包含过剩的氧,可以抑制氧化物半导体膜的氧缺陷所导致的载流子的生成。

[0088] 另外,作为氧化物半导体,也可以使用表示为 $\text{InM}_3(\text{ZnO})_m$ ($m>0$ 且 m 不是整数)的材料。注意, M 表示选自Ga、Fe、Mn和Co中的一种或多种金属元素。此外,作为氧化物半导体,也可以使用表示为 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ 且 n 是整数)的材料。

[0089] 另外,优选的是,在氧化物半导体膜235中,碱金属或碱土金属的浓度为

1×10^{18} atoms/cm³ 以下,更优选为 2×10^{16} atoms/cm³ 以下。这是因为如下缘故:碱金属及碱土金属当与氧化物半导体键合时,有时生成载流子,而成为晶体管的截止电流值上升的原因。

[0090] 此外,氧化物半导体膜 235 也可以含有 5×10^{18} atoms/cm³ 以下的氮。

[0091] 另外,作为可以用于氧化物半导体膜 235 的氧化物半导体,使用带隙比硅半导体的带隙宽且本征载流子密度比硅低的宽带隙半导体。像这样,通过使用能隙宽的氧化物半导体,可以降低晶体管的截止电流值。

[0092] 氧化物半导体膜 235 可以为单晶结构或非单晶结构。当其为非单晶结构时,可以为非晶结构或多晶结构。另外,可以为在非晶体中含有具有结晶性的部分的结构或非晶结构。

[0093] 非晶状态的氧化物半导体由于可以比较容易地得到平坦的表面,所以可以减少在使用该氧化物半导体制造晶体管时的界面散乱,可以比较容易得到较高的迁移率。

[0094] 另外,具有结晶性的氧化物半导体可以进一步降低块体内缺陷,通过提高表面的平坦性,可以得到处于非晶状态的氧化物半导体的迁移率以上的迁移率。为了提高表面的平坦性,优选在平坦的表面上形成氧化物半导体,如上所述使绝缘膜 233 表面的平均面粗糙度(Ra)为 1nm 以下,优选为 0.3nm 以下,更优选为 0.1nm 以下,并优选在其上形成氧化物半导体膜 235。

[0095] 这里利用溅射法形成氧化物半导体膜 235。

[0096] 作为用于溅射法的靶材,例如可以使用:氧化铟;氧化锡;氧化锌;二元金属氧化物如 In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、Zn-Mg 类氧化物、Sn-Mg 类氧化物、In-Mg 类氧化物、In-Ga 类氧化物;三元金属氧化物如 In-Ga-Zn 类氧化物(也称为 IGZO)、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物、In-Hf-Zn 类氧化物、In-La-Zn 类氧化物、In-Ce-Zn 类氧化物、In-Pr-Zn 类氧化物、In-Nd-Zn 类氧化物、In-Sm-Zn 类氧化物、In-Eu-Zn 类氧化物、In-Gd-Zn 类氧化物、In-Tb-Zn 类氧化物、In-Dy-Zn 类氧化物、In-Ho-Zn 类氧化物、In-Er-Zn 类氧化物、In-Tm-Zn 类氧化物、In-Yb-Zn 类氧化物、In-Lu-Zn 类氧化物;以及四元金属氧化物如 In-Sn-Ga-Zn 类氧化物、In-Hf-Ga-Zn 类氧化物、In-Al-Ga-Zn 类氧化物、In-Sn-Al-Zn 类氧化物、In-Sn-Hf-Zn 类氧化物、In-Hf-Al-Zn 类氧化物。

[0097] 当作为氧化物半导体使用 In-Ga-Zn-O 类材料时,所使用的靶材中的金属元素的原子数比例例如可以为 In:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3 或 3:1:4 等。可以将上述原子数比的 In-Ga-Zn 类氧化物、接近该组成的氧化物用作靶材。另外,通过以上方式设定靶材的原子数比,易于形成多晶膜或后面所述的 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor ;C 轴取向结晶氧化物半导体)膜。

[0098] 此外,当作为氧化物半导体使用 In-Sn-Zn-O 类材料时,作为所使用的靶材中的金属元素的原子数比,例如可以为 In:Sn:Zn=1:1:1、2:1:3、1:2:2 或 20:45:35 等。可以将上述原子数比的 In-Sn-Zn 类氧化物、接近该组成的氧化物用作靶材。另外,通过以上方式设定靶材的原子数比,易于形成多晶膜或后面所述的 CAAC-OS 膜。

[0099] 另外,当作为氧化物半导体使用 In-Zn-O 类材料时,将所使用的靶材中的金属元素的原子数比设定为 In:Zn=50:1 至 1:2(换算为摩尔数比则为 In₂O₃:ZnO=25:1 至 1:4),优选

为 In:Zn=20:1 至 1:1(换算为摩尔数比则为 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 1:2),更优选为 In:Zn=15:1 至 1.5:1(换算为摩尔数比则为 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 3:4)。例如,作为用于形成 In-Zn-O 类氧化物半导体的靶材,当原子数比为 In:Zn:O=X:Y:Z 时, $Z>1.5X+Y$ 。可以将上述原子数比的 In-Zn-O 类氧化物、接近该组成的氧化物用作靶材。

[0100] 但是,所公开的发明不局限于此,可以根据所需要的半导体特性(迁移率、阈值、偏差等)而使用适当的组成的氧化物。另外,优选采用适当的载流子密度、杂质浓度、缺陷密度、金属元素及氧的原子数比、原子间距离、密度等,以得到所需要的半导体特性。

[0101] 例如,In-Sn-Zn 类氧化物比较容易得到高迁移率。但是,即使使用 In-Ga-Zn 类氧化物,也可以通过降低块体内缺陷密度来提高迁移率。

[0102] 另外,溅射气体适当地使用稀有气体(典型的是氩)气氛、氧气氛或稀有气体和氧的混合气体。此外,在采用稀有气体和氧的混合气体的情况下,优选为提高氧气体对稀有气体的比例。另外,作为溅射气体,为了防止氢、水、羟基、氢化物等混入到氧化物半导体膜中,优选采用使用充分地去氢、水、羟基、氢化物等的杂质的高纯度气体的气氛。

[0103] 在溅射法中,作为用来产生等离子体的电源装置,可以适当地使用 RF 电源装置、AC 电源装置、DC 电源装置等。

[0104] 另外,优选将形成氧化物半导体膜的处理室的泄漏率设定为 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下,由此当利用溅射法形成氧化物半导体膜时,可以减少混入到膜中的杂质。像这样,在氧化物半导体膜的成膜工序中,更优选在氧化绝缘膜的成膜工序中,通过控制处理室的压力、处理室的泄漏率等尽量抑制杂质的混入,能够减少包含于氧化物半导体膜中的含有氢的杂质混入。此外,可以降低氢等的杂质从氧化物绝缘膜扩散到氧化物半导体膜。

[0105] 此外,作为氧化物半导体膜 235,也可以使用 CAAC-OS 膜。

[0106] CAAC-OS 膜不是完全的单晶,也不是完全的非晶。CAAC-OS 膜是在非晶相中具有结晶部的结晶-非晶混合相结构的氧化物半导体膜。另外,一般该结晶部分能够存在于一边小于 100nm 的三维领域内。另外,在使用透射电子显微镜(TEM:Transmission Electron Microscope)观察时的图像中,包含于 CAAC-OS 膜中的非晶部与结晶部的边界不明确。另外,在 CAAC-OS 膜中利用 TEM 观察不到晶界(grain boundary)。因此,在 CAAC-OS 膜中,起因于晶界的电子迁移率的降低得到抑制。

[0107] 在包含于 CAAC-OS 膜中的结晶部中,c 轴在与 CAAC-OS 膜的被形成面的法线向量或表面的法线向量平行的方向上一致,并且在从垂直于 ab 面的方向看时具有三角形或六角形的原子排列。不同结晶部之间的 a 轴及 b 轴的方向也可以彼此不同。在本说明书中,在只记载“垂直”时,也包括 85° 以上且 95° 以下的范围。另外,在只记载“平行”时,也包括 -5° 以上且 5° 以下的范围。

[0108] 另外,在 CAAC-OS 膜中,结晶部的分布也可以不均匀。例如,在 CAAC-OS 膜的形成过程中,当从氧化物半导体膜的表面一侧进行结晶生长时,有时在表面的附近与被形成面的附近相比结晶部所占的比例更高。

[0109] 包含于 CAAC-OS 膜中的结晶部的 c 轴在与 CAAC-OS 膜的被形成面的法线向量或表面的法线向量平行的方向上一致,所以根据 CAAC-OS 膜的形状(被形成面的截面形状或表面的截面形状),结晶部的 c 轴方向有时朝向互不相同的方向。另外,结晶部的 c 轴的方向为与形成有 CAAC-OS 膜时的被形成面的法线向量或表面的法线向量平行的方向。结晶部是

通过成膜或通过成膜之后进行加热处理等晶化处理而形成的。

[0110] 使用 CAAC-OS 膜的晶体管能够降低可见光或紫外光的照射所引起的电特性变动。因此,该晶体管的可靠性高。尤其是,如上述那样,优选将绝缘膜 233 表面的平均面粗糙度 (Ra) 设定为 1nm 以下,优选设定为 0.3nm 以下,更优选设定为 0.1nm 以下,并且在其上形成 CAAC-OS 膜。由此,可以提高 CAAC-OS 膜的结晶性,从而可以提高使用该 CAAC-OS 膜的晶体管的迁移率。

[0111] CAAC-OS 膜例如使用多晶的氧化物半导体溅射用靶材,并利用溅射法成膜。当离子碰撞到该溅射用靶材时,有时包括在溅射用靶材中的结晶区域沿 a-b 面劈开,即具有与 a-b 面平行的面的平板状或拖台状的溅射粒子剥离。这种情况下,通过该平板状的溅射粒子在保持结晶状态的状态下到达衬底,可以形成 CAAC-OS 膜。

[0112] 另外,为了形成 CAAC-OS 膜,优选采用如下条件。

[0113] 通过降低成膜时的杂质的混入,可以抑制杂质所导致的结晶状态的破坏。例如,可以降低存在于成膜室内的杂质的浓度(氢、水、二氧化碳及氮等)。另外,可以降低成膜气体中的杂质的浓度。具体而言,使用露点为 -80°C 以下,优选为 -100°C 以下的成膜气体。

[0114] 另外,通过提高成膜时的衬底加热温度,在溅射粒子附着到衬底之后产生溅射粒子的迁移。具体而言,在将衬底加热温度设定为 100°C 以上且 740°C 以下,优选设定为 200°C 以上且 500°C 以下的状态下进行成膜。通过提高成膜时的衬底加热温度,当平板状的溅射粒子到达衬底时,在衬底上产生迁移,溅射粒子的平坦的面附着到衬底。

[0115] 另外,优选的是,通过提高成膜气体中的氧比例并将电力最优化来减轻成膜时的等离子体损伤。将成膜气体中的氧比例设定为 30vol% 以上,优选设定为 100vol%。

[0116] 以下,作为溅射用靶材的一个例子示出 In-Ga-Zn-O 化合物靶材。

[0117] 将 InO_x 粉末、 GaO_y 粉末和 ZnO_z 粉末以规定的摩尔数比混合,进行加压处理,然后在 1000°C 以上且 1500°C 以下的温度下进行加热处理,由此得到作为多晶的 In-Ga-Zn-O 化合物靶材。另外,X、Y 及 Z 为任意正数。在此, InO_x 粉末、 GaO_y 粉末和 ZnO_z 粉末的规定的摩尔数比例如为 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外,可以根据所制造的溅射用靶材适当地改变粉末的种类及其混合摩尔数比。

[0118] 在氧化物半导体膜 235 为 CAAC-OS 膜的情况下,当形成氧化物半导体膜 235 时,以衬底温度成为超过 200°C 且为 700°C 以下,优选为超过 300°C 且为 500°C 以下,更优选为 400°C 以上且 450°C 以下的温度的方式对衬底进行加热。像这样,通过边加热衬底边形成氧化物半导体膜 235,可以将氧化物半导体膜 235 形成为 CAAC-OS 膜。

[0119] 另外,还可以边在上述温度范围内进行加热边形成一个原子层以上且 10nm 以下,优选为 2nm 以上且 5nm 以下的膜厚很薄的第一氧化物半导体膜,然后利用同样的方法,边进行加热边进一步形成厚度更厚的第二氧化物半导体膜,层叠第一氧化物半导体膜和第二氧化物半导体膜。从而形成 CAAC-OS 膜即氧化物半导体膜 235。

[0120] 另外,在氧化物半导体膜 235 采用非晶结构的情况下,当形成氧化物半导体膜 235 时,不进行衬底的加热或将衬底温度设定为低于 200°C ,更优选设定为低于 180°C 进行衬底的加热。通过像这样形成氧化物半导体膜 235,可以使氧化物半导体膜 235 具有非晶结构。

[0121] 另外,也可以在通过上述方法形成非晶结构的氧化物半导体膜之后,以 250°C 以上且 700°C 以下,优选为 400°C 以上,更优选为 500°C 以上,进一步优选为 550°C 以上的温度进

行热处理使该非晶结构的氧化物半导体膜的至少一部分晶化,由此形成 CAAC-OS 膜即氧化物半导体膜 235。另外,该加热处理可以在惰性气体气氛下进行。另外,作为惰性气体气氛,优选应用以氮或稀有气体(氮、氦、氩等)为主要成分且不包含水、氢等的气氛。例如,将引入热处理装置中的氮或氮、氦、氩等的稀有气体的纯度设定为 6N (99.9999%)以上,优选设定为 7N (99.99999%)以上(即,杂质浓度为 1ppm 以下,优选为 0.1ppm 以下)。另外,该加热处理也可以兼用作后面所述的脱水化、脱氢化的加热处理等。

[0122] 在上述方法中,成膜时的衬底加热温度越高,所形成的氧化物半导体膜 235 的杂质浓度越低。另外,氧化物半导体膜 235 中的原子排列有序且高密度化,因此易于形成多晶膜或 CAAC-OS 膜。另外,由于在氧气气氛下进行成膜不会使其包含稀有气体等不需要的原子,因此易于形成多晶膜或 CAAC-OS 膜。但是,也可以采用氧气和稀有气体的混合气氛,该情况下将氧气体的比例设定为 30vol% 以上,优选设定为 50vol% 以上,更优选设定为 80vol% 以上。

[0123] 还可以在形成氧化物半导体膜 235 之后对氧化物半导体膜 235 进行加热处理。通过进行热处理,可以进一步去除包含于氧化物半导体膜 235 中的包含氢原子的物质。该热处理在惰性气体气氛下进行,并且热处理的温度为 300℃ 以上且 700℃ 以下,优选为 450℃ 以上且 600℃ 以下或者在衬底具有应变点时热处理的温度低于衬底的应变点。另外,作为惰性气体气氛,优选采用以氮或稀有气体(氮、氦、氩等)为主要成分且不含有水、氢等的气氛。例如,将引入热处理装置中的氮或氮、氦、氩等的稀有气体的纯度设定为 6N (99.9999%)以上,优选设定为 7N (99.99999%)以上(即,杂质浓度为 1ppm 以下,优选为 0.1ppm 以下)。

[0124] 例如可以将半导体衬底 201 引入到使用电阻发热体等的电炉中,在氮气气氛下以 450℃ 以 1 小时为条件进行该热处理。

[0125] 另外,热处理装置不局限于电炉,也可以使用利用来自被加热的气体等的介质的热传导或热辐射来加热被处理物的装置。例如,可以使用如 LRTA (Lamp Rapid Thermal Anneal, 灯快速热退火)装置、GRTA (Gas Rapid Thermal Anneal, 气体快速热退火)装置等 RTA (Rapid Thermal Anneal, 快速热退火)装置。LRTA 装置是一种利用卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或者高压汞灯等的灯发射的光(电磁波)的辐射来加热被处理物的装置。GRTA 装置是一种利用高温气体进行热处理的装置。作为气体,使用即使进行热处理也不与被处理物起反应的惰性气体,如氩等的稀有气体或氮等。另外,在作为加热处理装置使用 GRTA 装置的情况下,其热处理时间很短,所以也可以在加热到 650℃ 至 700℃ 的高温的惰性气体中加热衬底。

[0126] 此外,优选在通过上述热处理加热氧化物半导体膜 235 之后,对相同的炉中引入高纯度的氧气气体、高纯度的 N₂O 气体或超干燥空气(使用 CRDS (cavity ring-down laser spectroscopy : 光腔衰荡光谱法)方式的露点仪来测定时的水分量为 20ppm (露点换算为 -55℃)以下,优选为 1ppm 以下,更优选为 10ppb 以下的空气)。尤其是,优选上述气体不包含水、氢等。另外,优选将引入到相同炉中的氧气体或 N₂O 气体的纯度设定为 6N 以上,优选设定为 7N 以上(即,杂质浓度为 1ppm 以下,优选为 0.1ppm 以下)。通过利用氧气气体或 N₂O 气体的作用可以供应氧,该氧是在脱水化或脱氢化的杂质排除工序的同时减少了的构成氧化物半导体的主要成分材料之一。

[0127] 此外,由于上述热处理具有去除氢或水等的效果,所以可以将该热处理也称为脱

水化处理、脱氢化处理等。该热处理例如可以在将氧化物半导体层加工为岛状之前或在形成栅极绝缘膜之后等时机进行。另外,这样的脱水化处理、脱氢化处理不局限于进行一次,而也可以进行多次。

[0128] 接着,对氧化物半导体膜 235 的一部分选择性地蚀刻形成岛状的氧化物半导体膜 237。然后,利用溅射法、CVD 法等氧化物半导体膜 237 上形成绝缘膜 239。然后,在绝缘膜 239 上形成栅电极 241 (参照图 5B)。

[0129] 绝缘膜 239 例如使用氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钪、氧化镓或 Ga-Zn-O 类金属氧化物膜等,即可,并且以叠层或单层设置绝缘膜 239。此外,作为绝缘膜 239,与绝缘膜 233 同样也可以使用通过加热使氧脱离的氧化绝缘膜。通过对绝缘膜 239 使用通过加热使氧脱离的膜,可以修复由于之后的加热处理氧化物半导体膜 237 中产生的氧缺陷,由此可以抑制晶体管的电特性的劣化。

[0130] 此外,通过作为绝缘膜 239 使用硅酸铪(HfSiO_x)、添加有氮的硅酸铪($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的铝酸铪($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化铪、氧化钽等 high-k 材料,即使将栅极绝缘膜的厚度形成得较薄也可以降低栅极泄漏。

[0131] 可以将绝缘膜 239 的厚度设定为 10nm 以上且 300nm 以下,优选为 5nm 以上且 50nm 以下,更优选为 10nm 以上且 30nm 以下。

[0132] 栅电极 241 可以使用选自铝、铬、铜、钼、钛、钽、钨中的金属元素、以上述金属元素为成分的合金或组合上述金属元素的合金等而形成。也可以使用选自锰、锆中的一个或多个的金属元素。此外,栅电极 241 可以具有单层结构或者两层以上的叠层结构。例如,可以举出包含硅的铝膜的单层结构、在铝膜上层叠钛膜的两层结构、在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜上层叠钨膜的两层结构以及依次层叠钛膜、铝膜和钽膜的三层结构等。此外,也可以使用组合铝与选自钛、钽、钨、钼、铬、钽、铪中的元素的膜、组合铝和上述元素中的多种的合金膜或氮化膜。

[0133] 另外,栅电极 241 也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锡氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物、添加有氧化硅的铟锡氧化物等有透光性的导电材料。另外,也可以采用有上述透光性的导电材料和上述金属元素的叠层结构。

[0134] 栅电极 241 通过印刷法或喷墨法形成。或者,通过在利用溅射法、CVD 法、蒸镀法等形成导电膜之后对该导电膜的一部分进行选择性地蚀刻来形成栅电极 241。

[0135] 此外,在栅电极 241 与绝缘膜 239 之间,作为接触于绝缘膜 239 的材料层,优选设置包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜及金属氮化膜(InN、ZnN 等)。这些膜具有 5eV,优选为 5.5eV 以上的功函数,可以使晶体管的电特性的阈值电压成为正值,即实现所谓的常关闭的开关元件。例如,当使用包含氮的 In-Ga-Zn-O 膜时,至少使用具有高于氧化物半导体膜 237 的氮浓度,具体地说使用包含 7atoms% 以上的氮的 In-Ga-Zn-O 膜。

[0136] 另外,也可以在形成绝缘膜 239 之后,在惰性气体气氛下或在氧气气氛下进行热处理(第二热处理)。热处理的温度优选为 200°C 以上且 450°C 以下,更优选为 250°C 以上且 350°C 以下。通过进行该热处理,可以减少晶体管的电特性的偏差。此外,当与氧化物半导体膜 237 接触的绝缘膜 233 或绝缘膜 239 含有氧时,可以向氧化物半导体膜 237 供应氧来

对该氧化物半导体膜 237 的氧缺陷填补氧。如此,由于上述热处理具有供应氧的效果,因此也可以将该热处理称为加氧化等。

[0137] 另外,虽然这里在形成绝缘膜 239 之后进行加氧化的热处理,但是加氧化的热处理的时机不局限于此。

[0138] 像上述那样,通过应用脱水化或脱氢化的热处理和加氧化的热处理减少氧化物半导体膜 237 中的杂质并填补氧缺陷,可以使氧化物半导体膜 237 尽量地不包含其主要成分以外的杂质而高纯度化。

[0139] 接着,也可以以栅电极 241 为掩模进行对氧化物半导体膜 237 添加掺杂剂的处理。由此,如图 6A 所示地形成被栅电极 241 覆盖的没有添加掺杂剂的第一区域 243a、含有掺杂剂的一对第二区域 243b、第二区域 243c。由于以栅电极 241 为掩模添加掺杂剂,所以可以自对准地形成没有添加掺杂剂的第一区域 243a 及含有掺杂剂的一对第二区域 243b、第二区域 243c。另外,与栅电极 241 重叠的第一区域 243a 用作沟道区。另外,含有掺杂剂的一对第二区域 243b、第二区域 243c 用作电场缓和区。另外,将具有第一区域 243a 及含有掺杂剂的一对第二区域 243b、第二区域 243c 的氧化物半导体膜称为氧化物半导体膜 243。

[0140] 在氧化物半导体膜 243 的第一区域 243a 中,优选将氢浓度设定为低于 $5 \times 10^{18} \text{atoms/cm}^3$,优选设定为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,更优选设定为 $5 \times 10^{17} \text{atoms/cm}^3$ 以下,进一步优选设定为 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。因氧化物半导体和氢键合而一部分的氢成为供体,因此产生作为载流子的电子。由于这个原因,通过降低氧化物半导体膜 243 的第一区域 243a 中的氢浓度,能够抑制阈值电压向负侧漂移。

[0141] 含有掺杂剂的一对第二区域 243b 及第二区域 243c 中含有的掺杂剂的浓度为 $5 \times 10^{18} \text{atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{atoms/cm}^3$ 以下,优选为 $5 \times 10^{18} \text{atoms/cm}^3$ 以上且低于 $5 \times 10^{19} \text{atoms/cm}^3$ 。

[0142] 因为包含掺杂剂的一对第二区域 243b、第二区域 243c 包含掺杂剂,所以可以增加载流子密度或缺陷。因此,与不包含掺杂剂的第一区域 243a 相比可以提高导电性。另外,如果使掺杂剂浓度增加得太多,则掺杂剂阻碍载流子的迁移,因此导致包含掺杂剂的一对第二区域 243b、第二区域 243c 的导电性减弱。

[0143] 包含掺杂剂的一对第二区域 243b、第二区域 243c 的导电率为 0.1S/cm 以上且 1000S/cm 以下,优选为 10S/cm 以上且 1000S/cm 以下。

[0144] 在氧化物半导体膜 243 中,通过存在有包含掺杂剂的一对第二区域 243b、第二区域 243c,可以缓和施加到用作沟道区的第一区域 243a 的端部的电场。因此,可以抑制晶体管的短沟道效应。

[0145] 作为对氧化物半导体膜 237 添加掺杂剂的方法,可以使用离子掺杂法或离子注入法。此外,作为所添加的掺杂剂,使用硼、氮、磷和砷中的至少一种以上。或者,作为掺杂剂,使用氦、氟、氙、氪和氩中的至少一种以上。另外,作为掺杂剂使用氢。另外,作为掺杂剂,也可以适当地组合硼、氮、磷和砷中的一种以上和氦、氟、氙、氪和氩中的一种以上及氢。

[0146] 此外,在图 6A 中,虽然示出了通过夹着绝缘膜 239 对氧化物半导体膜 237 添加掺杂剂形成氧化物半导体膜 243 的工序,但是通过对没有绝缘膜 239 的状态下(在氧化物半导体膜 237 露出的状态下)的氧化物半导体膜 237 添加掺杂剂也可以为形成氧化物半导体膜 243 的工序。

[0147] 再者,也可以采用离子掺杂法或离子注入法等注入之外的方法进行上述掺杂剂的添加。例如,通过在包含添加的元素的气体气氛下产生等离子体,并对被添加物进行等离子体处理,可以添加掺杂剂。作为产生上述等离子体的装置,可以使用干蚀刻装置、CVD 装置或高密度 CVD 装置等。

[0148] 然后,也可以进行热处理。作为该热处理的温度,典型的是 150℃以上且 450℃以下,优选的是 250℃以上且 325℃以下。或者,也可以一边使温度从 250℃到 325℃逐渐地上升,一边进行加热。

[0149] 通过进行该加热处理,可以降低包含掺杂剂的一对第二区域 243b、第二区域 243c 的电阻值。另外,在该加热处理中,包含掺杂剂的一对第二区域 243b、第二区域 243c 可以为结晶状态或非晶状态。

[0150] 接着,如图 6B 所示地在栅电极 241 的侧面形成侧壁绝缘膜 245 及栅极绝缘膜 247,并形成电极 249a、电极 249b。

[0151] 侧壁绝缘膜 245 可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等的叠层或单层而形成。另外,作为侧壁绝缘膜 245,也可以与绝缘膜 233 同样使用通过加热使氧的一部分脱离的氧化绝缘膜来形成。

[0152] 在此,对侧壁绝缘膜 245 的形成方法进行说明。

[0153] 首先,在绝缘膜 239 及栅电极 241 上形成在之后成为侧壁绝缘膜 245 的绝缘膜。通过溅射法、CVD 法等形成绝缘膜。另外,对该绝缘膜的厚度没有特别的限制,考虑对应于栅电极 241 的形状的覆盖性适当地进行选择即可。

[0154] 接着,通过对绝缘膜进行蚀刻来形成侧壁绝缘膜 245。该蚀刻为各向异性高的蚀刻,通过对绝缘膜进行各向异性高的蚀刻可以自对准地形成侧壁绝缘膜 245。

[0155] 另外,由于在含有掺杂剂的一对第二区域 243b、第二区域 243c 中用作电场缓和区的宽度对应于侧壁绝缘膜 245 的宽度,且侧壁绝缘膜 245 的宽度也对应于栅电极 241 的厚度,所以以电场缓和区的范围成为所希望的范围的方式来决定栅电极 241 的厚度即可。

[0156] 另外,可以通过与侧壁绝缘膜 245 的形成工序一起利用各向异性高的蚀刻对绝缘膜 239 进行蚀刻,使氧化物半导体膜 243 露出,而形成栅极绝缘膜 247。

[0157] 一对电极 249a、电极 249b 可以适当地使用与布线 223a、布线 223b 及布线 223c、导电膜 229a 及布线 229b 同样的材料形成。另外,一对电极 249a、电极 249b 也可以用作布线。

[0158] 一对电极 249a、电极 249b 使用印刷法或喷墨法形成。或者,也可以在利用溅射法、CVD 法、蒸镀法等形成导电膜之后,对该导电膜的一部分选择性地蚀刻,来形成一对电极 249a、电极 249b。

[0159] 优选以与侧壁绝缘膜 245 及栅极绝缘膜 247 的侧面接触的方式形成一对电极 249a、电极 249b。也就是说,优选晶体管的一对电极 249a、电极 249b 的端部位于侧壁绝缘膜 245 的上方并且对氧化物半导体膜 243 中的包含掺杂剂的一对第二区域 243b、第二区域 243c 的露出部分全部进行覆盖。由此,包含掺杂剂的一对第二区域 243b、第二区域 243c 与一对电极 249a、电极 249b 接触的区域用作源区及漏区,而与侧壁绝缘膜 245 及栅极绝缘膜 247 重叠的区域用作电场缓和区。另外,由于可以通过侧壁绝缘膜 245 的长度控制电场缓和区的宽度,所以对用来形成一对电极 249a、电极 249b 的掩模对准精度的要求不是很严格。

因此可以减少多个晶体管中的偏差。

[0160] 另外,虽然这里以接触于栅电极 241 的侧面的方式设置侧壁绝缘膜 245,但是本发明不局限于此,也可以构成为不设置侧壁绝缘膜 245。另外,虽然这里在形成一对第二区域 243b、第二区域 243c 之后设置侧壁绝缘膜 245,但是本发明不局限于此,也可以在设置侧壁绝缘膜 245 之后,形成一对第二区域 243b、第二区域 243c。通过采用该结构,可以将第一区域 243a 扩展到与侧壁绝缘膜 245 重叠的区域。

[0161] 接着,如图 7A 所示,利用溅射法、CVD 法、涂布法、印刷法等形成绝缘膜 251 及绝缘膜 253。

[0162] 绝缘膜 251、绝缘膜 253 可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等的叠层或单层而形成。另外,通过采用防止氧向外部扩散的绝缘膜作为绝缘膜 253,可以将从绝缘膜 251 脱离的氧供应到氧化物半导体膜。作为防止氧向外部扩散的绝缘膜的典型的例子,可以举出氧化铝、氧氮化铝等。另外,通过采用防止来自外部的氢扩散的绝缘膜作为绝缘膜 253,可以降低从外部向氧化物半导体膜的氢扩散,由此可以减少氧化物半导体膜的缺陷。作为防止来自外部的氢扩散的绝缘膜的典型的例子,可以举出氮化硅、氮氧化硅、氮化铝、氮氧化铝等。另外,通过作为绝缘膜 251 采用通过加热使氧的一部分脱离的氧化绝缘膜、防止氧向外部扩散的绝缘膜及氧化绝缘膜的三层结构,可以在有效地对氧化物半导体膜扩散氧的同时,抑制氧向外部脱离,即使在温度及湿度较高的情况下,也可以降低晶体管特性的变动。

[0163] 通过上述工序,可以如图 7A 所示地制造包括氧化物半导体的晶体管 200B。此外,由于上述晶体管 200B 具有 i 型(本征半导体)或无限接近于 i 型的包括第一区域 243a 的氧化物半导体膜 243,因此具有极好的特性。

[0164] 另外,虽然这里晶体管 200B 采用顶栅结构,但是本发明不局限于此,例如,也可以采用底栅结构。另外,虽然这里晶体管 200B 采用一对电极 249a 及电极 249b 与一对第二区域 243b 及第二区域 243c 的顶面的至少一部分接触的结构,但是本发明不局限于此,例如,也可以采用一对第二区域 243b 及第二区域 243c 与一对电极 249a 及电极 249b 的至少一部分接触的结构。另外,也可以在氧化物半导体膜 237 中不设置杂质区。

[0165] 接着,对绝缘膜 233、绝缘膜 251、绝缘膜 253 的各一部分选择性地蚀刻形成开口部,而使布线 223c、电极 249a 及电极 249b 的各一部分露出。然后形成接触插头 255a、接触插头 255b 及接触插头 255c。另外,作为接触插头 255a、接触插头 255b 及接触插头 255c 的制造方法及材料,可以适当地使用与接触插头 219a、接触插头 219b、接触插头 219c 及接触插头 227 相同的制造方法及材料。

[0166] 接着,通过溅射法、CVD 法等,在绝缘膜 253、接触插头 255a、接触插头 255b 及接触插头 255c 上形成导电膜,然后通过蚀刻去除该导电膜的不需要的部分,而形成布线 257a、布线 257b 及布线 257c (参照图 7B)。

[0167] 另外,布线 257a、布线 257b 及布线 257c 可以使用与布线 223a、布线 223b、布线 223c、导电膜 229a 及布线 229b 相同的材料形成。

[0168] 通过上述工序,可以制造:图 1 所示的外围电路 100 所包括的晶体管 200A(使用半导体衬底构成的晶体管);用作图 1 所示的遮蔽层 20 的导电膜 229a;图 1 所示的存储单元阵列 30 所包含的晶体管 200B (使用氧化物半导体材料构成的晶体管);以及使图 1 所示的

外围电路 100 与存储单元阵列 30 电连接的布线(布线 209b、接触插头 219c、布线 223c、接触插头 227、布线 229b、接触插头 255c 及布线 257c)。

[0169] < 本说明书所公开的半导体存储装置 >

[0170] 在本说明书所公开的半导体存储装置中,通过层叠配置存储单元阵列 30 和外围电路 100,可以谋求高集成化。另外,本说明书所公开的半导体存储装置在存储单元阵列 30 和外围电路 100 之间具有遮蔽层 20。由此,可以遮蔽在存储单元阵列 30 和外围电路 100 之间产生的辐射噪声。从而,可以降低在半导体存储装置中产生故障的可能性。另外,当本说明书所公开的半导体存储装置为 DRAM 时,特别优选采用在存储单元阵列 30 和外围电路 100 之间具有遮蔽层 20 的结构。这是因为:如上述那样,在层叠配置有存储单元阵列和外围电路的 DRAM 中,在读取数据时,因辐射噪声而导致故障的可能性高。

[0171] < 变形例子 >

[0172] 上述半导体存储装置是本发明的一个方式,本发明还包括具有与上述半导体存储装置不同的结构的半导体存储装置。

[0173] 例如,虽然在图 1 中例示由一个层构成的存储单元阵列 30,但是存储单元阵列 30 也可以包括多个分块存储单元阵列(divided memory cell array)。具体地说,如图 8 所示,存储单元阵列 30 可以采用如下结构:在各层中配置有多个存储单元且具有层叠的分块存储单元阵列层 30a、分块存储单元阵列层 30b 及分块存储单元阵列层 30c。由此,可以谋求半导体存储装置的进一步的高集成化。

[0174] 另外,在图 8 所示的半导体存储装置中,也可以在多个分块存储单元阵列层之间分别配置遮蔽层。具体地说,如图 9 所示,也可以采用如下结构:在外围电路 100 与分块存储单元阵列层 30a 之间配置遮蔽层 20a;分块存储单元阵列层 30a 与分块存储单元阵列层 30b 之间配置遮蔽层 20b;分块存储单元阵列层 30b 与分块存储单元阵列层 30c 之间配置遮蔽层 20c。由此,可以谋求半导体存储装置的高集成化并抑制故障的发生。

[0175] 另外,在本说明书所公开的半导体存储装置中,使外围电路 100 与存储单元阵列 30 电连接的布线的结构不限于图 3 至图 7 所示的结构。

[0176] 例如,如图 10A 所示,也可以设置穿过在布线 209b 和布线 257c 之间存在的所有绝缘膜的接触插头 259 来使外围电路 100 与存储单元阵列 30 电连接。

[0177] 另外,如图 10B 所示,也可以设置穿过在布线 223c 和布线 257c 之间存在的所有绝缘膜的接触插头 261 来使外围电路 100 与存储单元阵列 30 电连接,上述布线 223c 与使用半导体衬底构成的晶体管的源极及漏极在同一层。

[0178] 如此,可以以多种方式连接外围电路 100 与存储单元阵列 30,所以可以根据设计条件或制造条件等适当地选择外围电路 100 与存储单元阵列 30 的连接方式。另外,如图 3 至图 7 所示,优选构成为,与用作遮蔽层 20 的导电膜 229a 在同一层的布线 229b 构成使外围电路 100 与存储单元阵列 30 电连接的布线的一部分。这是因为如下缘故:即使在制造工序中因掩模没对准等导致工序图案错开的情况下,该结构与图 10A、图 10B 所示的结构相比也可以降低产生接触不良的可能性。

[0179] 另外,在本说明书所公开的半导体存储装置中,在外围电路 100 与遮蔽层 20 之间或在遮蔽层 20 与存储单元阵列 30 之间存在的绝缘膜的结构不限于图 3 至图 7 所示的结构。

[0180] 例如,如图 11A 所示,如下绝缘膜也可以为单一的绝缘膜:在用作遮蔽层 20 的导电

膜 229a 和用作使外围电路 100 与存储单元阵列 30 电连接的布线的一部分的布线 229b 之间存在的绝缘膜；以及在导电膜 229a 和存储单元阵列 30 之间存在的绝缘膜。具体地说，通过溅射法、CVD 法等，在绝缘膜 225 及接触插头 227 上形成导电膜，然后对该导电膜的一部分选择性地蚀刻，来形成导电膜 229a 及布线 229b。接着，通过溅射法、CVD 法等，在导电膜 229a、布线 229b 及绝缘膜 225 上形成绝缘膜 263。

[0181] 另外，如图 11B 所示，如下绝缘膜也可以为单一的绝缘膜 265：在外围电路 100 和导电膜 229a 之间存在的绝缘膜；在构成外围电路 100 的布线（布线 223a、布线 223b）之间的绝缘膜；以及在构成外围电路 100 的布线和用作使外围电路 100 与存储单元阵列 30 电连接的布线的一部分的布线 223c 之间存在的绝缘膜。

[0182] 另外，也可以采用如下结构（未图示）：在外围电路 100 与遮蔽层 20 之间存在绝缘膜 265，并且在遮蔽层 20 与存储单元阵列 30 之间存在绝缘膜 263。

[0183] 另外，在本说明书所公开的半导体存储装置中，还可以采用如下结构：遮蔽层 20 具有遮蔽在外围电路 100 与存储单元阵列 30 之间产生的辐射噪声的功能以外的功能。例如，在存储单元阵列 30 具有图 1 所示的存储单元 300 的情况下，也可以采用如下结构：遮蔽层 20 的一部分用作构成电容器 302 的一对电极中的一个（被供应恒定的电位的电极）。

[0184] 具体地说，如图 12A 所示，也可以使用用作晶体管的源极或漏极的电极 249a、绝缘膜 233、用作遮蔽层 20 的导电膜 229a 构成电容器 302。再者，优选的是，形成电容器 302 的区域中的绝缘膜 233 的厚度比其他区域的厚度薄。就是说，优选的是，构成为使电极 249a 与导电膜 229a 之间的距离比在存储单元阵列 30 中存在的其他电极或布线（例如，栅电极 241、电极 249b 等）与布线 229b 之间的距离短。例如，如图 12B 所示，也可以在绝缘膜 233 中形成凹部，在该凹部中形成电容器 302。由此，可以提高电容器 302 的每单位面积的存储电容并使存储单元阵列 30 高集成化。

[0185] 另外，如图 13 所示，电容器 302 也可以为沟槽电容器（trench capacitor）。具体地说，在具有凹部或开口部的绝缘膜 269 中，也可以使用电极 249a、绝缘膜 267、导电膜 229a 构成电容器 302。在图 13 所示的结构中，可以提高电容器 302 的每单位面积的存储电容并使存储单元阵列 30 高集成化。另外，绝缘膜 267 可以与绝缘膜 231 同样地形成。此外，当制造图 13 所示的半导体存储装置时，需要在形成导电膜 229a 之前预先形成具有凹部或开口部的绝缘膜 269 并在形成电极 249a 之前预先在绝缘膜 233 中形成开口部等。另外，绝缘膜 269 可以使用与绝缘膜 225 相同的材料形成。

[0186] 另外，也可以将作为变形例子所说明的多个结构应用于参照图 1 至图 7 所说明的半导体存储装置。

[0187] 附图标号说明

[0188] 10 半导体衬底

[0189] 20 遮蔽层

[0190] 20a 遮蔽层

[0191] 20b 遮蔽层

[0192] 20c 遮蔽层

[0193] 30 存储单元阵列

[0194] 30a 分块存储单元阵列层

- [0195] 30b 分块存储单元阵列层
- [0196] 30c 分块存储单元阵列层
- [0197] 40 连接布线部
- [0198] 41A 布线
- [0199] 41B 布线
- [0200] 41C 布线
- [0201] 100 外围电路
- [0202] 110 控制电路
- [0203] 120 字线驱动电路
- [0204] 130 位线驱动电路
- [0205] 131 写入电路
- [0206] 132 读取电路
- [0207] 200A 晶体管
- [0208] 200B 晶体管
- [0209] 201 半导体衬底
- [0210] 203 元件分离区
- [0211] 207a 栅极绝缘膜
- [0212] 207b 绝缘膜
- [0213] 209a 栅电极
- [0214] 209b 布线
- [0215] 211a 杂质区
- [0216] 211b 杂质区
- [0217] 215 绝缘膜
- [0218] 217 绝缘膜
- [0219] 219a 接触插头
- [0220] 219b 接触插头
- [0221] 219c 接触插头
- [0222] 221 绝缘膜
- [0223] 223a 布线
- [0224] 223b 布线
- [0225] 223c 布线
- [0226] 225 绝缘膜
- [0227] 227 接触插头
- [0228] 229a 导电膜
- [0229] 229b 布线
- [0230] 231 绝缘膜
- [0231] 233 绝缘膜
- [0232] 235 氧化物半导体膜
- [0233] 237 氧化物半导体膜

- [0234] 239 绝缘膜
- [0235] 241 栅电极
- [0236] 243 氧化物半导体膜
- [0237] 243a 第一区域
- [0238] 243b 第二区域
- [0239] 243c 第二区域
- [0240] 245 侧壁绝缘膜
- [0241] 247 栅极绝缘膜
- [0242] 249a 电极
- [0243] 249b 电极
- [0244] 251 绝缘膜
- [0245] 253 绝缘膜
- [0246] 255a 接触插头
- [0247] 255b 接触插头
- [0248] 255c 接触插头
- [0249] 257a 布线
- [0250] 257b 布线
- [0251] 257c 布线
- [0252] 259 接触插头
- [0253] 261 接触插头
- [0254] 263 绝缘膜
- [0255] 265 绝缘膜
- [0256] 267 绝缘膜
- [0257] 269 绝缘膜
- [0258] 300 存储单元
- [0259] 301 晶体管
- [0260] 302 电容器
- [0261] 320 字线
- [0262] 330 位线
- [0263] 1201 解码器
- [0264] 1202 电平转移器
- [0265] 1203 缓冲器
- [0266] 1301 解码器
- [0267] 1302 电平转移器
- [0268] 1303 选择器

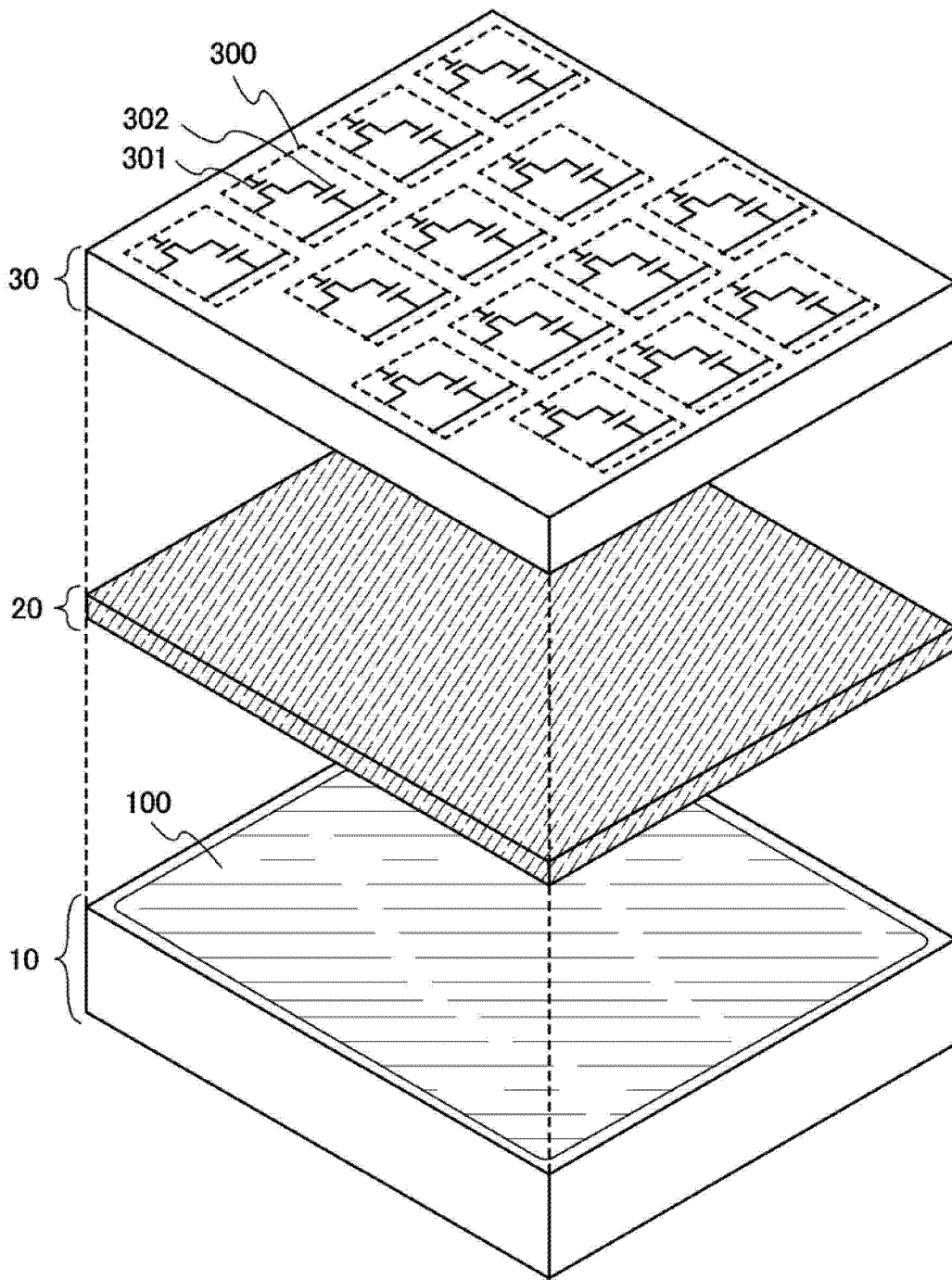


图 1

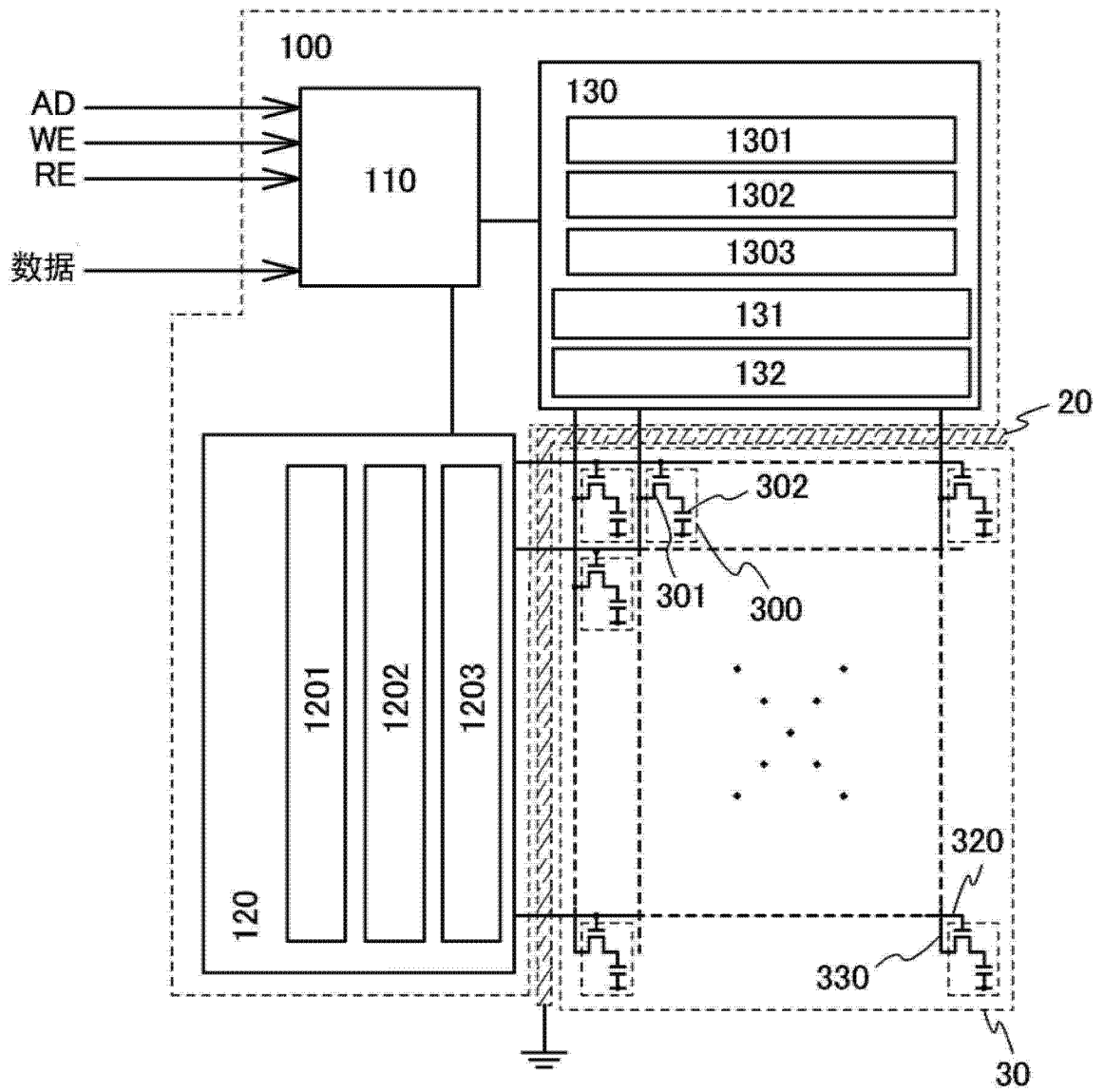


图 2A

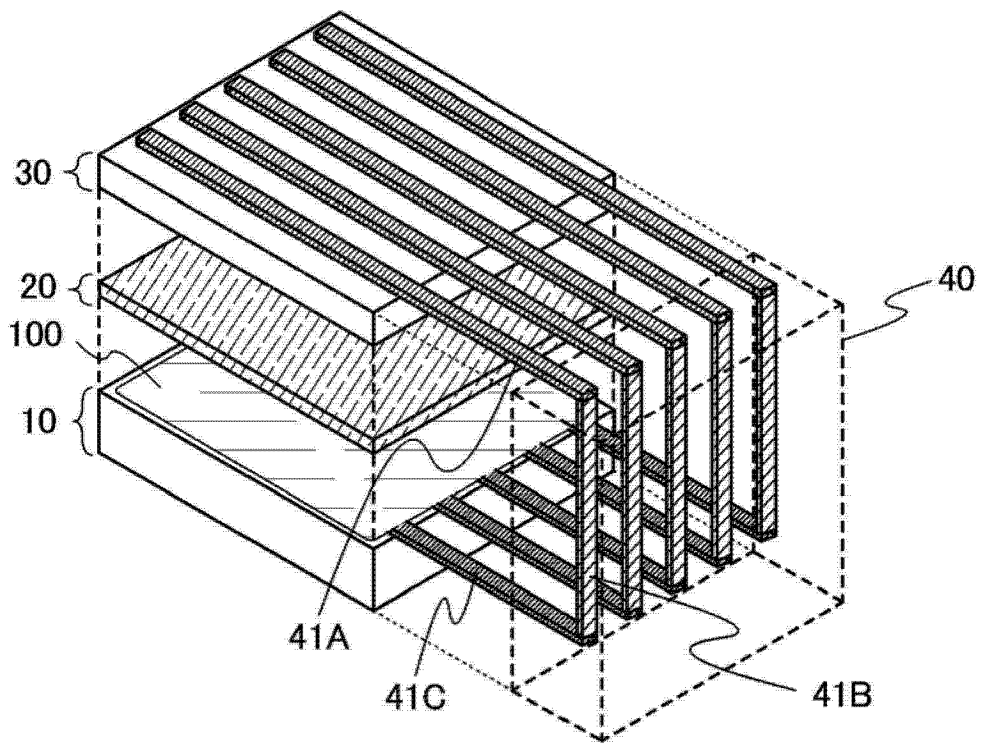


图 2B

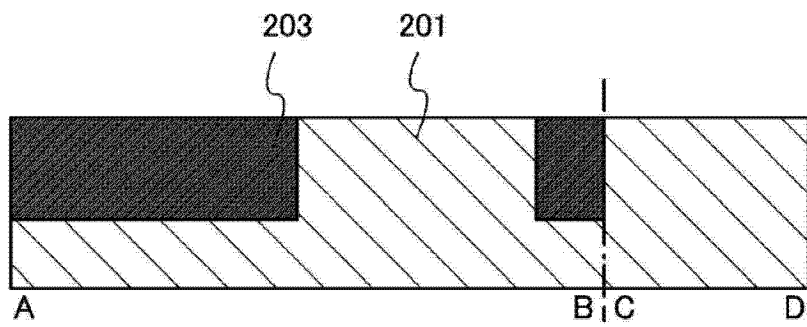


图 3A

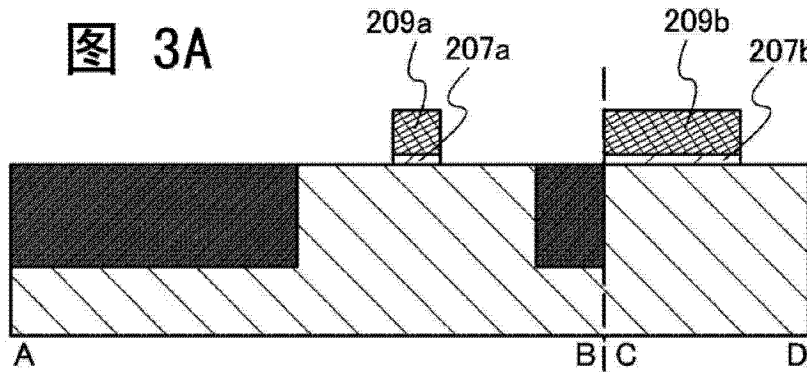


图 3B

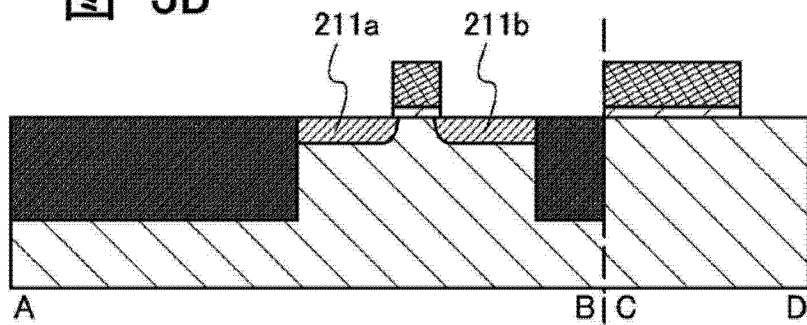


图 3C

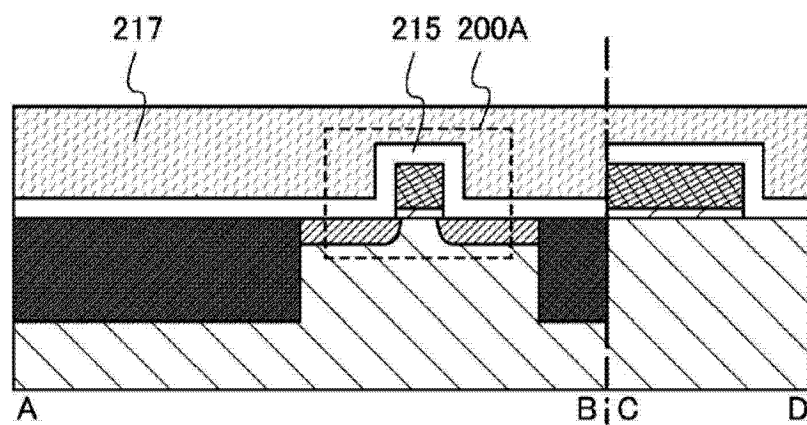


图 3D

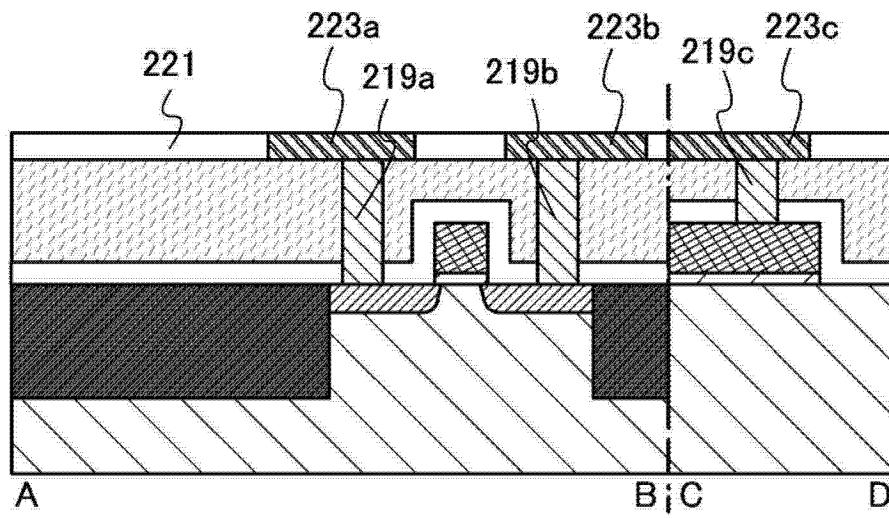


图 4A

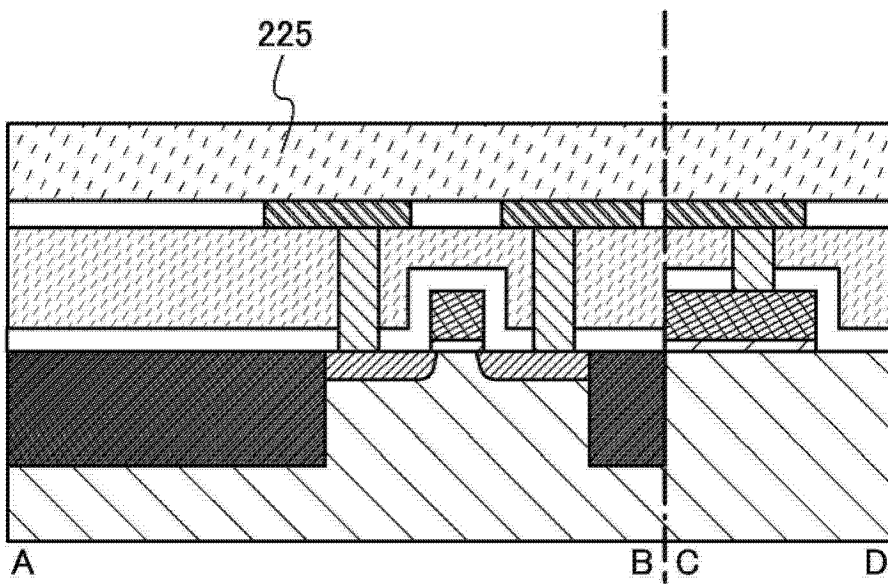


图 4B

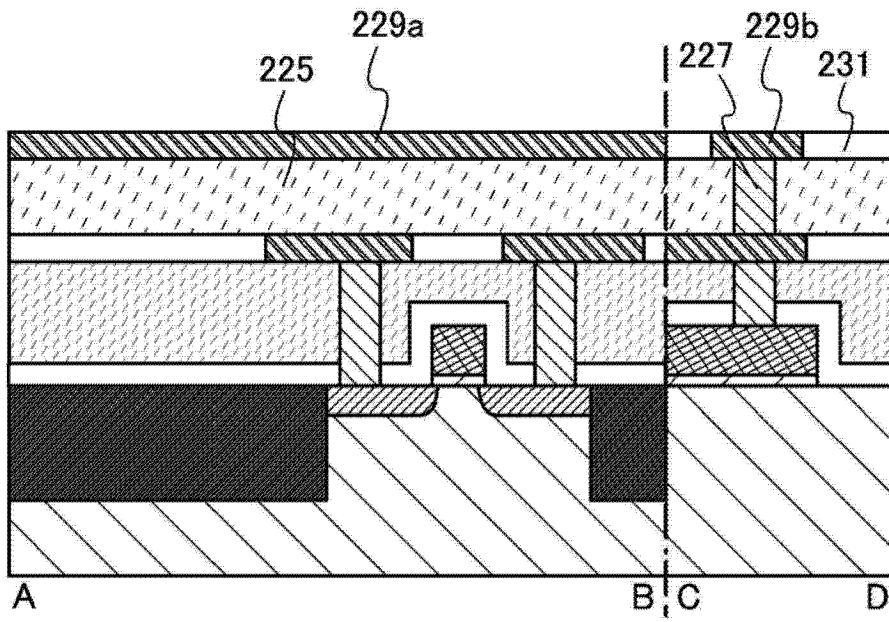


图 4C

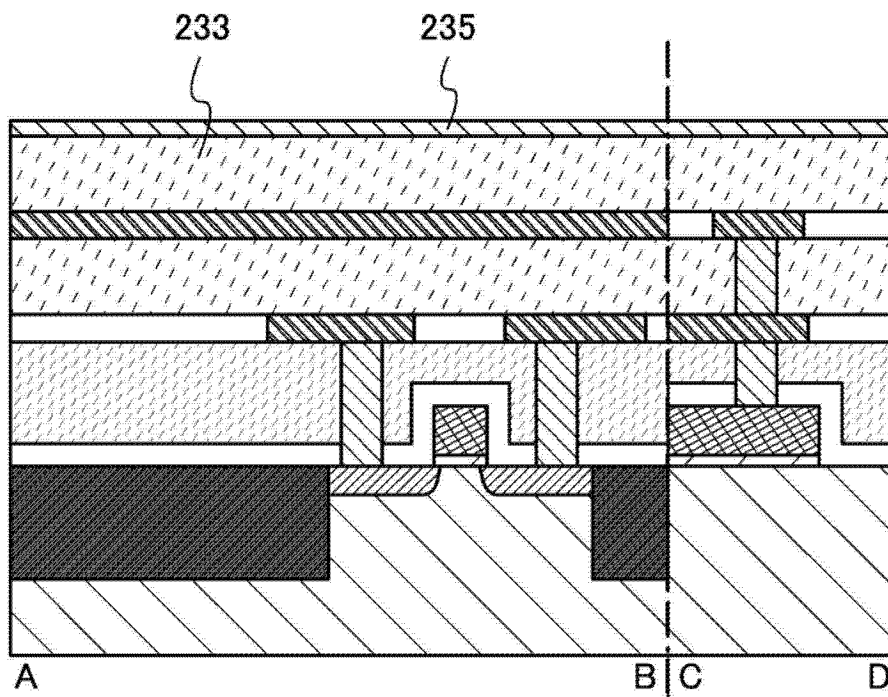


图 5A

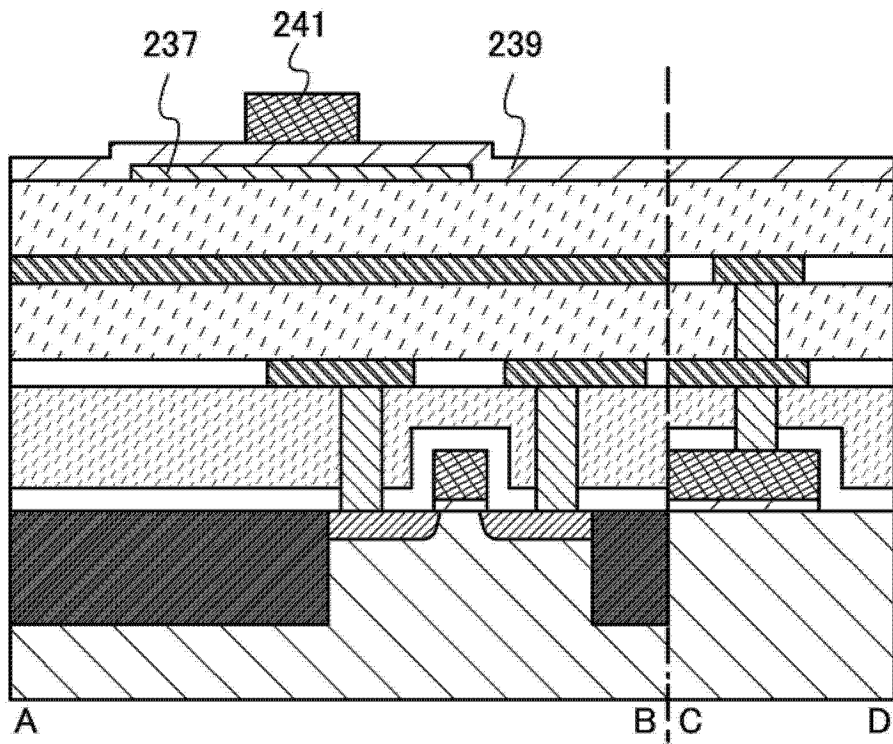


图 5B

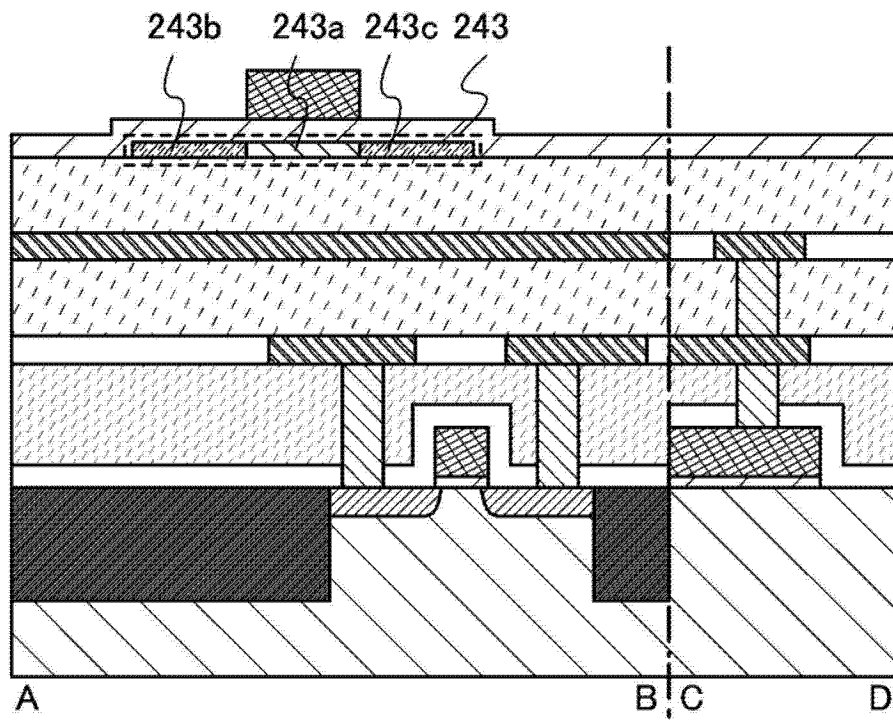


图 6A

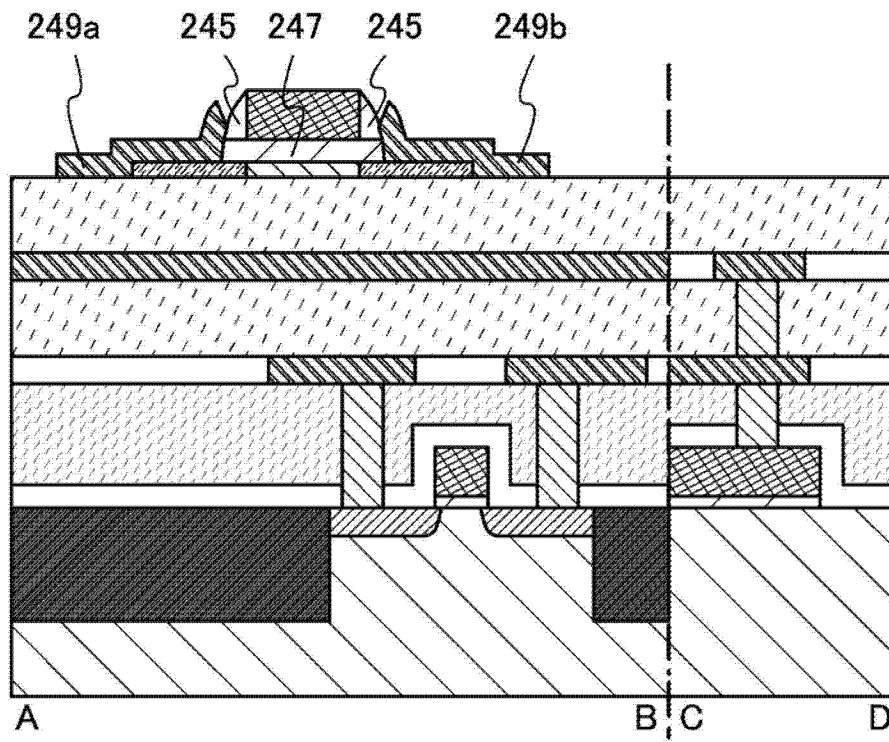


图 6B

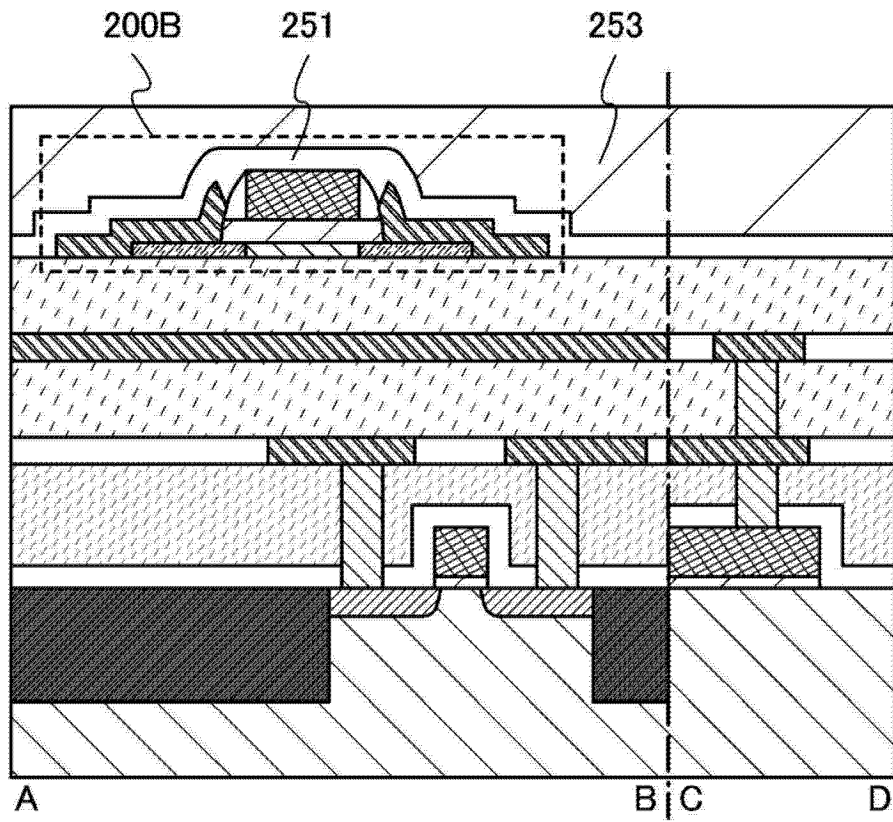


图 7A

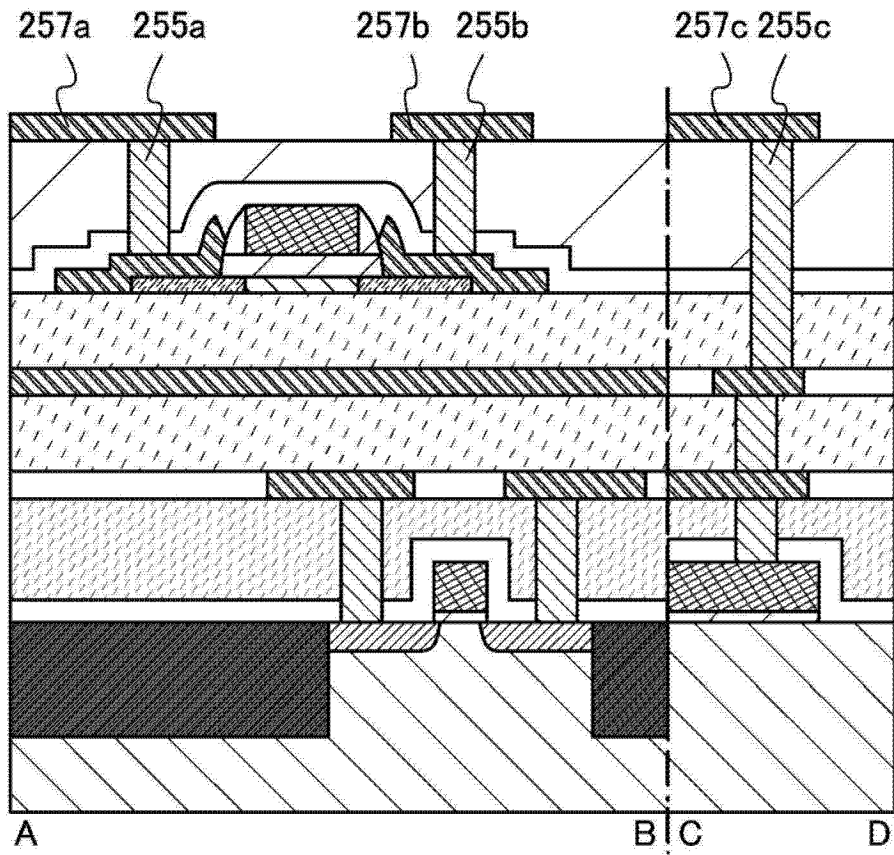


图 7B

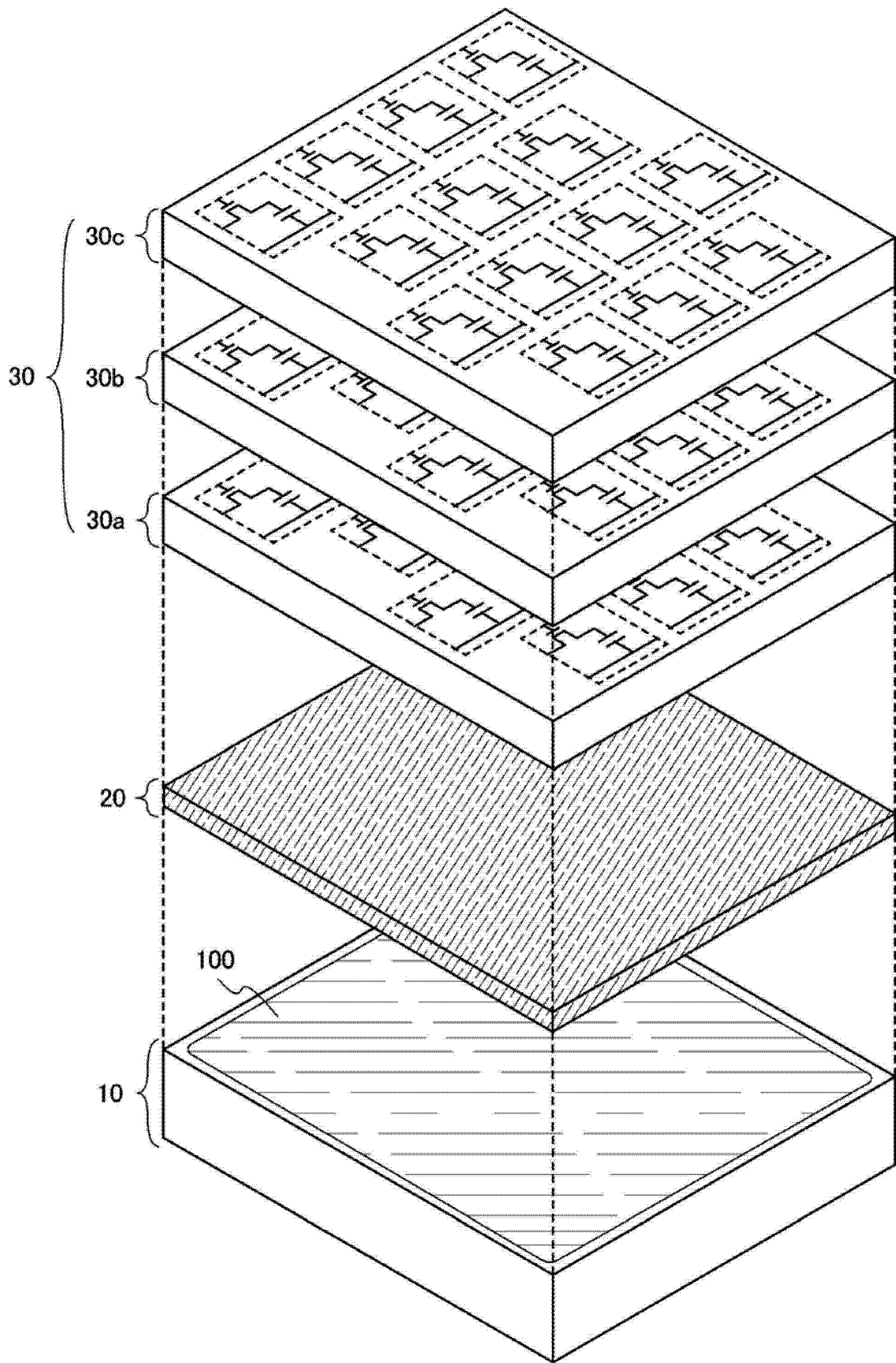


图 8

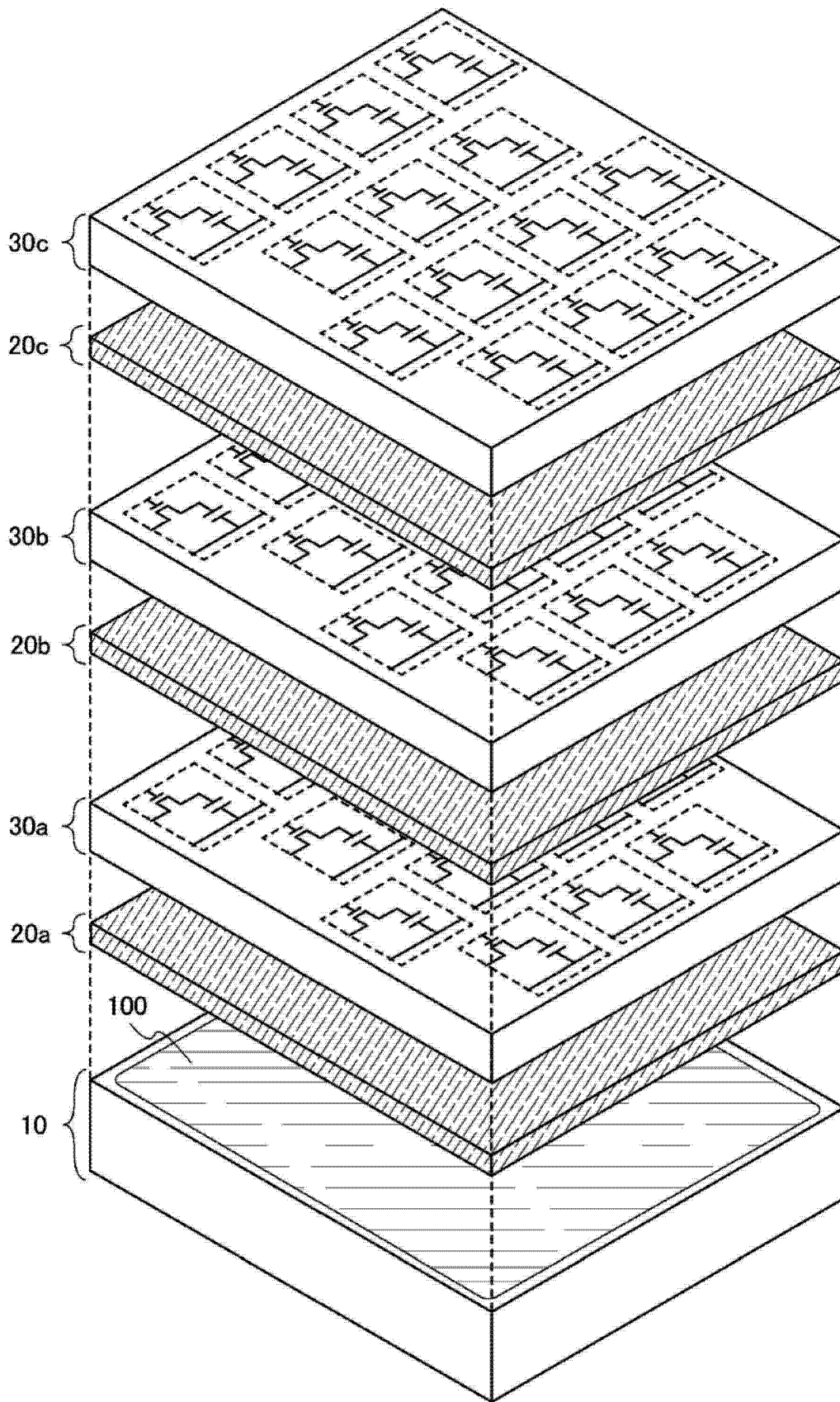


图 9

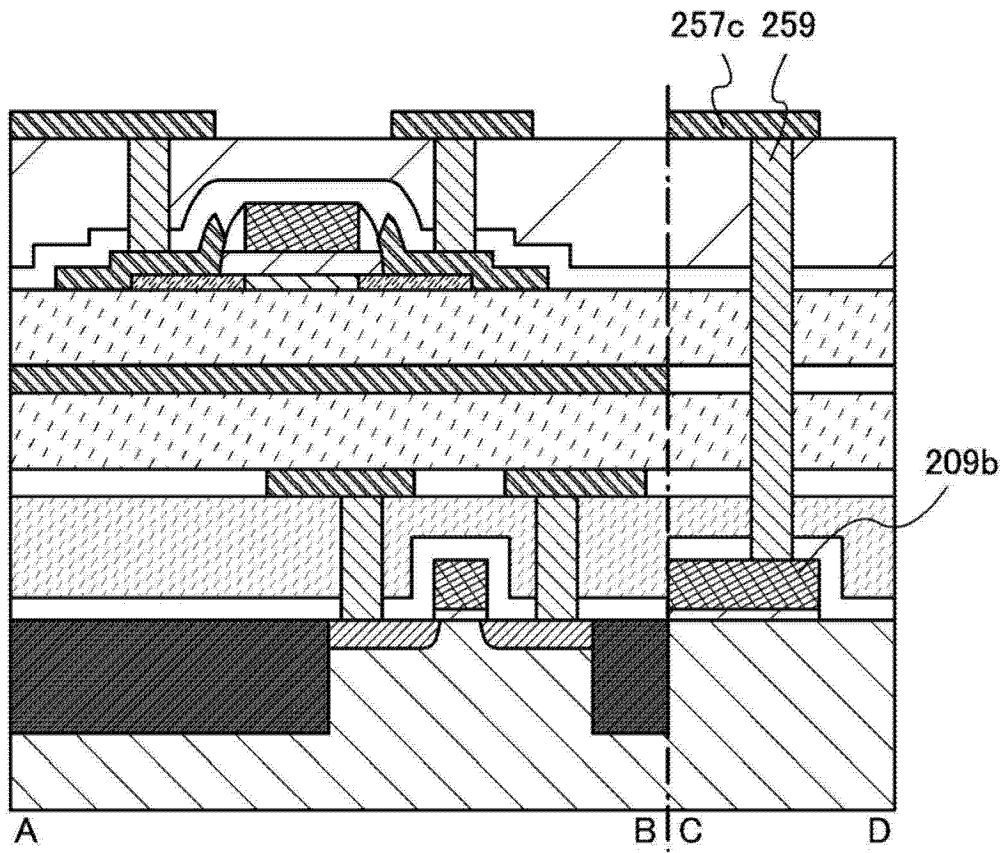


图 10A

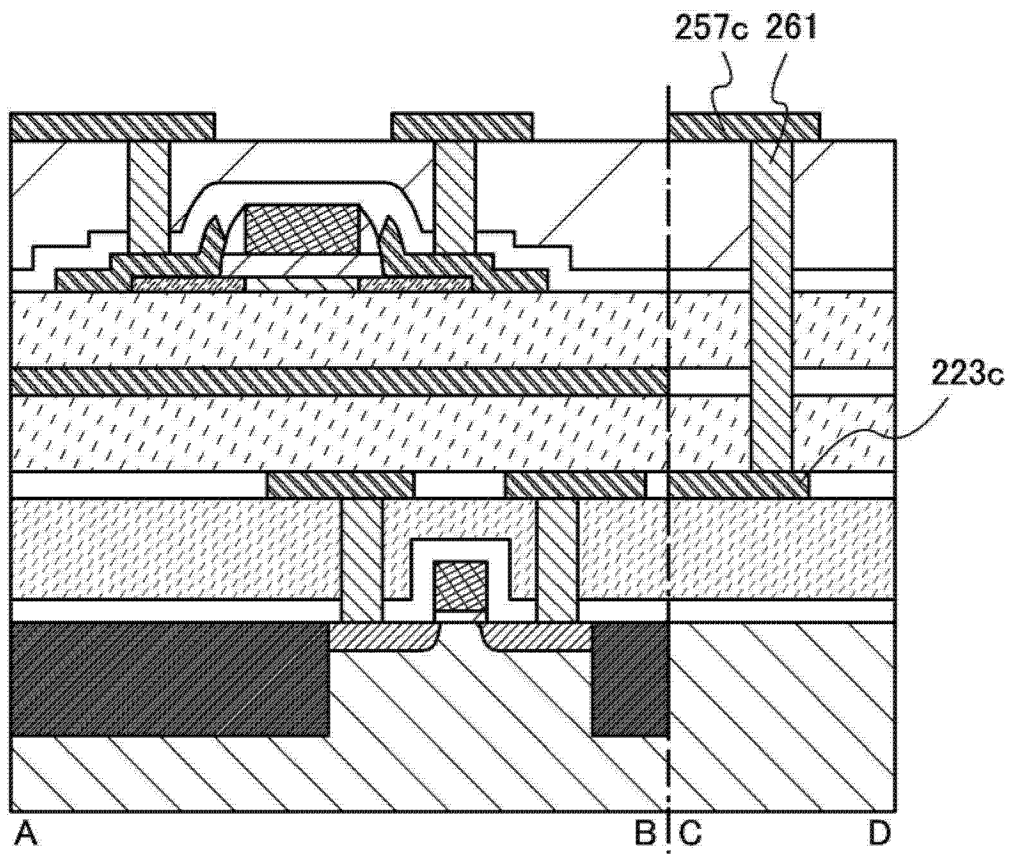


图 10B

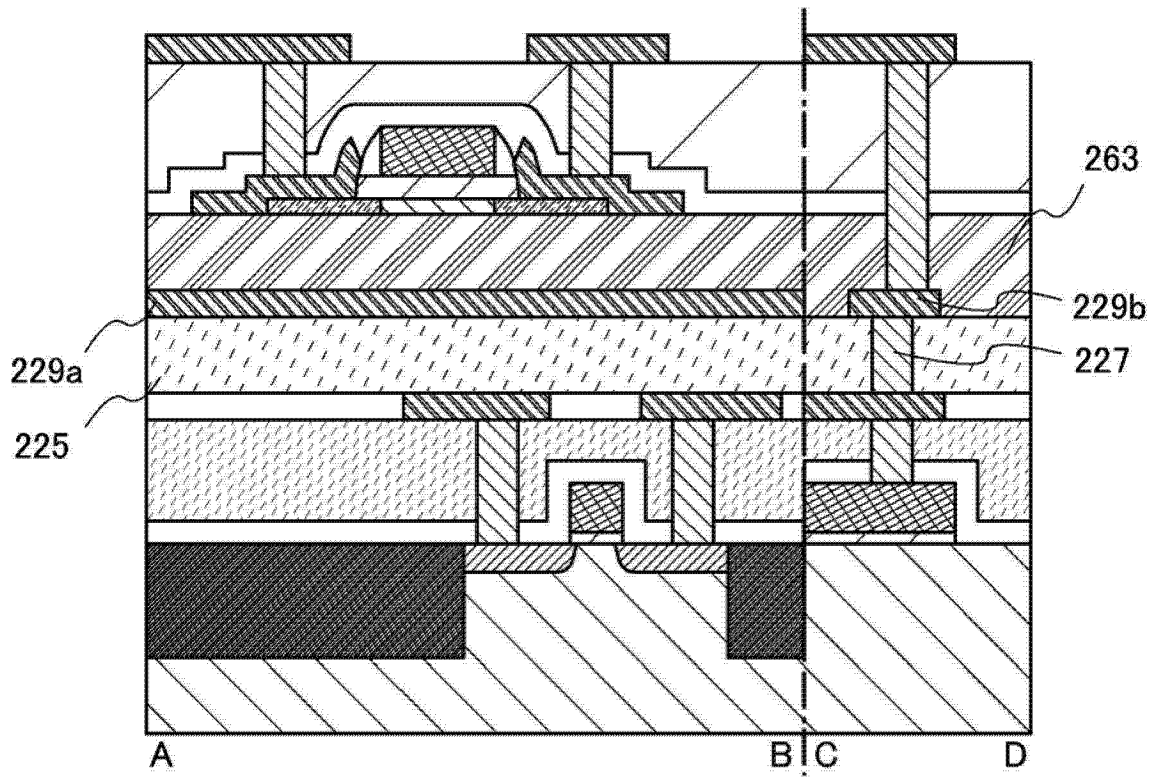


图 11A

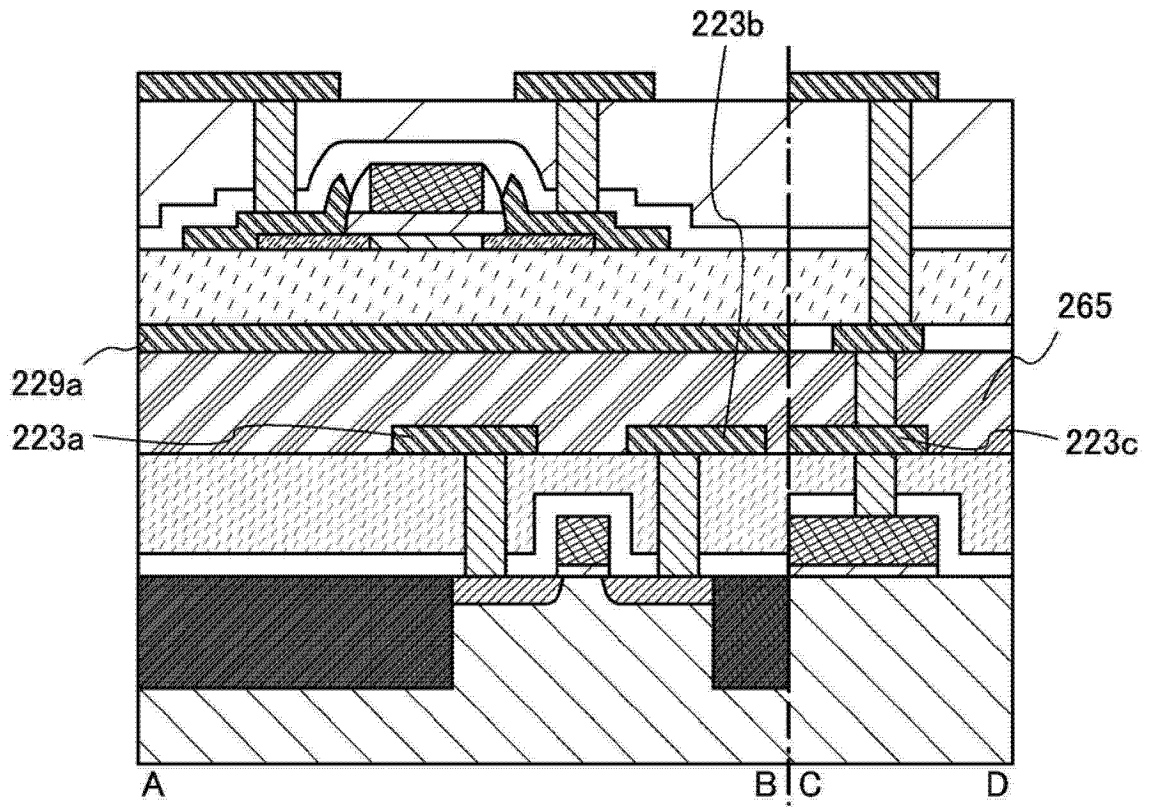


图 11B

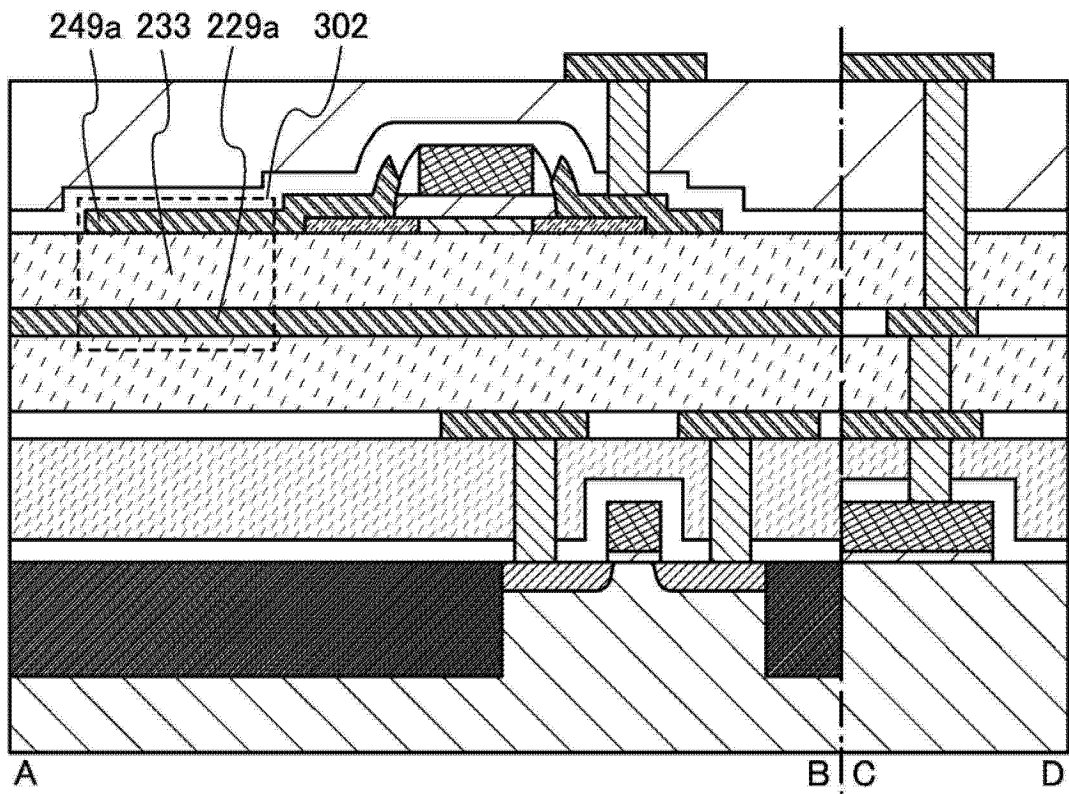


图 12A

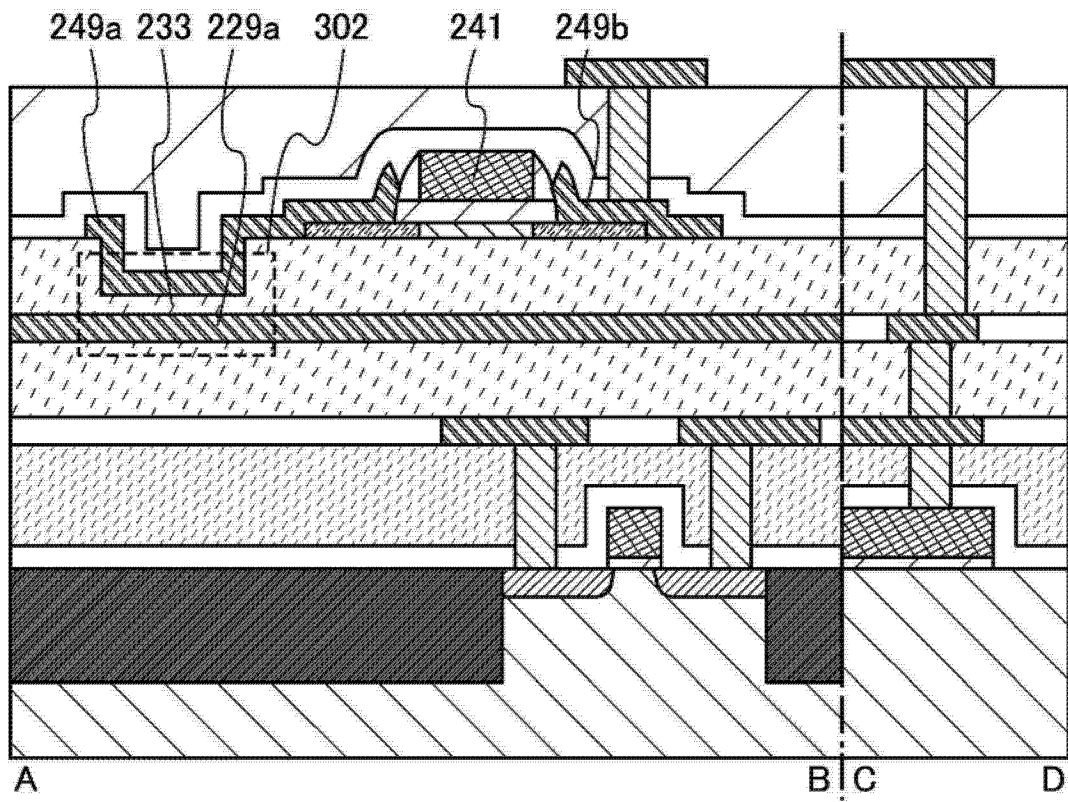


图 12B

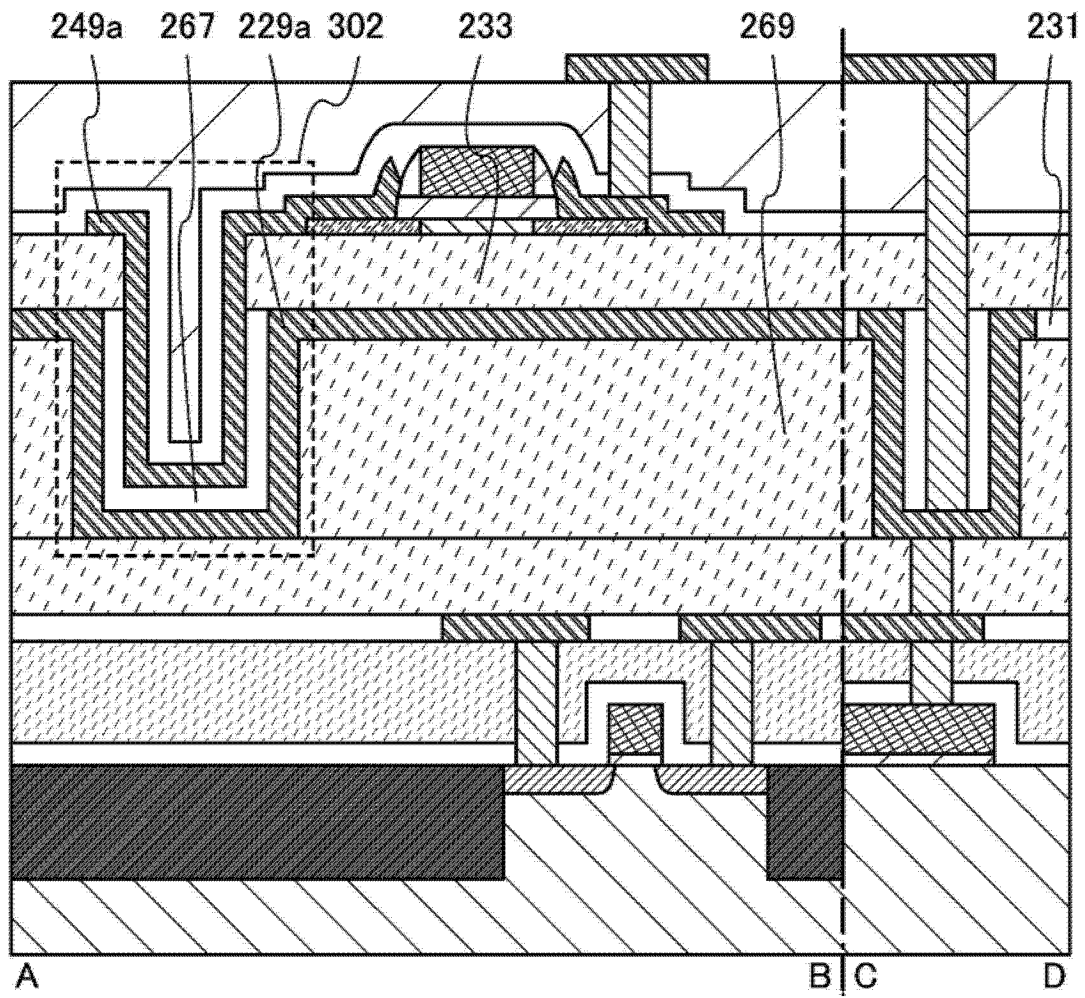


图 13