

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5594086号
(P5594086)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月15日(2014.8.15)

(51) Int.Cl.

F I

G O 1 D 5/14 (2006.01)

G O 1 D 5/14

H

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2010-259115 (P2010-259115)	(73) 特許権者	000000011
(22) 出願日	平成22年11月19日(2010.11.19)		アイシン精機株式会社
(65) 公開番号	特開2012-112655 (P2012-112655A)		愛知県刈谷市朝日町2丁目1番地
(43) 公開日	平成24年6月14日(2012.6.14)	(74) 代理人	100068755
審査請求日	平成25年10月10日(2013.10.10)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	加藤 幸裕
			愛知県刈谷市朝日町2丁目1番地 アイシ
			ン精機 株式会社 内
		(72) 発明者	加藤 学
			愛知県刈谷市朝日町2丁目1番地 アイシ
			ン精機 株式会社 内

最終頁に続く

(54) 【発明の名称】 変位検出装置

(57) 【特許請求の範囲】

【請求項 1】

被変位検出体と、該被変位検出体の移動方向に並設された複数の変位検出素子とを備える変位検出装置において、

前記被変位検出体の移動に伴う前記複数の変位検出素子の出力値のうちの最大値が前記被変位検出体の変位に一对一で対応するように設定してなり、

前記複数の変位検出素子の出力値のうちの最大値を選択する選択手段を備え、

前記選択手段は、前記複数の変位検出素子の出力端子に一の電極がそれぞれ接続され、他の電極同士が短絡された複数のダイオードで構成され、

前記複数のダイオードの短絡された前記他の電極にはオペアンプの非反転入力端子が接続され、該オペアンプの反転入力端子には、グラウンドに接地された抵抗が接続されるとともに該オペアンプの出力端子が接続されており、

前記選択手段は、前記ダイオードにおける電圧降下分を補償する補償回路を備え、該補償回路は、前記オペアンプと、該オペアンプの前記出力端子から前記反転入力端子に帰還させる帰還経路に接続されたダイオードとを有することを特徴とする変位検出装置。

【請求項 2】

請求項 1 に記載の変位検出装置において、

前記被変位検出体は、磁石材料であって、

前記変位検出素子は、磁場方向検知型素子からなることを特徴とする変位検出装置。

【請求項 3】

10

20

請求項 2 に記載の変位検出装置において、

前記変位検出素子の磁場を検出する検出面は、前記被変位検出体の移動方向に直交する一方向で該被変位検出体の表面と平行に対向するように配置されていることを特徴とする変位検出装置。

【請求項 4】

請求項 1 ～ 3 のいずれか一項に記載の変位検出装置において、

前記帰還経路に接続されたダイオードは、直列接続された複数のダイオードからなることを特徴とする変位検出装置。

【請求項 5】

請求項 4 に記載の変位検出装置において、

前記帰還経路には、前記直列接続された複数のダイオードと前記反転入力端子との間に第 2 抵抗が接続されており、

前記補償回路は、前記直列接続された複数のダイオードと、前記グラウンドに接地された抵抗である第 1 抵抗と、前記第 2 抵抗とを有することを特徴とする変位検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、被変位検出体の変位を検出する変位検出装置に関するものである。

【背景技術】

【0002】

従来、こうした変位検出装置としては、例えば特許文献 1 及び非特許文献 1 に記載されたものが知られている。これらの変位検出装置は、表面に N 極及び S 極の磁極領域を直線状に交互に並べて配列した被変位検出体としての磁石材料と、変位検出素子としての磁場方向検知型素子とを備え、磁石材料により形成される磁場を磁場方向検知型素子で検知することで、磁石材料の変位を検出するものである。

【0003】

特に、磁場方向検知型素子により磁場の方向を検知することで、温度による磁場強度の変動や磁石材料（被変位検出体）及び磁場方向検知型素子の間のギャップ変動の影響を受けにくく、比較的高い精度で変位を検出できるとしている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 192261 号公報

【非特許文献】

【0005】

【非特許文献 1】発明協会公開技報公技番号 2006 - 503396 号

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、これらの変位検出装置では、電気配線等の制約から、磁場方向検知型素子に対して磁石材料（被変位検出体）を移動させてその変位を検出することになる。この場合、磁石材料のフルストロークの変位を検出するためには、該磁石材料を配置する変位方向のスペースとして概ねその全長の 2 倍のスペースが必要となる。従って、磁石材料の変位方向の長さが大きいことから、該磁石材料を搭載する上で、大きな制約を受けることになる。

【0007】

なお、図 10 に示すように、磁石材料（被変位検出体）の磁極数を減らすことも考えられる。すなわち、単独（1 つ）の磁極領域を有する磁石材料 91 により形成される磁場に基づいて該磁石材料 91 の変位を磁場方向検知型素子 92 で検出するように構成したもので、移動方向に直交する一方向に N 極及び S 極が配置される磁石材料 91 A や、移動方向

10

20

30

40

50

に沿ってN極及びS極が配置される磁石材料91Bがある。しかしながら、いずれの場合であっても、検出可能な変位のストロークが小さくなるという別の問題が生じてしまう。

【0008】

本発明の目的は、簡素な構成で、搭載性を損ねることなく検出可能な変位の範囲をより大きく確保することができる変位検出装置を提供することにある。

【課題を解決するための手段】

【0009】

上記問題点を解決するために、請求項1に記載の発明は、被変位検出体と、該被変位検出体の移動方向に並設された複数の変位検出素子とを備える変位検出装置において、前記被変位検出体の移動に伴う前記複数の変位検出素子の出力値のうちの最大値が前記被変位検出体の変位に一对一で対応するように設定してなり、前記複数の変位検出素子の出力値のうちの最大値を選択する選択手段を備え、前記選択手段は、前記複数の変位検出素子の出力端子に一の電極がそれぞれ接続され、他の電極同士が短絡された複数のダイオードで構成され、前記複数のダイオードの短絡された前記他の電極にはオペアンプの非反転入力端子が接続され、該オペアンプの反転入力端子には、グラウンドに接地された抵抗が接続されるとともに該オペアンプの出力端子が接続されており、前記選択手段は、前記ダイオードにおける電圧降下分を補償する補償回路を備え、該補償回路は、前記オペアンプと、該オペアンプの前記出力端子から前記反転入力端子に帰還させる帰還経路に接続されたダイオードとを有することを要旨とする。

【0010】

同構成によれば、前記被変位検出体の変位に一对一で対応するように設定された前記複数の変位検出素子の出力値のうちの最大値を前記選択手段により選択することで、該選択された最大値に基づいて前記被変位検出体の変位を検出することができる。この場合、前記被変位検出体とその移動方向に短小であったとしても、該移動方向に前記複数の変位検出素子が並設されることで、前記被変位検出体の変位の検出範囲を十分に確保することができる。また、前記被変位検出体が短小であれば、その移動方向に要するスペースは概ね前記複数の変位検出素子の当該方向のスペースに収まるため、装置全体としての搭載性を向上することができる。さらに、前記複数の変位検出素子の出力値のうちの最大値を選択し得る極めて簡易な電気回路の構成で、前記被変位検出体の変位を検出することができる。

また、前記複数の変位検出素子の出力値のうちの最大値の選択を、前記複数のダイオードからなる極めて簡易な電気回路の構成で行うことができる。

また、前記複数の変位検出素子の出力値のうちの最大値の選択に際し、前記ダイオードにおいて生じた電圧降下分を前記補償回路で補償することができ、より高精度に前記被変位検出体の変位を検出することができる。

【0011】

請求項2に記載の発明は、請求項1に記載の変位検出装置において、前記被変位検出体は、磁石材料であって、前記変位検出素子は、磁場方向検知型素子からなることを要旨とする。

【0012】

同構成によれば、前記変位検出素子は、磁場方向検知型素子からなることで、温度による磁場強度の変動や磁石材料（被変位検出体）及び磁場方向検知型素子（変位検出素子）の間のギャップ変動の影響を抑制することができ、比較的高い精度で磁石材料（被変位検出体）の変位を検出することができる。

【0013】

請求項3に記載の発明は、請求項2に記載の変位検出装置において、前記変位検出素子の磁場を検出する検出面は、前記被変位検出体の移動方向に直交する一方向で該被変位検出体の表面と平行に対向するように配置されていることを要旨とする。

【0014】

同構成によれば、前記変位検出素子の前記検出面は、前記被変位検出体の移動方向に直

交する一方向で該被変位検出体の表面と平行に対向するように配置されていることで、前記変位検出素子を前記移動方向に直交する当該一方向にコンパクトに配置することができる。

【0015】

請求項4に記載の発明は、請求項1～3のいずれか一項に記載の変位検出装置において、前記帰還経路に接続されたダイオードは、直列接続された複数のダイオードからなることを要旨とする。

【0016】

請求項5に記載の発明は、請求項4に記載の変位検出装置において、前記帰還経路には、前記直列接続された複数のダイオードと前記反転入力端子との間に第2抵抗が接続されており、前記補償回路は、前記直列接続された複数のダイオードと、前記グランドに接地された抵抗である第1抵抗と、前記第2抵抗とを有することを要旨とする。

10

【発明の効果】

【0018】

本発明では、簡素な構成で、搭載性を損ねることなく検出可能な変位の範囲をより大きく確保することができる変位検出装置を提供することができる。

【図面の簡単な説明】

【0019】

【図1】本発明の一実施形態を示す模式図。

【図2】(a)(b)は、磁場方向検知型素子及びその内部構造を示す斜視図。

20

【図3】同実施形態の電氣的構成を示すブロック図。

【図4】同実施形態の電氣的構成を示す回路図。

【図5】磁石材料の変位と、磁場角及び出力電圧との関係を示すグラフ。

【図6】磁石材料の変位と、3つの磁場方向検知型素子の出力電圧及び最大値との関係を示すグラフ。

【図7】本発明の変形形態の電氣的構成を示す回路図。

【図8】本発明の変形形態の電氣的構成を示す回路図。

【図9】本発明の変形形態の電氣的構成を示す回路図。

【図10】従来形態を示す模式図。

【発明を実施するための形態】

30

【0020】

図1を参照して本発明の一実施形態について説明する。同図1に示すように、本実施形態の変位検出装置10は、平板状の基板(プリント配線基板)11を図示左右方向に延設するとともに、該基板11上に複数(本実施例では3つ)のホールICからなる変位検出素子としての磁場方向検知型素子12を搭載する。磁場方向検知型素子12として、具体的にはMelexis社のMLX90360等のホールICが採用されている。これら磁場方向検知型素子12は、図示左右方向に等間隔で基板11上に並設されている。

【0021】

また、変位検出装置10は、磁場方向検知型素子12の面状に広がる検出面12a側(図示下側)に、例えばフェライト磁石からなる被変位検出体としての磁石材料13を対向配置する。磁石材料13は、3つの磁場方向検知型素子12の並設方向である図示左右方向(以下、「移動方向」ともいう)に移動可能となっている。磁石材料13の磁極領域は、異方性磁石に着磁してなるもので、例えば磁場方向検知型素子12に対向する表面13aがN極となり、離隔する裏面13bがS極となる単独(1個)となっている。なお、磁極領域に描いている矢印は、その極性を表すものである。

40

【0022】

次に、各磁場方向検知型素子12について更に説明する。磁場方向検知型素子12は、図2(a)に示すように、その外形が四角形状であって、図2(b)に示す4個のホール素子21を形成した半導体基板22が樹脂モールドされてなり、両側面から複数の外部端子23を延出させている。そして、磁場方向検知型素子12は、両側面から延出したこれ

50

ら外部端子23において、基板11に形成された電気回路に接続されている。磁場方向検知型素子12は、基板11と反対側の面を磁場を検出する検出面12aとし、その検出面12aが、前記磁石材料13の表面13aと平行となるように対向配置されている。

【0023】

樹脂モールドされた半導体基板22は、4個のホール素子21を形成した基板面22aが検出面12a側にかつ平行に配置されている。基板面22aに形成された4個のホール素子21は、基板面22aの中心点Oを中心に周方向に90°の等間隔に配置されている。そして、中心点Oを挟んで相対向する2個のホール素子21を1組とした組を2つ作る。

【0024】

ここで、一方の組の2個のホール素子21と、他方の組の2個のホール素子21とを区別するために、一方の組の2個のホール素子21の符号を「21A」、他方の組の2個のホール素子21の符号を「21B」として表現する。本実施形態では、説明の便宜上、2個のホール素子21A間を結ぶ線分が延びる方向をX方向とし、2個のホール素子21B間を結ぶ線分が延びる方向をY方向とする。また、これらXY方向で規定されるXY平面に直交する方向をZ方向とする。

【0025】

4個のホール素子21A、21Bを形成した基板面22aには、検出面12aと平行に広がる円形の集磁膜24が形成されている。すなわち、集磁膜24は、その縁部において4個のホール素子21A、21Bの一部を図示上方から覆う態様で半導体基板22上に設けられている。集磁膜24は、基板面22a(検出面12a)と平行に移動する磁石材料13から平行に出る外部磁場の向きを基板面22aに対して直交する方向に変え基板面22aに集磁させる膜である。

【0026】

図1において、検出面12a(基板面22a)と平行に移動する磁石材料13の移動方向はX方向に一致しており、検出面12aはXY平面と平行である。そして、検出面12aと平行に移動する磁石材料13について、磁場方向検知型素子12は、一方の組の2個のホール素子21Aの出力電圧の差分を算出することで、移動するその時々々の磁石材料13の外部磁場のX方向成分 B_x を検知し、他方の組の2個のホール素子21Bの出力電圧の差分を算出することで、同じく磁石材料13の外部磁場のY方向成分 B_y を検知する。また、磁場方向検知型素子12は、他方の組の2個のホール素子21Bの出力電圧の和を算出することで、移動するその時々々の磁石材料13の外部磁場のZ方向成分 B_z を検知する。さらに、磁場方向検知型素子12は、磁石材料13の外部磁場のX方向成分 B_x 及びZ方向成分 B_z から、外部磁場のベクトル(磁場角 θ)を検出する。なお、検出できる磁場角 θ の範囲は360°(未満)である。つまり、磁場方向検知型素子12は、磁石材料13の移動方向に平行な方向(X方向)の磁場成分の強さと、当該移動方向に垂直な方向(Z方向)の磁場成分の強さとを検知して、これらに基づき磁場角 θ を検出する。この磁場角 θ は、磁石材料13との相対位置、即ち磁石材料13の変位に相関するもので、該磁石材料13の変位と磁場角 θ との関係を予め記憶しておくことで、該磁場角 θ に基づいて磁石材料13の変位が検出される。磁場方向検知型素子12は、この磁場角 θ (即ち磁石材料13の変位)に応じた出力値としての出力電圧Vを出力するように構成されている。

【0027】

すなわち、図5に示すように、任意の磁場方向検知型素子12の検出面12aと、磁石材料13の表面13aとがZ方向で中心同士が対向するときの磁石材料13の位置を所定の基準位置Sで表すと、磁石材料13の位置と磁場角 θ とは、基準位置Sを含む左右の一定範囲内で単調増加の関係を有する。そして、磁場方向検知型素子12は、基準位置Sに対して左右対称な所定範囲(以下、検出範囲Aという)内で、略比例的に単調増加し、検出範囲A外で零となる出力電圧Vを出力するように設定されている。略比例的に単調増加する出力電圧Vの出力は、該出力を任意に調整可能な磁場方向検知型素子12に既存の機能を利用するものである。同様に、零となる出力電圧Vの出力は、外部磁場が小さくなっ

10

20

30

40

50

て磁場方向検知型素子 1 2 の検知精度が低下したり検知不能になったりした場合に、L (ロー) レベルを出力する磁場方向検知型素子 1 2 に既存の機能を利用するものである。つまり、磁場方向検知型素子 1 2 から離隔する磁石材料 1 3 の検出範囲 A 外では、該磁石材料 1 3 の外部磁場が一定レベルよりも小さくなることで、前述の機能によって零となる出力電圧 V が出力される。これは、各磁場方向検知型素子 1 2 の動作を安定化させるためのものである。

【 0 0 2 8 】

本実施形態では、3つの磁場方向検知型素子 1 2 (以下、左から右に向かって磁場方向検知型素子 1 2 1, 1 2 2, 1 2 3 という) の検出範囲 A として、磁石材料 1 3 の全移動範囲を等分した検出範囲 A が設定されている。具体的には、図 1 において右側に配置された磁場方向検知型素子 1 2 1 の検出範囲 A 1、中央に配置された磁場方向検知型素子 1 2 2 の検出範囲 A 2、左側に配置された磁場方向検知型素子 1 2 3 の検出範囲 A 3 は、左右方向 (磁石材料 1 3 の移動方向) において互いに同等の長さを有するように設定されている。また、これら磁場方向検知型素子 1 2 1 ~ 1 2 3 は、各々の対応する検出範囲 A 1 ~ A 3 の中心に配置されている。

【 0 0 2 9 】

ここで、3つの磁場方向検知型素子 1 2 において、各々の検出範囲 A 1 ~ A 3 における出力電圧 V の出力特性は前述のように互いに同等であるものの、その立ち上がり時の基準電圧 V s は、互いに異なるように設定されている。すなわち、図 6 に示すように、3つの磁場方向検知型素子 1 2 1 ~ 1 2 3 の対応する検出範囲 A 1 ~ A 3 における出力電圧 V を出力電圧 V 1 ~ V 3 で表し、それぞれの基準電圧 V s を基準電圧 V s 1 ~ V s 3 で表すと、基準電圧 V s 2 は、検出範囲 A 1, A 2 の境界位置で磁場方向検知型素子 1 2 1 が出力する出力電圧 V e 1 と同等に設定されている。同様に、基準電圧 V s 3 は、検出範囲 A 2, A 3 の境界位置で磁場方向検知型素子 1 2 2 が出力する出力電圧 V e 2 と同等に設定されている。このような基準電圧 V s 1 ~ V s 3 の設定 (出力電圧 V 1 ~ V 3 の嵩上げ) は、例えば3つの磁場方向検知型素子 1 2 1 ~ 1 2 3 の出力電圧 V 1 ~ V 3 に対して適宜のバイアス電圧を個別に付加し得る回路構成を設けることで実現可能である。

【 0 0 3 0 】

そして、磁石材料 1 3 の全移動範囲 (フルストローク) に相当する全ての検出範囲 A 1 ~ A 3 における出力電圧 V 1 ~ V 3 の最大値 V M は、略比例的に単調増加する特性を有する。具体的には、検出範囲 A 1 では磁場方向検知型素子 1 2 1 の出力電圧 V 1 で、検出範囲 A 2 では磁場方向検知型素子 1 2 2 の出力電圧 V 2 で、検出範囲 A 3 では磁場方向検知型素子 1 2 3 の出力電圧 V 3 で最大値 V M がそれぞれ決定される。つまり、磁石材料 1 3 の移動に伴う3つの磁場方向検知型素子 1 2 1 ~ 1 2 3 の出力電圧 V 1 ~ V 3 の最大値 V M は、磁石材料 1 3 の変位に一对一で対応するように設定されている。

【 0 0 3 1 】

次に、3つの磁場方向検知型素子 1 2 1 ~ 1 2 3 の出力電圧 V 1 ~ V 3 の最大値 V M を得るための回路構成について説明する。図 3 に示すように、3つの磁場方向検知型素子 1 2 1 ~ 1 2 3 の出力端子にそれぞれ電氣的に接続された最大値選択回路 1 4 は、磁場方向検知型素子 1 2 1 ~ 1 2 3 の出力電圧 V 1 ~ V 3 を入力するとともに、これら出力電圧 V 1 ~ V 3 の最大値 V M を出力する。

【 0 0 3 2 】

具体的には、図 4 に示すように、最大値選択回路 1 4 は、3つの磁場方向検知型素子 1 2 1 ~ 1 2 3 の出力端子にアノードがそれぞれ電氣的に接続され、カソード同士が互いに短絡された3つのダイオード D 1 ~ D 3 を備える。これらダイオード D 1 ~ D 3 は、互いに同等の特性を有する。また、最大値選択回路 1 4 は、これらダイオード D 1 ~ D 3 のカソードにその非反転入力端子が電氣的に接続され、反転入力端子及び出力端子の短絡されたオペアンプ O P (いわゆるボルテージフォロウ) を備える。最大値選択回路 1 4 は、ダイオード D 1 ~ D 3 の整流動作を利用して出力電圧 V 1 ~ V 3 の最大値 V M をオペアンプ O P の非反転入力端子に出力するとともに、該オペアンプ O P において出力インピーダン

10

20

30

40

50

スの低減を行って該オペアンプOPの出力端子から出力する。最大値選択回路14（オペアンプOP）からの出力信号が、図6に示した最大値VMの特性に相関していることはいうまでもない。なお、最大値選択回路14からの出力信号が適宜の制御回路（図示略）に入力されることで、該制御回路において磁石材料13の変位が検出される。

【0033】

次に、本実施形態の動作について説明する。

磁石材料13が3つの磁場方向検知型素子12の並設方向に移動したとする。このとき、全ての検出範囲A1～A3における磁石材料13の変位に応じて、3つの磁場方向検知型素子121～123のいずれかの出力電圧V1～V3が、最大値選択回路14において最大値VMとして選択・出力される。この最大値VM（より正確にはこれに相関する出力信号）に基づいて、磁石材料13の変位が検出される。

10

【0034】

以上詳述したように、本実施形態によれば、以下に示す効果が得られるようになる。

（1）本実施形態では、磁石材料13の変位に一つ一つに対応するように設定された複数の磁場方向検知型素子12の出力電圧Vのうちの最大値VMを最大値選択回路14により選択することで、該選択された最大値VMに基づいて磁石材料13の変位を検出することができる。この場合、磁石材料13がその移動方向に短小であったとしても、該移動方向に複数の磁場方向検知型素子12が並設されることで、磁石材料13の変位の検出範囲を十分に確保することができる。また、磁石材料13が短小であれば、その移動方向に要するスペースは概ね複数の磁場方向検知型素子12の当該方向のスペースに収まるため、装置全体としての搭載性を向上することができる。さらに、複数の磁場方向検知型素子12の出力電圧Vのうちの最大値VMを選択し得る極めて簡易且つ安価な電気回路の構成で、磁石材料13の変位を検出することができる。

20

【0035】

（2）本実施形態では、磁石材料13の変位を磁場方向検知型素子12にて検出する構成を採用したことで、温度による磁場強度の変動や磁石材料13（被変位検出体）及び磁場方向検知型素子12（変位検出素子）の間のギャップ変動の影響を抑制することができ、比較的高い精度で磁石材料13の変位を検出ことができる。

【0036】

（3）本実施形態では、磁場方向検知型素子12の検出面12aは、磁石材料13の移動方向に直交する一方向で該磁石材料13の表面13aと平行に対向するように配置されていることで、磁場方向検知型素子12を前記移動方向に直交する当該一方向にコンパクトに配置することができる。

30

【0037】

（4）本実施形態では、複数の磁場方向検知型素子121～123の出力電圧V1～V3のうちの最大値VMの選択を、ダイオードD1～D3からなる極めて簡易な電気回路の構成で行うことができる。

【0038】

（5）本実施形態では、被変位検出体として磁石材料13を採用したことで、該磁石材料13の移動に関し電気的な配線の影響をなくすることができる。

40

（6）本実施形態では、磁石材料13の外部磁場が一定レベルよりも小さくなるとき（即ち磁石材料13が該当の磁場方向検知型素子12の検出範囲A外にあるとき）、磁場方向検知型素子12から零となる出力電圧Vを出力する。従って、外部磁場が小さくなって磁場方向検知型素子12の検知精度が低下したり検知不能になったりした場合に、磁石材料13の変位が検出されることがないため、変位検出装置10全体の動作を安定化し、結果として高精度を確保することができる。

【0039】

（7）本実施形態では、磁石材料13が該当の磁場方向検知型素子12の検出範囲A内にあるとき、磁場方向検知型素子12から略比例的に単調増加する出力電圧Vを出力する。従って、磁石材料13の変位に対する出力電圧Vのリニアリティを確保することができ

50

、結果として高精度を確保することができる。

【 0 0 4 0 】

なお、上記実施形態は以下のように変更してもよい。

・図 7 に示す回路構成の最大値選択回路 3 0 であってもよい。すなわち、この最大値選択回路 3 0 において、前記オペアンプ O P は、出力端子がダイオード D 1 ~ D 3 と同等の特性を有するダイオード D のアノードに電氣的に接続され、反転入力端子がダイオード D のカソードに電氣的に接続されている。また、ダイオード D 1 ~ D 3 のカソード及びダイオード D のカソードは、それぞれ抵抗 R を介してグラウンド G N D に接地されている。オペアンプ O P 及びダイオード D は、補償回路 3 1 を構成する。このような回路構成を採用することで、ダイオード D 1 ~ D 3 における電圧降下分 V_{th} (0 . 6 ~ 0 . 7 V) を補償することができる。

10

【 0 0 4 1 】

すなわち、出力電圧 $V_1 \sim V_3$ において、 $V_1 > V_2 > V_3$ であるとする、オペアンプ O P の非反転入力端子に対する入力電圧は $V_1 - V_{th}$ となる。一方、オペアンプ O P の出力電圧を V_o とすると、オペアンプ O P の反転入力端子に対する入力電圧は $V_o - V_{th}$ となる。イマジナリ・ショートにより、オペアンプ O P の非反転入力端子に対する入力電圧 ($V_1 - V_{th}$) と、反転入力端子に対する入力電圧 ($V_o - V_{th}$) とが等しくなることから、

$$V_1 - V_{th} = V_o - V_{th}$$

$$V_1 = V_o$$

20

となって、ダイオード D 1 ~ D 3 における電圧降下分 V_{th} を補償した出力電圧 V_1 が出力電圧 V_o としてオペアンプ O P (最大値選択回路 3 0) から出力される。

【 0 0 4 2 】

以上により、3つの磁場方向検知型素子 1 2 1 ~ 1 2 3 の出力電圧 $V_1 \sim V_3$ のうちの最大値 V_M の選択に際し、ダイオード D 1 ~ D 3 において生じた電圧降下分 V_{th} を補償回路 3 1 で補償することができ、より高精度に磁石材料 1 3 の変位を検出することができる。

【 0 0 4 3 】

・また、図 8 に示すように、前記最大値選択回路 3 0 の出力段に増幅回路 3 2 を追加した回路構成であってもよい。すなわち、前記最大値選択回路 3 0 のオペアンプ O P の出力端子が増幅回路 3 2 の入力端子に電氣的に接続されている。従って、最大値選択回路 3 0 においてダイオード D 1 ~ D 3 における電圧降下分 V_{th} を補償するとともに、増幅回路 3 2 において増幅等した信号が出力電圧 V_o として出力される。

30

【 0 0 4 4 】

・さらに、図 9 に示す回路構成の最大値選択回路 3 3 であってもよい。すなわち、この最大値選択回路 3 3 において、前記オペアンプ O P は、出力端子が直列接続の n 個のダイオード D の直近のアノードに電氣的に接続され、反転入力端子が抵抗 R_2 を介して直列接続の n 個のダイオード D の直近のカソードに電氣的に接続されている。また、オペアンプ O P の反転入力端子は、抵抗 R_1 を介してグラウンド G N D に接地されている。オペアンプ O P 、 n 個のダイオード D 及び抵抗 R_1 , R_2 は、補償回路 3 4 を構成する。

40

【 0 0 4 5 】

ここで、出力電圧 $V_1 \sim V_3$ において、 $V_1 > V_2 > V_3$ であるとする、オペアンプ O P の非反転入力端子に対する入力電圧は $V_1 - V_{th}$ となる。一方、オペアンプ O P の出力電圧を V_o とすると、オペアンプ O P の反転入力端子に対する入力電圧は $(V_o - n \cdot V_{th}) \cdot (R_1 / (R_1 + R_2))$ となる。イマジナリ・ショートにより、オペアンプ O P の非反転入力端子に対する入力電圧 ($V_1 - V_{th}$) と、反転入力端子に対する入力電圧 $(V_o - n \cdot V_{th}) \cdot (R_1 / (R_1 + R_2))$ とが等しくなることから、

$$V_1 - V_{th} = (V_o - n \cdot V_{th}) \cdot (R_1 / (R_1 + R_2))$$

$$(R_1 + R_2) V_1 - (R_1 + R_2) V_{th} = R_1 \cdot V_o - n \cdot R_1 \cdot V_{th}$$

$$R_1 \cdot V_o = (R_1 + R_2) V_1 + (n \cdot R_1 - (R_1 + R_2)) V_{th}$$

50

$$V_o = ((R_1 + R_2) / R_1) V_1 + (n - (R_1 + R_2) / R_1) V_{th}$$

$n - (R_1 + R_2) / R_1 = 0$ であれば、

$$V_o = ((R_1 + R_2) / R_1) V_1$$

となる。つまり、 $n = (R_1 + R_2) / R_1$ となるように n 、 R_1 、 R_2 を選択・設定することで、 $((R_1 + R_2) / R_1) V_1$ が出力電圧 V_o としてオペアンプOP（最大値選択回路33）から出力される。従って、この回路構成においても、ダイオードD1～D3における電圧降下分 V_{th} を補償しつつ増幅等した出力電圧 V_o を出力することができる。

【0046】

・前記実施形態において、磁場方向検知型素子12を、磁石材料13が検出範囲A外にあるときにH（ハイ）レベルの出力電圧Vを出力するとともに、検出範囲A内にあるときに略比例的に単調減少する出力電圧Vを出力するように設定してもよい（もちろん単調増加するように設定しても良い）。この場合、磁石材料13の移動に伴う3つの磁場方向検知型素子121～123の出力電圧V1～V3の最小値が磁石材料13の変位に一对一で対応するように設定すればよい。また、出力電圧V1～V3の最小値の選択に係るダイオードD1～D3は、その極性を反転させて接続すればよい。

10

【0047】

・前記実施形態において、磁場方向検知型素子121～123の出力電圧V1～V3をマイコンなどに取り込んで、該出力電圧V1～V3の最大値VM（又は最小値）を選択するようにしてもよい。

20

【0048】

・前記実施形態において、磁場方向検知型素子12は、磁石材料13の外部磁場のX方向成分Bx、Y方向成分By及びZ方向成分Bzを検知できるため、例えば他方の組の2個のホール素子21B間を結ぶ線分の延びる方向がZ方向に一致するように磁場方向検知型素子12を配置してもよい。つまり、磁場方向検知型素子12を、その検出面12aが図1におけるXZ平面に平行になるように配置してもよい。

【0049】

・前記実施形態において、3つの磁場方向検知型素子12の検出範囲A1～A3は互いに均等でなくてもよい。例えば検出範囲A2よりも検出範囲A1、A3の方が長かったり、短かったりしてもよい。

30

【0050】

・前記実施形態において、3つの磁場方向検知型素子12の検出範囲A1～A3は互いの検出範囲がやや重なるように広めに設定してもよい。このように設定することで、検出範囲の設定に誤差が生じた場合でも、該出力電圧V1～V3の最大値VM（又は最小値）は不連続を生じにくくなり、結果として高精度を確保することができる。

【0051】

・前記実施形態において、磁石材料13が検出範囲A2、A3内にあるときの磁場方向検知型素子121の出力電圧V1は必ずしも零である必要はなく、例えば出力電圧Ve1のまま維持させてもよい。また、磁石材料13が検出範囲A3内にあるときの磁場方向検知型素子122の出力電圧V2は必ずしも零である必要はなく、例えば出力電圧Ve2のまま維持させてもよい。

40

【0052】

・前記実施形態において、磁石材料13の移動方向に並設される磁場方向検知型素子12の個数は2つでもよいし、4つ以上であってもよい。

・前記実施形態において、変位検出素子として、1個のホール素子を採用してもよい。

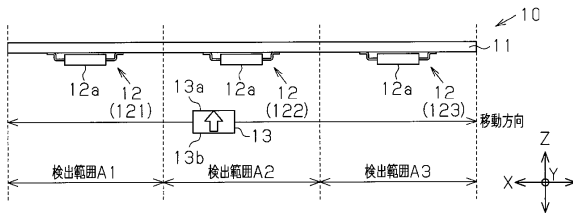
【符号の説明】

【0053】

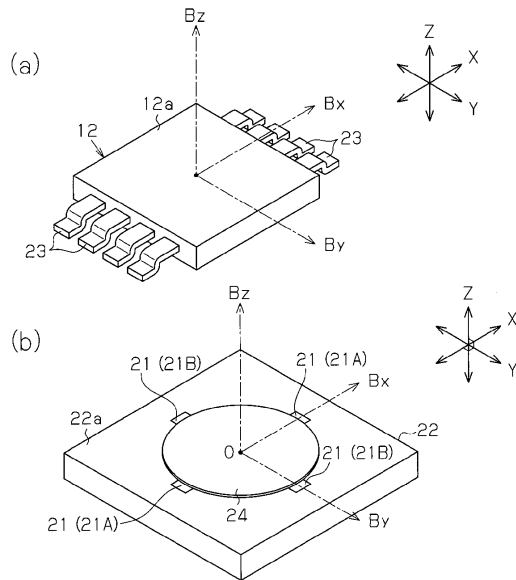
D1～D3...ダイオード、10...変位検出装置、12、121～123...磁場方向検知型素子（変位検出素子）、12a...検出面、13...磁石材料（被変位検出体）、13a...表面、14、30、33...最大値選択回路（選択手段）、31、34...補償回路。

50

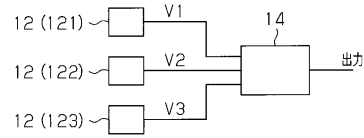
【図 1】



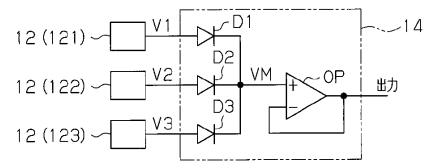
【図 2】



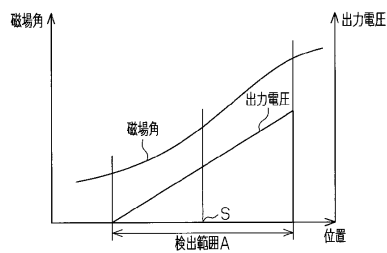
【図 3】



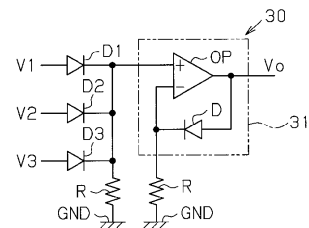
【図 4】



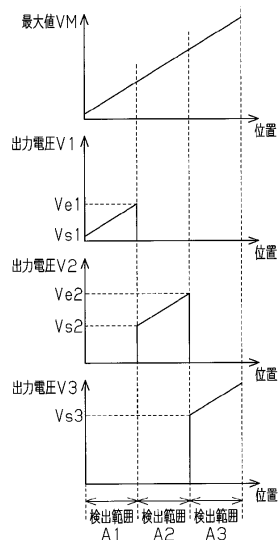
【図 5】



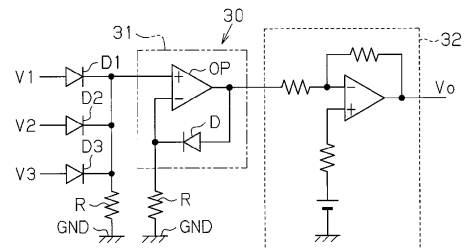
【図 7】



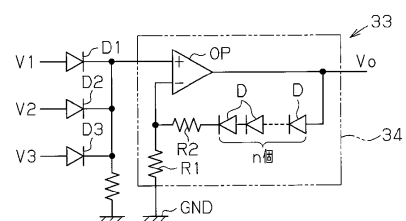
【図 6】



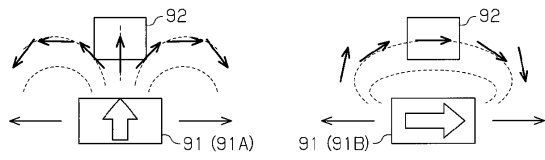
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 石川 仁司

愛知県刈谷市朝日町2丁目1番地 アイシン精機 株式会社 内

審査官 眞岩 久恵

(56)参考文献 特開2002-328046(JP,A)

特開2001-091208(JP,A)

特開平11-215039(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01D 5/00-5/252

G01D 5/39-5/62