



(12) 发明专利申请

(10) 申请公布号 CN 117501824 A

(43) 申请公布日 2024. 02. 02

(21) 申请号 202380011650.3

(22) 申请日 2023.04.07

(30) 优先权数据

63/341,242 2022.05.12 US

18/127,213 2023.03.28 US

(85) PCT国际申请进入国家阶段日

2023.11.10

(86) PCT国际申请的申请数据

PCT/US2023/017807 2023.04.07

(71) 申请人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 北岛知彦 李宁 姜昌锡

吉田尚美

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

专利代理师 徐金国 吴启超

(51) Int.Cl.

H10B 41/27 (2006.01)

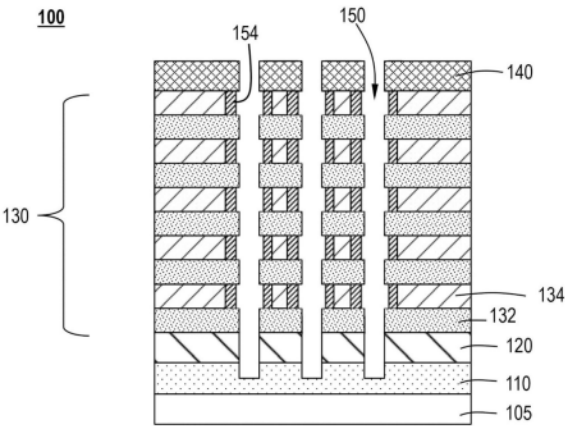
权利要求书2页 说明书12页 附图8页
按照条约第19条修改的权利要求书3页

(54) 发明名称

用于高质量选择性氮化硅沉积的集成方法及工具

(57) 摘要

提供了制造存储器件的方法。所述方法包括预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸经过膜堆叠的狭缝图案开口中的一或多个;将膜堆叠的顶表面暴露于生长抑制剂;在膜堆叠的区域中选择性沉积含硅介电层;及使含硅介电层致密化。处理方法在不破坏真空的情况下于处理工具中执行。



1. 一种形成逻辑或存储器件的处理方法,所述处理方法包括:
预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸穿过所述膜堆叠的狭缝图案开口中的一或多个;
将所述膜堆叠的所述顶表面暴露于生长抑制剂;
在所述膜堆叠的区域中选择性沉积含硅介电层;以及
使所述含硅介电层致密化,
其中在不破坏真空的情况下于处理工具中执行所述处理方法。
2. 如权利要求1所述的处理方法,其中所述第二材料层包括氧化物层。
3. 如权利要求1所述的处理方法,其中所述区域为通过经由所述存储器孔使所述第一材料层相对于所述第二材料层凹陷而形成的凹陷区域。
4. 如权利要求1所述的处理方法,其中所述区域在所述膜堆叠的字线侧上。
5. 如权利要求1所述的处理方法,其中所述第一材料层包括多晶硅、氮化硅、碳化硅、碳氮化硅、锗及氮化钛中的一或多种。
6. 如权利要求1所述的处理方法,其中所述含硅介电层包括氮化硅(SiN)、碳氮化硅(SiCN)、氧氮化硅、氧碳氮化硅(SiOCN)、硼化硅(SiB)及硅硼氮化物(SiBN)中的一或多种。
7. 如权利要求6所述的处理方法,其中所述含硅介电层包括氮化硅。
8. 如权利要求1所述的处理方法,其中选择性沉积所述含硅介电层包括:在小于500°C的温度下的沉积。
9. 如权利要求1所述的处理方法,其中所述含硅介电层具有小于1 Å/min的湿式蚀刻速率。
10. 如权利要求1所述的处理方法,其中使所述含硅介电层致密化包括:将所述含硅介电层暴露于快速热处理(RTP)工艺。
11. 如权利要求1所述的处理方法,其中使所述含硅介电层致密化包括:在小于或等于500°C的温度及小于1托的压力下将所述含硅介电层暴露于高密度等离子体,所述高密度等离子体选自氦(He)、氢(H₂)、氖(Ne)、氩(Ar)、氪(Kr)及氙(Xe)中的一或多种。
12. 如权利要求1所述的处理方法,其中所述含硅介电层具有在自大于0 Å至25 Å的范围中的厚度。
13. 如权利要求1所述的处理方法,所述处理方法进一步包括:使所述含硅介电层氧化。
14. 如权利要求1所述的处理方法,其中所述处理工具选自由单处理腔室及一批量处理腔室组成的群组。
15. 一种处理工具,包括:
中央传送站,包括经配置以移动晶片的机器人;
多个工艺站,每一工艺站连接至所述中央传送站并提供与相邻工艺站的处理区域分离的处理区域,所述多个工艺站包括预清洁腔室、抑制剂浸泡腔室、选择性沉积腔室及致密化腔室中的一或多个;以及
控制器,连接至所述中央传送站及所述多个工艺站,所述控制器经配置以启动所述机器人在工艺站之间移动所述晶片,并控制在工艺站中的每一个中发生的工艺。
16. 如权利要求15所述的处理工具,其中所述控制器导致所述处理工具执行如下的操

作：

预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸穿过所述膜堆叠的狭缝图案开口中的一或多个;

将所述膜堆叠的所述顶表面暴露于生长抑制剂;

在所述膜堆叠的区域中选择性沉积含硅介电层;以及

使所述含硅介电层致密化,

其中所述处理工具被维持在真空下。

17.如权利要求16所述的处理工具,其中所述区域在所述膜堆叠的字线侧上。

18.如权利要求16所述的处理工具,其中所述区域为通过经由所述存储器孔使所述第二材料层相对于所述第一材料层凹陷而形成的凹陷区域。

19.如权利要求16所述的处理工具,其中所述第一材料层包括氧化物层,且所述第二材料层包括多晶硅、氮化硅、碳化硅、碳氮化硅、锗及氮化钛中的一或多种。

20.如权利要求16所述的处理工具,其中所述含硅介电层包括氮化硅(SiN)、碳氮化硅(SiCN)、氧氮化硅、氧碳氮化硅(SiOCN)、硼化硅(SiB)及硅硼氮化物(SiBN)中的一或多种。

21.如权利要求16所述的处理工具,其中选择性沉积所述含硅介电层包括在小于500℃的温度下的沉积。

用于高质量选择性氮化硅沉积的集成方法及工具

技术领域

[0001] 本公开案的实施方式涉及电子器件及用于制造电子器件的方法及装置的领域。更特定而言,本公开案的实施方式提供用于形成具有高质量含硅介电层的3D-NAND器件的方法。

背景技术

[0002] 半导体技术已飞速进步,且器件尺寸已随着技术进步而缩小以提供每单位空间更快的处理及储存。在NAND器件中,串电流需要足够高,以获得足够电流来区分接通(ON)及关断(OFF)单元。串电流取决于载流子迁移率,所述载流子迁移率通过扩大硅沟道的晶粒大小来增强。

[0003] 3D-NAND制造中所采用的当前工艺使用高温原子层沉积(atomic layer deposition;ALD)或化学气相沉积(chemical vapor deposition;CVD)氮化硅(SiN)连同后续额外的图案化步骤。SiN的选择性沉积可消除图案化步骤。然而,选择性沉积需要相对较低的沉积温度,如此会产生不良质量的膜。

[0004] 因此,此项技术中需要具有高质量SiN膜的3D-NAND器件。另外,此项技术中需要用于形成3D-NAND器件的方法及装置。

发明内容

[0005] 本公开案的一或多个实施方式针对一种形成逻辑或存储器件的处理方法。在一或多个实施方式中,一种形成逻辑或存储器件的处理方法包括:预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸经过膜堆叠的狭缝图案开口中的一或多个;将膜堆叠的顶表面暴露于生长抑制剂;在膜堆叠的区域中选择性沉积含硅介电层;及使含硅介电层致密化,其中所述处理方法在不破坏真空的情况下于处理工具中执行。

[0006] 本公开案的进一步实施方式针对一种处理工具。在一个实施方式中,一种处理工具包括:中央传送站,包括经配置以移动晶片的机器人;多个工艺站,每一工艺站连接至中央传送站并提供与相邻工艺站的处理区域分离开的处理区域,所述多个工艺站包括预清洁腔室、抑制剂浸泡腔室、选择性沉积腔室及致密化腔室中的一或多个;及控制器,连接至中央传送站及所述多个工艺站,所述控制器经配置以启动机器人以便使晶片在工艺站之间移动,并控制发生在所述工艺站中的每一个中的工艺。

附图说明

[0007] 因此,可详细理解本公开案的上述特征的方式,可通过参考实施方式来获得以上简要概述的本公开案的更特定描述,在附图中示出实施方式中的一些。然而,应注意,附图仅示出本公开案的典型实施方式,且因此不应被视为对本公开案的范围的限制,因为本公开案可准许其他同等有效的实施方式。在附图的诸图中通过实例而非限制的方式示出如本

文所述的实施方式,其中相同元件符号指示类似元件。

- [0008] 图1图示根据本文所述实施方式的方法的一或多个实施方式的工艺流程图;
- [0009] 图2A图示根据一或多个实施方式的器件的横截面图;
- [0010] 图2B图示根据一或多个实施方式的图2A的器件的区域103的放大横截面图;
- [0011] 图3A图示根据一或多个实施方式的器件的横截面图;
- [0012] 图3B图示根据一或多个实施方式的图3A的器件的区域103的放大横截面图;
- [0013] 图3C图示根据一或多个实施方式的图3A的器件的区域103的放大横截面图;
- [0014] 图4A图示根据一或多个实施方式的图3A的器件的区域103的放大横截面图;
- [0015] 图4B图示根据一或多个实施方式的器件的横截面图;
- [0016] 图5图示根据一或多个实施方式的器件的横截面图;
- [0017] 图6图示根据一或多个替代实施方式的器件的横截面图;
- [0018] 图7图示根据一或多个替代实施方式的器件的横截面图;以及
- [0019] 图8图示根据一或多个实施方式的群集工具。

具体实施方式

[0020] 在描述本公开案的若干示例性实施方式之前,应理解,本公开案并不限于以下描述中所阐述的构造或工艺步骤的细节。本公开案能够具有其他实施方式且能够以各种方式来实践或执行。

[0021] 一或多个实施方式提供在集成处理工具中的处理方法,以准许经由高深宽比存储器孔或经由3D NAND单元膜堆叠中的狭缝图案开口在多晶硅侧壁上或在隧道氧化物侧壁上选择性沉积含硅介电膜,例如,氮化硅。

[0022] 含硅介电膜(例如,氮化硅)的选择性沉积为导致不良质量膜的低温工艺。在旨在不受理论限制的情况下,认为若不良质量的经选择性沉积的含硅介电膜无法转换成高质量的含硅膜,则经选择性沉积的含硅膜(特定地为氮化硅)无法用以形成3D NAND单元结构。

[0023] 参考诸图来描述本公开案的一或多个实施方式。在一或多个实施方式的方法中,制造了逻辑或存储器件。在特定实施方式中,制造了3D NAND单元结构。在一些实施方式中,所述方法包括预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸经过膜堆叠的狭缝图案开口中的一或多个;将膜堆叠的顶表面暴露于生长抑制剂;在膜堆叠的区域中选择性沉积含硅介电层;及使含硅介电层致密化。在一些实施方式中,在不破坏真空的情况下于处理工具中执行处理方法。

[0024] 图1图标用于形成存储器件的示例性方法10的流程图。本领域技术人员将认识到,方法10可包括所示出工艺中的任一个或全部。另外,对于一些部分而言,单独工艺的次序可变化。在不偏离本公开案的情况下,方法10可以所枚举工艺中的任一个开始。参考图1,在操作12处,提供膜堆叠。如本文中所使用,术语“提供”意谓使得基板可用于处理(例如,定位在处理腔室中)。在操作14处,膜堆叠的表面经清除掉任何杂质,例如,原生氧化物。在操作16处,将膜堆叠暴露于生长抑制剂。在操作18处,在膜堆叠的区域中选择性沉积含硅介电层。在操作20处,使含硅介电层致密化。在操作22处,可视情况使含硅介电层氧化。

[0025] 图2A至图5图示遵循为图1中的方法10所示出的工艺流程的电子器件100的一部分。图2A图示根据本公开案的一或多个实施方式的电子器件100。在一些实施方式中,如所

示出,图2A中所示的电子器件100按层形成在基板105(所述基板105可为裸基板)上。图2A的电子器件由基板105、半导体层110、可选牺牲层120、堆叠130及可选氧化物层140构成。

[0026] 基板105可为本领域技术人员所已知的任何适当材料。如在本说明书及所附权利要求书中所使用,术语“基板”代表工艺在表面上起作用的表面,或表面的一部分。本领域的技术人员亦将理解,除非上下文中另外明确指出,否则对基板的引用可仅代表基板的一部分。另外,对在基板上沉积的引用可意谓裸基板及具有沉积或形成于基板上的一或多个膜或特征的基板。

[0027] 如本文中所使用,“基板”代表在制造工艺期间在基板上执行膜处理的任何基板或形成于基板上的材料表面。举例而言,取决于应用,可在基板表面上执行处理的基板表面包括诸如以下的材料:硅、氧化硅、应变硅、绝缘体上硅(silicon on insulator;SOI)、掺碳氧化硅、非晶硅、掺杂硅、锗、砷化镓、玻璃、蓝宝石,及任何其他材料,诸如金属、金属氮化物、金属合金及其他导电材料。基板包括但不限于半导体晶片。可将基板暴露于预处理工艺,以研磨、蚀刻、还原、氧化、羟基化、退火及/或烘烤基板表面。除了直接在基板自身的表面上进行膜处理以外,在本公开案中,亦可在形成于基板上的底层上执行所公开的膜处理步骤中的任一个,如下文更详细地公开,且术语“基板表面”旨在包括此底层,如上下文所指示。因此,例如,在膜/层或部分膜/层已沉积至基板表面上的情况下,最新沉积的膜/层的已暴露表面成为基板表面。

[0028] 在一或多个实施方式中,半导体层110在基板105上。在一些实施方式中,半导体层110亦可称作共享源极线。半导体层110可通过本领域技术人员所已知的任何适当技术形成,且可由任何适当材料制成,包括但不限于多晶硅(polysilicon, poly-Si)。在一些实施方式中,半导体层110为共享源极线,共享源极线由导电的或半导体材料制成。

[0029] 在一或更多个实施方式中,可选牺牲层120形成在半导体层110上且可由任何适当材料制成。在一些实施方式中,在稍后工艺中移除并替换可选牺牲层120。在一些实施方式中,可选牺牲层120未经移除且保留在电子器件100内。在此情形下,术语“牺牲”具有扩展含义以包括永久层且可称作导电层。在一或多个实施方式中,可选牺牲层120包括可相对于相邻半导体层110及第二材料层132选择性被移除的材料。

[0030] 在一或多个实施方式中,堆叠130形成在可选牺牲层120上。在所示实施方式中,堆叠130包括多个交替的第二材料层132及第一材料层134。在一或多个实施方式中,第一材料层134包括氮化物层且第二材料层132包括氧化物层。在一些实施方式中,堆叠130包括非替换栅极,诸如,交替的氧化物及多晶硅,或氧化物及金属,或氧化物及牺牲层。第一材料层134包括相对于第二材料层132有蚀刻选择性的材料,以使得可在实质上不影响第二材料层132的情况下移除第一材料层134。在一或多个实施方式中,第一材料层134包括多晶硅、氮化硅(SiN)、碳化硅(SiC)、氧碳化硅(SiOC)、锗(Ge)及氮化钛(TiN)中的一或多个。在一或多个实施方式中,第一材料层134包括氮化硅。在一或多个实施方式中,第二材料层132包括氧化硅。

[0031] 单独交替层可经形成成为任何适当厚度。在一些实施方式中,每一第二材料层132的厚度大致相等。在一或多个实施方式中,每一第二材料层132具有第一第二层厚度。在一些实施方式中,每一第一材料层134的厚度大致相等。如在此方面所使用,大致相等的厚度彼此相差 $\pm 5\%$ 以内。在一些实施方式中,在第二材料层132与第一材料层134之间形成硅层

(未示出)。与第二材料层132或第一材料层134的层的厚度相比较而言,硅层的厚度可相对薄。

[0032] 在一或多个实施方式中,经由堆叠130打开存储器孔沟道150。在一些实施方式中,打开存储器孔沟道150包括蚀刻穿过可选氧化物层140、堆叠130、可选牺牲层120并蚀刻至半导体层110中。参考图2B(图2B为区域103的扩展视图),存储器孔沟道150具有延伸穿过堆叠130的侧壁,从而暴露第二材料层132的表面138及第一材料层134的表面139。

[0033] 在一或多个实施方式中,存储器孔沟道150具有高的深宽比。如本文中所使用,术语“高的深宽比”代表具有大于或等于约10、20或50或更大的高度:宽度比率的特征。

[0034] 在一或多个实施方式中,可选牺牲层120具有表面122,所述表面122经暴露而作为存储器孔沟道150的侧壁。存储器孔沟道150延伸至半导体层110中达一距离,以使得存储器孔沟道150的侧壁表面112及底部114形成在半导体层110内。存储器孔沟道150的底部114可形成在半导体层110的厚度内的任一点处。在一些实施方式中,存储器孔沟道150延伸至半导体层110中的厚度在半导体层110的厚度的自约10%至约90%的范围中,或在自约20%至约80%的范围中,或在自约30%至约70%的范围中,或在自约40%至约60%的范围中。在一些实施方式中,存储器孔沟道150延伸至半导体层110中的距离大于或等于半导体层110的厚度的10%、20%、30%、40%、50%、60%、70%或80%。

[0035] 参考图1及图2A及图2B,在操作14处,可清洁/预清洁膜堆叠的(若干)已暴露表面,例如,第二材料层132的表面138、第一材料层134的表面139及存储器孔沟道150的底部114。在一些实施方式中,清洁/预清洁工艺包括用于原生氧化物移除的升华蚀刻。所述蚀刻工艺可为基于等离子体或基于热的。等离子体工艺可为任何适当等离子体(例如,导电耦合等离子体、电感耦合等离子体、微波等离子体)。在一或多个实施方式中,清洁工艺可包括传统的等离子体蚀刻或远程等离子体辅助干式蚀刻工艺,诸如,可购自位于加利福尼亚州圣克拉拉市的应用材料有限公司的SiCoNi™蚀刻工艺。在SiCoNi™蚀刻工艺中,将器件或膜堆叠暴露于H₂、NF₃及/或NH₃等离子体物种,例如,等离子体激发的氢及氟物种。举例而言,在一些实施方式中,器件或膜堆叠可能经历同时暴露于H₂、NF₃及NH₃等离子体。SiCoNi™蚀刻工艺可在SiCoNi™预清洁腔室中执行,SiCoNi™预清洁腔室可集成至多种多处理平台中的一个中,包括可购自Applied Materials®的Centura®、Dual ACP、Producer® GT及Endura®平台。湿式蚀刻工艺可包括氢氟(HF)酸最后工艺,亦即,所谓“HF最后”工艺,其中执行表面的HF蚀刻,使得表面以氢封端。或者,可采用任何其他基于液体的预清洁工艺。

[0036] 参考图1,在一或多个实施方式中,在操作16处,将电子器件100暴露于生长抑制剂以避免沉积。生长抑制剂可经添加在第二材料层132上以防止在第二材料层上的沉积。在操作18处,可选择性地在第一材料层134上而非(或大体上非)在第二材料层132上沉积含硅介电层152。可通过本领域技术人员所已知的任何适当手段来沉积含硅介电层152。在一或多个实施方式中,含硅介电层152在小于500℃的温度下沉积(例如,原子层沉积(ALD)或化学气相沉积(CVD))。

[0037] 一或多个实施方式中的方法10为集成方法。在一或多个实施方式中,可在不破坏操作12、14、16、18、20及22中的任一个之间的真空的情况下在一或多个处理腔室中执行方法10。

[0038] 图3A至图5示出一或多个实施方式,其中经由存储器孔沟道150在与第一材料层

134相邻的凹陷区域142上沉积含硅层。特定而言,图3A示出经由存储器孔沟道150使第一材料层134相对于第二材料层132凹陷。在一或多个实施方式中,形成凹陷区域142。可根据本领域技术人员所已知的任何适当工艺使第一材料层134凹陷。在其他实施方式中,可结构性地形成存储器孔沟道150,例如:可在SiN/SiO/SiN堆叠的存储器孔中沉积多晶硅沟道材料,其后移除SiN并修整SiO,留下具有对多晶硅沟道开放的凹槽的SiO结构。在此情形下,134不仅凹陷而且完全被移除,且填充的沟道材料被暴露。

[0039] 在一或多个实施方式中,参考图1,在操作16处,使用表面处理(例如,暴露于生长抑制剂)以确保在第二材料层132上存在不同封端基团,以使得将基于不同表面来区分后续的ALD膜生长。举例而言,为了制备以Si-H基团封端的裸Si表面,可使用稀释的HF湿式清洁或基于等离子体的干式清洁以移除Si表面上的原生氧化物并形成Si-H键。为了制备可阻止ALD膜生长的钝化表面,可在氧化硅表面上形成疏水性表面单层。举例而言,烷基胺基硅烷可吸附至氧化硅表面上,以在SiO表面上形成烷基硅基。一些实施方式的ALD膜生长化学性质基于卤化硅及氨反应,所述卤化硅及氨反应可选择性地在裸Si表面上而非钝化SiO表面上生长。一些实施方式可实现的最大厚度为在裸Si上约100 Å的生长,其中在钝化SiO表面上大体上无膜生长。周期性SiO表面再生及钝化可用以在裸Si上比在SiO上进行更厚的生长。

[0040] 图3B至图3C示出根据本公开案的一或多个实施方式的操作16的表示。在一或多个实施方式中,第二材料层132可具有以羟基封端的表面,而第一材料层134可具有以氢封端的表面。在一些未示出的实施方式中,第一材料层134亦可具有形成在第一材料层134上的一些原生氧化物。虽然图3B至图3C所示出的实施方式示出与基板表面的简单单键,但本领域的技术人员将理解此仅出于说明目的,并理解表面原子键合并非如所示出一样简单。举例而言,氧化物表面可为键合至多于一个硅原子的桥接氧原子,且表面的化学计量及整体组成未必为一对一的。

[0041] 第一材料层134及第二材料层132可为用于选择性沉积的任何适当表面。在一些实施方式中,第二材料层132包括具有-OH端基的介电表面,且第一材料层134包括具有Si-H基团的硅表面(所述硅表面具有或不具有原生氧化物)。在一些实施方式中,第二材料层132包括具有-OH端基的介电表面,且第一材料层134包括具有或不具有原生氧化物的金属表面。在一些实施方式中,第二材料层132包括具有-OH端基的金属氧化物表面,且第一材料层134包括具有Si-H基团的硅表面(所述硅表面具有或不具有原生氧化物)。在一些实施方式中,第二材料层132包括具有-OH端基的金属氧化物表面,且第一材料层134包括不具有原生氧化物的清洁金属表面。

[0042] 若在第一材料层134上存在原生氧化物,则移除原生氧化物可允许更有效的选择性沉积工艺。将基板暴露于蚀刻工艺可自第一材料层134移除原生氧化物。所述蚀刻工艺可为湿式蚀刻工艺(例如,暴露于稀释的HF(1%))或干式蚀刻工艺(例如,暴露于等离子体)。在一些实施方式中,蚀刻工艺为基于等离子体的工艺。在一些实施方式中,基于等离子体的蚀刻工艺包括将基板暴露于氨及氢氟酸的等离子体。

[0043] 在一些实施方式中,自第一材料层134移除原生氧化物提供了具有大体上仅氢封端的表面。如以此方式所使用,术语“大体上仅氢封端”意谓对于大于或等于约98%的面积而言,表面封端为氢。在一些实施方式中,自第一材料层134移除原生氧化物提供了具有

大体上无氧封端的表面。如以此方式所使用,术语“大体上无氧封端”意谓包括小于表面积的约2%的表面封端包含氧原子。

[0044] 在一或多个实施方式中,用以自第一材料层134移除原生氧化物的工艺亦使第二材料层132氧化以提供具有大体上无氢封端的表面。如以此方式所使用,术语“大体上无氢封端”意谓对于小于或等于约2%的表面积而言,所述表面的表面封端为氢。在一些实施方式中,第二材料层132大体上仅包括羟基封端。如以此方式所使用,术语“大体上仅羟基封端”意谓对于大于或等于约98%的表面积而言,目标表面的表面封端为羟基基团。

[0045] 包括第一材料层134及第二材料层132的基板可暴露于生长抑制剂以与羟基封端的表面反应以形成阻挡层170。一些实施方式的生长抑制剂包括烷基硅烷。在一些实施方式中,具有通式 SiR_4 ,其中每一R独立地为 C_1 - C_6 烷基、取代或未取代的胺、取代或未取代的环胺。

[0046] 在一些实施方式中,烷基硅烷大体上不包括Si-H键。如以此方式所使用,术语“大体上无Si-H键”意谓生长抑制剂包括基于硅键的总数的小于约1%的Si-H键。一些实施方式的生长抑制剂在第二材料层132上形成表面封端 $-\text{OSiR}_x$,替换 $-\text{OH}$ 封端。在一些实施方式中,生长抑制剂包括1-(三甲基硅基)吡咯啉或双(二甲基氨基)二甲基硅烷中的一或多个。

[0047] 在一些实施方式中,烷基硅烷包括至少一种取代或未取代的环胺,所述环胺带有具有范围在4至10个原子的环。在一些实施方式中,烷基硅烷包括具有一个氮原子的环胺。在一些实施方式中,环胺具有不多于一个的氮原子且不少于一个的氮原子。在一或多个实施方式中,环胺包括吡咯啉,其中吡咯啉的氮原子键合至烷基硅烷的硅原子。在一些实施方式中,烷基硅烷包括1-(三甲基硅基)吡咯啉。在一或多个实施方式中,烷基硅烷基本上由1-(三甲基硅基)吡咯啉组成。如以此方式所使用,术语“基本上由…组成”意谓以分子计,烷基硅烷大于或等于约98%的1-(三甲基硅基)吡咯啉。

[0048] 基板可在任何适当温度及压力下暴露于生长抑制剂。在一些实施方式中,基板在约50℃至约500℃的范围中或在约100℃至约400℃的范围中的温度下暴露于生长抑制剂。在一些实施方式中,基板在约30托至约120托的范围中、或在约40托至约100托的范围中、或在约50托至约90托的范围中的压力下暴露于生长抑制剂。在一或多个实施方式中,在不具有等离子体的热工艺中将基板暴露于生长抑制剂。

[0049] 图4A至图4B示出操作14,其中在凹陷区域142中选择性沉积含硅介电层152。在一或多个实施方式中,含硅介电层152可通过本领域技术人员所已知的任何适当手段来沉积。在一或多个实施方式中,在小于500℃的温度下沉积(例如,原子层沉积(ALD)或化学气相沉积(CVD))含硅介电层152。在其他实施方式中,在小于500℃的温度下沉积含硅介电层152,包括小于490℃、小于450℃、小于400℃、小于350℃及小于300℃。

[0050] 含硅介电层152可包括本领域技术人员所已知的任何适当材料的介电材料。如本文中所使用,术语“介电材料”代表为可在电场中极化的电绝缘体的材料层。在一或多个实施方式中,含硅介电层152包括氮化硅(SiN)、碳氮化硅(SiCN)、氧氮化硅(SiON)、氧碳氮化硅(SiOCN)、硼化硅(SiB)及硅硼氮化物(SiBN)中的一或多个。在特定实施方式中,含硅介电层152包括氮化硅(SiN)。

[0051] 在一或多个实施方式中,含硅介电层152的沉积相比于第二材料层132而言对第一材料层134有选择性,使得含硅介电层152沉积在与第一材料层134相邻的凹陷区域142中。

在一或多个实施方式中,选择性大于2:1、大于5:1、大于10:1或大于100:1。

[0052] 在一或多个实施方式中,含硅介电层152具有在自大于0 Å至25 Å的范围中的厚度。

[0053] 在不受理理论限制的情况下,认为,相对低的沉积温度(亦即,小于490℃)会导致不良质量的含硅介电层152。因此,不良质量的含硅介电层152具有大于300 Å的不良湿式蚀刻速率(poor wet etch rate;WER)。

[0054] 如图4A及图4B中所示出,在形成阻挡层170之后,将基板暴露于一或多种沉积气体中以相比于第二材料层132选择性地第一材料层134上沉积含硅介电层152。如在此方面所使用,术语“相比于…选择性地”意谓在第一材料层134上形成膜的程度比可在第二材料层132上形成膜的程度更大。举例而言,可在第一材料层134上形成的含硅介电层152可比在第二材料层132上形成的膜厚达大于或等于20倍、30倍、40倍或50倍。

[0055] 含硅介电层152的形成可通过任何适当技术(包括但不限于原子层沉积)发生。在一或多个实施方式中,含硅介电层152形成在单个处理腔室中。在其他实施方式中,含硅介电层152形成在批量处理腔室中,如在图8中所示。举例而言,含硅介电层152可通过依序暴露于硅前驱物及反应物而形成。一些实施方式的含硅介电层152包括SiN、SiO、SiON、SiC、SiCO、SiCN或SiCON中的一或多个。在一些实施方式中,含硅介电层152包括硅及氧、碳或氮原子中的一或多个。在一些实施方式中,含硅介电层152以原子计按高达约百分之二的量掺杂有硼(B)、砷(As)或磷(P)中的一或多个。

[0056] 在一些实施方式中,硅前驱物包括卤化硅且反应物包括氨。在一些实施方式中,硅前驱物包括具有或不具有卤素原子的有机硅化合物。在一些实施方式中,反应物包括贡献氮的物种、贡献氧的物种及/或贡献碳的物种。在一些实施方式中,硅前驱物为含硅介电层152贡献氮、氧或碳中的一或多个。

[0057] 在单个处理腔室中,基板可在处理腔室的同一工艺区域中暴露于硅前驱物及反应物。在批量处理腔室中,基板可在处理腔室的交替工艺区域中暴露于硅前驱物及反应物。

[0058] 基板可在任何适当处理腔室中暴露于生长抑制剂。在一些实施方式中,基板在预清洁腔室中暴露于生长抑制剂。在一些实施方式中,基板在单独抑制腔室中暴露于生长抑制剂。在一些实施方式中,基板在批量处理腔室中暴露于生长抑制剂。举例而言,批量处理腔室的工艺区域可改变,以使得用生长抑制剂替换在工艺区域中流动的反应性气体。在形成阻挡层170之后,可用硅前驱物及反应物替换生长抑制剂在工艺区域中的流动。

[0059] 膜厚度可经沉积至预定量。一段时间后,含硅介电层152可开始沉积在第二材料层132上,即使存在阻挡层170。在不受任何特定操作理论限制的情况下,据信,可通过重复暴露于沉积反应物而移除阻挡层170。为了增加含硅介电层152的厚度并维持选择性,可周期性地补充阻挡层170。在一些实施方式中,在不多于20、30、40、50、60、70、80、90或100个原子层沉积循环后将基板暴露于生长抑制剂以沉积含硅介电层152。在一些实施方式中,在含硅介电层152形成至在约30 Å至约100 Å的范围内的厚度后,或在含硅介电层152形成至高达约20 Å、30 Å、40 Å、50 Å、60 Å或70 Å后,将基板暴露于生长抑制剂。

[0060] 可通过任何适当工艺进行阻挡层170的再生。举例而言,可在约1托至约30托的范围中的压力下由惰性气体(例如,N₂或He)净化基板的表面,历时在约10分钟至约60分钟的

范围中的时间。在净化表面后,可再次将基板暴露于生长抑制剂以再生阻挡层170。在一些实施方式中,净化所述表面历时在约15分钟至约50分钟的范围中的时间,或在约20分钟至约40分钟的范围中的时间。在一些实施方式中,所述表面在约10托至约25托的范围中或在约15托至约20托的范围中的压力下净化。

[0061] 在一些实施方式中,阻挡层170通过首先蚀刻基板的整个表面继而暴露于生长抑制剂来再生。蚀刻工艺可为用以预清洁表面的同一工艺或可为不同蚀刻工艺。

[0062] 可在任何适当温度下形成含硅介电层152。在一些实施方式中,含硅介电层152在约200℃至约700℃的范围中、或在约300℃至约500℃的范围中或在约350℃至约450℃的范围中的温度下形成。在一些实施方式中,含硅介电层152通过无等离子体暴露的热工艺来形成。在一些实施方式中,含硅介电层152通过等离子体增强工艺来形成。

[0063] 所沉积的含硅介电层152可具有可通过沉积后处理优化或改良的膜性质。举例而言,所沉积的氮化硅膜可具有高的湿式蚀刻速率。将膜暴露于沉积后工艺可用以改良所沉积的含硅介电层152的湿式蚀刻速率。在一些实施方式中,沉积后工艺改良了膜质量。在一些实施方式中,所改良的膜质量包括湿式蚀刻速率、折射率、密度或氢浓度中的一或多个。

[0064] 一些实施方式的沉积后工艺包括将基板表面暴露于去耦等离子体。一或多个实施方式的去耦等离子体包括氦。在一些实施方式中,去耦等离子体基本上由氦组成。如在此方面所使用,术语“基本上由氦组成”意味等离子体包括大于或等于约95原子百分比的氦。一些实施方式的处理压力在约1毫托至约1托的范围中。较低压力可用于高深宽比结构的各向同性处理。处理期间的晶片温度的范围可为自约室温至约500℃。

[0065] 在一些实施方式中,处理平台具有在清洁后不易氧化基板表面的环境。如在此方面所使用,术语“环境”指代在至少中央传送站内的周围条件。一些实施方式的处理平台的环境亦包括沉积工艺中所使用的任何处理腔室。举例而言,若在工艺中使用两个处理腔室,则“环境”可包括所述两个处理腔室及中央传送站。在一些实施方式中,处理平台的环境包括水蒸汽。水蒸汽可与惰性气体混合或为纯净的。在一些实施方式中,以重量计,水蒸汽以在约0.1%至约90%的范围中的量存在于惰性气体中。在一些实施方式中,以重量计,水蒸汽以在约1%至约80%的范围中、或在约2%至约70%的范围中、或在约3%至约60%的范围中、或在约4%至约50%的范围中、或在约5%至约40%的范围中、或在约10%至约20%的范围中的量存在。在一些实施方式中,环境包括氮、氢、氦、氩、氖、氟或氙中的一或多种,其中水蒸汽的量大于或等于约0.1%、0.5%、1%、2%、3%、4%、5%、6%、7%、8%、9%、10%、12%、14%、16%、18%或20%。

[0066] 根据一或多个实施方式,在形成所述层之前及/或之后,基板经历处理。此处理可在同一腔室中或在一或多个单独处理腔室中执行。在一些实施方式中,将基板自第一腔室移动至单独的第二腔室用于进一步处理。可直接将基板自第一腔室移动至单独处理腔室,或可将基板自第一腔室移动至一或多个传送腔室,并接着移动至单独处理腔室。因此,处理装置可包括与传送站连通的多个腔室。此种装置可称作“群集工具”或“群集系统”,及类似物。

[0067] 图5示出操作16及操作18,其中含硅介电层152经致密化以形成高质量含硅介电膜154。含硅介电层152可通过本领域技术人员所已知的任何适当手段来致密化。在一或多个实施方式中,在不将氧添加至含硅层中的情况下,通过热工艺或其他处理中的一或多个使

含硅介电层152致密化。在一或多个实施方式中,含硅介电层152经暴露于快速热处理(rapid thermal processing; RTP)以提供高质量含硅介电膜154。在其他实施方式中,使含硅介电层致密化包括在小于或等于500℃的温度及小于1托的压力下将含硅介电层152暴露于高密度等离子体。高密度等离子体可选自氦(He)、氢(H₂)、氖(Ne)、氩(Ar)、氪(Kr)及氙(Xe)中的一或多种。

[0068] 在一或多个实施方式中,在操作18处,在大于800℃的温度下将选择性沉积的含硅介电层152致密化以提供含硅介电膜154。在一些实施方式中,在大于1000℃的温度下处理含硅介电层152以提供含硅介电膜154。在一或多个实施方式中,在处理后的含硅介电膜154为高质量膜且具有小于4 Å/min的湿式蚀刻速率,包括小于3 Å/min、小于2 Å/min及小于1 Å/min的湿式蚀刻速率。

[0069] 在一或多个实施方式中,含硅介电膜154具有在自大于0 Å至25 Å的范围中的厚度。

[0070] 一或多个实施方式中的方法为集成方法。在一或多个实施方式中,可在不破坏真空的情况下在一或多个处理腔室中执行所述方法。

[0071] 参考图1,在操作22处,在一或多个实施方式中,视情况使高质量含硅介电膜154的表面氧化。

[0072] 在一或多个未示出的替代实施方式中,可经由第一材料层上的存储器孔来沉积含硅层,其中第一材料层尚未凹陷。

[0073] 参考图6至图7,在一或多个替代实施方式中,在处理期间,在移除堆叠130中的第二材料层132以在模具中形成开口200并形成狭缝图案开口202之后,可经由字线狭缝图案开口202在(若干)不含氧化物的材料上选择性沉积含硅介电层152,从而在器件的字线侧上与晶体管层204相邻地沉积含硅介电层152。

[0074] 图7示出其中将含硅介电层152致密化以形成高质量含硅介电膜154的操作。可通过本领域技术人员所已知的任何适当手段来使含硅介电层152致密化。在一或多个实施方式中,在不将氧添加至含硅层中的情况下,通过热工艺或其他处理中的一或多个使含硅介电层152致密化。在一或多个实施方式中,将含硅介电层152暴露于快速热处理(RTP)以提供高质量含硅介电膜154。在其他实施方式中,使含硅介电层致密化包括在小于或等于500℃的温度及小于1托的压力下将含硅介电层152暴露于高密度等离子体中。高密度等离子体可选自氦(He)、氢(H₂)、氖(Ne)、氩(Ar)、氪(Kr)及氙(Xe)中的一或多种。

[0075] 在一或多个实施方式中,在大于800℃的温度下将选择性沉积的含硅介电层152致密化以提供含硅介电膜154。在一些实施方式中,在大于1000℃的温度下处理含硅介电层152以提供含硅介电膜154。在一或多个实施方式中,在处理后的含硅介电膜154为高质量膜且具有小于4 Å/min的湿式蚀刻速率,包括小于3 Å/min、小于2 Å/min及小于1 Å/min的湿式蚀刻速率。

[0076] 在一或多个实施方式中,含硅介电膜154具有在自大于0 Å至25 Å的范围中的厚度。

[0077] 一或多个实施方式中的方法为集成方法。在一或多个实施方式中,可在不破坏真空的情况下在一或多个处理腔室中执行所述方法。

[0078] 本公开案的额外实施方式针对用于所述逻辑或存储器件及方法的形成的处理工具900,如图8中所示。

[0079] 在一或多个实施方式中,处理工具900为群集工具,所述群集工具包括具有多个侧的至少一个中央传送站,例如,第一传送腔室921及第二传送腔室931。至少一个机器人925、935定位在所述至少一个中央传送站(例如,第一传送腔室921及第二传送腔室931)内,且经配置以将机器人叶片及晶片移动至多个侧中的每一个。

[0080] 在一或多个实施方式中,处理工具900为群集工具,所述群集工具包括连接至中央传送站的多个处理腔室902、904、906、908、910、912、914、916及918(亦称作工艺站)。各种处理腔室提供与相邻工艺站相隔离的单独处理区域。处理腔室可为任何适当腔室,包括但不限于预清洁(SiCoNiTM)腔室、抑制剂浸泡腔室、选择性沉积(ALD)腔室及致密化腔室(RTP)。处理腔室及部件的特定布置可取决于群集工具而变化,且不应被视为限制本公开案的范围。

[0081] 在图8中所示的实施方式中,工厂接口950连接至处理工具900的前部。工厂接口950包括在工厂接口950的前部上的装载腔室954及卸载腔室956。虽然将装载腔室954示为在左边且将卸载腔室956示为在右边,但本领域的技术人员将理解,此仅代表一种可能的配置。

[0082] 装载腔室954及卸载腔室956的大小及形状可取决于(例如)正在处理工具900(例如,群集工具)中处理的基板而变化。在所示实施方式中,确定装载腔室954及卸载腔室956的大小以保持晶片盒,所述晶片盒具有定位在所述盒内的多个晶片。

[0083] 机器人952在工厂接口950内且可在装载腔室954与卸载腔室956之间移动。机器人952能够经由工厂接口950将晶片自装载腔室954中的盒传送至装载锁定腔室960。机器人952亦能够经由工厂接口950将晶片自装载锁定腔室962传送至卸载腔室956中的盒。如本领域的技术人员将理解,工厂接口950可具有多于一个机器人952。举例而言,工厂接口950可具有在装载腔室954与装载锁定腔室960之间传送晶片的第一机器人,及在装载锁定腔室962与卸载腔室956之间传送晶片的第二机器人。

[0084] 在一或多个实施方式中,处理工具900为具有第一部分920及第二部分930的群集工具。第一部分920经由装载锁定腔室960、962连接至工厂接口950。第一部分920包括第一传送腔室921,所述第一传送腔室921具有定位于所述第一传送腔室921中的至少一个机器人925。所述至少一个机器人925亦称作机器人式晶片运输机构。第一传送腔室921关于装载锁定腔室960、962、处理腔室902、904、916、918及缓冲腔室922、924居中定位。一些实施方式的所述至少一个机器人925为多臂机器人,能够一次独立地移动多于一个晶片。在一些实施方式中,第一传送腔室921包括多于一个机器人式晶片传送机构。第一传送腔室921中的所述至少一个机器人925经配置以在第一传送腔室921周围的腔室之间移动晶片。单独晶片被承载在位于第一机器人式机构的远程处的晶片运输叶片上。

[0085] 在第一部分920中处理了晶片之后,可经由直通腔室将所述晶片传递至第二部分930。举例而言,腔室922、924可为单向或双向的直通腔室。直通腔室922、924可用以(例如)在第二部分930中的处理之前低温冷却晶片,或允许在移回至第一部分920之前进行晶片冷却或后期处理。

[0086] 系统控制器990与第一机器人925、第二机器人935、第一多个处理腔室902、904、

916、918及第二多个处理腔室906、908、910、912、914通讯。系统控制器990可为可控制处理腔室及机器人的任何适当部件。举例而言,系统控制器990可为包括中央处理单元、存储器、适当电路及储存器的计算机。

[0087] 工艺可大体作为软件常用程序储存在系统控制器990的存储器中,当由处理器执行时,所述软件常用程序使处理腔室执行本公开案的工艺。亦可通过第二处理器(未示出)来储存及/或执行软件常用程序,所述第二处理器位于远离处理器所控制的硬件之处。亦可以硬件执行本公开案的方法的部分或全部。如此,工艺可以软件实施并使用计算机系统执行,以硬件实施为(例如)特殊应用集成电路或其他类型的硬件实施,或实施为软件与硬件的组合。当通过处理器执行时,软件常用程序将通用计算机转型为专用计算机(控制器),所述专用计算机(控制器)控制腔室操作以使得工艺得以执行。

[0088] 在一些实施方式中,系统控制器990具有一种配置以控制选择性沉积腔室在小于490℃的温度下在膜堆叠的区域中选择性沉积含硅介电层。在一些实施方式中,系统控制器990具有一种配置以启动等离子体处理腔室以暴露含硅介电层以在大于800℃的温度下热处理含硅介电层,以提供具有小于4 Å/min的湿式蚀刻速率的含硅介电膜。

[0089] 在一或多个实施方式中,一种处理工具包括:中央传送站,包括经配置以移动晶片的机器人;多个工艺站,每一工艺站连接至中央传送站并提供与相邻工艺站的处理区域分离的处理区域,所述多个工艺站包括预清洁腔室、抑制剂浸泡腔室、选择性沉积腔室及致密化腔室中的一或多个;及控制器,连接至中央传送站及所述多个工艺站,所述控制器经配置以启动机器人以便使晶片在工艺站之间移动,并控制发生在工艺站中的每一个中的工艺。在一或多个实施方式中,控制器导致处理工具执行如下操作:预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸穿过膜堆叠的狭缝图案开口中的一或多个;将膜堆叠的顶表面暴露于生长抑制剂;在膜堆叠的区域中选择性沉积含硅介电层;及使含硅介电层致密化。在一或多个实施方式中,在每一处理操作期间将处理工具维持在真空中。

[0090] 在描述本文论述的材料及方法的上下文中(尤其在以下权利要求书的上下文中),应将术语“一(a)”及“一(an)”及“所述”以及类似代表的使用解释为涵盖单数及多个,除非本文中另外指定或与上下文明显矛盾。除非本文中另外指定,否则本文中对值范围的列举仅旨在用作单独代表在所述范围内的每一单独值的简写方法,且每一单独值皆被并入本说明书中,就如同每一单独值在本文中被单独列举一样。除非本文中另外指出或明显与上下文矛盾,否则本文所述的所有方法可以任何适当次序执行。除非另有声明,否则本文所提供的任何及所有实例或示例性语言(例如,“诸如”)的使用仅旨在更佳地阐明材料及方法,且不对范围构成限制。说明书中的语言皆不应被解释为指示任何未声明的要素对于所公开材料及方法的实践是必不可少的。

[0091] 贯穿本说明书对“一个实施方式”、“某些实施方式”、“一或多个实施方式”或“一实施方式”的引用意谓结合实施方式描述的特定特征、结构、材料或特性被包括在本公开案的至少一个实施方式中。因此,贯穿本说明书各处出现的诸如“在一或多个实施方式中”、“在某些实施方式中”、“在一个实施方式中”或“在一实施方式中”的词组未必代表本公开案的同一实施方式。另外,可在一或多个实施方式中以任何适当方式组合特定特征、结构、材料或特性。

[0092] 尽管已参考特定实施方式描述了本文中的公开内容,但应理解,这些实施方式仅说明本公开案的原理及应用。本领域的技术人员将显而易见,可在不脱离本公开案的精神及范围的情况下对本公开案的方法及装置作出各种修改及变化。因此,预期本公开案包括在附加权利要求书及其等效物的范围内的修改及变化。

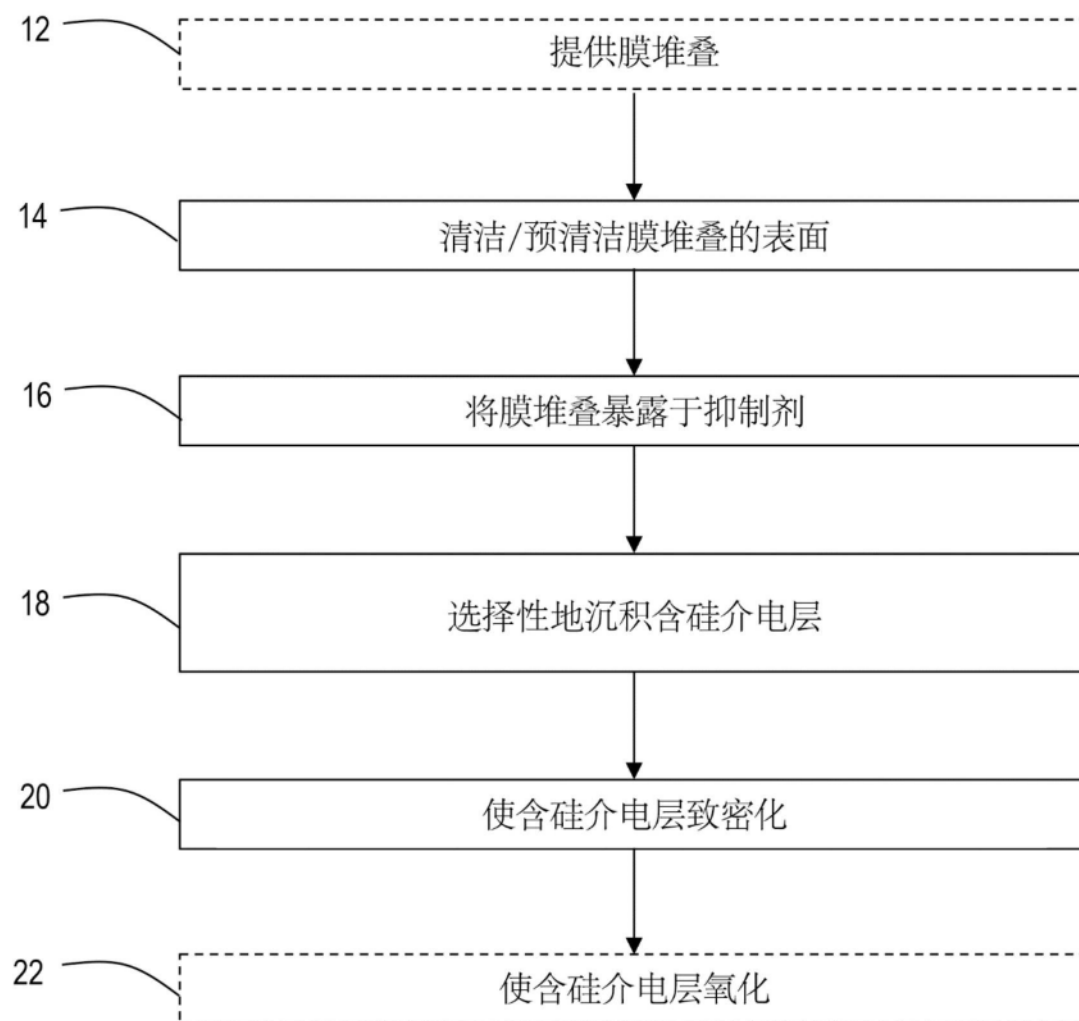
10

图1

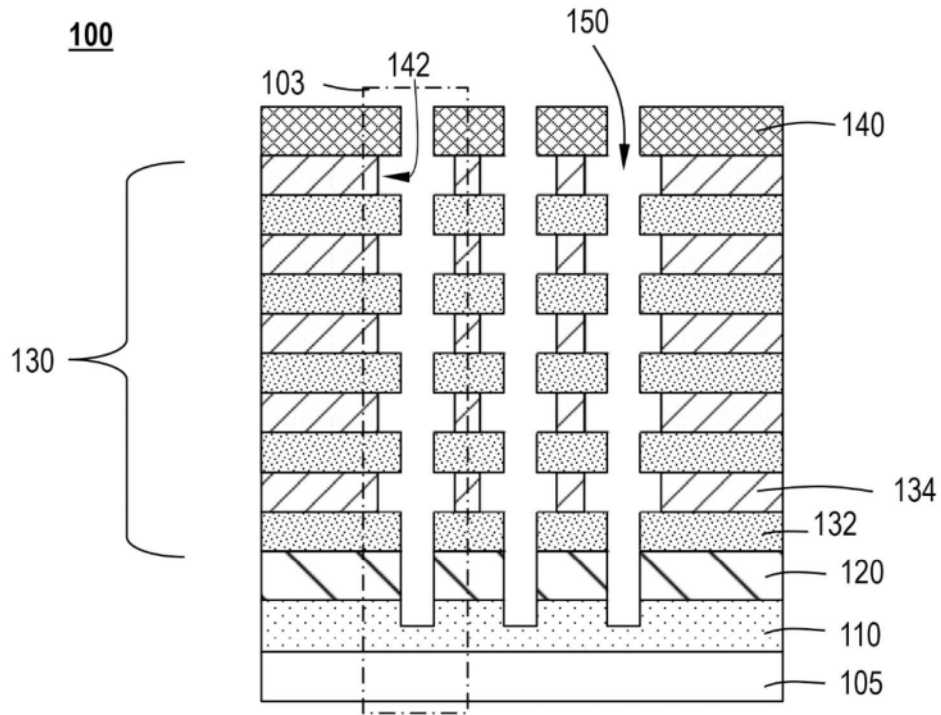


图3A

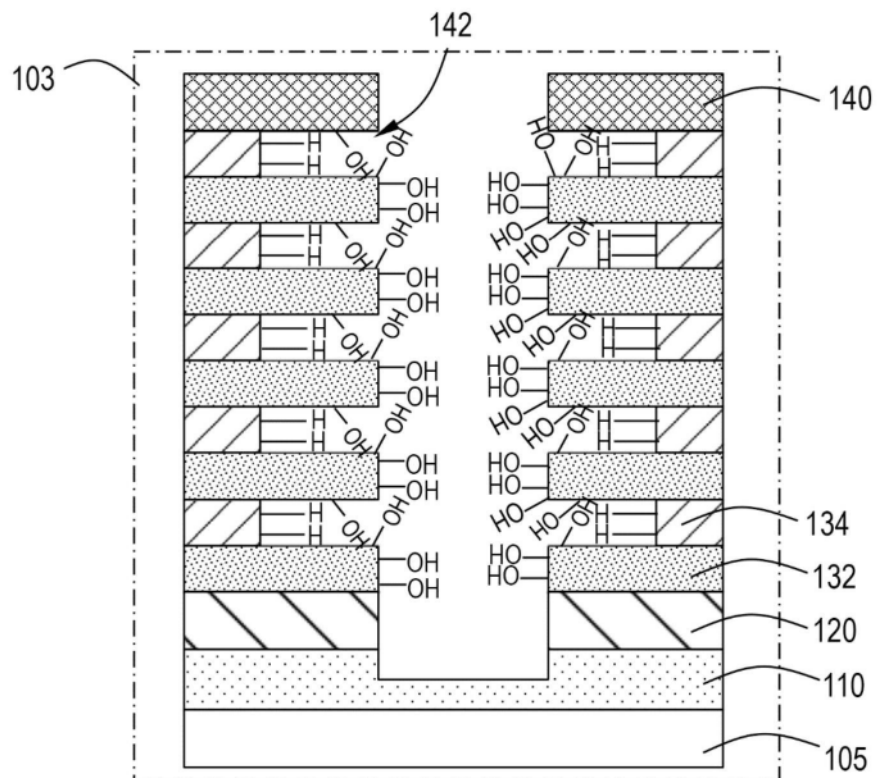


图3B

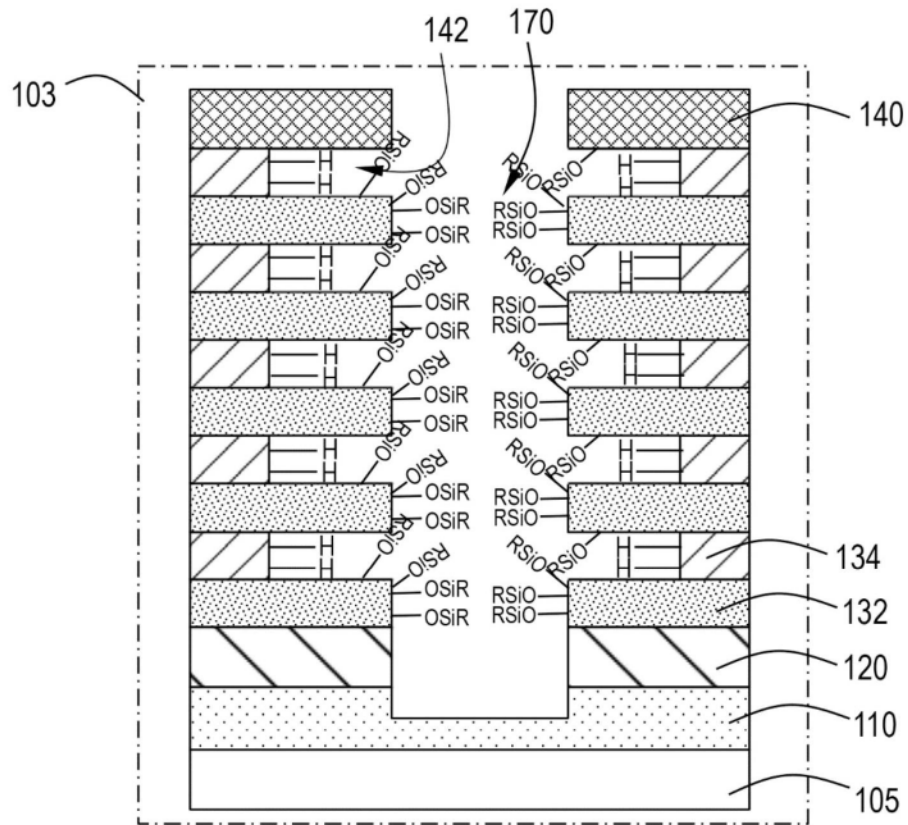


图3C

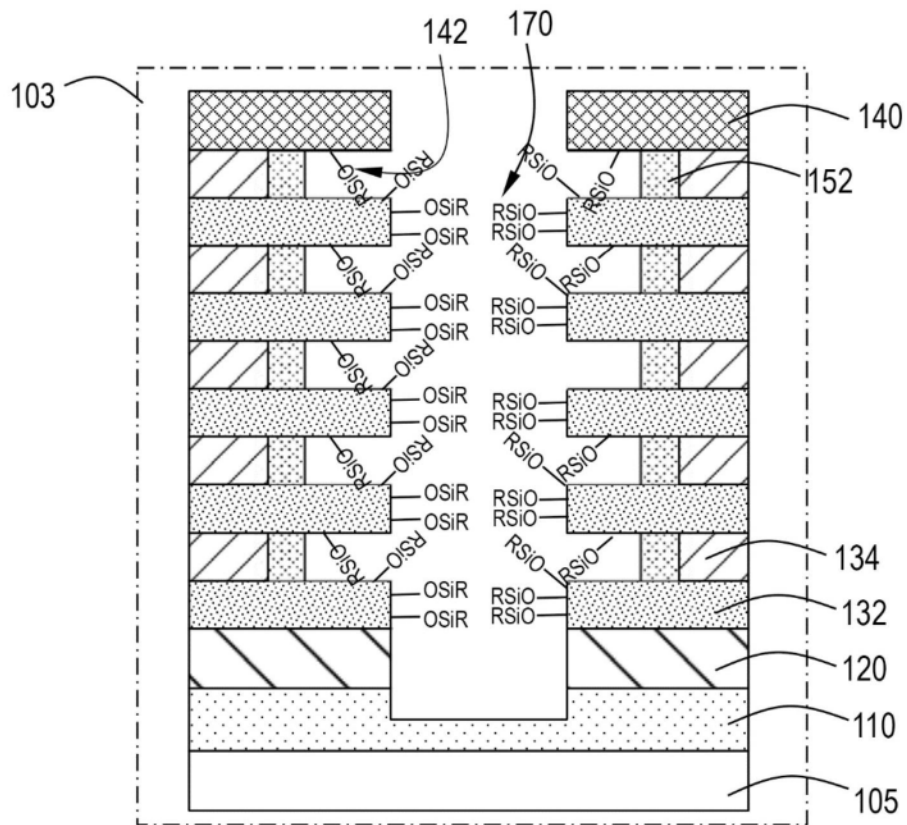


图4A

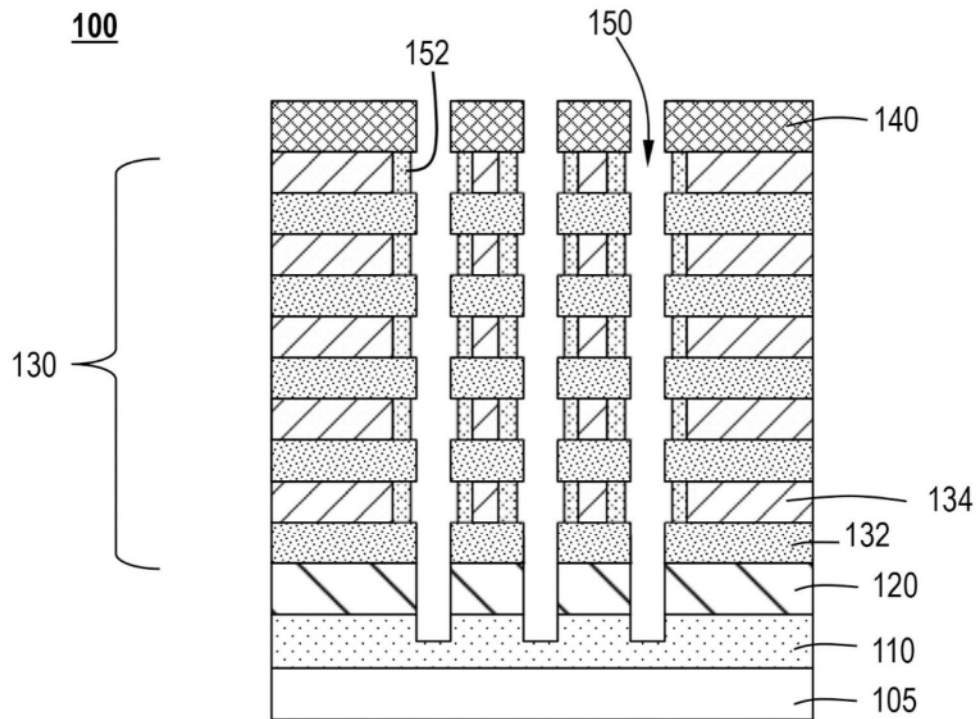


图4B

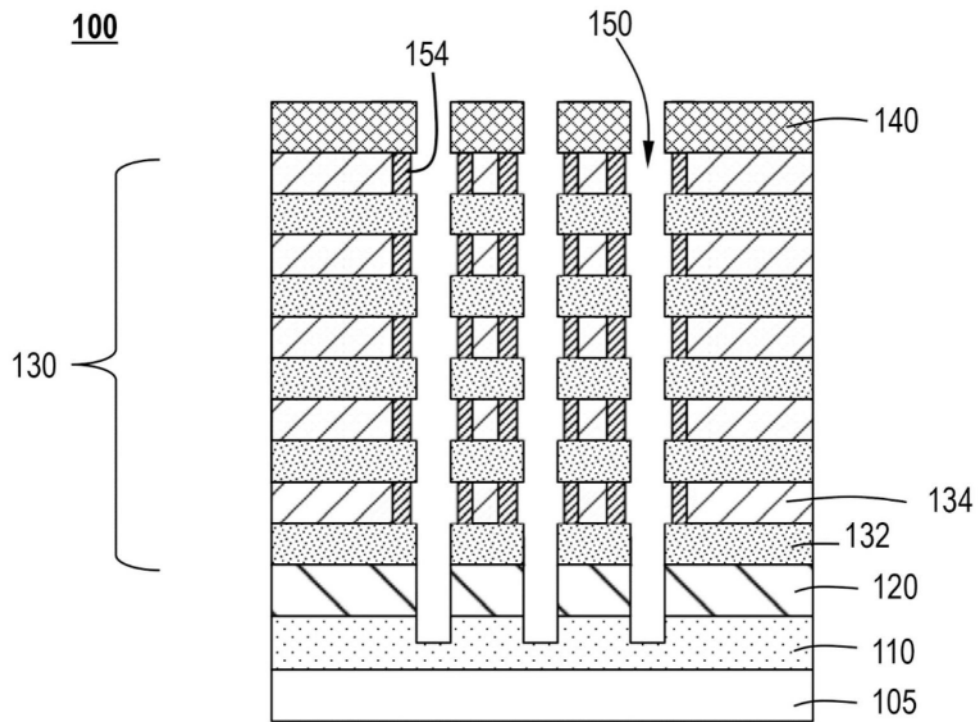


图5

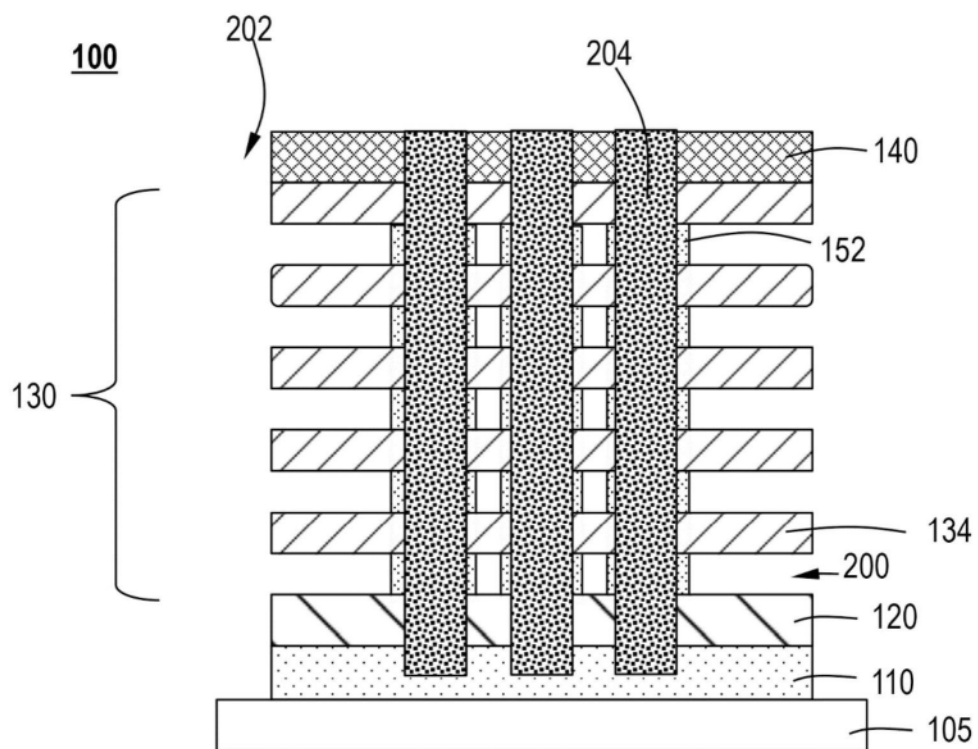


图6

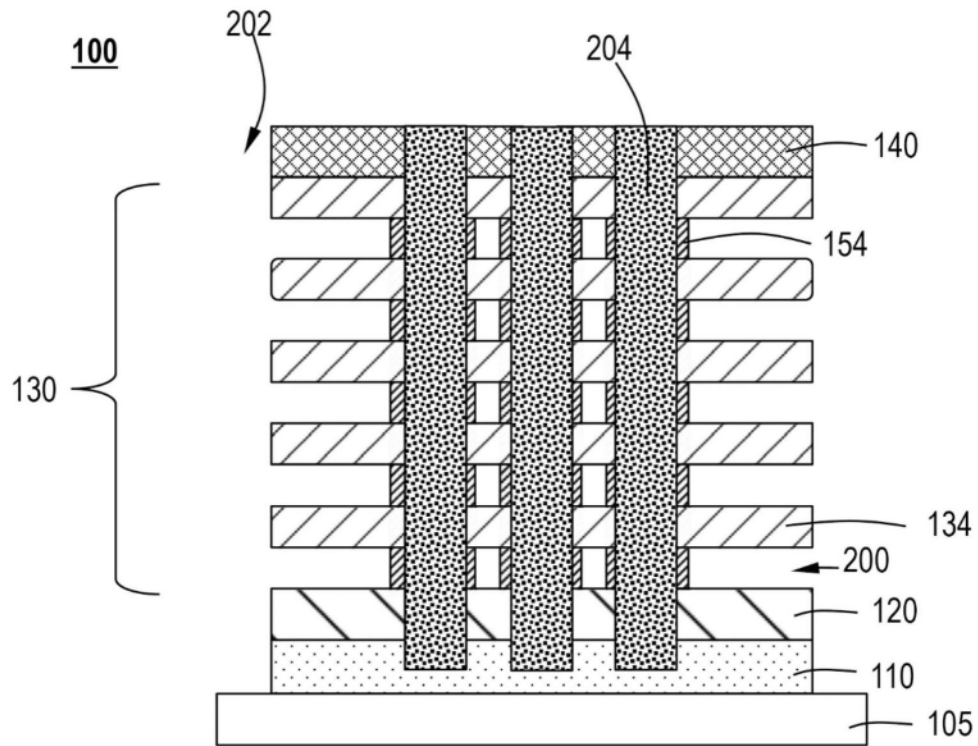


图7

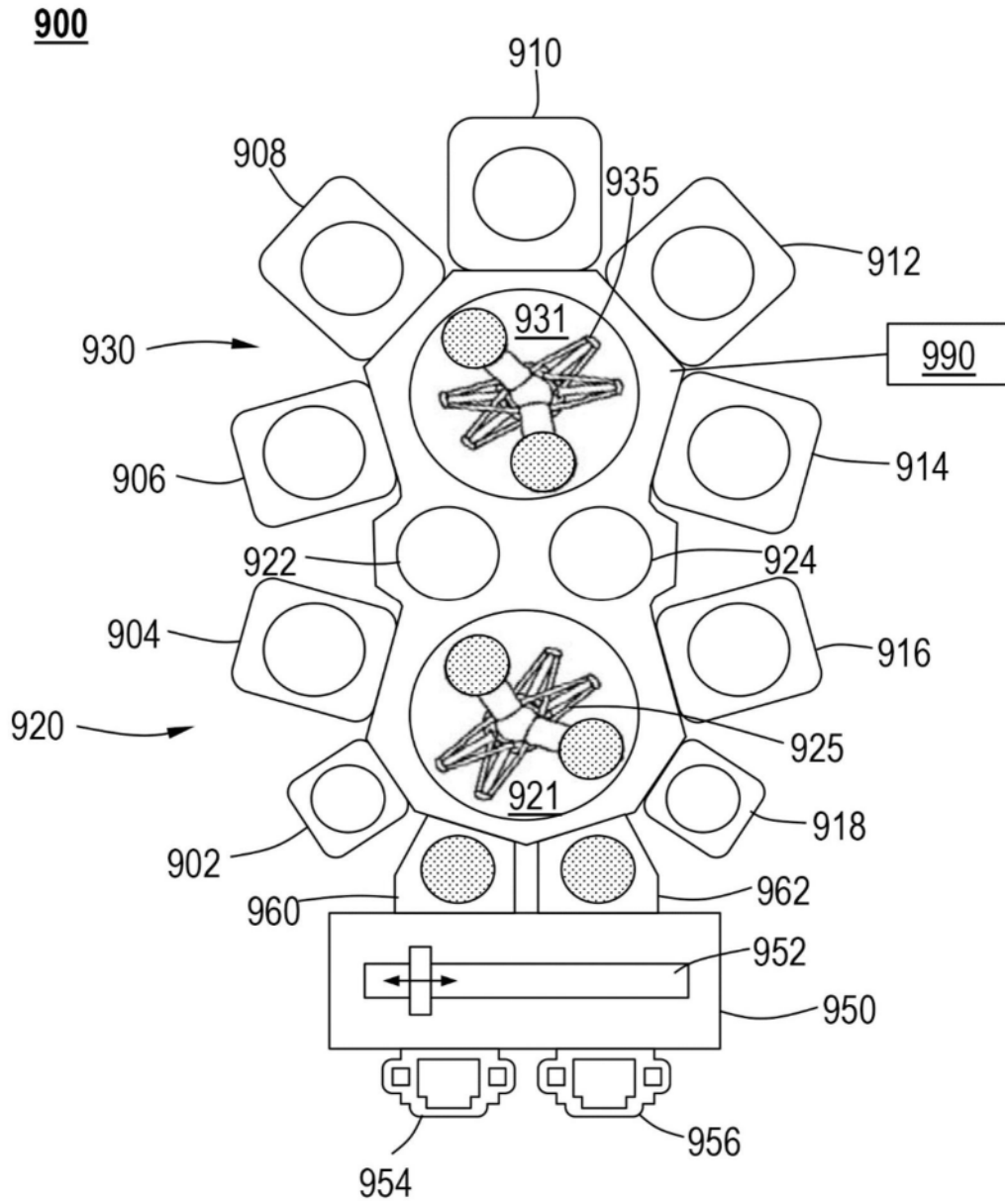


图8

1. 一种形成逻辑或存储器件的处理方法,所述处理方法包括:
预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸穿过所述膜堆叠的狭缝图案开口中的一或多个;
将所述膜堆叠的所述顶表面暴露于生长抑制剂;
在所述膜堆叠的区域中选择性沉积含硅介电层;以及
使所述含硅介电层致密化,
其中在不破坏真空的情况下于处理工具中执行所述处理方法。
2. 如权利要求1所述的处理方法,其中所述第二材料层包括氧化物层。
3. 如权利要求1所述的处理方法,其中所述区域为通过经由所述存储器孔使所述第一材料层相对于所述第二材料层凹陷而形成的凹陷区域。
4. 如权利要求1所述的处理方法,其中所述区域在所述膜堆叠的字线侧上。
5. 如权利要求1所述的处理方法,其中所述第一材料层包括多晶硅、氮化硅、碳化硅、碳氮化硅、锗及氮化钛中的一或多种。
6. 如权利要求1所述的处理方法,其中所述含硅介电层包括氮化硅(SiN)、碳氮化硅(SiCN)、氧氮化硅、氧碳氮化硅(SiOCN)、硼化硅(SiB)及硅硼氮化物(SiBN)中的一或多种。
7. 如权利要求6所述的处理方法,其中所述含硅介电层包括氮化硅。
8. 如权利要求1所述的处理方法,其中选择性沉积所述含硅介电层包括:在小于500℃的温度下的沉积。
9. 如权利要求1所述的处理方法,其中所述含硅介电层具有小于1 Å/min的湿式蚀刻速率。
10. 如权利要求1所述的处理方法,其中使所述含硅介电层致密化包括:将所述含硅介电层暴露于快速热处理(RTP)工艺。
11. 如权利要求1所述的处理方法,其中使所述含硅介电层致密化包括:在小于或等于500℃的温度及小于1托的压力下将所述含硅介电层暴露于高密度等离子体,所述高密度等离子体选自氦(He)、氢(H₂)、氖(Ne)、氩(Ar)、氪(Kr)及氙(Xe)中的一或多种。
12. 如权利要求1所述的处理方法,其中所述含硅介电层具有在自大于0 Å至25 Å的范围中的厚度。
13. 如权利要求1所述的处理方法,所述处理方法进一步包括:使所述含硅介电层氧化。
14. 如权利要求1所述的处理方法,其中所述处理工具选自由单处理腔室及一批量处理腔室组成的群组。
15. 一种处理工具,包括:
中央传送站,包括经配置以移动晶片的机器人;
多个工艺站,每一工艺站连接至所述中央传送站并提供与相邻工艺站的处理区域分离的处理区域,所述多个工艺站包括预清洁腔室、抑制剂浸泡腔室、选择性沉积腔室及致密化腔室中的一或多个;以及
控制器,连接至所述中央传送站及所述多个工艺站,所述控制器经配置以启动所述机器人在工艺站之间移动所述晶片,并控制在工艺站中的每一个中发生的工艺。
16. 如权利要求15所述的处理工具,其中所述控制器导致所述处理工具执行如下的操

作:

预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层及第二材料层的交替层且具有存储器孔及延伸穿过所述膜堆叠的狭缝图案开口中的一或多个;

将所述膜堆叠的所述顶表面暴露于生长抑制剂;

在所述膜堆叠的区域中选择性沉积含硅介电层;以及

使所述含硅介电层致密化,

其中所述处理工具被维持在真空下。

17.如权利要求16所述的处理工具,其中所述区域在所述膜堆叠的字线侧上。

18.如权利要求16所述的处理工具,其中所述区域为通过经由所述存储器孔使所述第二材料层相对于所述第一材料层凹陷而形成的凹陷区域。

19.如权利要求16所述的处理工具,其中所述第一材料层包括氧化物层,且所述第二材料层包括多晶硅、氮化硅、碳化硅、碳氮化硅、锗及氮化钛中的一或多种。

20.如权利要求16所述的处理工具,其中所述含硅介电层包括氮化硅(SiN)、碳氮化硅(SiCN)、氧氮化硅、氧碳氮化硅(SiOCN)、硼化硅(SiB)及硅硼氮化物(SiBN)中的一或多种。

21.如权利要求16所述的处理工具,其中选择性沉积所述含硅介电层包括在小于500°C的温度下的沉积。

22.如权利要求1所述的处理方法,所述处理方法进一步包括:

将致密化的含硅层暴露于生长抑制剂;

在所述膜堆叠的区域中选择性地沉积第二含硅层;和

使所述第二含硅层致密化。

23.如权利要求1所述的处理方法,所述处理方法进一步包括:

在所述膜堆叠的区域中选择性地沉积第二含硅层;和

使所述第二含硅层致密化。

24.如权利要求1所述的处理方法,所述处理方法进一步包括重复所述方法。

25.一种形成逻辑或存储器件的处理方法,所述处理方法包括:

预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层和第二材料层的交替层,并且具有存储器孔和延伸穿过所述膜堆叠的狭缝图案开口中的一或多个;

在所述膜堆叠的区域中选择性地沉积含硅介电层;和

使所述含硅介电层致密化,

其中在不破坏真空的情况下在处理工具中执行所述处理方法。

26.根据权利要求25所述的处理方法,所述处理方法进一步包括:

预清洁致密化的含硅介电层的顶表面;

在所述膜堆叠的区域中选择性地沉积第二含硅层电介质;和

使所述第二含硅介电层致密化。

27.根据权利要求25所述的处理方法,所述处理方法进一步包括:

在所述膜堆叠的区域中选择性地沉积第二含硅介电层;和

使所述第二含硅层致密化。

28.一种用于形成逻辑或存储器设备的处理方法,所述处理方法包括:

预清洁膜堆叠的顶表面,所述膜堆叠包括第一材料层和第二材料层的交替层,并且具

有存储孔和延伸穿过所述膜堆叠的狭缝图案开口中的一或多个；

将所述膜堆叠的顶表面暴露于生长抑制剂；

在所述膜堆叠的区域中选择性地沉积含硅介电层；

使所述含硅介电层致密化；和

任选地，重复预清洁所述膜堆叠的顶表面、将所述膜堆叠的顶表面暴露于生长抑制剂、选择性地沉积含硅介电层和使所述含硅介电层致密化中的一或多个，

其中在不破坏真空的情况下在处理工具中执行所述处理方法。